



Patent dodatkowy
do patentu nr _____

Zgłoszono: 07.10.77 (P. 201391)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 21.05.79

Opis patentowy opublikowano: 15.03.1982

Int. Cl.²

G06K 7/00

H03K 5/02

CZYTELNIA

Urząd Patentowy
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Edward Janikowski, Lech Koperdowski

Uprawniony z patentu: Centrum Komputerowych Systemów Automatyki
i Pomiarów „Mera-Elwro”, Wrocław (Polska)

**Układ wzmacniacza formującego z pamiętaniem wysokiego
poziomu sygnału wejściowego, zwłaszcza stosowany w czytnikach
kart i czytnikach taśm**

1

Przedmiotem wynalazku jest układ wzmacniacza formującego z pamiętaniem wysokiego poziomu sygnału wejściowego, zwłaszcza stosowany w czytnikach kart i czytnikach taśm jako układ odczytu z elementów optoelektronicznych typu fototranzystor, fotodioda czy transoptor, stosowanych w mechanizmach tych urządzeń.

Znany jest układ wzmacniacza prądowego do torów informacyjnych czytników fotoelektrycznych według opisu patentowego PRL nr 60651, MKP G06k 7/10. Układ ten jest bardzo prosty, zbudowany na wtórniku tranzystorowym, charakteryzuje go jednak niska odporność na zakłócenia, duża wrażliwość na zmiany temperatury oraz starzenie się układu fotoelektrycznego.

Inny znany układ stabilnego fotowzmacniacza z samoczynnym nastawianiem warunków pracy jest przedmiotem wynalazku CSRS według opisu patentowego nr 152532, MKP G06k 7/00. W układzie tym sygnał z fototranzystora jest kształtowany poprzez zmianę rezystancji dren-źródło tranzystora unipolarnego, włączonego w obwód emitera fototranzystora, przy czym bramka tranzystora unipolarnego stanowi podstawowy element pętli sprzężenia zwrotnego. Niedogodnością tego układu jest konieczność wstępnego skalowania poziomu sygnału wejściowego oraz jednoczesne stosowanie tranzystorów bipolarnych typu p-n-p i n-p-n oraz tranzystora unipolarnego z izolowaną bramką i kanałem typu p. Układ ten nie jest poza tym przystosowany dla po-

2

trzeb techniki TTL. Wymaga on stosowania dodatkowego stopnia formującego sygnał wyjściowy do współpracy z układami TTL.

Znany jest również układ formowania i selekcji impulsów użytecznych z opisu patentowego RFN nr 2643620, MKP² G06K 7/10. Układ ten złożony jest z dwóch wzmacniaczy operacyjnych, współpracujących z sześcioma uniwersalnymi i ośmioma bramkami logicznymi, co wskazuje na wysoką złożoność i duże koszty realizacji i strojenia układu.

Układ według wynalazku posiada wejściowy dzielnik rezystancyjny, wzmacniacz operacyjny, kondensator pamiętający oraz komparator. Do pierwszego wejścia komparatora podłączone jest pierwsze wejście wzmacniacza operacyjnego oraz wejściowy dzielnik rezystancyjny, zbudowany z dwóch elementów oporowych i potencjometru. Do drugiego wejścia komparatora podłączona jest jedna okładka kondensatora pamiętającego, wyjście wzmacniacza operacyjnego poprzez szeregowo połączone rezystor tłumiący i diodę oraz drugie wejście wzmacniacza operacyjnego poprzez rezystor sprzężenia zwrotnego.

Zmodyfikowany układ według wynalazku posiada dodatkowo dwa tranzystorowe wtórniki emiterowe, podłączone do wejść komparatora. Między pierwsze wejście komparatora a pierwsze wejście wzmacniacza operacyjnego i wejściowy dzielnik rezystancyjny włączone jest złącze baza-emiter tranzystora pierwszego wtórnika emiterowego. Między punkt

wspólny katody diody, rezystora sprzężenia zwrotnego i jednej okładki kondensatora pamiętającego a drugie wejście komparatora włączony jest obwód baza-emiter tranzystora drugiego wtórnika emiterowego, poprzez rezystor dzielnika emiterowego.

Układ odczytu z fotodiod lub fototranzystorów według wynalazku, zastosowany w czytnikach taśm lub czytnikach kart, cechuje wysoka odporność na zakłócenia i zmiany termiczne, niewrażliwość na starzenie się elementów optoelektronicznych i rozrzut ich parametrów. Układ ten spełnia warunki techniczne zarówno dla sygnałów prowadzonych światłowodami, stosowanymi w najnowszych mechanizmach czytników kart, jak i metodami konwencjonalnymi na przykład przewodami współkrętymi, koncentrycznymi lub pasmowymi. Zastosowanie układu według wynalazku zmodyfikowanego dwoma dodatkowymi tranzystorowymi wtórnikami emiterowymi korzystne jest w przypadkach wymagających długiego czasu pamiętania. Duże stałe czasowe uzyskuje się dzięki powiększeniu rezystancji wejściowej komparatora o wartość rezystancji wejściowej tranzystorowych wtórników emiterowych. Układ ten pozwala również na precyzyjne ustawienie przesunięcia logicznego, tzn. różnicy pomiędzy poziomem sygnału interpretowanym jako logiczne „1” a poziomem interpretowanym jako logiczne „0”. Ponadto zmodyfikowany układ pozwala na bardziej precyzyjne ustalenie marginesu szumu.

Przykład wykonania wynalazku pokazany jest na rysunku, na którym fig. 1 przedstawia jego podstawowy schemat ideowy, a fig. 2 — schemat ideowy układu zmodyfikowanego.

Na wejściu **WE** układu zastosowany jest wejściowy dzielnik rezystancyjny, złożony z dwóch elementów oporowych **R1** i **R2** oraz potencjometru **P1**, który z drugiej strony podłączony jest do biegunu systemu zasilania. Punkt wspólny elementów oporowych **R1** i **R2** podłączony jest do pierwszego wejścia wzmacniacza operacyjnego **WO** oraz pierwszego wejścia komparatora **K**. Do drugiego wejścia komparatora **K** podłączone jest drugie wejście wzmacniacza operacyjnego **WO** poprzez rezystor sprzężenia zwrotnego **R4**, wyjście wzmacniacza operacyjnego **WO** poprzez szeregowo połączone rezystor tłumiący **R3** oraz diodę **D1** włączoną w kierunku przewodzenia, a także jedna okładka kondensatora pamiętającego **C1**, drugą okładką podłączonego do biegunu systemu zasilania. Wyjście **WY** układu stanowi wyjście komparatora **K**.

W drugim przykładzie wykonania układ jest zmodyfikowany dwoma dodatkowymi tranzystorowymi wtórnikami emiterowymi, z których pierwszy włączony jest złączem baza-emiter tranzystora pierwszego wtórnika emiterowego **T1** między pierwsze wejście komparatora **K** a punkt wspólny elementów oporowych **R1** i **R2** oraz pierwsze wejście wzmacniacza operacyjnego **WO**. Baza tranzystora drugiego wtórnika emiterowego **T2** połączona jest z punktem wspólnym katody diody **D1**, rezystora sprzężenia zwrotnego **R4** oraz jednej okładki kondensatora pamiętającego **C1**. Emiter tranzystora **T2**, poprzez rezystor dzielnika emiterowego **R5**, podłączony jest do drugiego wejścia komparatora **K**. Kolektory obu

tranzystorów **T1** i **T2** oraz rezystor emiterowy **R6** pierwszego wtórnika emiterowego i rezystorowy dzielnik emiterowy **R5-R7** drugiego wtórnika emiterowego są podłączone do systemu zasilania układu.

Przedstawiony w przykładzie wykonania układ wzmacniacza formującego według wynalazku działa następująco: Sygnał wejściowy podawany jest na wejście **WE** układu wzmacniacza formującego z fotoelementu mechanizmu czytnika kart i jest poprzez wejściowy element oporowy **R1** kierowany na wejście wzmacniacza operacyjnego **WO**. Wejściowy dzielnik rezystancyjny przystosowuje sygnał wejściowy do sterowania układem wzmacniacza formującego. Poszerza to obszar zastosowań układu według wynalazku, na przykład dla źródła sygnałów o amplitudach przekraczających wartości dopuszczalne dla wejścia zastosowanego wzmacniacza operacyjnego **WO**. Zastosowanie rezystora tłumiącego **R3** korzystne jest w przypadku sterowania wzmacniacza operacyjnego **WO**, wrażliwego na krótkotrwałe zwarcie wyjścia. Jeśli na wejściu **WE** układu pokaże się wysoki stan sygnału, stan ten jest zapamiętany na okładce kondensatora pamiętającego **C1**. Po porównaniu przez układ komparatora **K** sygnałów na obu jego wejściach, na wyjściu **WY** układu pokaże się również stan wysoki, odpowiadający wartości logicznej „1” dla układów TTL. Jeżeli natomiast na wejściu **WE** pokaże się stan niski sygnału z fotoelementu, który powinien być zinterpretowany jako logiczne „0” dla układów TTL, komparator **K** po porównaniu tego stanu ze stanem wcześniej zapamiętanym na kondensatorze pamiętającym **C1**, przyjmie na swoim wyjściu wartość logiczną sygnału „0”.

Zmodyfikowany układ wzmacniacza formującego według wynalazku przedstawiony na fig. 2 działa w opisany wyżej sposób, przy czym sygnał z fotoelementu jest kierowany z wejściowego dzielnika rezystancyjnego poprzez wzmacniacz operacyjny **WO** na wejście komparatora **K** poprzez złącze baza-emiter tranzystora pierwszego wtórnika emiterowego **T1**, natomiast na drugie wejście komparatora **K** wprowadzany jest sygnał z okładki kondensatora pamiętającego **C1**, poprzez złącze baza-emiter tranzystora drugiego wtórnika emiterowego **T2** i szeregowo włączony rezystor dzielnika emiterowego **R5**. Zastosowanie tranzystorowych wtórników emiterowych pozwala na zwiększenie impedancji wejściowej komparatora **K**, w zależności od potrzeb czasu pamiętania i rodzaju komparatora.

Zastosowanie dzielnika emiterowego **R5-R7** w obwodzie emitera tranzystora drugiego wtórnika emiterowego **T2** pozwala na ustalenie optymalnego marginesu szumów.

Zastrzeżenia patentowe

1. Układ wzmacniacza formującego z pamiętaniem wysokiego poziomu sygnału wejściowego, zwłaszcza stosowany w czytnikach kart i czytnikach taśm, posiadający na wejściu dzielnik rezystancyjny połączony z jednym wejściem wzmacniacza operacyjnego i kondensator pamiętający, **znamienny tym**,

że zawiera komparator (**K**), którego pierwsze wejście połączone jest z pierwszym wejściem wzmacniacza operacyjnego (**WO**) i wejściowym dzielnikiem rezystancyjnym, utworzonym z elementów oporowych (**R1**, **R2**) i potencjometru (**P1**), a do drugiego wejścia komparatora (**K**) podłączony jest kondensator pamiętający (**C1**), wyjście wzmacniacza operacyjnego (**WO**), poprzez szeregowo połączone rezystor flumiący (**R3**) i diodę (**D1**), oraz drugie wejście

wzmacniacza operacyjnego (**WO**), poprzez rezystor sprzężenia zwrotnego (**R4**).

2. Układ wzmacniacza formującego według zastrz. 1, **znamienny tym**, że między pierwsze wejście komparatora (**K**) a pierwsze wejście wzmacniacza operacyjnego (**WO**) włączone jest złącze baza-emiter tranzystora pierwszego wtórnika emiterowego (**T1**), natomiast, między drugie wejście komparatora (**K**) a punkt wspólny katody diody (**D1**), rezystora sprzężenia zwrotnego (**R4**) i okładki kondensatora pamiętającego (**C1**), włączony jest obwód baza-emiter tranzystora drugiego wtórnika emiterowego (**T2**), poprzez rezystor dzielnika emiterowego (**R5**).

