

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 4 月 25 日 (25.04.2019)



(10) 国际公布号
WO 2019/075949 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2018/073958

(22) 国际申请日: 2018 年 1 月 24 日 (24.01.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710986889.9 2017 年 10 月 20 日 (20.10.2017) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市武汉东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 平山秀雄 (HIDEO, Hirayama); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 阵列基板及其制作方法

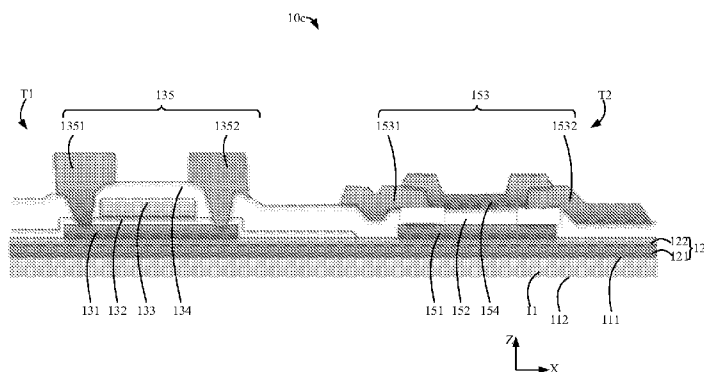


图 3

(57) Abstract: An array substrate (10c) and a manufacturing method therefor, the array substrate (10c) comprising first thin film transistors (T1) and second thin film transistors (T2) disposed on a base (11) and spaced at a preset distance along a first direction (X) in an array, the first direction (X) being parallel to a plane in which the base (11) is. A first thin film transistor (T1) comprises a first active layer (131), a first gate insulating layer (132), a first gate electrode (133), a first interlayer insulating layer (134) and a first source electrode/drain electrode (135), stacked in sequence from one side of the base (11) along a third direction (Z), the first source electrode/drain electrode (135) being electrically connected to the first active layer (131). A second thin film transistor (T2) comprises a second gate electrode (151), a second gate electrode insulating layer (152), a second source electrode/drain electrode (153) and a second active layer (154), stacked in sequence from one side of the base (11) along the third direction (Z). The first active layer (131) and the second gate electrode (151) are both polycrystalline silicon material, the second active layer (154) is an oxide semiconductor material, and the third direction (Z) is perpendicular to the first direction (X), and extends in a direction away from the base (11).

(57) 摘要: 一种阵列基板 (10c) 及其制作方法, 阵列基板 (10c) 包括在基底 (11) 上设置有沿着第一方向

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(X) 间隔预定距离且并列设置的第一薄膜晶体管 (T1) 与第二薄膜晶体管 (T2), 第一方向 (X) 平行基底 (11) 所在平面。第一薄膜晶体管 (T1) 包括自基底 (11) 一侧沿着第三方向 (Z) 依次叠设置的第一有源层 (131)、第一栅极绝缘层 (132)、第一栅极 (133)、第一层间绝缘层 (134) 以及第一源极/漏极 (135), 第一源极/漏极 (135) 与第一有源层 (131) 电性连接。第二薄膜晶体管 (T2) 包括自基底 (11) 一侧沿着第三方向 (Z) 依次层叠设置的第二栅极 (151)、第二栅极绝缘层 (152)、第二源极/漏极 (153) 以及第二有源层 (154)。第一有源层 (131) 与第二栅极 (151) 均为多晶硅材料, 第二有源层 (154) 为氧化物半导体材料, 第三方向 (Z) 垂直于第一方向 (X) 且沿着远离基底 (11) 方向延伸。

阵列基板及其制作方法

本发明要求 2017 年 10 月 20 日递交的发明名称为“阵列基板及其制作方法”的申请号 201710986889.9 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

5

技术领域

本发明涉及显示技术领域，尤其涉及显示器中阵列基板的制作技术领域。

背景技术

10 显示屏已经越来越广泛地应用于人们的生产与生活的各个领域的电子装置内，例如手机、平板电脑或者台式电脑等消费性电子领域，电视等家电领域或者户外广告等公共设施领域。

目前显示屏主要为液晶显示屏（Liquid Crystal Display, LCD）或者有机发光显示屏（Organic Light Emitting Diode, OLED）。为了提高显示器的显示效果，无论是应用于户外的大型显示屏幕或者应用于消费性电子的小型显示屏幕，越来越多的人开始将注意力投向显示装置的窄边框设计，窄边框显示装置可以有效降低拼接屏中非显示区域的面积，有效提高屏占比，显著提高整体的显示效果。由此，窄边框成为目前显示器领域中亟待解决的问题。

发明内容

为解决窄边框的问题，本发明提供一种具有较小尺寸的阵列基板。

进一步，提供前述阵列基板的制作方法。

一种阵列基板，包括在基底上设置有沿着第一方向间隔预定距离且并列设置的第一薄膜晶体管与第二薄膜晶体管，所述第一方向平行所述基底所在平面。第一薄膜晶体管包括自所述基底一侧沿着第三方向依次叠设置的第一有源层、第一栅极绝缘层、第一栅极、第一层间绝缘层以及第一源极/漏极，所述
25 第一源极/漏极与所述第一有源层电性连接。所述第二薄膜晶体管包括自所述基底一侧沿着第三方向依次层叠设置的第二栅极、第二栅极绝缘层、第二源极

/漏极以及第二有源层。所述第一有源层与所述第一栅极均为多晶硅材料，所述第二有源层为氧化物半导体材料，所述第三方向垂直于所述第一方向且沿着远离所述基底方向延伸。

一种阵列基板制作方法，包括步骤：

5 提供基板，并且在基板一侧形成缓冲层；

在所述缓冲层表面形成多晶硅层并进行图案化，沿着第一方向形成间隔预定距离的第一有源层与第二栅极；

在所述第一有源层表面沿着第三方向依次形成层叠的第一栅极绝缘层与第一栅极，所述第三方向垂直于所述第一方向且沿着远离所述基底方向延伸；

10 在所述第一栅极与所述第二栅极上形成绝缘层，其中，对应覆盖所述第一栅极绝缘层以及所述第一栅极的绝缘层构成第一层间绝缘层；对应覆盖所述第二栅极的绝缘层构成第二栅极绝缘层；

在所述第一层间绝缘层与所述第二栅极绝缘层上形成金属层；

15 针对所述第一有源层与所述第一栅极的非晶硅材质进行离子激活/氢化处理；

图案化所述金属层，其中，对应所述第一栅极沿着第一方向两侧的位置形成第一源极/漏极，且所述第一源极/漏极与所述第一有源层电性连接，所述第一有源层、所述第一栅极绝缘层、所述第一栅极、所述第一层间绝缘层以及所述第一源极/漏极构成第一薄膜晶体管；对应所述第二栅极沿着第一方向两侧

20 的位置形成第二源极/漏极；

对应所述第二源极/漏极形成第二有源层，所述第二栅极、所述第二栅极绝缘层、所述第二源极/漏极以及所述第二有源层构成第二薄膜晶体管。

相较于现有技术，第一薄膜晶体管与第二薄膜晶体管同步进行制作，因此，无需单独针对驱动电路中的第二薄膜晶体管单独进行制作，提高了制作效率。

25 进一步，利用氧化物半导体构成有源层的第二薄膜晶体管的通道尺寸较小，从而使得每个像素单元中薄膜晶体管占用的空间减小，继而有效增加了显

示面板中显示区的尺寸以及提高了开口率,并且在非显示区通过多晶硅的第一薄膜晶体管作为驱动地电路中作为开关的薄膜晶体管,从而使得扫描驱动电路或者数据驱动电路尺寸较小且响应速度快,继而使得非显示区尺寸进一步减小,从而达到提高屏占比实现窄边框的目的。

5

附图说明

为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

10

图 1 为本发明一实施例中显示装置立体结构示意图。

图 2 为图 1 所示显示面板中阵列基板的平面结构示意图。

图 3 为如图 1、2 所示阵列基板的侧面结构示意图。

图 4 为如图 3 所示阵列基板的制作过程中各步骤对应的侧面结构示意图。

15

图 5 为如图 3 所示阵列基板的制作流程图。

具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

20

下面结合附图,具体说明本发明阵列基板的具体实施方式。

请参阅图 1,图 1 为本发明一实施例中显示装置立体结构示意图。如图 1 所示,显示装置 100 包括显示面板 10 与其他辅助结构(图未示),其中,所示辅助结构包括壳体与支撑结构。

25

显示面板 10 包括图像用显示区 10a 与非显示区 10b。显示区 10a 用作图像显示,非显示区 10b 环绕设置于显示区 10a 周围并作为非出光区域,并不用作图像显示。其中,显示面板 10 还包括有阵列基板 10c 与对向基板 10d,以及夹设于阵列基板 10c 与对向基板 10d 的显示介质层 10e。本实施例中,显示

介质为有机发光半导体材料 (Organic Electroluminescence Diode, OLED)。当然, 在本发明其他变更实施例中, 显示装置 100 中的显示面板 10 可以以液晶材料作为显示介质, 并不以此为限。为了便于说明, 先定义由相互垂直的第一方向 X、第二方向 Y 以及第三方向 Z 构成的三维直角坐标系。其中, 显示装置 100 沿着第三方向 Z 为其厚度方向。

请参阅图 2, 其为图 1 所示显示面板 10 中阵列基板 10c 的平面结构示意图。如图 2 所示, 阵列基板 10c 中对应图像显示区 10a 的第一区域 (未标示) 包括多个呈矩阵排列的 $m \times n$ 像素单元 (Pixel) 110、 m 条 (Data Line) 数据线 (Scan Line) 120 以及 n 条扫描线 130, m 、 n 为大于 1 的自然数。

其中, 该多条数据线 120 沿第一方向 Y 间隔第一预定距离相互绝缘且平行排列, 该多条扫描线 130 沿第二方向 X 亦间隔第二预定距离相互绝缘且平行排列, 并且该多条扫描线 130 与该多条数据线 120 相互绝缘, 所述第一方向 X 与第二方向 Y 相互垂直。为便于说明, 所述 m 条数据线 120 分别定义为 D1、D2、....., D $m-1$ 、D m ; 所述 n 条扫描线 130 分别定义为 G1、G2、....., G $n-1$ 、G n 。多个所述像素单元 110 分别位于该多条数据线 120、扫描线 130 构成的矩阵中, 并且与对应的其中数据线 120 以及扫描线 130 电性连接。

对应显示面板 10 的非显示区 10b, 显示装置 100 (图 1) 进一步包括设置于非显示区 10b 的用于驱动多个矩阵排列的像素单元 110 进行图像显示的控制电路 101、数据驱动电路 (Data Driver) 102 以及扫描驱动电路 (Scan Driver) 103, 设置于阵列基板 11c 的第二区域 (未标示)。其中, 数据驱动电路 102 与该多条数据线 120 电性连接, 用于将待显示用的图像数据通过该多条数据线 120 以数据电压的形式传输至该多个像素单元 110。扫描驱动电路 103 用于与该多条扫描线 130 电性连接, 用于通过该多条扫描线 130 输出扫描信号用于控制像素单元 110 何时接收图像数据进行图像显示。控制电路 101 分别与数据驱动电路 102 和扫描驱动电路 103 电性连接, 用于控制数据驱动电路 102 与扫描驱动电路 103 的工作时序, 也即是输出对应的时序控制信号至数据驱动电路 102 以及扫描驱动电路 103。

本实施例中, 扫描驱动电路 103 直接设置于显示面板 10 的非显示区 10b, 控制电路 101 与数据驱动电路 102 则独立于阵列基板 10c 设置于其他的承载电路板板上。本实施例中, 扫描驱动电路 103 中的电路元件与显示面板 10 中的

像素单元 110 同一制程制作于显示面板 10 中，也即是 GOA (Gate on Array) 技术。

请参阅图 3，其为如图 1、2 所示阵列基板的侧面结构示意图。

如图 3 所示，阵列基板 10c 包括基底 11，所述基底 11 由透明材质的玻璃、
5 塑胶等材质构成。基底 11 包括相对的第一表面 111 与第二表面 112。所述第一表面 111 上设置有沿着第一方向 X 间隔预定距离且并列设置的第一薄膜晶体管 T1 与第二薄膜晶体管 T2。其中，第一方向 X 与第二方向 Y 均平行基底 11 所在平面。

需要说明的是，本实施例中，第一薄膜晶体管 T1 为低温制程制作的多晶
10 硅有源层薄膜晶体管 (Low Temperature Poly-silicon, LTPS)，第二薄膜晶体管 T2 为氧化物半导体薄膜晶体管，例如铟镓锌氧化物作为有源层的薄膜晶体管 (Indium Gallium Zinc Oxide, IGZO)。第一薄膜晶体管 T1 位于扫描驱动电路 103 或者数据驱动电路 102 中，用于针对显示区 10a 中的各个像素单元 110 进行扫描或者提供数据信号。第二薄膜晶体管 T2 为位于每一个像素单元 110 中
15 并与像素电极 Px 电性连接并驱动像素电极 Px 进行图像显示。

基底 11 上设置有缓冲层 12，缓冲层 12 分别包括沿着第三方向 Z 依次层
叠设置的第一子缓冲层 121 与第二子缓冲层 122，也即是第一缓冲层 121 设置
于基底 11 的第一表面 111，第二子缓冲层 122 则设置于第一子缓冲层 121 远
离第一表面 111 的表面。其中，第一子缓冲层 121 为氧化硅(SiOx)膜层，第二
20 子缓冲层为氮化硅(SiNx)膜层。

具体的，所述氮化硅及氧化硅叠层的厚度为 50~100nm。又如，氮化硅层
与氧化硅层的厚度比例为 1~1.5: 0.8~1.6；例如，氮化硅层与氧化硅层的厚
度比例为 1: 1。例如，氧化硅层的厚度为 20~60nm。其中，形成 SiNx 膜层
的反应气体为 SiH₄、NH₃、N₂ 的混合气体，或者为 SiH₂Cl₂、NH₃、N₂ 的混
25 合气体；形成 SiOx 膜层的反应气体为 SiH₄、N₂O 的混合气体，或者为 SiH₄、
硅酸乙酯 (TEOS) 的混合气体。

第一薄膜晶体管 T1 自缓冲层 12 表面沿第三方向 Z 依次叠设置的第一有
源层 131、第一栅极绝缘层 132、第一栅极 133、第一层间绝缘层 134 以及第
一源极/漏极 135，其中，第一源极/漏极 135 分别通过通孔 H1 与第一有源层电
30 131 电性连接。具体地，第一源极/漏极 135 中的第一源极 1351 与第一漏极 1352

分别位于第一栅极 133 沿着第一方向 X 的两侧,且通过两个通孔 H1 分别电性连接至第一有源层 131 沿着第一方向 X 的相对两侧。

第二薄膜晶体管 T2 包括自缓冲层 12 表面沿第三方向 Z 依次叠设置的第二栅极 151、第二栅极绝缘层 152、第二源极/漏极 153 以及第二有源层 154。

5 其中,第二有源层 154 设置于第二源极/漏极 153 远离基底 11 的表面上。具体的,第二源极/漏极 153 包括沿着第一方向 X 间隔预定距离设置的第二源极 1531 与第二漏极 1532,第二有源层 154 则沿着第一方向 X 延伸并且分别覆盖部分第二源极 1531 与部分第二漏极 1532,从而第二有源层 154 分别与第二源极 1531 与第二漏极 1532 电性连接。

10 本实施例中,第一有源层 131 与第一栅极 151 位于同一层结构且在同一制程中制作完成,且材质均为采用低温制程制作的多晶硅 (p-Si)。

第一层间绝缘层 134 与第二栅极绝缘层 152 位于同一层结构且在同一制程中制作完成,且均为氧化硅 (SiO_x) 材料。

15 第一源极/漏极 135 与第二源极/漏极 153 均为铝金属材质。其中,第一源极/漏极 135 与第二源极/漏极 153 为经过针对形成于所述层间绝缘层 134 表面的铝金属层进行图案化形成。并且在针对所述铝金属层进行图案化之前,需针对所述第一有源层 131 与所述第一栅极 131 的非晶硅材质进行离子激活/氢化处理,使得第一有源层 131 与所述第一栅极 131 的非晶硅材质进行修复以及钝化消除内部以及界面缺陷。

20 第二有源层 154 为氧化物半导体材料构成,具体地,第二有源层 154 可由铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO) 构成。第二薄膜晶体管 T2 用作像素单元 110 (图 2) 中驱动用薄膜晶体管,由于 IGZO 的薄膜晶体管具有尺寸体积较小且具有较佳地的阈值电压稳定性。

25 较佳地,第一有源层 131 为磷 (P) 掺杂的多晶硅材质,使得第一薄膜晶体管 T1 构成为顶栅极 (Top Gate) P 型薄膜晶体管。第二有源层 154 为氮 (N) 掺杂的氧化物半导体,使得第二晶体管 T2 构成底栅极 (Bottom Gate) N 型薄膜晶体管。

相较于现有技术,像素单元 110 中用作驱动的第一薄膜晶体管 T1 与设置在非显示区 10b 中的驱动电路中的第二薄膜晶体管 T2 同步进行制作,因此,
30 无需单独针对驱动电路中的第二薄膜晶体管 T2 单独进行制作,提高了制作效

率。

同时，利用氧化物半导体构成有源层的第二薄膜晶体管 T2 的通道尺寸较小，从而使得每个像素单元中薄膜晶体管占用的空间减小，继而有效增加了显示面板 10 中显示区 10a 的尺寸以及提高了开口率，并且在非显示区 10b 通过多晶硅的第一薄膜晶体管 T1 作为驱动地电路中作为开关的薄膜晶体管，从而使得扫描驱动电路或者数据驱动电路尺寸较小且响应速度快，继而使得非显示区 10b 尺寸进一步减小，从而达到提高屏占比实现窄边框的目的。

请参阅图 4，其为如图 3 所示阵列基板 10c 的制作过程中各步骤对应的侧面结构示意图，图 5 为如图 3 所示阵列基板的制作流程图。下面结合图 3-5 具体说明阵列基板 10c 的制作步骤。

步骤 401，如图 4 中的 4a 所示，提供基板 11，并且在基板 11 一侧的第一表面 111 形成缓冲层 12。

较佳地，在基底 11 的第一表面上利用等离子体化学气相沉积法(PECVD)沉积一层一定厚度的第一子缓冲层 121 与第二子缓冲层 122，例如，所述一定厚度为 50~100nm。其中，针对第一子缓冲层 121 的沉积材料可以为氧化硅(SiO_x)膜层，针对第二子缓冲层 122 的沉积材料可以为氮化硅(SiN_x)膜层。

步骤 402，如图 4 中的 4b 所示，在第二子缓冲层 122 表面形成多晶硅层并进行图案化，沿着第一方向 X 形成间隔预定距离的第一有源层 131 与第二栅极 151。

具体地，采用等离子体增强化学气相沉积(PECVD)工艺在缓冲层 12 远离基板的表面上沉积非晶硅层，接着利用激光照射所述非晶硅层使其转变为多晶硅层。其中，沉积温度一般控制在 500℃ 以下，非晶硅层的厚度为 40nm~50nm。当然，也可根据具体的工艺需要选择合适的厚度。

然后针对所述多晶硅层进行图案化。其中，所述图案化为通过构图工艺，对非晶硅层进行部分刻蚀，以使非晶硅层上形成图形化的第一有源层 131 及第一栅极 151。本实施例中，对多晶硅层的刻蚀可以采用现有技术的湿法刻蚀工艺或者干法刻蚀工艺实现。

步骤 403，如图 4 中的 4c 所示，在第一有源层 131 表面沿着第三方向 Z 依次形成层叠的第一栅极绝缘层 132 与第一栅极 133。

具体地，对应第一有源层 131 的位置采用 PECVD 工艺在第一有源层 131

远离基板的表面上沉积一定厚度的氮化硅和/或氧化硅膜层，然后再于氮化硅和/或氧化硅膜层上沉积金属层，所述金属层材料可为钼（Mo）、铜（Cu）等，然后针对所述金属层进行图案化，从而形成第一栅极 133。

5 较佳地，形成第一栅极 133 以后，通过离子注入在第一有源层 131 沿着第一方向 X 对应第一栅极 133 的相对两侧分别形成源漏区。

步骤 404，如图 4 中的 4d 所示，在第一栅极 133、第一栅极绝缘层 132 以及第二栅极 151 上形成绝缘层，其中，对应覆盖第一栅极绝缘层 132 以及所述第一栅极 133 的绝缘层构成第一层间绝缘层 134；对应覆盖第二栅极 151 的绝缘层构成第二栅极绝缘层 152。

10 具体地，采用 PECVD 工艺在第一栅极 133、第一栅极绝缘层 132 以及第二栅极 151 远离基板的表面上沉积一定厚度的氧化硅（SiO_x）膜层，氧化硅膜层作为所述绝缘层。其中，所述绝缘层在这第三方向 Z 的厚度大于第一栅极绝缘层 132 的厚度。

需要说明的是，形成绝缘层后，继续对应第一有源层 131 沿第一方向 X 15 对应第一栅极 133 的相对两侧对应源漏区的位置分别形成通孔 H1，所述通孔贯穿所述第一层间绝缘层 134 与第一栅极绝缘层 132，从而使得部分第一有源层 131 显露出来。

步骤 405，如图 4 中的 4e 所示，在第一层间绝缘层 134 与所述第二栅极绝缘层 152 上形成金属层 M1。其中，形成金属层 M1 后所述金属层 M1 通过 20 H1 与第一有源层 131 电性连接。本实施例中，金属层 M1 的材质为铝（Al）。

步骤 406，如图 4 中的 4f 所示，针对所述第一有源层 131 与所述第一栅极 151 的非晶硅材质进行离子激活/氢化处理。

具体地，透过金属层 M1 与第一层间绝缘层 134 以及第二栅极绝缘层 152 进行氮等离子处理的同时进行低温退火，然后进行离子激活和氢化。其中，在 25 氢化过程中，第一有源层 131 相对两个表面邻接的缓冲层 12 与第一栅极绝缘层 132 中 SiN_x 膜层作为氢源，在加热状态下将氢原子 H 转移至第一有源层 131 以及第一栅极 151 中，从而针对第一有源层 131 以及第一栅极 151 中多晶硅薄材料与包括氧化硅（SiO_x）膜层的界面存在未成键轨道的悬挂键进行修复，使得多晶硅晶膜层的界面态密度增加。本实施例中，低温退火的温度为 30 350-450℃，低温退火的时间为 20-40 分钟，当然，可变更地，可以依据实际

需求进行调整。

本实施例中，由于第一层间绝缘层 134 以及第二栅极绝缘层 152 由氧化硅（ SiO_x ）构成，氧化硅中一般键距离大约为 0.151nm（纳米），而氢键的距离大于为 0.2nm，由此，第一层间绝缘层 134 以及第二栅极绝缘层 152 可以有效阻挡 H 原子向外溢出，从而成为较佳的氢阻挡层。另外，金属层 M1 的扩散系数约为 $1.8\text{E-}12\text{cm}^2/\text{s}$ ，可见，金属层 M1 针对氢原子也具有较佳地阻挡作用，也即是为较佳的氢阻挡层。通过第一层间绝缘层 134 以及第二栅极绝缘层 152 配合金属层 M1，能够有效防止缓冲层 12 与第一栅极绝缘层 132 中的氢原子向金属层 M1 远离基底 11 的方向溢出，也即是使得缓冲层 12 与第一栅极绝缘层 132 中的氢原子能够较佳地转移至第一有源层 131 与第一栅极 151 中，提高第一有源层 131 与第一栅极 151 的氢化效果。

步骤 407，如图 4 中的 4g 所示，图案化所述金属层 M1，对应第一栅极 133 沿着第一方向 X 两侧的位置形成第一源极/漏极 135 中的第一源极 1351 与第一漏极 1352，且所述第一源极/漏极 135 与所述第一有源层 131 电性连接。至此，第一有源层 131、第一栅极绝缘层 132、第一栅极 133、第一层间绝缘层 134 以及第一源极/漏极 135 构成第一薄膜晶体管 T1。对应第二栅极 151 沿着第一方向 X 两侧的位置形成第二源极/漏极 153 中的第二源极 1531 与第二漏极 1532。

步骤 408，如图 4 中的 4h 所示，对应第二源极/漏极 153 形成第二有源层 154，至此，第二栅极 151、第二栅极绝缘层 152、第二源极/漏极 153 以及第二有源层 154 构成第二薄膜晶体管 T2。

具体地，将 IGZO 材质沉积在第二源极/漏极 153 上形成 IGZO 膜层，然后通过构图同一将 IGZO 膜层进行图案化构成第二有源层 154。所述第二有源层 154 分别覆盖部分第二源极/漏极 153 中的第二源极 1531 与第二漏极 1532，从而使得有源层 154 分别与第二源极 1531 与第二漏极 1532 电性连接。同时，第二有源层 154 覆盖第二源极 1531 与第二漏极 1532 之间显露出的第二栅极绝缘层 152，从而构成第二薄膜晶体管 T2 的导电沟道。

形成第二有源层 154 之前阵列基板 10c 已经完成氢化制程，因此，能够有效防止第二有源层 154 含有过多氢原子。较佳地，第二有源层 154 中的氢含量低于 $6\text{E}20\text{atoms}/\text{cm}^3$ ，以稳定第二薄膜晶体管 T2 的阈值电压 V_{th} 。

可以理解，后续在第二源极/漏极 135 上还形成有像素电极（图未示），其中，第二源极 1351 或者第二漏极 1352 与像素电极电性连接。

以上所述的实施方式，并不构成对该技术方案保护范围的限定。任何在上述实施方式的精神和原则之内所作的修改、等同替换和改进等，均应包含在该

5 技术方案的保护范围之内。

权利要求

1.一种阵列基板，其中，在基底上设置有沿着第一方向间隔预定距离且并列设置的第一薄膜晶体管与第二薄膜晶体管，所述第一方向平行所述基底所在平面，其中：

所述第一薄膜晶体管包括自所述基底一侧沿着第三方向依次叠设置的第一有源层、第一栅极绝缘层、第一栅极、第一层间绝缘层以及第一源极/漏极，所述第一源极/漏极与所述第一有源层电性连接；

所述第二薄膜晶体管包括自所述基底一侧沿着第三方向依次层叠设置的第二栅极、第二栅极绝缘层、第二源极/漏极以及第二有源层；

其中，所述第一有源层与所述第一栅极均为多晶硅材料，所述第二有源层为氧化物半导体材料，所述第三方向垂直于所述第一方向。

2.根据权利要求1所述的阵列基板，其中，所述第二有源层设置于第二源极/漏极远离所述基底的表面，并且分别与第二源极/漏极中的源极与漏极电性连接。

3.根据权利要求1所述的阵列基板，其中，所述基底表面还设置有缓冲层，所述第一有源层与所述第二栅极均设置于所述缓冲层远离所述基底的表面，所述缓冲层包括氧化硅层与氮化硅层，其中，所述氮化硅层较所述氧化硅层邻近所述第一有源层以及所述第二栅极。

4.根据权利要求1所述的阵列基板，其中，所述第一有源层与所述第一栅极位于同一层结构且在同一制程中制作完成。

5.根据权利要求4所述的阵列基板，其中，所述第一层间绝缘层与所述第二栅极绝缘层均为氧化硅材料，且所述第一层间绝缘层与所述第二栅极绝缘层位于同一层结构且在同一制程中制作完成。

6.根据权利要求5所述的阵列基板，其中，所述第一源极/漏极与所述第二源极/漏极均为铝金属，其中，所述第一源极/漏极与所述第二源极/漏极配合所述第一层间绝缘层与所述第二栅极绝缘层用于在对所述第一有源层与所述第一栅极的非晶硅材质进行离子激活/氢化处理时作为氢阻挡层。

7.根据权利要求1所述的阵列基板，其中，所述第一薄膜晶体管为P型薄膜晶体管，所述第二薄膜晶体管为N型薄膜晶体管，所述第二薄膜晶体管与进行图像显示的像素电极直接连接，用于驱动像素电极进行图像显示。

8.一种阵列基板制作方法，其中，包括步骤：

提供基板，并且在基板一侧形成缓冲层；

在所述缓冲层表面形成多晶硅层并进行图案化，沿着第一方向形成间隔预定距离的第一有源层与第二栅极；

5 在所述第一有源层表面沿着第三方向依次形成层叠的第一栅极绝缘层与第一栅极，所述第三方向垂直于所述第一方向且沿着远离所述基底方向延伸；

在所述第一栅极与所述第二栅极上形成绝缘层，其中，对应覆盖所述第一栅极绝缘层以及所述第一栅极的绝缘层构成第一层间绝缘层；对应覆盖所述第二栅极的绝缘层构成第二栅极绝缘层；

10 在所述第一层间绝缘层与所述第二栅极绝缘层上形成金属层；

针对所述第一有源层与所述第一栅极的非晶硅材质进行离子激活/氢化处理；

图案化所述金属层，其中，对应所述第一栅极沿着第一方向两侧的位置形成第一源极/漏极，且所述第一源极/漏极与所述第一有源层电性连接，所述第一有源层、所述第一栅极绝缘层、所述第一栅极、所述第一层间绝缘层以及所述
15 所述第一源极/漏极构成第一薄膜晶体管；对应所述第二栅极沿着第一方向两侧的位置形成第二源极/漏极；

对应所述第二源极/漏极形成第二有源层，所述第二栅极、所述第二栅极绝缘层、所述第二源极/漏极以及所述第二有源层构成第二薄膜晶体管。

20 9.根据权利要求 8 所述的阵列基板的制作方法，其中，所述金属层材料为铝，所述金属层配合所述第一层间绝缘层与所述第二栅极绝缘层用于在进行离子激活/氢化处理时作为氢阻挡层。

25 10.根据权利要求 8 所述的阵列基板的制作方法，其中，所述缓冲层包括氧化硅层与氮化硅层，其中，所述氮化硅层较所述氧化硅层邻近所述第一有源层以及所述第二栅极。

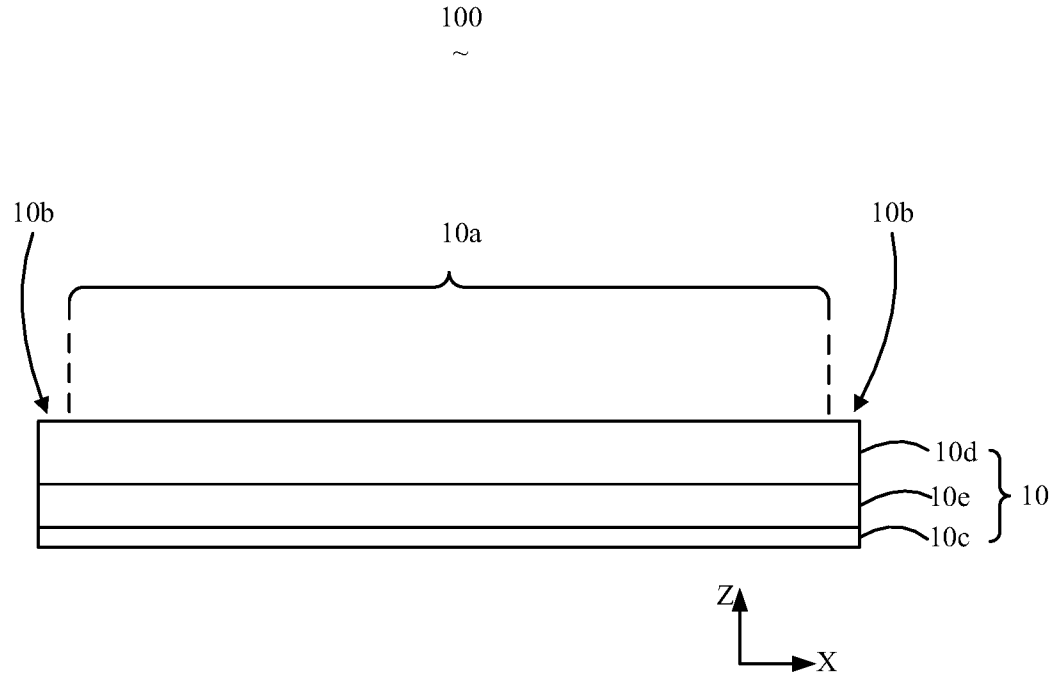


图 1

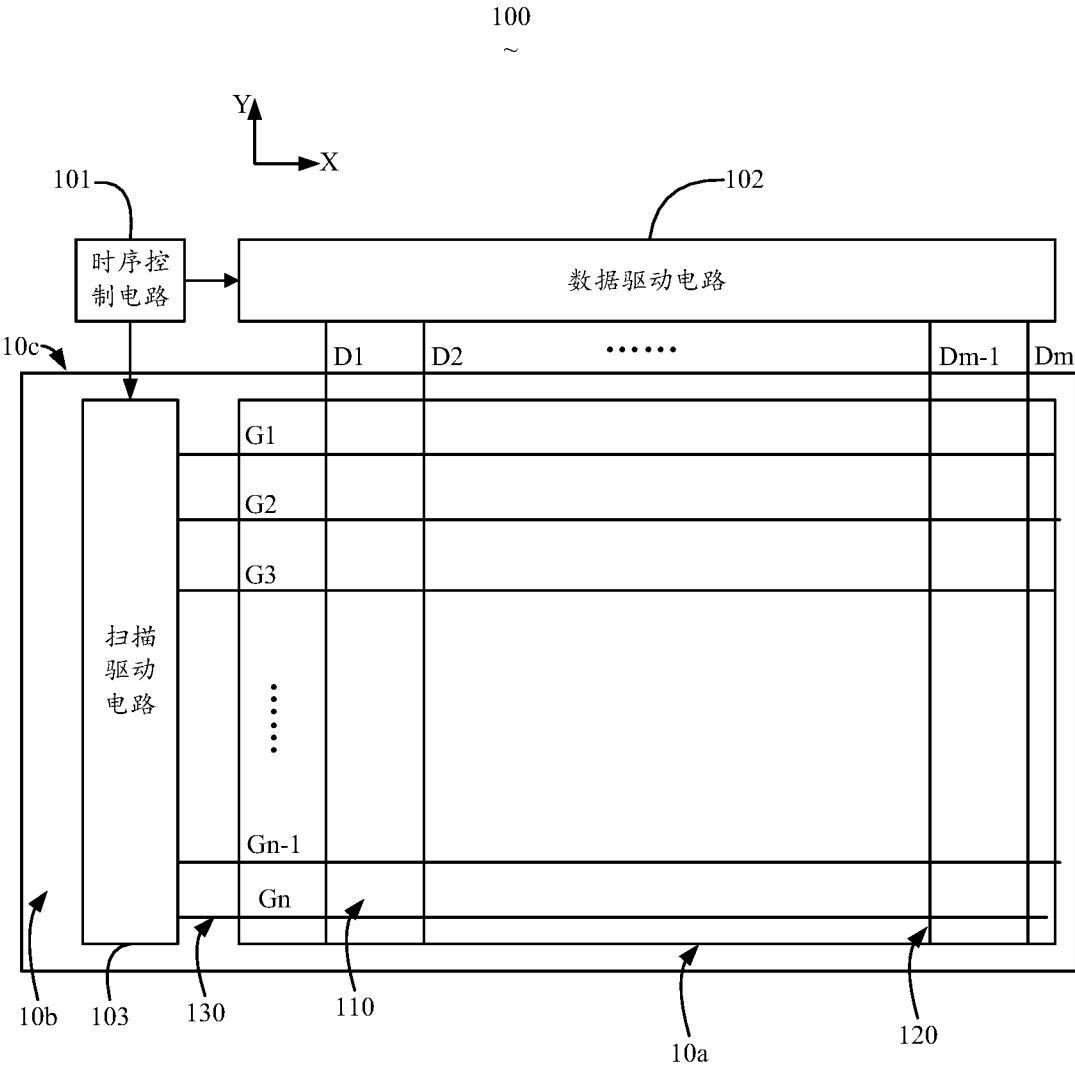


图 2

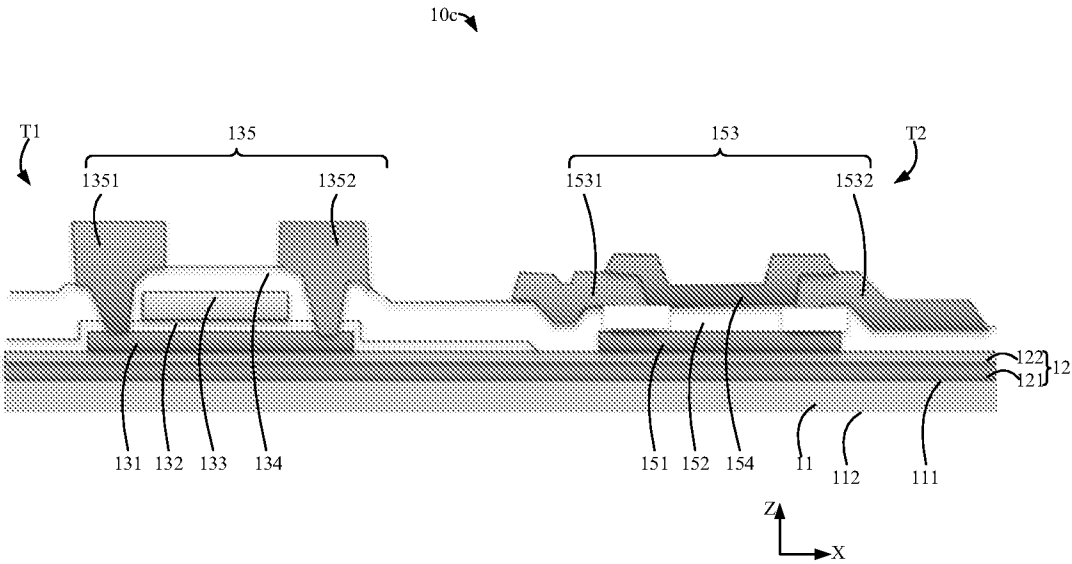


图 3

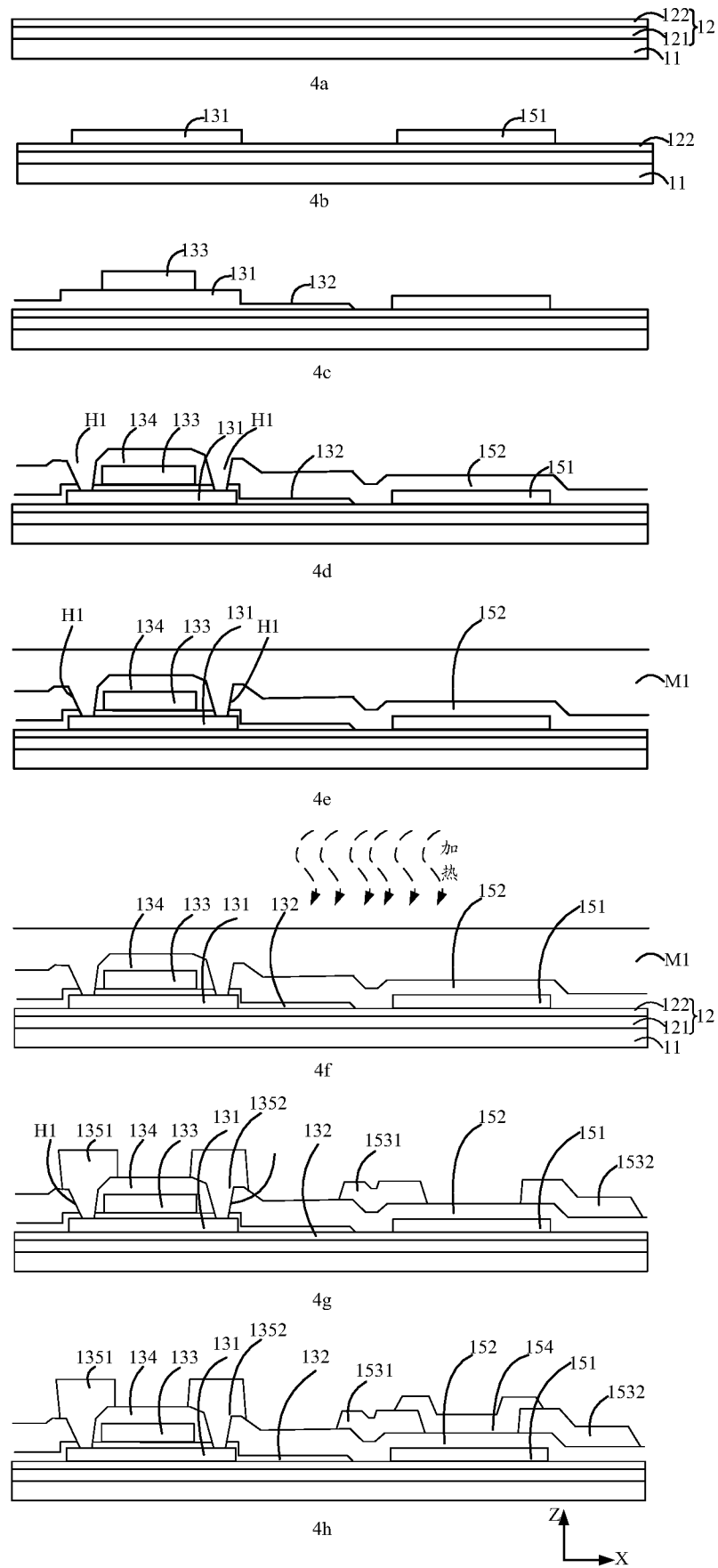


图 4

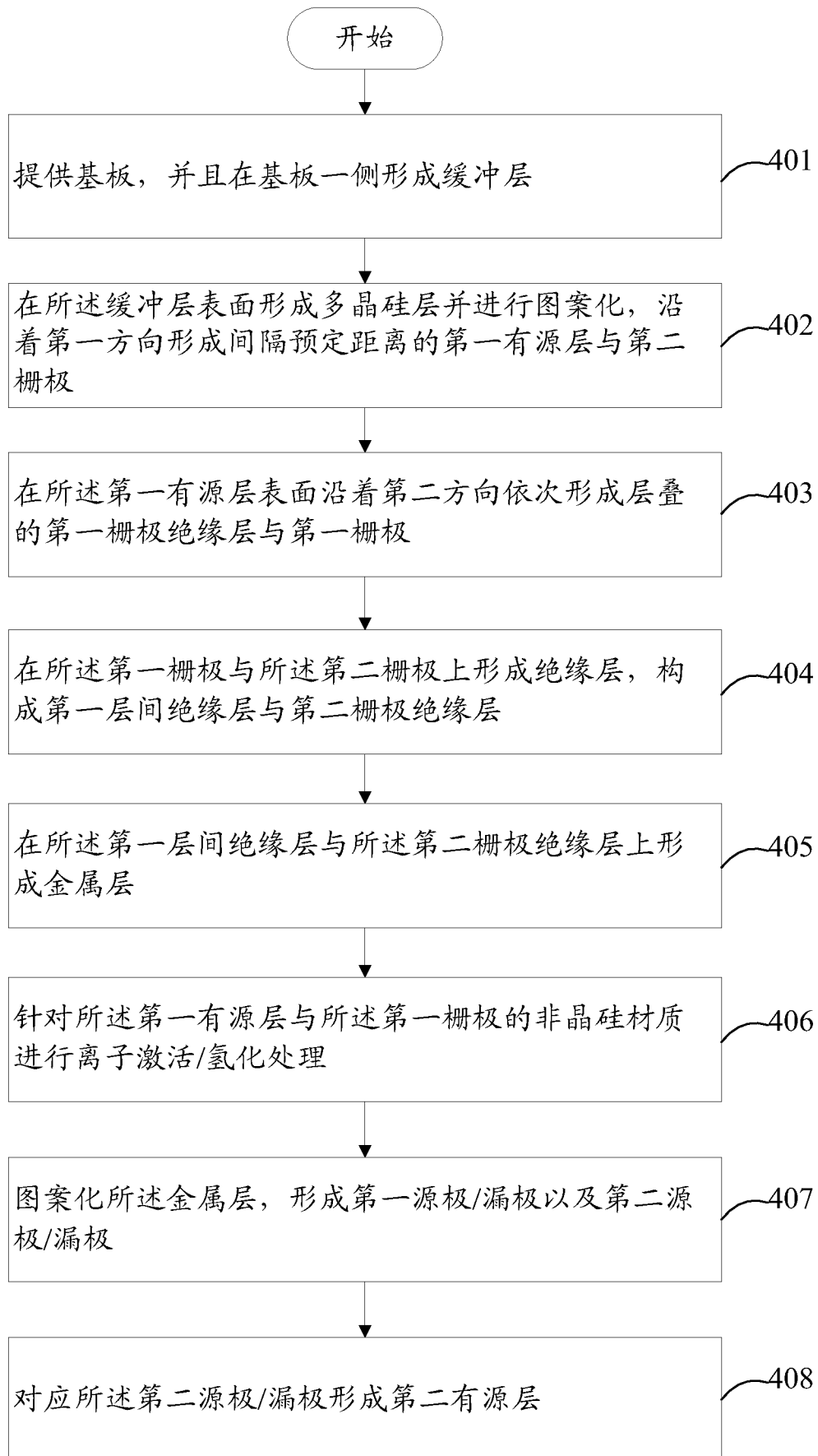


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/073958

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 有机发光, 二极管, 阵列基板, 驱动, 晶体管, 薄膜, 栅, 有源层, 半导体, 氧化物, 多晶硅, 栅极, 源极, 漏极, OLED, TFT, transistor+, thin, film, organic, light, diode?, polysilicon+, oxide+, semiconduct+, source, drain, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102013432 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 13 April 2011 (2011-04-13) description, paragraphs [0034]-[0072], and figures 1-6	1-10
A	CN 107039460 A (LG DISPLAY CO., LTD.) 11 August 2017 (2017-08-11) entire document	1-10
A	CN 106803510 A (LG DISPLAY CO., LTD.) 06 June 2017 (2017-06-06) entire document	1-10
A	CN 106876412 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.) 20 June 2017 (2017-06-20) entire document	1-10
A	US 2017117303 A1 (INNOLUX CORP.) 27 April 2017 (2017-04-27) entire document	1-10
A	US 2017221975 A1 (SAMSUNG DISPLAY CO., LTD.) 03 August 2017 (2017-08-03) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 June 2018

Date of mailing of the international search report

12 July 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/073958

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102013432	A	13 April 2011	JP	2011054936	A	17 March 2011
				TW	1567966	B	21 January 2017
				JP	5368381	B2	18 December 2013
				KR	20110024935	A	09 March 2011
				TW	201110343	A	16 March 2011
				US	2011049507	A1	03 March 2011
				KR	101073542	B1	17 October 2011
				US	8421090	B2	16 April 2013
CN	107039460	A	11 August 2017	US	9806105	B2	31 October 2017
				US	2017117304	A1	27 April 2017
				KR	20170049666	A	11 May 2017
CN	106803510	A	06 June 2017	KR	20170061776	A	07 June 2017
				US	2017155000	A1	01 June 2017
				EP	3174097	A1	31 May 2017
CN	106876412	A	20 June 2017	None			
US	2017117303	A1	27 April 2017	TW	1590423	B	01 July 2017
				TW	201715709	A	01 May 2017
				JP	2017083821	A	18 May 2017
US	2017221975	A1	03 August 2017	US	9620574	B2	11 April 2017
				KR	20160116182	A	07 October 2016
				US	2016284784	A1	29 September 2016

国际检索报告

国际申请号

PCT/CN2018/073958

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPODOC, CNKI; 有机发光, 二极管, 阵列基板, 驱动, 晶体管, 薄膜, 栅, 有源层, 半导体, 氧化物, 多晶硅, 栅极, 源极, 漏极, OLED, TFT, transistor+, thin, film, organic, light, diode?, polysilicon+, oxide+, semiconduct+, source, drain, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102013432 A (三星移动显示器株式会社) 2011年 4月 13日 (2011 - 04 - 13) 说明书第[0034]-[0072]段, 附图1-6	1-10
A	CN 107039460 A (乐金显示有限公司) 2017年 8月 11日 (2017 - 08 - 11) 全文	1-10
A	CN 106803510 A (乐金显示有限公司) 2017年 6月 6日 (2017 - 06 - 06) 全文	1-10
A	CN 106876412 A (厦门天马微电子有限公司) 2017年 6月 20日 (2017 - 06 - 20) 全文	1-10
A	US 2017117303 A1 (INNOLUX CORP.) 2017年 4月 27日 (2017 - 04 - 27) 全文	1-10
A	US 2017221975 A1 (SAMSUNG DISPLAY CO., LTD.) 2017年 8月 3日 (2017 - 08 - 03) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 6月 27日

国际检索报告邮寄日期

2018年 7月 12日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘媛

电话号码 86-(10)-53962419

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/073958

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102013432	A	2011年 4月 13日	JP	2011054936	A	2011年 3月 17日
				TW	I567966	B	2017年 1月 21日
				JP	5368381	B2	2013年 12月 18日
				KR	20110024935	A	2011年 3月 9日
				TW	201110343	A	2011年 3月 16日
				US	2011049507	A1	2011年 3月 3日
				KR	101073542	B1	2011年 10月 17日
				US	8421090	B2	2013年 4月 16日
CN	107039460	A	2017年 8月 11日	US	9806105	B2	2017年 10月 31日
				US	2017117304	A1	2017年 4月 27日
				KR	20170049666	A	2017年 5月 11日
CN	106803510	A	2017年 6月 6日	KR	20170061776	A	2017年 6月 7日
				US	2017155000	A1	2017年 6月 1日
				EP	3174097	A1	2017年 5月 31日
CN	106876412	A	2017年 6月 20日	无			
US	2017117303	A1	2017年 4月 27日	TW	I590423	B	2017年 7月 1日
				TW	201715709	A	2017年 5月 1日
				JP	2017083821	A	2017年 5月 18日
US	2017221975	A1	2017年 8月 3日	US	9620574	B2	2017年 4月 11日
				KR	20160116182	A	2016年 10月 7日
				US	2016284784	A1	2016年 9月 29日

表 PCT/ISA/210 (同族专利附件) (2015年1月)