

①② **EUROPÄISCHE PATENTSCHRIFT**

④⑤ Veröffentlichungstag der Patentschrift:  
**14.09.88**

⑤① Int. Cl.<sup>4</sup>: **G 09 G 1/16**

②① Anmeldenummer: **85105223.3**

②② Anmeldetag: **29.04.85**

---

⑤④ **Schaltung zum Erzeugen eines ein Messsignal darstellenden Videosignals.**

---

④③ Veröffentlichungstag der Anmeldung:  
**12.11.86 Patentblatt 86/46**

⑦③ Patentinhaber: **Glonner Electronic GmbH,**  
**Fraunhoferstrasse 11a, D-8033 Martinsried (DE)**

④⑤ Bekanntmachung des Hinweises auf die Patenterteilung:  
**14.09.88 Patentblatt 88/37**

⑦② Erfinder: **Liebel, Werner, Kapellenweg 9,**  
**D-8036 Herrsching 2/ Breitbrunn (DE)**  
Erfinder: **Antesberger, Peter, Kapellenweg 10,**  
**D-8036 Herrsching 2/ Breitbrunn (DE)**  
Erfinder: **Einberger, Peter, Starnberger Strasse 5,**  
**D-8000 München 71 (DE)**

⑧④ Benannte Vertragsstaaten:  
**CH DE FR GB LI**

⑤⑥ Entgegenhaltungen:  
**US - A - 3 686 662**  
**US - A - 4 068 310**

⑦④ Vertreter: **Schoppe, Fritz, Schoppe - Schmitz - Weber**  
**Patentanwälte Ludwig-Ganghofer-Strasse 20,**  
**D-8022 Grünwald bei München (DE)**

**EP 0 200 795 B1**

---

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

---

## Beschreibung

Die vorliegende Erfindung betrifft eine Schaltung zum Erzeugen eines ein Messsignal darstellenden Videosignals nach dem Oberbegriff des Anspruchs 1.

Die US-A-3 686 862 zeigt bereits eine Schaltung zum Erzeugen eines ein Messsignal darstellenden Videosignals zur Ansteuerung eines Bildschirmanzeigergerätes mit einer Videospeicherschaltung mit wahlfreiem Zugriff, in der unter einer Adresse, die der x-Ablenkung des Schreibstrahls der Kathodenstrahl-Bildröhre entspricht, einzelne, diskrete y-Werte abgespeichert sind. Die bekannte Schaltung hat ferner eine Horizontaladresssteuerschaltung, die ein Auslesen dieses Videospeichers in Synchronisation mit der Horizontalablenkung des Kathodenstrahls vornimmt. Ferner beinhaltet die bekannte Videosignalerzeugungsschaltung eine Schaltung zum Erzeugen eines die momentane vertikale Lage des zu erzeugenden Videosignals darstellenden, digitalen Vertikalsignals. Am Ausgang der Videospeicherschaltung ist eine digitale Interpolationsschaltung angeschlossen, die aus den unter zwei benachbarten Adressen entsprechend zweier benachbarter x-Ablenkungen des Kathodenstrahls abgespeicherten y-Ablenkungswerten durch Interpolation einen Zwischenwert erzeugt, der einem x-Zwischenwert zugeordnet wird. Diese durch Interpolation gewonnenen y-Digitaldaten werden zusammen mit den aus der Videospeicherschaltung ausgelesenen y-Daten der Digitalkomparatorschaltung zugeführt, die diese Daten auf Übereinstimmung mit den Ausgangsdigitalsignalen der Vertikalsignalschaltung vergleicht. Bei Übereinstimmung des von der Vertikalsignalschaltung erzeugten Digitalsignals, das üblicherweise die Form eines Datenwortes hat, mit dem aus der Videospeicherschaltung ausgelesenen y-Datenwert oder mit dem aus der Interpolationsschaltung gewonnenen y-Zwischendatenwert wird ein Videosignal ein- und ausgeschaltet. Das mittels einer derartigen Schaltung erzeugte Videosignal zeigt ein treppenförmiges Messsignal, dessen Stufengrösse von der Anzahl der interpolierten Zwischenwerte abhängt, die von der Interpolationsschaltung berechnet werden. Für eine starke Erhöhung der Auflösung wäre eine hohe Anzahl von durch die Interpolationsschaltung erzeugten Zwischenwerten nötig. Da jedoch bereits die Auslesung der Videospeicherschaltung relativ hochfrequent erfolgt, und da die weitere Erhöhung der Zwischenpunkte zwangsweise zu einer Erhöhung der Verarbeitungsfrequenz führt, sind der erzielbaren Auflösung relativ enge Grenzen gesetzt, so dass bei praktischen Anwendungen lediglich die Erzeugung von jeweils einem Zwischenpunkt in Frage kommt.

Die US-A-4 068 310 zeigt gleichfalls eine Schaltung zum Erzeugen eines ein Messsignal darstellenden Videosignals, die mit einer Videospeicherschaltung mit wahlfreiem Zugriff arbeitet. Auch diese bekannte Schaltung hat eine Horizontaladresssteuerschaltung, eine Vertikalsignalschaltung zum Erzeugen einer die momentane vertikale Lage des zu erzeugenden Videosignals darstellenden Vertikalsignaldaten und einen digitalen Komparator, mit dem die Ein- und Ausschaltung des Videosignals vorgenommen

wird. Über eine weitere Komparatorschaltung wird bestimmt, ob der Abstand zweier aufeinanderfolgender, aus der Videospeicherschaltung ausgelesener y-Datenwerte mehr als eine Bildzeile Abstand aufweist. Wenn dies der Fall ist, wird ein zwischen den beiden y-Werten liegender Datenwert dadurch erzeugt, dass mit einer Verzögerung, die der Hälfte der Abtastdauer zwischen zwei aufeinanderfolgenden x-Werten des Bildsignals entspricht, in der zwischen den gespeicherten Werten liegenden Zeile die Ansteuerung des Videosignals vorgenommen wird. Auch mit dieser bekannten Schaltung zum Erzeugen eines ein Messsignal darstellenden Videosignals kann lediglich eine Treppenkurve erzeugt werden, die das darzustellende Messsignal grob annähert.

Gegenüber diesem Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine Schaltung der im Oberbegriff des Anspruchs 1 genannten Art so weiterzubilden, dass mit ihr eine verbesserte Darstellung eines Messsignals möglich ist.

Diese Aufgabe wird bei einer derartigen Schaltung durch das Merkmal im kennzeichnenden Teil des Anspruchs 1 gelöst.

Durch die dem Video-D/A-Wandler nachgeschaltete Tiefpassfilterschaltung werden bei dem am Ausgang des Video-D/A-Wandlers mit dem Erzeugen einer jeden Videobildzeile anliegenden Messsignal Quantisierungsstufen verschliffen, die sich aus einer Zuordnung einzelner Messsignalpunkte zu dem Bildraster vor dessen Digitalisierung ergeben haben. Bei dem Vergleich des derart gefilterten Signals mit dem Vertikalsignal von der Vertikalsteuerung wird nicht mehr, wie beim Stand der Technik, ein Vorliegen des Messsignals im Raster der Bildschirmpunktunterteilung ermittelt, also das Messsignal z.B. entweder einem bestimmten linken oder einem bestimmten rechten Bildschirmpunkt, der der optimalen Messsignaldarstellung jeweils am nächsten kommt, zugeordnet, sondern im Gegensatz zu einer derartigen Zuordnung ein Vergleichssignal nunmehr auch an beliebigen Stellen zwischen zwei Bildpunkten innerhalb einer Zeile erzeugt. Besonders deutlich wird die durch die erfindungsgemässe Schaltung erreichte Verbesserung der Video-Messsignal Darstellung an folgendem Beispiel:

Es sei angenommen, dass ein Messsignal darzustellen ist, das eine Flanke enthält, die annähernd senkrecht steht, also beispielsweise eine Steigung von 10 Bildschirmzeilen in der senkrechten Richtung bei einer Horizontalerstreckung von nur zwei Bildschirmpunkten hat. Eine derartige, steile Flanke konnte mittels der bekannten Schaltung nur derart dargestellt werden, dass das Signal als Treppe aus zwei senkrechten Linien mit einer Länge von jeweils fünf Zeilen und einem Horizontalversatz von einem Bildschirmpunkt erscheint. Die erfindungsgemässe Schaltung lässt dagegen eine Bildschirmdarstellung erscheinen, bei der gemäss diesem Beispiel die aufeinanderfolgenden Messsignalpunkte aufeinanderfolgender Bildschirmzeilen nur jeweils einen Versatz von einem Zehntel Bildschirmpunkt haben. Eine derartige Darstellung wird als stufenfreie, leicht geneigte Linie wahrgenommen.

Die erfindungsgemässe Schaltung ermöglicht bei kontinuierlichen, stetigen Signalen somit eine deut-

lich verbesserte Qualität der Bildschirmdarstellung des Messsignals.

Eine weitere Steigerung der Qualität der Bildschirmdarstellung von Messsignalen wird dadurch erreicht, dass das von der Vergleichsschaltung erzeugte Vergleichssignal einen Maximalwert bei Übereinstimmung des Vertikalsignals mit dem Ausgangssignal des Video-D/A-Wandlers annimmt, und dass das Vergleichssignal mit zunehmender Differenz zwischen dem Vertikalsignal und dem Ausgangssignal stetig abnimmt, wobei es, wenn die Differenz einen Grenzwert übersteigt, den Wert annimmt, der das Nichtvorliegen des Punktes des Messsignals in der momentan erzeugten Zeile des Videosignals darstellt. Der letztgenannte Wert ist bei einer schwarzen Darstellung eines Messsignals auf einem weissen Hintergrund der Weisspegel, und bei einer weissen Darstellung des Messsignals vor einem schwarzen Hintergrund der Schwarzpegel des Videosignals. Mit dieser Ausgestaltung der Vergleichsschaltung wird erreicht, dass das dargestellte Messsignal um so heller ist, je näher dessen mit dem Vertikalsignal verglichener Wert an dem Vertikalsignalwert liegt. Maximale Helligkeit wird also bei Übereinstimmung des Ausgangssignals des Tiefpassfilters mit dem Vertikalsignal erreicht, während beispielsweise eine etwa halbe Helligkeit des Bildpunktes dann erzeugt wird, wenn das Videosignal zwischen zwei Werten des Vertikalsignals liegt, die zwei benachbarte Zeilen angeben. Diese Helligkeitssteuerung des Videosignals bewirkt auch bei einem annähernd waagrecht liegenden Messsignal eine optisch vermeintlich stufenfreie Darstellung.

Vorzugsweise liegt die Grenzfrequenz der Tiefpassfilterschaltung zwischen einem Drittel und einem Zehntel der mit der Anzahl der Bildpunkte pro Zeile multiplizierten Zeilenfrequenz, da in diesem Fall eine Verbesserung der Form des dargestellten Messsignals praktisch ohne Einschränkung des darstellbaren Messsignalfrequenzbereichs geschieht. Mit anderen Worten kann auf eine Darstellung von Messsignalen, deren dargestellte Periodendauer kürzer als beispielsweise drei Bildpunkte ist, verzichtet werden, da derartige Signale aufgrund des dann zu groben Rasters nicht mehr als Schwingung darstellbar sind.

Bei der üblichen Zeilenfrequenz von 15 625 Hz und der üblichen Anzahl von 833 Bildpunkten pro Zeile wird die Grenzfrequenz der Tiefpassfilterschaltung vorzugsweise in den Bereich zwischen 1 und 10 MHz gelegt.

Durch Verwenden einer Halteschaltung am Eingang der Video-D/A-Wandlerschaltung werden Störeffekte bei der Übernahme neuer Digitalwerte in den Wandler vermieden. Diese als «Glitch»-Effekt bekannten Störungen können mittels marktüblicher D/A-Wandler vermieden werden, die überwiegend bereits integrierte Halteschaltungen aufweisen.

Eine leichtere Erfassbarkeit kurzfristiger Ereignisse, wie z.B. kurzer Impulse wird dadurch erreicht, dass an die Vergleichsschaltung ausgangsseitig eine einem Anstieg des Vergleichssignals mit ihrem Ausgangssignal schnell folgende, einem Abfall des Vergleichssignals nur entsprechend einer vorbestimmten Zeitkonstante mit ihrem Ausgangssignal

folgende Vergleichssignalverbreiterungsschaltung angeschlossen ist. Insbesondere im medizinischen Bereich zum Anzeigen von von einem Patienten mittels Messwandlern abgeleiteten Signalen kann eine derartige Erfassung kurzzeitiger Ereignisse hilfreich sein.

Eine von der Verarbeitung des Videosignals taktmässig unabhängige Verarbeitung des Messsignals wird dadurch erreicht, dass eine Zwischenspeicherschaltung für aus dem Messsignal gebildete Messsignalen an einen Dateneingang der Videospeicherschaltung angeschlossen ist, und dass der Speicherinhalt der Zwischenspeicherschaltung jeweils nach dem Erzeugen eines ein Halbbild darstellenden Videosignals in den Videospeicher einspeicherbar ist. Diese Struktur ermöglicht eine Messsignaldatenverwaltung, die taktmässig weitgehend vom Videotakt entkoppelt sein kann.

Ein Synchronisieren der periodischen Auslesung des Videosignalspeichers mit dem Videotakt wird dadurch erreicht, dass die Horizontaladresssteuerung einen Pixeltaktgenerator hat, der synchron zum Horizontalsynchronisationssignal ein Pulssignal mit einer mit der Anzahl der Bildpunkte pro Zeile multiplizierten Zeilenfrequenz erzeugt, wobei die Horizontaladresssteuerung einen die momentane Adresse einer auszulesenden Speicherzelle der Videospeicherschaltung erzeugenden ersten Zähler aufweist, der an diesem Pixeltaktgenerator angeschlossen ist, und dessen Zählwert bei dem Erzeugen einer jeden Zeile beginnend ab einer Startadresse in Abhängigkeit von dem Pulssignal des Pixeltaktgenerators variierbar ist. Die Startadresse des ersten Zählers bleibt für jeweils mindestens ein Halbbild konstant.

Vorzugsweise wird das Messsignal in einer sich quasi-kontinuierlich zum linken Rand des Bildschirms bewegenden Darstellung wiedergegeben. Zu diesem Zweck hat die Zwischenspeicherschaltung einen Mikrocomputer, der die momentane Startadresse des ersten Zählers jeweils vor dem Erzeugen eines ein Halbbild darstellenden Videosignals um eine vorbestimmte Startadressendifferenz gegenüber der Startadresse des ersten Zählers beim Erzeugen des vorhergehenden Halbbildes verändert.

Eine softwaremässige Einstellbarkeit der jeweils dargestellten Bildschirmzeilenlänge bewirkt der zweite Zähler der Horizontaladresssteuerung, der ebenfalls an den Pixeltaktgenerator angeschlossen ist und der jeweils nach dem mit einer zweiten Startadresse beginnenden Zähler einer der Anzahl von Bildpunkten einer Bildzeile einer gewünschten Länge entsprechenden Zahl von Pulsen des Pixeltaktgenerators ein Überlaufsignal erzeugt. Dieses Überlaufsignal bewirkt vorzugsweise in Synchronisation mit den Pulsen vom Pixeltaktgenerator ein Rücksetzen einer Logikschaltung, die beim Auftreten des Horizontalsynchronisationssignals, wiederum vorzugsweise in Synchronisation mit den Pulsen vom Pixeltaktgenerator gesetzt wird. Die Logikschaltung steuert das Laden des ersten und zweiten Zählers mit den ersten und zweiten Startadressen der Zähler während ihres rückgesetzten Zustandes.

Ein Vertikalsignal von besonders hoher Genauigkeit im Verhältnis zur Zeilenzahl wird durch die Schal-

tung zum Erzeugen des Vertikalsignals gebildet, wenn diese einen dritten Zähler aufweist, der die Pulse des Horizontalsynchronisationssignals zählt und vom Vertikalsynchronisationssignal rückgesetzt wird, wobei der dritte Zähler einen programmierbaren Festwertspeicher ansteuert, dessen Ausgang an den Vertikal-D/A-Wandler angeschlossen ist. Diese Ausgestaltung der Schaltung zum Erzeugen des Vertikalsignals hat nicht nur den Vorteil einer hohen zeitlichen und amplitudenmässigen Genauigkeit des Vertikalsignals, sondern ermöglicht auch eine leichte Anpassung des Zeitverlaufs des Vertikalsignals durch geeignete Programmierung des Festwertspeichers.

Vorzugsweise ist der Festwertspeicher derart programmiert, dass die Schaltung zum Erzeugen des Vertikalsignals bei ansteigenden Zählwerten des dritten Zählers ein sägezahnförmiges Vertikalsignal ausgibt, das eine der Anzahl der gleichzeitig darstellbaren Messsignale entsprechende Anzahl von sägezahnförmigen Rampen hat. Mit anderen Worten ist in diesem Fall vorzugsweise je einem darzustellenden Messsignal ein bestimmter Zeilenbereich des Bildschirms zugeordnet, dem ein Zählwertbereich des dritten Zählers entspricht. Beim Durchlaufen eines jeden Zählwertbereichs durchläuft das Ausgangssignal des programmierbaren Festwertspeichers und damit das Ausgangssignal des nachgeschalteten Vertikal-D/A-Wandlers eine quasi-kontinuierliche Rampe. Bei einer derartigen Vertikalsignalsteuerung kann eine Mehrzahl von Messsignalen zur Anzeige gebracht werden.

Wenn die Anzahl von Messsignalen, die darzustellen sind, so gross wird, dass der einem einzelnen Messsignal zugeordnete Zeilenbereich die Messsignalamplitude zu stark einschränkt, so ist eine teilweise oder vollständig überlappende Darstellung der einzelnen Messsignalkurven auf gemeinsamen Zeilenbereichen des Bildschirms dadurch möglich, dass zwei verschiedene, unabhängige Schaltungen vorgesehen sind, die jeweils die Schaltung zum Erzeugen eines Vertikalsignals die Videospeicherschaltung, den Video-D/A-Wandler, die Tiefpassfilter-schaltung und die Vergleichsschaltung aufweisen.

Nachfolgend werden bevorzugte Ausführungsbeispiele der vorliegenden Erfindung unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Blockdiagramm der erfindungsgemässen Schaltung;

Fig. 2 ein detailliertes Schaltbild der Schaltung gemäss Fig. 1; und

Fig. 3 ein Schaltbild der zum Steuern der Schaltung gemäss Fig. 1 vorgesehenen Horizontalsteuerung bzw. Horizontaladresssteuerschaltung.

Zunächst wird auf Fig. 1 Bezug genommen. Ein Messwandler 1 erzeugt ein Messsignal, das einem Analog-Digital-Wandler 2 (A/D-Wandler 2) zugeführt wird. Die digitale Darstellung des Messsignals liegt an einem Dateneingangsbus eines Mikrocomputers 3 an. Der Mikrocomputer 3 tastet das digitalisierte Messsignal periodisch ab und speichert die Messsignalwerte in einem Lese-Schreib-Speicher (RAM) 4. Ein Datenausgangsbus des Mikrocomputers 3 ist mit einem Dateneingang eines Video-RAM 5 verbunden.

Sowohl der Mikrocomputer 3 als auch das Video-RAM 5 sind mit einer Horizontalsteuerung bzw. Horizontaladresssteuerschaltung 6 verbunden, die den zeitlichen Ablauf des Betriebes des Mikrocomputers 3 und des Video-RAM 5 steuert. Das Datenausgangssignal des Video-RAM 5 wird einem Digital-Analog-Wandler (D/A-Wandler) 8 zugeführt, der über eine Halteschaltung verfügt. Der D/A-Wandler 8 ist ausgangsseitig mit dem Eingang einer Tiefpassfilterschaltung 9 verbunden, deren Ausgangssignal einem ersten Eingang eines Differenzverstärkers 11 zugeführt wird. Eine Vertikalsteuerung 7 ist an dem Video-RAM 5 angeschlossen, um einen gewünschten Speicherbereich, der einem Messsignalkanal einer Mehrzahl vom Messsignalkanälen zugeordnet ist, anzusteuern. Gleichfalls ist die Vertikalsteuerung 7, die nachfolgend auch als Schaltung zum Erzeugen eines Vertikalsignals bezeichnet wird, an einen Digital-Analog-Wandler (D/A-Wandler) 10 angeschlossen, der seinerseits ausgangsseitig mit einem zweiten Eingang des Differenzverstärkers 11 in Verbindung steht. Der Differenzverstärker 11 ist an eine Intensitätssteuerschaltung 12 angeschlossen. Die Intensitätssteuerschaltung ist eine Schaltung mit der in Fig. 1 skizzenhaft angegebenen Übertragungscharakteristik, also ein maximales Ausgangssignal bei einem Nullwert des Eingangssignals erzeugt, wobei das Ausgangssignal mit ansteigendem Absolutbetrag des Eingangssignals stetig abnimmt, um oberhalb eines positiven oder negativen Grenzwertes für das Eingangssignal ausgangsseitig den Wert Null anzunehmen.

Das Ausgangssignal der Intensitätssteuerschaltung dient zum Steuern eines nachfolgenden Videosignalmodulators 13, dem ein Schwarzpegel  $U_{\text{schwarz}}$  und ein Weisspegel  $U_{\text{weiss}}$  zugeführt wird. Das sich ergebende Ausgangssignal des Videosignalmodulators 13 wird mit einem Horizontalsynchronisationssignal von einer Horizontalsynchronisationsschaltung 14 und mit einem Vertikalsynchronisationssignal von einer Vertikalsynchronisationssignalschaltung 15 zusammengeführt. Das sich am Summationspunkt ergebende Signal ist ein vollständiges Videosignal, das zum Steuern eines nachfolgenden Videowiedergabegerätes 16 dient.

Einzelheiten der in Fig. 1 gezeigten Schaltung werden nunmehr unter Bezugnahme auf Fig. 2 erläutert. Bezugszeichen in Fig. 2, die denen gemäss Fig. 1 entsprechen, bezeichnen gleiche oder ähnliche Teile.

Das Bezugszeichen 17 und das Bezugszeichen 17' bezeichnen zwei parallele Datenausgangsbusse des in Fig. 2 nicht dargestellten Video-RAM 5, das bei dem in Fig. 2 dargestellten bevorzugten Ausführungsbeispiel als Dual-Port-Video-RAM 5 ausgeführt ist. Jeder Datenausgangsbus des Dual-Port-Video-RAM 5 ist mit nachfolgend näher beschriebenen, völlig identisch aufgebauten Schaltungen verbunden. Man erkennt in Fig. 2, dass der obere rechte Schaltungsteil und der mittlere rechte Schaltungsteil völlig identisch aufgebaut sind. Daher genügt eine einmalige Beschreibung des oberen rechten Schaltungsteils, die analog auch für den mittleren rechten Schaltungsteil gilt, dessen Elemente mit gleichen, aber apostrophierten Bezugszeichen bezeichnet sind.

Der Datenausgangsbuss 17 ist an eine Halteschaltung 18 angeschlossen, die einen Takteingang 19 aufweist, der mit einem später unter Bezugnahme auf Fig. 3 näher beschriebenen Pixeltaktgenerator 100 verbunden ist, der das Pixeltaktsignal PLC erzeugt. An die Halteschaltung 18 ist ein Digital-Analog-Wandler 8 angeschlossen, der einen eingepprägten Strom an seinem Ausgang 6 erzeugt, der dem eingangsseitig anliegenden Datenwort entspricht. Der Ausgang 6 des D/A-Wandlers 8 ist an die mit dem Bezugszeichen 9 insgesamt bezeichnete Filterschaltung 9 angeschlossen, die die Oberwellen des Ausgangsstroms des D/A-Wandlers 8 dämpft. Der D/A-Wandler 8 hat einen vorgegebenen Innenwiderstand, der den Abschluss der Filterschaltung an dessen Ausgang 6 bildet. Ein dritter Zähler 50 hat einen Eingang 10, an dem das Horizontalsynchronisationssignal anliegt, und einen Rücksetz-Eingang 11, an dem das Vertikalsynchronisationssignal anliegt. Der dritte Zähler 50 dient zum Ermitteln der Anzahl von Horizontalsynchronisationspulsen, die seit dem letzten Vertikalsynchronisationspuls aufgetreten sind. Mit anderen Worten entspricht der Zählerinhalt des dritten Zählers 50 der Nummer der von einem aktuell erzeugten Videosignal beschriebenen Zeile des Bildschirms des Videowiedergabegerätes 16. Der dritte Zähler 50 steht über einen Adressbus 20 mit einer Festwertspeicherschaltung 51 in Verbindung, die nachfolgend als Vertikal-PROM 51 bezeichnet wird.

Das Vertikal-PROM ist derart programmiert, dass es bei kontinuierlich steigenden Eingangsadressen ein Datenausgangswort erzeugt, das einer Sägezahnkurve mit mehreren quasi-kontinuierlichen Rampen entspricht. Jeweils eine Rampe des Ausgangssignals des Vertikal-PROM 51 dient zum Erzeugen eines Vergleichssignals für jeweils eines einer Mehrzahl von Messsignalen, die in dem entsprechenden Kanal (hier oberen Kanal) des Dual-Port-Video-RAM 5 abgelegt sind.

Wie bereits unter Bezugnahme auf Fig. 1 zur Vertikalsteuerung 7 erläutert wurde, ist diese mit dem Video-RAM 5 verbunden. Die Verbindung zwischen der Vertikalsteuerung 7 und dem Video-RAM 5 dient zum Adressieren des jeweils auszulesenden Messsignalkanals. Die Vertikaladressierung des Video-RAM wird in dem in Fig. 2 gezeigten Ausführungsbeispiel durch das Kanal-Adressierungs-PROM 21 vorgenommen, das gleichfalls eingangsseitig mit dem Adressbus 20 in Verbindung steht.

Die Ausgangsseite des Vertikal-PROM 51 ist an den Vertikal-D/A-Wandler 10 angeschlossen, der die gleiche Struktur wie der Video-D/A-Wandler 8 aufweist. Auch der Vertikal-D/A-Wandler 10 besitzt einen Analogausgang mit eingepprägter Stromquelle und einem vorgegebenen Innenwiderstand, der die Tiefpassfilterschaltung 9 zur Analogstromausgangsseite des Vertikal-D/A-Wandlers 10 hin abschliesst.

Somit arbeitet der Video-D/A-Wandler 8 mit seinem eingepprägten Ausgangsstrom über die Tiefpassfilterschaltung 9 gegen den Innenwiderstand des Vertikal-D/A-Wandlers 10, der seinerseits mit seinem eingepprägten Ausgangsstrom über die Tiefpassfilterschaltung 9 gegen den Innenwiderstand des Video-

D/A-Wandlers 8 arbeitet. An dem mit dem Bezugszeichen 22 bezeichneten Knotenpunkt liegt somit ein Differenzspannungssignal an, das sich aus dem Stromausgangssignal der Tiefpassfilterschaltung 9 gegen den Innenwiderstand des Wandlers 10 und aus dem Ausgangsstrom des Wandlers 10 gegen den Innenwiderstand des Wandlers 8 ergibt.

Das Differenzsignal wird über eine Differenzverstärkerschaltung 11 spannungsmässig verstärkt und an den Eingang eines Verstärkers 23 angelegt. Je nach Polarität des Eingangssignals erzeugt der Verstärker 23 an einem seiner beiden Ausgänge 6, 8 ein Ausgangssignal zum Steuern nachgeschalteter Verstärkungstransistoren 24, 25. Die Transistoren 24, 25 liegen kollektorseitig an einer positiven Versorgungsspannung und sind emitterseitig mit jeweils einer Elektrode eines Kondensators 26 verbunden. Jede Kondensatorelektrode liegt über einen Entlade-widerstand 27, 28 an einem negativen Potential. Die Ladung der jeweils negativeren Elektrode des Kondensators 26 bestimmt über an die Elektroden des Kondensators 26 sowie einen Ausgangsknotenpunkt 31 angeschlossene Dioden 29, 30 das Potential des Ausgangsknotenpunktes 31.

Die Kondensator-Widerstands-Schaltung 26 bis 30 bildet zusammen mit den Transistoren 24, 25 eine Schaltung, die einem eingangsseitigen schnellen Anstieg des Eingangssignals des Verstärkers 23 schnell zu folgen vermag, wobei der Absolutwert des Ausgangssignals nach Wegfall des Eingangssignals nur mit einer RC-Zeitkonstante abnimmt, die durch den Wert des Kondensator 26 und des Widerstandes 27, 28 festgelegt ist.

Somit bewirkt diese Schaltung eine wünschenswerte Verbreiterung kurzer Eingangssignale, um diese auf einem Schirmbild sichtbar zu machen.

Der Verstärkungsgrad und die Übertragungseigenschaft der gesamten Intensitätssteuerschaltung 12 kann durch geeignetes Schalten der Feldeffekttransistoren 32 bis 34 beeinflusst werden.

Die Übertragungseigenschaft der Gesamtschaltung zwischen dem Knotenpunkt 22 und dem Ausgangsknotenpunkt 31 ist derart, dass ein Eingangssignal des Pegels Null am Knotenpunkt 22 zu einem maximalen Absolutwert des Ausgangssignals führt, wobei ein steigender Absolutwert der Ausgangsspannung am Knotenpunkt 22 den Absolutwert des Ausgangssignal mindert. Übersteigt die Differenzspannung am Punkt 22 einen vorgegebenen Grenzwert, so ist der Absolutwert des Ausgangssignals Null. Diese Übertragungseigenschaft ist schemenhaft in Fig. 1 bei Bezugszeichen 12 angedeutet.

Das Potential am Ausgangsknotenpunkt 31 steuert einen an den Ausgangsknotenpunkt gateseitig angeschlossenen Feldeffekttransistor 13, der als Videosignalmodulator 13 dient.

Je nachdem, ob momentan der obere oder der untere Kanal 17, 17' des Video-RAM 5 aktiviert ist, wird entweder der obere, als Videosignalmodulator arbeitende Feldeffekttransistor 13 oder der entsprechende untere Feldeffekttransistor 13' angesteuert. Diese Feldeffekttransistoren 13, 13' liegen jeweils an einem gemeinsamen Knotenpunkt sowie an einem Schwarzpotential. Der gemeinsame Knotenpunkt 35 steht über einen Widerstand 37 mit einem

Ausgang 36 einer Weisspotential-Erzeugungsschaltung 38 in Verbindung.

Wenn am Ausgangsknotenpunkt 31 der beiden Intensitätssteuerschaltungen 12, 12' kein Signal anliegt, wodurch angezeigt wird, dass das momentane Messsignal weit von dem momentanen Vertikalsignal entfernt ist, so sind die Feldeffekttransistoren 13, 13' gesperrt, so dass an einem hinter einem Trennverstärker 40 liegenden Videosignalausgang 39 im wesentlichen das Weisspotential des Knotenpunktes 36 anliegt. Wird hingegen einer der beiden Feldeffekttransistoren 13, 13' durchgesteuert, weil das Eingangssignal der Schaltungen 11, 12 am Knotenpunkt 22 Null ist, also eine Übereinstimmung des Vertikalsignals und des momentanen Messsignals anzeigt, so liegt der Knotenpunkt 35 auf dem Schwarzpegel, womit auch am Videoausgang 39 ein Signal mit Schwarzpegel anliegt.

Das am Ausgang 39 anliegende Signal mit Schwarzpegel entspricht einem Punkt des schwarz erscheinenden Messsignals innerhalb der momentan geschriebenen Zeile des Videosignals.

Die allgemein mit dem Bezugszeichen 41 bis 43 versehenen Schaltungen dienen zum wahlweisen zusätzlichen Erzeugen einer Linie, eines Rasters oder eines Zeittaktes. Diese Zusatzschaltungen 41 bis 43 werden von einem Zusatz-PROM 44 angesteuert, das ebenfalls an den Adressbus 20 angeschlossen ist.

In Fig. 2 ist die gesamte nach dem Video-RAM 5 folgende Schaltung zum Erzeugen eines ein Messsignal darstellenden Videosignals angegeben, jedoch ist nicht die Adresssteuerschaltung des gleichfalls nicht dargestellten Video-RAM 5 gezeigt.

Zur Erläuterung der Horizontaladresssteuerschaltung 6 für das Video-RAM 5 wird nachfolgend auf Fig. 3 Bezug genommen. In Fig. 3 ist mit dem Bezugszeichen 100 allgemein ein Pixeltaktgenerator bezeichnet. Der Pixeltaktgenerator 100 hat einen Horizontalsynchronisationseingang 110, dem das Horizontalsynchronisationssignal zugeführt wird. Mit diesem Eingang steht über eine negierende Gatterschaltung 111 ein Flip-Flop 112 in Verbindung, an dessen Ausgang ein weiteres negierendes Gatter 113 und eine Zeitkonstantenschaltung 114 bis 117 angeschlossen ist. Die Zeitkonstantenschaltung weist zwei Kondensatoren 114, 115 und zwei Widerstände 116, 117 auf. Vom Ausgang dieser nochmals mittels des Gatters 118 negierten Netzwerks wird am Knotenpunkt 119 das Pixeltaktsignal abgenommen. Dieses Pixeltaktsignal wird an dem ersten Zähler, der aus den Zählerbausteinen 101 bis 103 besteht, einem zweiten Zähler, der aus den Zählerbausteinen 104 bis 106 besteht, sowie einem D-Flip-Flop 107 zugeführt. Der erste Zähler 101 bis 103 liefert an seinen Ausgängen MA 0 bis MA 9 die Adresssignale für das Video-RAM 5. Der zweite Zähler 104 bis 106 dient zum Erzeugen eines Überlaufsignals, das dem D-Eingang des Flip-Flop 107 zugeführt wird, sobald die von ihm ermittelte Anzahl von Pixeltaktimpulsen einer gewünschten Videozeilenlänge entspricht. Beide Zähler 101 bis 103; 104 bis 106 stehen mit Startadressenspeicherschaltungen 120, 121 in Verbindung, die auch durch entsprechende Teile des Speicherelementes 120', 121' gebildet

werden. Die Startadressenspeicherschaltungen 120, 121 stehen über einen Startadressbus 122 mit dem Mikrocomputer 3 (siehe Fig. 1) in Verbindung, der sie unter entsprechender Ansteuerung ihrer Eingänge CSV 0, CSV 1 mit Startadressen für den ersten und für den zweiten Zähler lädt.

Die Startadressenspeicherschaltung 120 wird mit einem Wert geladen, der gegenüber dem Überlaufwert des zweiten Zählers 104 bis 106 eine derartige Differenz hat, dass durch die Differenz die Anzahl der Pixeltaktpulse bestimmt wird, die eine Zeile einer gewünschten Länge bilden. Die im ersten Startadressenspeicher 121 abgelegte Startadresse für den ersten Zähler 101 bis 103 stellt die Anfangsadresse für das Auslesen des Video-RAM 5 bei einem bestimmten Halbbild dar. Durch Inkrementieren dieser Startadresse wird die Anfangsadresse, bei der das Auslesen des Video-RAM 5 beginnt, ebenfalls inkrementiert, so dass mit jedem Halbbild das Messsignal auf dem Bildschirm versetzt wird. Somit erzeugt das Inkrementieren der ersten Startadresse ein wünschenswert laufendes Messsignal auf dem Bildschirm.

Bei Überlauf des zweiten Zählers, der angibt, dass die Zeilenlänge erreicht ist, und bei gleichzeitigem Auftreten eines dem Takteingang des ersten Flip-Flop 107 zugeführten Pixeltaktes wird das erste Flip-Flop gesetzt. Dessen negierter Ausgang steht mit dem Rücksetzeingang des zweiten Flip-Flop 108 in Verbindung, das hierdurch auf «Low» gesetzt wird. Dieser Zustand des zweiten Flip-Flop 108 hält an, bis ein ihm an seinem Takteingang zugeführtes Zeilensynchronisationssignal oder Horizontalsynchronisationssignal vom Eingang 110 zugeführt wird.

Das am Ausgang 123 des Flip-Flop 108 erscheinende Signal kann als Horizontalfenster bezeichnet werden, das bei Beginn einer jeden Zeile geöffnet wird und bei Überlauf des zweiten Zählers, also am Ende der Zeile geschlossen wird. Während des rückgesetzten Zustandes des zweiten Flip-Flop 108 sind Ladeeingänge 9, die mit dem zweiten Flip-Flop 108 an dessen Ausgang 123 in Verbindung stehen, aktiviert. Dies führt während des rückgesetzten Zustandes des zweiten Flip-Flop 108 zu einer Übernahme der Inhalte der Startadressenspeicher 120, 121 in den ersten und zweiten Zähler 101 bis 103, 104 bis 106.

Mit der erfindungsgemässen Schaltung kann nicht nur die Bildarstellungsqualität für ein Messsignal bei einem Videosystem mit der in Fig. 1 gezeigten Grundstruktur verbessert werden, sondern es ist gleichfalls möglich, die erfindungsgemässe Schaltung in einem System einzusetzen, bei dem ein Messsignal in irgendeiner Art auf einem Speichermedium, wie beispielsweise einem Magnetbandspeicher, zwischengespeichert wird und bei Bedarf in die Videospeicherschaltung übernommen wird, der dann wiederum eine Schaltung nachfolgt, die im wesentlichen die Struktur der auf das Video-RAM folgenden Schaltung des Ausführungsbeispiels gemäss Fig. 1 hat.

So kann beispielsweise das Messsignal in pulscodemodulierter Form mittels eines Videorecorders auf einem Videoband aufgezeichnet werden und bei

der Wiedergabe in ein binäres Digitalsignal umgewandelt werden, das auf den Dateneingangsbus des Mikrocomputers 3 gegeben wird.

Die Tiefpassschaltung, die dem Video-D/A-Wandler nachfolgt, muss nicht die in Fig. 1 gezeigte Konfiguration haben, sondern kann bereits dadurch gebildet sein, dass der Ausgang des D/A-Wandlers selbst frequenzbegrenzend wirkt. Die erfindungsgemässe Tiefpassstruktur kann also durch jedes Mittel realisiert sein, das zu einer Grenzfrequenz führt, die in der Grössenordnung der Pixeltaktfrequenz bis zu einem Zehntel der Pixeltaktfrequenz liegt.

Wenn lediglich Signale mit einer im Vergleich zur Zeilenlänge grossen Periodendauer dargestellt werden, ist es gleichfalls möglich, die Grenzfrequenz der Tiefpassfilterschaltung bis zur Grössenordnung der Zeilenfrequenz abzusenken.

In Abwandlung von dem in Fig. 1 gezeigten Ausführungsbeispiel kann die Vergleichsschaltung 11, 12 auch als digitalarbeitender Fensterkomparator ausgeführt sein.

Statt der unter Bezugnahme auf Fig. 1 beschriebenen Modulation eines Schwarz-Weiss-Messsignals ist es ebenfalls möglich, bei einem Farbvideosystem ein farbiges Messsignal auf einem anders farbigen Hintergrund zu bilden.

Vorzugsweise findet das erfindungsgemässe System auf dem Gebiet der Medizinelektronik Anwendung. Jedoch kann das System überall dort eingesetzt werden, wo Signale mit einem im wesentlichen stetigen Verlauf entweder auf einem Videowiedergabegerät darzustellen sind oder in Form eines Videosignals abzuspeichern sind.

#### Patentansprüche

1. Schaltung (1-16) zum Erzeugen eines ein Messsignal darstellenden Videosignals

mit einer adressierbaren digitalen Videospeicherschaltung (5),

mit einer Horizontaladresssteuerschaltung (6) zum Auslesen eines einer Horizontaladresse zugeordneten Speicherinhaltes der Videospeicherschaltung (5) mit einer von einer Zeilenfrequenz des zu erzeugenden Videosignals abhängigen Frequenz,

mit einer Vertikalsteuerschaltung (7, 10) zum Erzeugen eines die momentane vertikale Lage des zu erzeugenden Videosignals darstellenden Vertikalsignals, und

mit einer Vergleichsschaltung (11, 12), die ein einen Punkt des Messsignals in der momentan erzeugten Zeile des Videosignals darstellendes Vergleichssignal erzeugt, wenn das Vertikalsignal annähernd mit einem von der Videospeicherschaltung (5) abgeleiteten Signal übereinstimmt, dadurch gekennzeichnet, dass zwischen der Videospeicherschaltung (5) und der Vergleichsschaltung (11, 12) ein Video-D/A-Wandler (8) und eine Tiefpassfilterschaltung (9) eingeschaltet sind, die auf Grund des aus der Videospeicherschaltung (5) ausgelesenen Speicherinhaltes das abgeleitete Signal erzeugen.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, dass das von der Vergleichsschaltung (11, 12) erzeugte Vergleichssignal einen Maximalwert

bei Übereinstimmung des Vertikalsignals mit dem Ausgangssignal des Video-D/A-Wandlers (8) aufweist, dass es mit zunehmender Differenz zwischen dem Vertikalsignal und dem Ausgangssignal stetig abnimmt, und dass es, wenn diese Differenz einen Grenzwert übersteigt, den Wert annimmt, der das Nichtvorliegen des Punktes des Messsignals in der momentan erzeugten Zeile des Videosignals darstellt.

3. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Grundfrequenz der Tiefpassfilterschaltung (9) zwischen einem Drittel und einem Zehntel der mit der Anzahl der Bildpunkte pro Zeile multiplizierten Zeilenfrequenz liegt.

4. Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Grenzfrequenz der Tiefpassfilterschaltung (9) zwischen 1 und 10 MHz liegt.

5. Schaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Video-D/A-Wandler (8) eine an seinem Eingang angeschlossene Halteschaltung aufweist.

6. Schaltung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass an die Vergleichsschaltung (11, 12) ausgangsseitig eine einem Anstieg des Vergleichssignals mit ihrem Ausgangssignal schnell folgende, einem Abfall des Vergleichssignals nur entsprechend einer vorbestimmten Zeitkonstante mit ihrem Ausgangssignal folgende Vergleichssignalverbreiterungsschaltung angeschlossen ist.

7. Schaltung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass eine Zwischenspeicherschaltung (3, 4) für aus dem Messsignal gebildete Messsignaldaten an einen Dateneingang der Videospeicherschaltung (5) angeschlossen ist, und dass der Speicherinhalt der Zwischenspeicherschaltung (3, 4) jeweils nach dem Erzeugen eines ein Halbbild darstellenden Videosignals in den Videospeicher (5) einspeicherbar ist.

8. Schaltung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Horizontaladresssteuerschaltung (6) einen Pixeltaktgenerator (100) aufweist, der synchron zu einem Horizontalsynchronisationssignal ein Pulssignal mit einer mit der Anzahl der Bildpunkte pro Zeile multiplizierten Zeilenfrequenz erzeugt und dass die Horizontaladresssteuerschaltung (6) einen die momentane Adresse einer auszulesenden Speicherzelle der Videospeicherschaltung (5) erzeugenden ersten Zähler (101-103) aufweist, der an den Pixeltaktgenerator (100) angeschlossen ist und dessen Zählwert bei dem Erzeugen einer jeden Zeile beginnend ab einer jeweils für ein Halbbild unveränderlichen Startadresse in Abhängigkeit von dem Pulssignal des Pixeltaktgenerators (100) variierbar ist.

9. Schaltung nach Anspruch 8, dadurch gekennzeichnet, dass die Zwischenspeicherschaltung (3, 4) einen Mikrocomputer (3) aufweist, der die momentane Startadresse des ersten Zählers (101-103) jeweils vor dem Erzeugen eines ein Halbbild darstellenden Videosignals um eine vorbestimmte Startadressendifferenz gegenüber der Startadresse des ersten Zählers (101-103) zum Erzeugen des das vorhergehende Halbbild darstellenden Videosignals verändert.

10. Schaltung nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass die Horizontaladresssteuerschaltung (6) einen zweiten, an den Pixeltaktgenerator (100) angeschlossenen Zähler (104-106) aufweist, mit dem nach dem mit einer zweiten Startadresse beginnenden Zählen einer der Anzahl von Bildpunkten einer Bildzeile einer gewünschten Länge entsprechenden Zahl von Pulsen des Pixeltaktgenerators (100) ein Überlaufsignal erzeugt ist, dass die Horizontaladresssteuerschaltung (6) eine durch das Horizontalsynchronisationssignal setzbare und durch das Überlaufsignal des zweiten Zählers rücksetzbare Logikschaltung (107, 108) aufweist, die mit dem ersten und dem zweiten Zähler (101-103; 104-106) in Verbindung steht, und dass der erste und zweite Zähler (101-103; 104-106) während des rückgesetzten Zustandes der Logikschaltung (107, 108) mit den Startadressen ladbar ist.

11. Schaltung nach Anspruch 10, dadurch gekennzeichnet, dass die Vertikalsteuerschaltung (7, 10) einen dritten Zähler (109) aufweist, der die Pulse des Horizontalsynchronisationssignals zählt und der von einem Vertikalsynchronisationssignal rückgesetzt wird, und dass die Vertikalsteuerschaltung (7, 10) ferner einen mit dem dritten Zähler (50) verbundenen programmierbaren Festwertspeicher (51, 51') aufweist, der an einen das Vertikalsignal erzeugenden Vertikal-D/A-Wandler (10, 10') angeschlossen ist.

12. Schaltung nach Anspruch 11, dadurch gekennzeichnet, dass die Vertikalsteuerschaltung (7, 10) mit ansteigenden Zählwerten des dritten Zählers (50) ein sägezahnförmiges Vertikalsignal erzeugt, das eine der Anzahl der gleichzeitig darstellbaren Messsignale entsprechende Anzahl von sägezahnförmigen Rampen hat.

13. Schaltung nach einem der Ansprüche 1 bis 12, gekennzeichnet durch zwei jeweils aus der Vertikalsteuerschaltung (7, 10) der Videospeicherschaltung (5), dem Video-D/A-Wandler (8), der Tiefpassfilterschaltung (9) und der Vergleichsschaltung (11, 12) bestehende Schaltungen.

#### Claims

1. Circuit (1-16) for producing a video signal representing a measuring signal, comprising  
 an addressable digital video storage circuit (5),  
 a horizontal address control circuit (6) for effecting, at a frequency depending on a line frequency of the video signal to be produced, readout of a memory content of the video storage circuit (5), said memory content being associated with a horizontal address,  
 a vertical control circuit (7) for producing a vertical signal representative of the instantaneous vertical position of the video signal to be produced, and  
 a comparator circuit (11, 12) which, when the vertical signal essentially corresponds to a signal derived from the video storage circuit (5), produces a comparison signal representative of a point of the measuring signal in the instantaneously produced line of the video signal,  
 characterized in that  
 a video D/A converter (8) and a low-pass filter cir-

cuit (9) are inserted between the video storage circuit (5) and the comparator circuit (11, 12) which generate said derived signal based on said memory content readout of said video storage circuit (5).

2. A circuit according to claim 1, characterized in that the comparison signal produced by the comparison circuit (11, 12) has a maximum value when the vertical signal corresponds to the output signal of the video D/A converter (8), said comparison signal continuously decreases as the difference between the vertical signal and the output signal increases, and in cases in which said difference exceeds a limit value, said comparison signal will assume the value indicative of the non-existence of the point of the measuring signal in the instantaneously produced line of the video signal.

3. A circuit according to claim 1 or 2, characterized in that the limit frequency of the low-pass filter circuit (9) lies between one third and one tenth of the line frequency multiplied by the number of image points per line.

4. A circuit according to one of the claims 1 to 3, characterized in that the limit frequency of the low-pass filter circuit (9) lies between 1 and 10 MHz.

5. A circuit according to one of the claims 1 to 4, characterized in that the video D/A converter (8) is provided with a holding circuit which is connected to the input thereof.

6. A circuit according to one of the claims 1 to 5, characterized in that the output side of the comparator circuit (11, 12) has connected thereto a comparison signal broadening circuit whose output signal rapidly follows a rise of the comparison signal and whose output signal follows a fall of the comparison signal only in accordance with a predetermined time constant.

7. A circuit according to one of the claims 1 to 6, characterized in that an intermediate storage circuit (3, 4) for measuring signal data formed on the basis of the measuring signal is connected to a data input of the video storage circuit (5), and the memory content of the intermediate storage circuit (3, 4) can be stored in the video storage means (5) after each production of a video signal representing a half picture.

8. A circuit according to one of the claims 1 to 7, characterized in that the horizontal address control circuit (6) is provided with a pixel clock generator (100) which produces, in synchronism with the horizontal synchronization signal, a pulse signal whose line frequency is multiplied by the number of image points per line and said horizontal address control circuit (6) is provided with a pixel clock generator (100) which produces the instantaneous address of a storage cell of the video storage circuit (5) to be read out and which is connected to the pixel clock generator (100), the count of said counter being adapted to be varied in response to the pulse signal of the pixel clock generator (100), whenever a line is produced, beginning from a starting address onwards, said starting address being invariable for one respective half picture.

9. A circuit according to claim 8, characterized in that the intermediate storage circuit (3, 4) is provided with a microcomputer (3) by means of which the instantaneous starting address of the first counter

(101-103) is changed — in each case prior to the production of a video signal representing a half picture — by a predetermined starting address difference relative to the starting address of the first counter (101-103) for the production of the video signal representing the preceding half picture.

10. A circuit according to claim 8 or 9, characterized in that the horizontal address control circuit (6) is provided with a second counter (104-106), which is connected to the pixel clock generator (100) and which is adapted to produce an overflow signal after having counted, beginning with a second starting address, a number of pulses of the pixel clock generator (100) corresponding to the number of image points of an image line of a desired length, the horizontal address control circuit (6) is provided with a logic circuit (107, 108), which is adapted to be set by the horizontal synchronization signal and which is adapted to be reset by the overflow signal of the second counter, said logic circuit being connected to said first and second counters (101-103; 104-106), and said first and second counters (101-103; 104-106) are adapted to be loaded with the starting addresses while said logic circuit (107, 108) is in its reset condition.

11. A circuit according to one of the claims 1 to 10, characterized in that the circuit (7, 10) for producing the vertical signal is provided with a third counter (109), which counts the pulses of the horizontal synchronization signal and which is reset by the vertical synchronization signal, and the circuit (7, 10) for producing the vertical signal is additionally provided with a programmable read-only memory (51, 51') which is connected to the third counter (50), and which is connected to a vertical D/A converter (10, 10') producing the vertical signal.

12. A circuit according to claim 11, characterized in that the circuit (7, 10) for producing the vertical signal produces a sawtooth-shaped vertical signal in the case of rising counts of the third counter (50), said sawtooth-shaped vertical signal having a number of sawtooth-shaped ramps corresponding to the number of simultaneously reproducible measuring signals.

13. A circuit according to one of the claims 1 to 12, characterized by two circuits which each comprise the circuit (7, 10) for producing a vertical signal, the video storage circuit (5), the video D/A converter (8), the low-pass filter circuit (9) and the comparator circuit (11, 12).

## Revendications

1. Circuit (1 à 16) pour la génération d'un signal vidéo représentant une valeur de mesure, comprenant un circuit de mémoire vidéo numérique adressable (5); un circuit de commande d'adresses horizontales (6) pour l'activation d'un contenu de mémoire du circuit de mémoire vidéo (5) associé à une adresse horizontale, avec une fréquence qui dépend de la fréquence de lignes du signal vidéo à générer; un circuit de stabilisation verticale (7, 10) pour la génération d'un signal vertical représentant la position verticale momentanée du signal vidéo à générer; et un circuit comparateur (11, 12) qui génère un signal de compa-

raison qui représente un point du signal de mesure dans la ligne momentanément générée du signal vidéo lorsque le signal vertical concorde approximativement avec un signal dérivé du circuit de mémoire vidéo (5), caractérisé en ce qu'entre le circuit de mémoire vidéo (5) et le circuit comparateur (11, 12) sont intercalés un convertisseur D/A vidéo (8) et un circuit de filtre passe-bas (9) qui génèrent le signal dérivé en raison du contenu de mémoire activé dans le circuit de mémoire vidéo (5).

2. Circuit selon la revendication 1, caractérisé en ce que le signal de comparaison généré par le circuit comparateur (11, 12) présente une valeur maximale lorsque le signal vertical concorde avec le signal de sortie du convertisseur D/A vidéo (8); qu'il diminue progressivement au fur et à mesure que la différence entre le signal vertical et le signal de sortie augmente; et que, lorsque cette différence dépasse une valeur limite, il prend la valeur qui représente l'absence du point du signal de mesure dans la ligne momentanément générée du signal vidéo.

3. Circuit selon l'une des revendications 1 ou 2, caractérisé en ce que la fréquence de base du circuit de filtre passe-bas (9) se situe entre un tiers et un dixième de la fréquence de lignes multipliée par le nombre des points d'image par ligne.

4. Circuit selon l'une quelconque des revendications 1 à 3, caractérisé en ce que la fréquence limite du circuit de filtre passe-bas (9) se situe entre 1 et 10 MHz.

5. Circuit selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le convertisseur D/A vidéo (8) comprend un circuit d'entretien relié à son entrée.

6. Circuit selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'à la sortie du circuit comparateur (11, 12) est connecté un circuit d'élargissement du signal de comparaison dont le signal de sortie répond rapidement à une montée du signal de comparaison et seulement en fonction d'une constante de temps prédéterminée, à une descente du signal de comparaison.

7. Circuit selon l'une quelconque des revendications 1 à 6, caractérisé en ce qu'un circuit de mémoire-tampon (3, 4) pour des données de signal de mesure formées à partir du signal de mesure est connecté à l'entrée de données du circuit de mémoire vidéo (5), et que le contenu de mémoire du circuit de mémoire-tampon (3, 4) peut respectivement être rangé dans la mémoire vidéo (5) après la génération d'un signal vidéo représentant une trame.

8. Circuit selon l'une quelconque des revendications 1 à 7, caractérisé en ce que le circuit de commande d'adresses horizontales (6) comprend un synchroniseur de pixels (100) qui, en synchronisme avec un signal de synchronisation horizontale, génère un signal d'impulsion avec une fréquence de lignes multipliée par le nombre des points d'image par ligne; et que le circuit de commande d'adresses horizontales (6) comprend un premier compteur (101 à 103) générant l'adresse momentanée d'une cellule de mémoire à activer du circuit de mémoire vidéo (5) qui est relié au synchroniseur de pixels (100) et dont la valeur de comptage peut être variée, lors de la génération de chaque ligne, en fonction du

signal d'impulsion du synchroniseur de pixels (100), en commençant par une adresse de lancement respectivement invariable pour chaque trame.

9. Circuit selon la revendication 8, caractérisé en ce que le circuit de mémoire-tampon (3, 4) comprend un microordinateur (3) qui, avant la génération d'un signal vidéo représentant une trame, modifie respectivement l'adresse de lancement momentanée du premier compteur (101 à 103) d'une différence d'adresse de lancement prédéterminée par rapport à (101 à 103) pour la génération du signal vidéo représentant la trame précédente.

10. Circuit selon l'une des revendications 8 ou 9, caractérisé en ce que le circuit de commande d'adresses horizontales (6) comprend un deuxième compteur (104 à 106) qui est relié au synchroniseur de pixels (100) et permet, après le comptage d'un nombre d'impulsions du synchroniseur de pixels (10) commençant avec une deuxième adresse de lancement et correspondant à un nombre de points d'image d'une ligne d'une longueur désirée, de générer un signal de dépassement; que le circuit de commande d'adresses horizontales (6) comprend un circuit logique (107, 108) lequel peut être activé par le signal de synchronisation horizontale et remis à zéro par le signal de dépassement du deuxième compteur et qui communique avec les premier et deuxième comp-

teurs (101 à 103; 104 à 106); et que les premier et deuxième compteurs (101 à 103; 104 à 106) peuvent être chargés avec les adresses de lancement pendant l'état de remise à zéro du circuit logique (107, 108).

11. Circuit selon la revendication 10, caractérisé en ce que le circuit de stabilisation verticale (7, 10) comprend un troisième compteur (109) qui compte les impulsions du signal de synchronisation horizontale et qui est remis à zéro par le signal de synchronisation verticale; et que le circuit de stabilisation verticale (7, 10) comprend, en outre, une mémoire morte programmable (51, 51') reliée au troisième compteur (50) laquelle est connectée à un convertisseur D/A vertical (10, 10') qui génère le signal vertical.

12. Circuit selon la revendication 11, caractérisé en ce que le circuit de stabilisation verticale (7, 10) génère, avec des valeurs de comptage croissantes du troisième compteur (50), un signal vertical en dents de scie qui présente un nombre de rampes en dents de scie correspondant au nombre des signaux de mesure pouvant être représentés simultanément.

13. Circuit selon l'une quelconque des revendications 1 à 12, caractérisé en ce qu'il comprend deux circuits dont chacun est constitué par le circuit de stabilisation verticale (7, 10), le circuit de mémoire vidéo (5), le convertisseur D/A vidéo (8), le circuit de filtre passe-bas (9) et le circuit comparateur (11, 12).

5

10

15

20

25

30

35

40

45

50

55

60

65

10

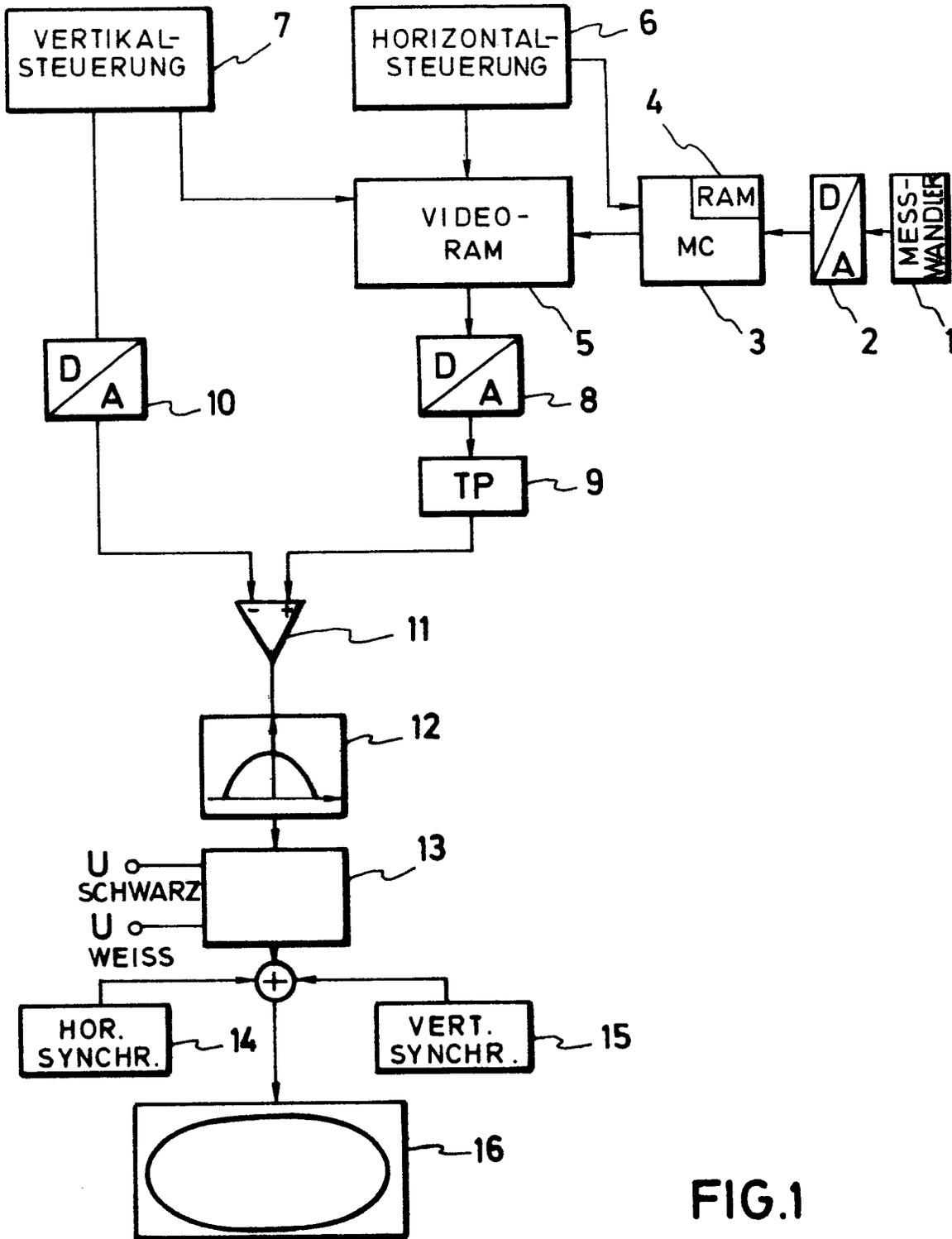
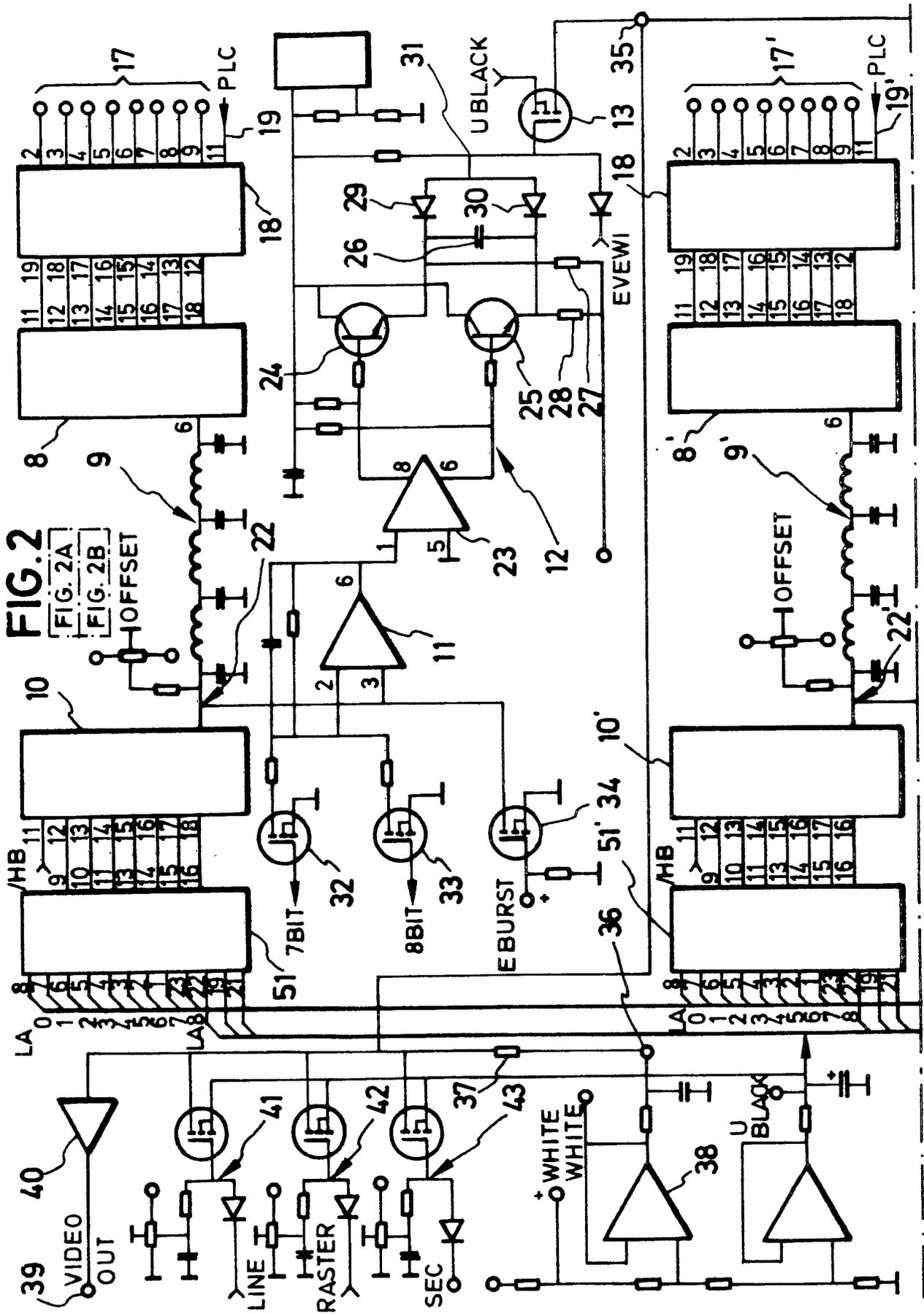
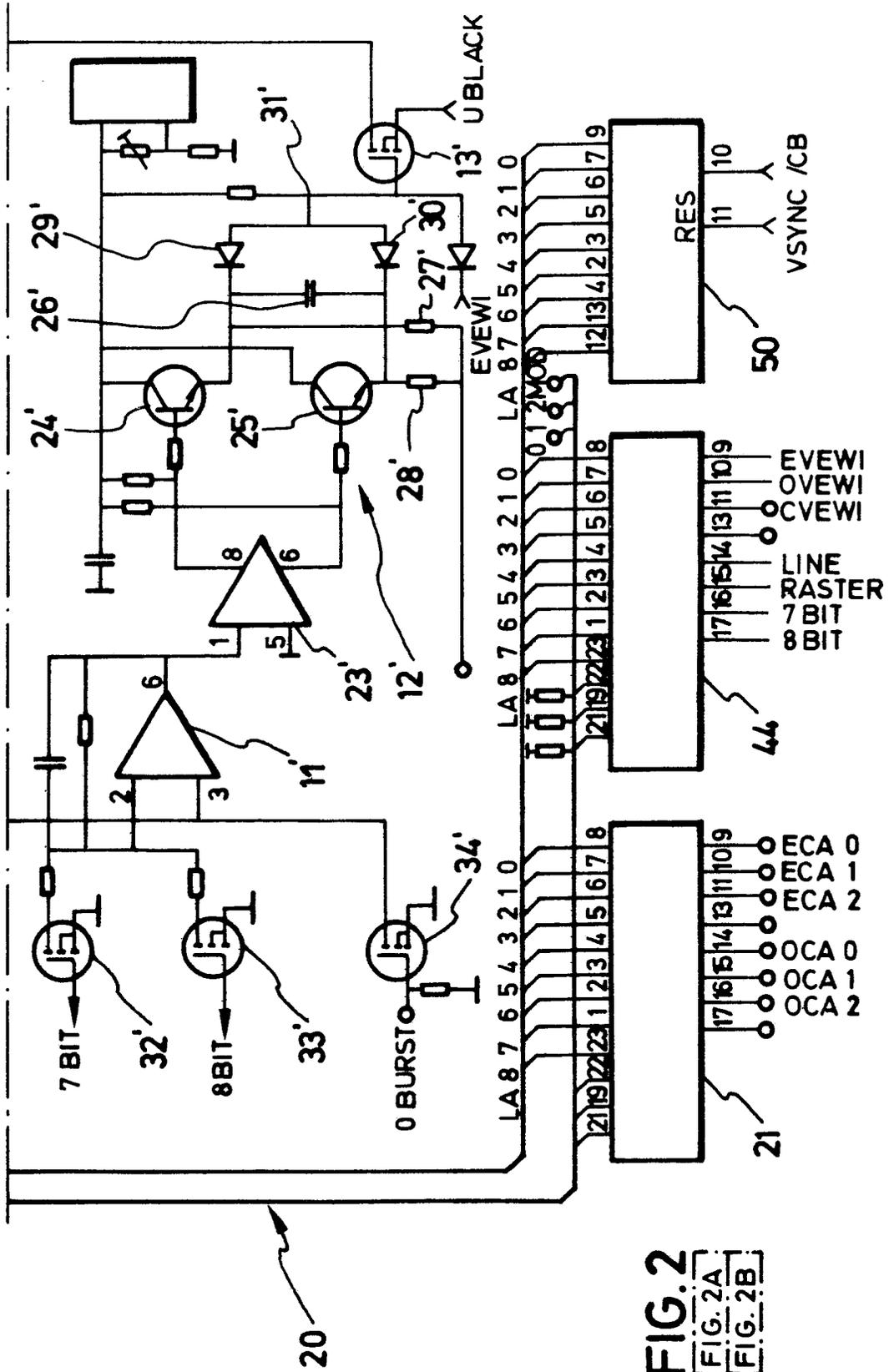


FIG.1





**FIG. 2**  
 FIG. 2A  
 FIG. 2B



### FIG. 3

