

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-533131

(P2024-533131A)

(43)公表日 令和6年9月12日(2024.9.12)

(51)国際特許分類 F I
 H 0 1 L 25/07 (2006.01) H 0 1 L 25/08 H
 H 0 1 L 23/12 (2006.01) H 0 1 L 23/12 5 0 1 B

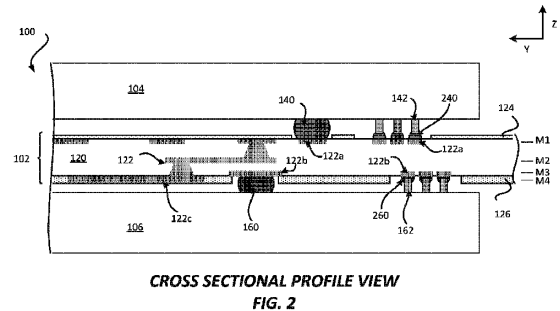
審査請求 未請求 予備審査請求 未請求 (全29頁)

(21)出願番号	特願2024-513794(P2024-513794)	(71)出願人	507364838 クアルコム, インコーポレイテッド アメリカ合衆国 カリフォルニア 9 2 1 2 1 サン ディエゴ モアハウス ドライ ブ 5 7 7 5
(86)(22)出願日	令和4年8月5日(2022.8.5)	(74)代理人	100108453 弁理士 村山 靖彦
(85)翻訳文提出日	令和6年2月29日(2024.2.29)	(74)代理人	100163522 弁理士 黒田 晋平
(86)国際出願番号	PCT/US2022/039610	(72)発明者	ヒュンチュル・チョ アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モ アハウス・ドライブ・5 7 7 5
(87)国際公開番号	WO2023/043548	(72)発明者	クン・ファン アメリカ合衆国・カリフォルニア・9 2
(87)国際公開日	令和5年3月23日(2023.3.23)		最終頁に続く
(31)優先権主張番号	17/479,691		
(32)優先日	令和3年9月20日(2021.9.20)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		

(54)【発明の名称】 高密度相互接続子を有する基板を備えるパッケージ

(57)【要約】

基板と、基板の第1の表面に結合された第1の集積デバイスと、基板の第2の表面に結合された第2の集積デバイスとを含むパッケージ。基板は、少なくとも1つの誘電体層と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第1の表面を通して配置された第1の複数の高密度相互接続子と、少なくとも1つの誘電体内に配置された第2の複数の高密度相互接続子とを含む。



【特許請求の範囲】

【請求項 1】

基板であって、

少なくとも 1 つの誘電体層と、

前記少なくとも 1 つの誘電体層内に前記少なくとも 1 つの誘電体層の第 1 の表面を通して配置された第 1 の複数の相互接続子であって、前記第 1 の複数の相互接続子は、第 1 の幅及び第 1 の間隔を含む、第 1 の複数の相互接続子と、

前記少なくとも 1 つの誘電体層内に前記少なくとも 1 つの誘電体層の第 2 の表面を通して配置された第 2 の複数の相互接続子であって、第 2 の複数の相互接続子は、第 2 の幅及び第 2 の間隔を含む、第 2 の複数の相互接続子と、

前記少なくとも 1 つの誘電体層内に配置された第 3 の複数の相互接続子とを備え、

前記第 3 の複数の相互接続子が、前記第 1 の幅及び前記第 2 の幅よりも大きな第 3 の幅を含み、

前記第 3 の複数の相互接続子が、前記第 1 の間隔及び前記第 2 の間隔よりも大きな第 3 の間隔を含む、基板と、

前記基板の前記第 1 の表面に結合された第 1 の集積デバイスと、

前記基板の前記第 2 の表面に結合された第 2 の集積デバイスと

を備える、パッケージ。

【請求項 2】

前記第 1 の集積デバイスが、前記第 1 の複数の相互接続子に結合され、

前記第 2 の集積デバイスが、前記第 2 の複数の相互接続子に結合される、

請求項 1 に記載のパッケージ。

【請求項 3】

前記第 1 の複数の相互接続子が、前記基板の第 1 の金属層上に配置され、

前記第 2 の複数の相互接続子が、前記基板の最後の金属層に隣接する金属層上に配置される、

請求項 1 に記載のパッケージ。

【請求項 4】

前記第 1 の複数の相互接続子が、前記少なくとも 1 つの誘電体層内の第 1 の金属層上に配置され、

前記第 2 の複数の相互接続子が、前記少なくとも 1 つの誘電体層に埋め込まれた最後の金属層上に配置される、

請求項 1 に記載のパッケージ。

【請求項 5】

前記基板が、前記少なくとも 1 つの誘電体層の前記第 1 の表面の上に配置された第 4 の複数の相互接続子を含む、請求項 1 に記載のパッケージ。

【請求項 6】

前記基板が、前記少なくとも 1 つの誘電体層の前記第 2 の表面の上に配置された第 4 の複数の相互接続子を含む、請求項 1 に記載のパッケージ。

【請求項 7】

前記第 1 の複数の相互接続子が、約 3 ~ 4 マイクロメートルの第 1 の最小幅及び / 又は約 3 ~ 4 マイクロメートルの第 1 の最小間隔を含み、

前記第 2 の複数の相互接続子が、約 3 ~ 4 マイクロメートルの第 2 の最小幅及び / 又は約 3 ~ 4 マイクロメートルの第 2 の最小間隔を含む、

請求項 1 に記載のパッケージ。

【請求項 8】

前記第 1 の幅が、約 3 ~ 4 マイクロメートル以上であり、かつ / 又は前記第 1 の間隔が、約 3 ~ 4 マイクロメートル以上であり、

前記第 2 の幅が、約 3 ~ 4 マイクロメートル以上であり、かつ / 又は前記第 2 の間隔が、約 3 ~ 4 マイクロメートル以上である、

10

20

30

40

50

請求項 1 に記載のパッケージ。

【請求項 9】

前記第 1 の集積デバイスが、第 1 の複数のはんだ相互接続子及び / 又は第 1 の複数のピラー相互接続子を介して前記第 1 の複数の相互接続子に結合される、請求項 1 に記載のパッケージ。

【請求項 10】

前記第 2 の集積デバイスが、第 2 の複数のはんだ相互接続子及び / 又は第 2 の複数のピラー相互接続子を介して前記第 2 の複数の相互接続子に結合される、請求項 9 に記載のパッケージ。

【請求項 11】

基板であって、
少なくとも 1 つの誘電体層と、
前記少なくとも 1 つの誘電体層内に前記少なくとも 1 つの誘電体層の第 1 の表面を通して配置された第 1 の高密度相互接続のための手段と、
前記少なくとも 1 つの誘電体層内に前記少なくとも 1 つの誘電体層の第 2 の表面を通して配置された第 2 の高密度相互接続のための手段とを備える基板と、
前記基板の前記第 1 の表面に結合された第 1 の集積デバイスと、
前記基板の前記第 2 の表面に結合された第 2 の集積デバイスと
を備える、装置。

10

【請求項 12】

前記第 1 の集積デバイスが、前記第 1 の高密度相互接続のための手段に結合され、
前記第 2 の集積デバイスが、前記第 2 の高密度相互接続のための手段に結合される、
請求項 11 に記載の装置。

20

【請求項 13】

前記第 1 の高密度相互接続のための手段が、前記基板の第 1 の金属層上に配置され、
前記第 2 の高密度相互接続のための手段が、前記基板の最後の金属層に隣接する金属層上に配置される、
請求項 11 に記載の装置。

【請求項 14】

前記第 1 の高密度相互接続のための手段が、前記少なくとも 1 つの誘電体層内の第 1 の金属層上に配置され、
前記第 2 の高密度相互接続のための手段が、前記少なくとも 1 つの誘電体層に埋め込まれた最後の金属層上に配置される、
請求項 11 に記載の装置。

30

【請求項 15】

前記基板が、前記少なくとも 1 つの誘電体層の前記第 1 の表面の上に配置された相互接続のための手段を含む、請求項 11 に記載の装置。

【請求項 16】

前記基板が、前記少なくとも 1 つの誘電体層の前記第 2 の表面の上に配置された相互接続のための手段を含む、請求項 11 に記載の装置。

40

【請求項 17】

前記第 1 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートルの第 1 の最小幅及び / 又は約 3 ~ 4 マイクロメートルの第 1 の最小間隔を有する第 1 の相互接続子を含む、
前記第 2 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートルの第 2 の最小幅及び / 又は約 3 ~ 4 マイクロメートルの第 2 の最小間隔を有する第 2 の相互接続子を含む、
請求項 11 に記載の装置。

【請求項 18】

前記第 1 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートル以上の第 1 の幅

50

及び / 又は約 3 ~ 4 マイクロメートル以上の第 1 の間隔を有する第 1 の相互接続子を含み、

前記第 2 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートル以上の第 2 の幅及び / 又は約 3 ~ 4 マイクロメートル以上の第 2 の間隔を有する第 2 の相互接続子を含む、

請求項 1 1 に記載の装置。

【請求項 1 9】

前記第 1 の集積デバイスが、第 1 のはんだ相互接続のための手段及び / 又は第 1 のピラー相互接続のための手段を介して前記第 1 の高密度相互接続のための手段に結合され、
前記第 2 の集積デバイスが、第 2 のはんだ相互接続のための手段及び / 又は第 2 のピラー相互接続のための手段を介して前記第 2 の高密度相互接続のための手段に結合される、
請求項 1 1 に記載の装置。

10

【請求項 2 0】

前記装置が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット (IoT) デバイス、及び自動車両内のデバイスからなる群から選択されるデバイスを含む、請求項 1 1 に記載の装置。

【請求項 2 1】

20

基板を製造するための方法であって、

第 1 のシード層を備える第 1 のキャリアを提供することと、

前記第 1 のシード層の上に第 1 の複数の高密度相互接続子を形成することと、

前記第 1 の複数の高密度相互接続子の上に第 1 の誘電体層を形成することと、

前記第 1 の誘電体層内及び / 又はその上に複数の相互接続子を形成することと、

第 2 のシード層を備える第 2 のキャリアを提供することと、

前記第 2 のシード層の上に第 2 の複数の高密度相互接続子を形成することと、

前記第 2 のシード層及び前記第 2 の複数の高密度相互接続子を備える前記第 2 のキャリアを、第 2 の誘電体層を介して、前記第 1 のシード層、前記第 1 の複数の高密度相互接続子、前記第 1 の誘電体層、及び前記複数の相互接続子を備える前記第 1 のキャリアに結合することと、

30

前記第 2 のキャリア及び前記第 1 のキャリアを分離することと、

前記第 1 のシード層の一部及び前記第 2 のシード層の一部を除去することと

を含む、方法。

【請求項 2 2】

前記第 2 のキャリアを分離した後に、前記第 2 の誘電体層内及びその上に第 2 の複数の相互接続子を形成することを更に含む、請求項 2 1 に記載の方法。

【請求項 2 3】

前記第 2 の複数の高密度相互接続子の上にはんだレジスト層を更に形成する、請求項 2 1 に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連出願の相互参照

本出願は、2021年9月20日に米国特許庁に出願された非仮出願第 1 7 / 4 7 9 , 6 9 1 号に対する優先権及び利益を主張するものであり、この非仮出願の内容全体は、その全体が以下に完全に記載されるかのように、かつ全ての適用可能な目的のために、参照により本明細書に組み込まれる。

【0 0 0 2】

様々な特徴は、基板を有するパッケージに関する。

50

【背景技術】

【0003】

パッケージは、基板及び集積デバイスを含み得る。これらの構成要素は、一緒に結合されることにより、様々な電气的機能を実行することが可能なパッケージを提供する。より良好に機能するパッケージを提供し、かつパッケージの全体的なサイズを縮小することが、継続的に必要とされている。

【発明の概要】

【0004】

様々な特徴は、基板を有するパッケージに関する。

【課題を解決するための手段】

【0005】

一例は、基板と、基板の第1の表面に結合された第1の集積デバイスと、基板の第2の表面に結合された第2の集積デバイスとを含む、パッケージを提供する。基板は、少なくとも1つの誘電体層と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第1の表面を通して配置された第1の複数の相互接続子と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第2の表面を通して配置された第2の複数の相互接続子とを含む。第1の複数の相互接続子は、第1の幅及び第1の間隔を含む。第2の複数の相互接続子は、第2の幅及び第2の間隔を含む。基板は、少なくとも1つの誘電体層内に配置された第3の複数の相互接続子を含む。第3の複数の相互接続子は、第1の幅及び第2の幅よりも大きな第3の幅を含む。第3の複数の相互接続子は、第1の間隔及び第2の間隔よりも大きな第3の間隔を含む。

【0006】

別の例は、基板と、基板の第1の表面に結合された第1の集積デバイスと、基板の第2の表面に結合された第2の集積デバイスとを含む装置を提供する。基板は、少なくとも1つの誘電体層と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第1の表面を通して配置された第1の高密度相互接続のための手段と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第2の表面を通して配置された第2の高密度相互接続のための手段とを含む。

【0007】

別の例は、基板を製造するための方法を提供する。方法は、第1のシード層を備える第1のキャリアを提供する。方法は、第1のシード層の上に第1の複数の高密度相互接続子を形成する。方法は、第1の複数の高密度相互接続子の上に第1の誘電体層を形成する。方法は、第1の誘電体層内及び/又はその上に複数の相互接続子を形成する。方法は、第2のシード層を備える第2のキャリアを提供する。方法は、第2のシード層の上に第2の複数の高密度相互接続子を形成する。方法は、第2のシード層及び第2の複数の高密度相互接続子を備える第2のキャリアを、第2の誘電体層を介して、第1のシード層、第1の複数の高密度相互接続子、第1の誘電体層、及び複数の相互接続子を備える第1のキャリアに結合する。方法は、第2のキャリア及び第1のキャリアを分離する。方法は、第1のシード層の一部及び第2のシード層の一部を除去する。

【0008】

以下に記載される「発明を実施するための形態」を、同様の参照符号が全体を通して対応するように特定されている図面と併せ読むことにより、様々な特徴、性質、及び利点が明らかとなり得る。

【図面の簡単な説明】

【0009】

【図1】高密度相互接続子を有する基板を含むパッケージの横断面図を示す。

【図2】高密度相互接続子を有する基板を含むパッケージの詳細図を示す。

【図3】高密度相互接続子を有する基板を含むパッケージの詳細図を示す。

【図4A】高密度相互接続子を有する基板を製造するための例示的なシーケンスを示す。

【図4B】高密度相互接続子を有する基板を製造するための例示的なシーケンスを示す。

10

20

30

40

50

【図 4 C】高密度相互接続子を有する基板を製造するための例示的なシーケンスを示す。

【図 5】高密度相互接続子を有する基板を製造するための例示的なシーケンスを示す。

【図 6 A】高密度相互接続子を有する基板を備えるパッケージを製造するための例示的なシーケンスを示す。

【図 6 B】高密度相互接続子を有する基板を備えるパッケージを製造するための例示的なシーケンスを示す。

【図 7】高密度相互接続子を有する基板を備えるパッケージを製造するための例示的なシーケンスを示す。

【図 8】ダイ、電子回路、集積デバイス、集積受動デバイス (integrated passive device; IPD)、受動構成要素、パッケージ、及び / 又は本明細書で説明するデバイスパッケージを統合することが可能な、様々な電子デバイスを示す。

【発明を実施するための形態】

【0010】

以下の説明では、本開示の様々な態様の完全な理解をもたらすために、具体的な詳細が記載される。しかしながら、当業者には、これらの具体的な詳細を伴わずとも、諸態様を実践することができる点が理解されるであろう。例えば、不必要な詳細で諸態様を不明瞭にすることを回避するために、回路がブロック図で示される場合がある。他の事例では、本開示の諸態様を不明瞭にすることがないように、周知の回路、構造、及び技術が、詳細には示されない場合がある。

【0011】

本開示は、基板と、基板の第 1 の表面に結合された第 1 の集積デバイスと、基板の第 2 の表面に結合された第 2 の集積デバイスとを含むパッケージを説明する。基板は、少なくとも 1 つの誘電体層と、少なくとも 1 つの誘電体層内に少なくとも 1 つの誘電体層の第 1 の表面を通して配置された第 1 の複数の高密度相互接続子と、少なくとも 1 つの誘電体層内に少なくとも 1 つの誘電体層の第 2 の表面を通して配置された第 2 の複数の高密度相互接続子と、少なくとも 1 つの誘電体層の上に配置されたはんだレジスト層とを含む。基板の第 1 の側の上に第 1 の複数の高密度相互接続子を使用し、基板の第 2 の側の上に第 2 の複数の高密度相互接続子を使用することは、パッケージの全体的な高さ及び / 又はサイズを低減しながら、集積デバイスに高密度及び高速通信を提供するのに役立つ。

【0012】

高密度相互接続子を有する基板を備える例示的なパッケージ

図 1 は、高密度相互接続子を有する基板を含むパッケージ 100 の横断面図を示す。パッケージ 100 は、基板 102、集積デバイス 104、集積デバイス 106、及びカプセル化層 108 を含む。

【0013】

基板 102 は、少なくとも 1 つの誘電体層 120、複数の相互接続子 122、はんだレジスト層 124、及びはんだレジスト層 126 を含む。基板 102 は、コアレス基板であり得る。基板 102 は、第 1 の表面 (例えば、上面) と第 2 の表面 (例えば、底面) とを含み得る。以下で更に説明するように、基板 102 は、基板 102 の第 1 の側 (例えば、上側) に配置された複数の高密度相互接続子と、基板 102 の第 2 の側 (例えば、底側) に配置された複数の高密度相互接続子とを含む。複数の相互接続子 122 は、複数の相互接続子 122 a、複数の相互接続子 122 b、及び複数の相互接続子 122 c を含み得る。基板 102 の両側に高密度相互接続子を使用することは、パッケージのサイズを依然として縮小しながら、より小さな空間内の集積デバイスへの / からのより多くの電気接続 (例えば、より高密度の電気ルーティング) を可能にし、高速通信を可能にすることができる。

【0014】

複数の相互接続子 122 a は、複数の高密度相互接続子を含む。複数の相互接続子 122 a は、M1 層 (例えば、第 1 の金属層) など、基板 102 の上部金属層上に配置された相互接続子を含み得る。複数の相互接続子 122 a は、少なくとも 1 つの誘電体層 120

10

20

30

40

50

に埋め込まれ得る。複数の相互接続子 1 2 2 a は、少なくとも 1 つの誘電体層 1 2 0 に埋め込まれた第 1 の金属層内に配置され得る。複数の相互接続子 1 2 2 a は、約 3 ~ 4 マイクロメートルの最小幅及び約 3 ~ 4 マイクロメートルの最小間隔を含む。複数の相互接続子 1 2 2 a は、約 3 ~ 4 マイクロメートル以上の幅を有する少なくとも 1 つの相互接続子を含み得る。複数の相互接続子 1 2 2 a は、約 3 ~ 4 マイクロメートル以上の間隔を有する少なくとも 1 つの相互接続子を含み得る。

【 0 0 1 5 】

複数の相互接続子 1 2 2 b は、複数の高密度相互接続子を含む。複数の相互接続子 1 2 2 b は、基板 1 0 2 の底部金属層に隣接する金属層（例えば、最後の金属層に隣接する金属層、M 3 層）上に配置された相互接続子を含み得る。複数の相互接続子 1 2 2 b は、少なくとも 1 つの誘電体層 1 2 0 に埋め込まれ得る。複数の相互接続子 1 2 2 b は、少なくとも 1 つの誘電体層 1 2 0 に埋め込まれた最後の金属層内に配置され得る。複数の相互接続子 1 2 2 b は、約 3 ~ 4 マイクロメートルの最小幅及び約 3 ~ 4 マイクロメートルの最小間隔を含む。複数の相互接続子 1 2 2 b は、約 3 ~ 4 マイクロメートル以上の幅を有する少なくとも 1 つの相互接続子を含み得る。複数の相互接続子 1 2 2 b は、約 3 ~ 4 マイクロメートル以上の間隔を有する少なくとも 1 つの相互接続子を含み得る。

10

【 0 0 1 6 】

複数の相互接続子 1 2 2 c は、少なくとも 1 つの誘電体層 1 2 0 内に配置され得る。複数の相互接続子 1 2 2 c は、少なくとも 1 つの誘電体層 1 2 0 の底面の上に配置され得る。複数の相互接続子 1 2 2 c は、はんだレジスト層 1 2 6 によって取り囲まれ得る。複数の相互接続子 1 2 2 c は、約 8 マイクロメートルの最小幅及び約 8 マイクロメートルの最小間隔を含む。複数の相互接続子 1 2 2 c は、約 8 マイクロメートル以上の幅を有する少なくとも 1 つの相互接続子を含み得る。複数の相互接続子 1 2 2 c は、約 8 マイクロメートル以上の間隔を有する少なくとも 1 つの相互接続子を含み得る。

20

【 0 0 1 7 】

図 2 及び図 3 は、基板のための高密度相互接続子の様々な例をより詳細に図示及び説明する。

【 0 0 1 8 】

図 1 に示すように、集積デバイス 1 0 4 は、基板 1 0 2 の第 1 の表面（例えば、上面）に結合される。例えば、集積デバイス 1 0 4 は、複数のはんだ相互接続子 1 4 0（例えば、第 1 の複数のはんだ相互接続子、第 1 のはんだ相互接続のための手段）及び / 又は複数のピラー相互接続子 1 4 2（例えば、第 1 の複数のピラー相互接続子、第 1 のピラー相互接続のための手段）を介して基板 1 0 2 の複数の相互接続子 1 2 2 a に結合される。カプセル化層 1 0 8 は、基板 1 0 2 及び集積デバイス 1 0 4 に結合される。カプセル化層 1 0 8 は、基板 1 0 2 の第 1 の表面の上に配置される。カプセル化層 1 0 8 は、集積デバイス 1 0 4 をカプセル化する。カプセル化層 1 0 8 は、集積デバイス 1 0 4 の上に及び / 又はその周りに配置され得る。カプセル化層 1 0 8 は、カプセル化のための手段であり得る。

30

【 0 0 1 9 】

集積デバイス 1 0 6 は、基板 1 0 2 の第 2 の表面（例えば、底面）に結合される。例えば、集積デバイス 1 0 6 は、複数のはんだ相互接続子 1 6 0（例えば、第 2 の複数のはんだ相互接続子、第 2 のはんだ相互接続のための手段）及び / 又は複数のピラー相互接続子 1 6 2（例えば、第 2 の複数のピラー相互接続子、第 2 のピラー相互接続のための手段）を介して基板 1 0 2 の複数の相互接続子 1 2 2 b に結合される。

40

【 0 0 2 0 】

複数のはんだ相互接続子 1 3 0 を、基板 1 0 2 に結合され得る。例えば、複数のはんだ相互接続子 1 3 0 は、複数の相互接続子 1 2 2 c に結合され得る。複数のはんだ相互接続子 1 3 0 は、基板 1 0 2 の最後の金属層（例えば、M 4 層）からの相互接続子に結合され得る。

【 0 0 2 1 】

図 2 は、パッケージ 1 0 0 の詳細図を示す。図 2 に示すように、パッケージ 1 0 0 は、

50

基板 102、集積デバイス 104、及び集積デバイス 106を含む。基板 102は、複数の相互接続子 122を含む。複数の相互接続子 122は、複数の相互接続子 122a、複数の相互接続子 122b、及び複数の相互接続子 122cを含む。

【0022】

集積デバイス 104は、複数のはんだ相互接続子 140を介して複数の相互接続子 122aに結合される。集積デバイス 104は、複数のピラー相互接続子 142及び/又は複数のはんだ相互接続子 240（例えば、第1の複数のはんだ相互接続子、第1のはんだ相互接続のための手段）を介して複数の相互接続子 122aに結合される。複数のはんだ相互接続子 140及び複数のはんだ相互接続子 240は、それらが異なるサイズ及び/又は体積を有する場合であっても、同じグループのはんだ相互接続子の一部と見なされ得ることに留意されたい。複数の相互接続子 122aは、複数の高密度相互接続子を含む。複数の相互接続子 122aは、M1層（例えば、第1の金属層）など、基板 102の上部金属層上に配置された相互接続子を含み得る。複数の相互接続子 122aは、少なくとも1つの誘電体層 120内に配置され（例えば、埋め込まれ）得る。複数の相互接続子 122aは、少なくとも1つの誘電体層 120の第1の表面を通して配置され得る。例えば、複数の相互接続子 122aは、少なくとも1つの誘電体層 120の第1の表面を通して少なくとも1つの誘電体層 120内に配置される（例えば、埋め込まれる）相互接続子を含み得る。複数の相互接続子 122aのうちの少なくともいくつかの相互接続子は、少なくとも1つの誘電体層 120の第1の表面（例えば、上面）と共に平面に位置する相互接続面を有し得る。複数の相互接続子 122aは、約3～4マイクロメートルの最小幅及び約3～4マイクロメートルの最小間隔を含む。複数の相互接続子 122aは、約3～4マイクロメートル以上の幅を有する少なくとも1つの相互接続子を含み得る。複数の相互接続子 122aは、約3～4マイクロメートル以上の間隔を有する少なくとも1つの相互接続子を含み得る。

10

20

【0023】

集積デバイス 106は、複数のはんだ相互接続子 160を介して複数の相互接続子 122bに結合される。集積デバイス 106は、複数のピラー相互接続子 162及び/又は複数のはんだ相互接続子 260（例えば、第2の複数のはんだ相互接続子、第2のはんだ相互接続のための手段）を介して複数の相互接続子 122bに結合される。複数のはんだ相互接続子 160及び複数のはんだ相互接続子 260は、それらが異なるサイズ及び/又は体積を有する場合であっても、同じグループのはんだ相互接続子の一部と見なされ得ることに留意されたい。集積デバイス 106は、基板 102のM3層からの相互接続子に結合される。複数の相互接続子 122bは、複数の高密度相互接続子を含む。複数の相互接続子 122bは、少なくとも1つの誘電体層 120内に配置され（埋め込まれ）得る。複数の相互接続子 122bは、少なくとも1つの誘電体層 120の第2の表面を通して配置され得る。例えば、複数の相互接続子 122bは、少なくとも1つの誘電体層 120の第2の表面を通して少なくとも1つの誘電体層 120に埋め込まれる相互接続子を含み得る。複数の相互接続子 122bのうちの少なくともいくつかの相互接続子は、少なくとも1つの誘電体層 120の第2の表面（例えば、底面）と共に平面に位置する相互接続面を有し得る。複数の相互接続子 122bは、基板 102の最後の金属層に隣接する金属層（例えば、底部金属層に隣接する金属層、M3層）上に配置された相互接続子を含み得る。複数の相互接続子 122bは、少なくとも1つの誘電体層 120に埋め込まれた最後の金属層上に配置された相互接続子を含み得る。複数の相互接続子 122bは、約3～4マイクロメートルの最小幅及び約3～4マイクロメートルの最小間隔を含む。複数の相互接続子 122bは、約3～4マイクロメートル以上の幅を有する少なくとも1つの相互接続子を含み得る。複数の相互接続子 122bは、約3～4マイクロメートル以上の間隔を有する少なくとも1つの相互接続子を含み得る。

30

40

【0024】

いくつかの実装形態では、複数の相互接続子 122cのうち少なくともいくつかの相互接続子は、少なくとも1つの誘電体層 120内に配置され得る。いくつかの実装形態では

50

、複数の相互接続子 1 2 2 c のうち少なくともいくつかの相互接続子は、少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面（例えば、底面）の上に配置され得る。複数の相互接続子 1 2 2 c は、はんだレジスト層 1 2 6 によって取り囲まれ得る。複数の相互接続子 1 2 2 c は、相互接続のための手段であり得る。複数の相互接続子 1 2 2 c は、基板 1 0 2 の最後の金属層（例えば、底部金属層、M 4 層）上に配置された相互接続子を含み得る。複数の相互接続子 1 2 2 c は、M 2 層などのその他の金属層上に配置された相互接続子を含み得ることに留意されたい。少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面の上に配置される複数の相互接続子 1 2 2 c のうち少なくともいくつかの相互接続子は、少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面と共に平面に位置する相互接続面、及び / 又は少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面を通して配置される複数の相互接続子 1 2 2 b のうち 10 少なくとも 1 つの相互接続子の別の相互接続面を有し得る。例えば、複数の相互接続子 1 2 2 b のうち 1 つの相互接続子（例えば、高密度相互接続子、高密度トレース相互接続子、高密度パッド相互接続子）が、少なくとも 1 つの誘電体層 1 2 0 から離れる方を向いた相互接続面を有し得、相互接続面は、少なくとも 1 つの誘電体層 1 2 0 の方を向いた、複数の相互接続子 1 2 2 c のうち 1 つの相互接続子（例えば、トレース相互接続子、パッド相互接続子）の別の相互接続面と共に平面に位置し、複数の相互接続子 1 2 2 c のうち 1 つの相互接続子（例えば、トレース相互接続子、パッド相互接続子）は、少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面の上に配置される。複数の相互接続子 1 2 2 c は、約 8 マイクロメートルの最小幅及び約 8 マイクロメートルの最小間隔を含む。複数の相互接続子 1 2 2 c は、約 8 マイクロメートル以上の幅を有する少なくとも 1 つの相互接続子を含み 20 得る。複数の相互接続子 1 2 2 c は、約 8 マイクロメートル以上の間隔を有する少なくとも 1 つの相互接続子を含み得る。

【 0 0 2 5 】

図 3 は、パッケージ 3 0 0 の詳細図を示す。パッケージ 3 0 0 は、パッケージ 1 0 0 と同様であり、パッケージ 1 0 0 と同様の構成要素及び / 又は同様の様式で構成される構成要素を含み得る。図 3 に示すように、パッケージ 3 0 0 は、基板 1 0 2、集積デバイス 1 0 4、及び集積デバイス 1 0 6 を含む。基板 1 0 2 は、複数の相互接続子 1 2 2 を含む。複数の相互接続子 1 2 2 は、複数の相互接続子 1 2 2 a、複数の相互接続子 1 2 2 b、及び複数の相互接続子 1 2 2 c を含む。

【 0 0 2 6 】

集積デバイス 1 0 6 は、複数のはんだ相互接続子 1 6 0 を介して複数の相互接続子 1 2 2 c に結合される。集積デバイス 1 0 6 は、複数のピラー相互接続子 1 6 2 及び / 又は複数のはんだ相互接続子 2 6 0 を介して複数の相互接続子 1 2 2 b に結合される。集積デバイス 1 0 6 は、基板 1 0 2 の M 3 層及び M 4 層からの相互接続子に結合される。複数の相互接続子 1 2 2 b は、複数の高密度相互接続子を含む。複数の相互接続子 1 2 2 b は、少なくとも 1 つの誘電体層 1 2 0 に埋め込まれ得る。複数の相互接続子 1 2 2 c は、少なくとも 1 つの誘電体層 1 2 0 内及び少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面（例えば、底面）の上に配置され得る。図 3 は、集積デバイス 1 0 6 が、少なくとも 1 つの誘電体層 1 2 0 内の相互接続子と、少なくとも 1 つの誘電体層 1 2 0 の第 2 の表面の上に配置された相互接続子とに結合され得ることを示す。

【 0 0 2 7 】

図 1 ~ 図 3 は、高密度相互接続子を基板の両側及び / 又は両面にどのように配置し得るかを図示及び説明する。これにより、基板の両側に配置された集積デバイスに高速通信を提供することが可能になる。基板の両側及び / 又は両面に配置された高密度相互接続子は、非高密度相互接続子を介して一緒に結合されるように構成され得る。例えば、複数の相互接続子 1 2 2 a（例えば、第 1 の複数の高密度相互接続子）と複数の相互接続子 1 2 2 b（例えば、第 2 の複数の高密度相互接続子）とは、複数の相互接続子 1 2 2 のうち他の相互接続子（例えば、非高密度相互接続子）を介して一緒に結合されるように構成され得る。更に説明するように、高密度相互接続子（例えば、1 2 2 a、1 2 2 b）は、埋め込み型トレース基板（埋込みトレース基板；ETS）プロセスを使用して製造され得る。基 50

板 1 0 2 に示される金属層の数は例示的なものである。基板の異なる実装形態は、異なる数の金属層を有し得る。例えば、基板は、7つの金属層（例えば、M 1 層 ~ M 7 層）を含み得る。そのような例では、複数の相互接続子 1 2 2 a は、M 1 金属層（例えば、第 1 の金属層）上に配置された相互接続子を含み得、複数の相互接続子 1 2 2 b は、M 6 金属層（例えば、最後の金属層に隣接する、底部金属層に隣接する）上に配置された相互接続子を含み得、複数の相互接続子 1 2 2 c は、M 7 金属層（例えば、最後の金属層、底部金属層）上の相互接続子を含み得る。金属層の番号は、基板の上部から底部に向かうことに留意されたい。しかしながら、金属層の番号は、基板の底部から上部に向かうこともある。トレース相互接続子及び / 又はパッド相互接続子は、基板の 1 つ以上の金属層上に配置され得る。ビア相互接続子は、基板の金属層間に配置され得る。本開示で説明する底面及び / 又は上面は、任意に定義され得ることに留意されたい。いくつかの実装形態では、第 1 の表面が底面であり得、第 2 の表面が上面であり得る。いくつかの実装形態では、第 2 の表面が底面であり得、第 1 の表面は上面であり得る。

10

【 0 0 2 8 】

図 2 及び図 3 は、M 3 層からの相互接続子と M 4 層からの相互接続子との間の垂直間隔が、M 3 層からの相互接続子と M 2 層からの相互接続子との間の垂直間隔よりも小さい（例えば、より近い）ことを示す。この構成は、同じ数の金属層を有する他の基板よりも薄い基板を提供するのに役立ち得る。様々な相互接続子について言及する幅、間隔、最小幅、及び / 又は最小間隔は例示的なものであることに留意されたい。いくつかの実装形態では、相互接続子の幅、間隔、最小幅、及び / 又は最小間隔は変動し得る。いくつかの実装形態では、相互接続子の幅、間隔、最小幅、及び / 又は最小間隔の異なる組み合わせが基板に使用され得る。相互接続子に使用される幅、間隔、最小幅、及び / 又は最小間隔のいずれの組み合わせも、集積デバイス（単数又は複数）及び基板を含むパッケージの設計及び / 又は要件に依存し得る。例えば、いくつかの実装形態では、基板 1 0 2 は、(i) 約 6 マイクロメートルの最小幅及び / 又は約 8 マイクロメートルの最小間隔を備える相互接続子を有する、複数の相互接続子 1 2 2 a 及び / 又は複数の相互接続子 1 2 2 b と、(i i) 約 1 0 マイクロメートルの最小幅及び / 又は約 1 5 マイクロメートルの最小間隔を有する相互接続子を有する、複数の相互接続子 1 2 2 c とを含み得る。いくつかの実装形態では、基板 1 0 2 は、(i) 約 6 マイクロメートル以上の幅及び / 又は約 8 マイクロメートル以上の間隔の相互接続子を有する、複数の相互接続子 1 2 2 a 及び / 又は複数の相互接続子 1 2 2 b と、(i i) 約 1 0 マイクロメートル以上の幅及び / 又は約 1 5 マイクロメートル以上の最小間隔の相互接続子を有する、複数の相互接続子 1 2 2 c とを含み得る。

20

30

【 0 0 2 9 】

本開示で使用する場合、高密度相互接続子は、基板の他の相互接続子よりも小さな最小幅及び / 又は最小間隔を有する相互接続子であり得る。本開示で使用する場合、高密度相互接続子は、基板の他の相互接続子よりも小さな幅及び / 又は間隔を有する相互接続子であり得る。いくつかの実装形態では、基板の高密度相互接続子は、基板の第 1 の複数の相互接続子であり得、基板の他の相互接続子（例えば、非高密度相互接続子）は、基板の第 2 の複数の相互接続子及び / 又は第 3 の複数の相互接続子であり得る。いくつかの実装形態では、基板の高密度相互接続子は、基板内のより高密度のルーティングを可能にする改善された幅及び / 又は間隔を高密度相互接続子が有することを除いて、基板の相互接続子（例えば、非高密度相互接続子）と同様であり得る。特定の幅及び / 又は特定の間隔を含む複数の相互接続子は、複数の相互接続子のうち相互接続子のうちの 1 つ以上がそれぞれ、特定の幅及び / 又は特定の間隔を有することを意味し得る。特定の最小幅及び / 又は特定の最小間隔を含む複数の相互接続子は、複数の相互接続子のうち相互接続子のうちの 1 つ以上がそれぞれ、特定の最小幅及び / 又は特定の最小間隔を有することを意味し得る。

40

【 0 0 3 0 】

集積デバイス（例えば、1 0 4、1 0 6）は、ダイ（例えば、半導体ベアダイ）を含み得る。集積デバイスは、集積回路を含み得る。集積デバイスは、電源管理用集積回路（p

50

ower management integrated circuit; PMIC) を含み得る。集積デバイスは、アプリケーションプロセッサを含み得る。集積デバイスは、モデムを含み得る。集積デバイスは、無線周波数 (radio frequency; RF) デバイス、受動デバイス、フィルタ、キャパシタ、インダクタ、アンテナ、送信機、受信機、ガリウムヒ素 (GaAs) ベースの集積デバイス、表面弾性波 (surface acoustic wave; SAW) フィルタ、バルク弾性波 (bulk acoustic wave; BAW) フィルタ、発光ダイオード (light emitting diode; LED) 集積デバイス、シリコン (Si) ベースの集積デバイス、炭化ケイ素 (SiC) ベースの集積デバイス、メモリ、電源管理プロセッサ、及び/又はこれらの組み合わせを含み得る。集積デバイス (例えば、104、106) は、少なくとも1つの電子回路 (例えば、第1の電子回路、第2の電子回路、など) を含み得る。集積デバイスは、電気構成要素及び/又は電気デバイスの一例であり得る。

10

【0031】

パッケージ (例えば、100、300) は、無線周波数 (RF) パッケージに実装され得る。RFパッケージは、無線周波数フロントエンドパッケージ (radio frequency front end package; RFFE) であり得る。パッケージ (例えば、100、300) は、ワイヤレスフィデリティ (Wireless Fidelity; WiFi) 通信及び/又はセルラー通信 (例えば、2G、3G、4G、5G) を提供するように構成され得る。パッケージ (例えば、100、300) は、移動体通信のためのグローバルシステム (Global System for Mobile Communications; GSM)、ユニバーサル移動体通信システム (Universal Mobile Telecommunications System; UMTS)、及び/又はロングタームエボリューション (Long-Term Evolution; LTE) をサポートするように構成され得る。パッケージ (例えば、100、300) は、異なる周波数及び/又は通信プロトコルを有する信号を送信及び受信するように構成され得る。

20

【0032】

基板を有する様々なパッケージを説明してきたが、次に、基板を製造するためのいくつかの方法を以下で説明する。

【0033】

基板を製造するための例示的なシーケンス

いくつかの実装形態では、基板を製造することは、いくつかのプロセスを含む。図4A~図4Cは、基板を提供又は製造するための例示的なシーケンスを示す。図4A~図4Cは、コアレス基板を提供又は製造するために使用され得る。いくつかの実装形態では、図4A~図4Cのシーケンスを使用して、基板102を提供又は製造することができる。しかしながら、図4A~図4Cのプロセスを使用して、本開示で説明する基板のいずれかを製造することができる。

30

【0034】

図4A~図4Cのシーケンスは、基板を提供又は製造するためのシーケンスを簡略化及び/又は明確化するために、1つ以上の段階を組み合わせることができる点に留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ以上を交換又は置換することができる。

40

【0035】

段階1は、図4Aに示すように、第1のキャリア400が提供された後の状態を示す。第1のシード層401及び相互接続子402が、第1のキャリア400の上に配置され得る。相互接続子402は、第1のシード層401の上に配置され得る。めっきプロセス又はエッチングプロセスを使用して、相互接続子402を形成することができる。いくつかの実装形態では、第1のキャリア400には、第1のシード層401と、相互接続子402を形成するためにパターンニングされた金属層とを提供することができる。相互接続子4

50

02は、高密度相互接続子を含み得る。例えば、相互接続子402は、複数の相互接続子122aのうち少なくともいくつかの高密度相互接続子を表し得る。

【0036】

段階2は、誘電体層420が、第1のキャリア400、第1のシード層401、及び相互接続子402の上に形成された後の状態を示す。堆積及び/又は積層プロセスを使用して、誘電体層420を形成することができる。誘電体層420は、ポリイミドを含み得る。しかしながら、異なる実装形態は、誘電体層に関して異なる材料を使用し得る。

【0037】

段階3は、複数のキャビティ410が、誘電体層420内に形成された後の状態を示す。複数のキャビティ410は、エッチングプロセス（例えば、フォトエッチングプロセス）又はレーザプロセスを使用して形成され得る。

10

【0038】

段階4は、相互接続子412が、複数のキャビティ410内及びその上を含めて、誘電体層420内及び誘電体層420の上に形成された後の状態を示す。例えば、ビア、パッド、及び/又はトレースが形成され得る。めっきプロセスを使用して、相互接続子を形成することができる。段階2～段階4を反復的に繰り返して、追加的な誘電体層及び追加的な相互接続子を形成することができる点に留意されたい。

【0039】

段階5は、図4Bに示すように、第2のキャリア406が提供された後の状態を示す。第2のシード層407及び相互接続子408が、第2のキャリア406の上に配置される。相互接続子408は、第2のシード層407の上に配置され得る。めっきプロセス又はエッチングプロセスを使用して、相互接続子408を形成することができる。いくつかの実装形態では、第2のキャリア406には、第2のシード層407と、相互接続子408を形成するためにパターンニングされた金属層とを提供することができる。相互接続子408は、高密度相互接続子を含み得る。例えば、相互接続子408は、複数の相互接続子122bのうち少なくともいくつかの高密度相互接続子を表し得る。

20

【0040】

段階6は、第2のキャリア406、第2のシード層407、相互接続子408、及び誘電体層422を誘電体層420及び相互接続子412に結合するプロセスを示す。誘電体層422はプリプレグを含み得る。

30

【0041】

段階7は、第2のキャリア406、第2のシード層407、相互接続子408、及び誘電体層422が、誘電体層420、相互接続子412、相互接続子402、第1のシード層401、及び第1のキャリア400に結合された後の状態を示す。積層プロセスを使用して、第2のキャリア406、第2のシード層407、相互接続子408、及び誘電体層422を、誘電体層420、相互接続子412、相互接続子402、第1のシード層401、及び第1のキャリア400に結合することができる。

【0042】

段階8は、第2のキャリア406が第2のシード層407から分離された（例えば、取り外された、除去された）後の状態を示す。

40

【0043】

段階9は、図4Cに示すように、複数のキャビティ430が誘電体層422内に形成された後の状態を示す。エッチングプロセス又はレーザプロセスを使用して、キャビティ430を形成することができる。

【0044】

段階10は、相互接続子414が、複数のキャビティ430内及びその上を含めて、誘電体層422内及び誘電体層422の上に形成された後の状態を示す。例えば、ビア、パッド、及び/又はトレースが形成され得る。めっきプロセスを使用して、相互接続子を形成することができる。

【0045】

50

相互接続子 402、408、412、及び/又は414のうちのいくつか又は全てが、基板102の複数の相互接続子122を定義し得る。例えば、相互接続子402は、複数の相互接続子122aによって表され得、相互接続子408は、複数の相互接続子122bによって表され得、相互接続子412及び414は、複数の相互接続子122cによって表され得る。誘電体層420と誘電体層422とを、少なくとも1つの誘電体層120によって表され得る。誘電体層420及び/又は422は、プリプレグを含み得る。いくつかの実装形態では、誘電体層420は、味の素ビルドアップフィルム(Ajinomoto build-up film; ABF)及び/又はポリイミドを含み得る。いくつかの実装形態では、少なくとも1つの誘電体層120は、プリプレグの少なくとも1つの層とABFの少なくとも1つの層とを含み得る。いくつかの実装形態では、少なくとも1つの誘電体層120は、プリプレグの少なくとも1つの層とポリイミドの少なくとも1つの層とを含み得る。

10

【0046】

段階11は、第1のキャリア400が少なくとも1つの誘電体層120及び第1のシード層401から分離され(例えば、取り外され、除去され、研削され)、第1のシード層401の一部が除去され(例えば、エッチング除去され)、第2のシード層407の一部が除去され(例えば、エッチング除去され)、少なくとも1つの誘電体層120及び複数の相互接続子122を含む基板102が残された後の状態を示す。複数の相互接続子122は、複数の相互接続子122a、複数の相互接続子122b、及び複数の相互接続子122cを含む。基板102は、コアレス基板であり得る。

20

【0047】

段階12は、はんだレジスト層124及びはんだレジスト層126が、基板102の上に形成された後の状態を示す。堆積プロセスを使用して、はんだレジスト層124及びはんだレジスト層126を形成することができる。いくつかの実装形態では、少なくとも1つの誘電体層120の上には、はんだレジスト層が形成されない場合もあれば、又は、1つのはんだレジスト層が形成される場合もある。

【0048】

異なる実装形態は、金属層(単数又は複数)を形成するために、異なるプロセスを使用し得る。いくつかの実装形態では、金属層(単数又は複数)を形成するための化学気相成長(chemical vapor deposition; CVD)プロセス及び/又は物理気相成長(physical vapor deposition; PVD)プロセス。例えば、スパッタリングプロセス、スプレーコーティングプロセス、及び/又はめっきプロセスを使用して、金属層(単数又は複数)を形成することができる。

30

【0049】

基板を製造するための方法の、例示的なフロー図

いくつかの実装形態では、基板を製造することは、いくつかのプロセスを含む。図5は、基板を提供又は製造するための方法500の例示的なフロー図を示す。いくつかの実装形態では、図5の方法500を使用して、図1~図3の基板(単数又は複数)を提供又は製造することができる。例えば、図5の方法を使用して、基板102を製造することができる。

40

【0050】

図5の方法500は、基板を提供又は製造するための方法を簡略化及び/又は明確化するために、1つ以上のプロセスを組み合わせることができる点に留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【0051】

方法は、(505において)第1のキャリア(例えば、400)を提供する。異なる実装形態は、第1のキャリア400のために異なる材料を使用し得る。第1のキャリア400は、第1のシード層(例えば、401)を含み得る。第1のシード層401は、金属(例えば、銅)を含み得る。第1のキャリアは、基板、ガラス、石英、及び/又はキャリアテープを含み得る。図4Aの段階1は、提供された第1のシード層を有する第1のキャリ

50

アの一例を図示及び説明する。

【0052】

方法は、(510において)第1のキャリア400及び第1のシード層401の上に相互接続子を形成しパターンニングする。金属層が、相互接続子を形成するためにパターンニングされ得る。めっきプロセスを使用して、金属層及び相互接続子を形成することができる。いくつかの実装形態では、キャリア及びシード層は、金属層を含み得る。金属層は、シード層の上に配置され、金属層は、相互接続子(例えば、402)を形成するためにパターンニングされ得る。図4Aの段階1は、シード層及びキャリアの上の相互接続子の一例を図示及び説明する。

【0053】

方法は、(515において)第1のシード層401、第1のキャリア400、及び相互接続子402の上に誘電体層420を形成する。堆積及び/又は積層プロセスを使用して、誘電体層420を形成することができる。誘電体層420は、ポリイミドを含み得る。誘電体層を形成することはまた、誘電体層420内に複数のキャビティ(例えば、410)を形成することも含み得る。複数のキャビティは、エッチングプロセス(例えば、フォトリソグラフィ)又はレーザプロセスを使用して形成され得る。図4Aの段階2及び3は、誘電体層と誘電体層内のキャビティとを形成することの一例を図示及び説明する。

【0054】

方法は、(520において)誘電体層内及びその上に相互接続子を形成する。例えば、相互接続子412を、誘電体層420内及びその上に形成することができる。めっきプロセスを使用して、相互接続子を形成することができる。相互接続子を形成することは、誘電体層の上及び/又は誘電体層内に、パターンニングされた金属層を提供することを含み得る。相互接続子を形成することはまた、誘電体層のキャビティ内に相互接続子を形成することも含み得る。図4Aの段階4は、誘電体層内及びその上に相互接続子を形成することの一例を図示及び説明する。いくつかの方法は、515及び520において説明したように、追加の相互接続子及び追加の誘電体層を反復的に提供及び/又は形成し得ることに留意されたい。

【0055】

方法は、(525において)第2のキャリア(例えば、406)を提供する。異なる実装形態は、第2のキャリア406のために異なる材料を使用し得る。第2のキャリアは、第2のシード層(例えば、407)を含み得る。第2のシード層407は、金属(例えば、銅)を含み得る。第2のキャリアは、基板、ガラス、石英、及び/又はキャリアテープを含み得る。方法はまた、(525において)第2のキャリア406及び第2のシード層407の上に相互接続子408を形成しパターンニングし得る。金属層が、相互接続子を形成するためにパターンニングされ得る。めっきプロセスを使用して、金属層及び相互接続子を形成することができる。図4Bの段階5は、第2のシード層及び相互接続子を有する第2のキャリアの一例を図示及び説明する。

【0056】

方法は、(530において)第2のキャリア406、第2のシード層407、相互接続子408、誘電体層422を、第1のキャリア400、第1のシード層401、相互接続子402、及び誘電体層420に結合する。積層プロセスを使用して、第2のキャリア406、第2のシード層407、相互接続子408、及び誘電体層422を、第1のキャリア400、第1のシード層401、相互接続子402、及び誘電体層420に結合することができる。図4Bの段階6及び図7は、1つのキャリアの相互接続子を別のキャリアの相互接続子に結合することの一例を図示及び説明する。

【0057】

方法は、(535において)第2のキャリア(例えば、406)を第2のシード層(例えば、407)から分離する。第2のキャリア406は、取り外され、及び/又は接地され得る。図4Bの段階8は、キャリア分離の一例を図示及び説明する。

【0058】

10

20

30

40

50

方法は、(540において)誘電体層内及び/又は誘電体層の上に相互接続子を形成する。例えば、相互接続子414を、誘電体層422内及び/又は誘電体層422の上に形成することができる。めっきプロセスを使用して、相互接続子を形成することができる。相互接続子を形成することは、誘電体層の上及び誘電体層内に、パターンニングされた金属層を提供することを含み得る。相互接続子を形成することはまた、誘電体層のキャビティ内に相互接続子を形成することも含み得る。図4Cの段階9及び図10は、誘電体層内及びその上に相互接続子を形成することの一例を図示及び説明する。

【0059】

方法は、(545において)第1のキャリア(例えば、400)を第1のシード層(例えば、401)から分離する。第1のキャリア400は、取り外され、及び/又は接地され得る。方法はまた、(545において)第1のシード層(例えば、401)の一部及び第2のシード層(例えば、407)の一部を除去し得る。エッチングプロセスを使用して、第1のシード層401の一部及び第2のシード層407の一部を除去することができる。図4Cの段階11は、キャリア及びシード層を分離することの一例を図示及び説明する。

【0060】

いくつかの実装形態では、キャリア(単数又は複数)及びシード層(単数又は複数)の除去の後、方法は、基板の上にはんだレジスト層(例えば、124、126)を形成し得る。図4Cの段階12は、はんだレジスト層を形成することの一例を図示及び説明する。

【0061】

異なる実装形態は、金属層(単数又は複数)を形成するために、異なるプロセスを使用し得る。いくつかの実装形態では、金属層(単数又は複数)を形成するための化学気相成長(CVD)プロセス及び/又は物理気相成長(PVD)プロセス。例えば、スパッタリングプロセス、スプレーコーティングプロセス、及び/又はめっきプロセスを使用して、金属層(単数又は複数)を形成することができる。

【0062】

高密度相互接続子を有する基板を備えるパッケージを製造するための例示的なシーケンス

いくつかの実装形態では、パッケージを製造することは、いくつかのプロセスを含む。図6A~図6Bは、高密度相互接続子を有する基板を含むパッケージを提供又は製造するための例示的なシーケンスを示す。いくつかの実装形態では、図6A及び図6Bのシーケンスを使用して、パッケージ100を提供又は製造することができる。しかしながら、図6A~図6Bのプロセスを使用して、本開示で説明するパッケージのいずれか(例えば、300)を製造することができる。

【0063】

図6A~図6Bのシーケンスは、パッケージを提供又は製造するためのシーケンスを簡略化及び/又は明確化するために、1つ以上の段階を組み合わせることができる点に留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ以上を交換又は置換することができる。

【0064】

段階1は、図6Aに示すように、基板102が提供された後の状態を示す。基板102は、少なくとも1つの誘電体層120、複数の相互接続子122、はんだレジスト層124、及びはんだレジスト層126を含む。複数の相互接続子122は、複数の相互接続子122a、複数の相互接続子122b、及び複数の相互接続子122cを含み得る。相互接続子のうちのいくつかは、高密度相互接続子を含み得る。例えば、図1~図3で説明したように、第1の複数の高密度相互接続子が、基板の第1の側に配置され得、第2の複数の高密度相互接続子が、基板の第2の側に配置され得る。異なる実装形態は、異なる数の金属層を有する異なる基板を使用し得る。基板102は、図4A~図4Cで説明した方法を使用して製造され得る。

10

20

30

40

50

【 0 0 6 5 】

段階 2 は、集積デバイス 1 0 6 が複数のはんだ相互接続子 1 6 0、複数のピラー相互接続子 1 6 2、及び / 又は複数のはんだ相互接続子 2 6 0 を介して基板 1 0 2 に結合された後の状態を示す。はんだリフロープロセスを使用して、集積デバイス 1 0 6 を基板 1 0 2 に結合することができる。集積デバイス 1 0 6 は、基板 1 0 2 の第 2 の表面（例えば、底面）に結合され得る。図 2 は、集積デバイス 1 0 6 をどのように基板 1 0 2 に結合し得るかの一例を示す。異なる実装形態は、異なる構成要素及び / 又はデバイスを基板 1 0 2 に結合し得る。

【 0 0 6 6 】

段階 3 は、集積デバイス 1 0 4 が複数のはんだ相互接続子 1 4 0、複数のピラー相互接続子 1 4 2、及び / 又は複数のはんだ相互接続子 2 4 0 を介して基板 1 0 2 に結合された後の状態を示す。はんだリフロープロセスを使用して、集積デバイス 1 0 4 を基板 1 0 2 に結合することができる。集積デバイス 1 0 4 は、基板 1 0 2 の第 1 の表面（例えば、上面）に結合され得る。図 2 は、集積デバイス 1 0 4 をどのように基板 1 0 2 に結合し得るかの一例を示す。異なる実装形態は、異なる構成要素及び / 又はデバイスを基板 1 0 2 に結合し得る。

【 0 0 6 7 】

段階 4 は、図 6 B に示すように、カプセル化層 1 0 8 が、基板 1 0 2 の第 1 の表面の上に提供された（例えば、形成された）後の状態を示す。カプセル化層 1 0 8 は、集積デバイス 1 0 4 をカプセル化し得る。カプセル化層 1 0 8 は、型成形物、樹脂、及び / 又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液状成形プロセスを使用して、カプセル化層 1 0 8 を形成することができる。カプセル化層 1 0 8 は、フォトリソグラフィ可能であり得る。カプセル化層 1 0 8 は、カプセル化のための手段であり得る。

【 0 0 6 8 】

段階 5 は、複数のはんだ相互接続子 1 3 0 が、基板 1 0 2 に結合された後の状態を示す。はんだリフロープロセスを使用して、複数のはんだ相互接続子 1 3 0 を基板 1 0 2 に結合することができる。複数のはんだ相互接続子 1 3 0 は、複数の相互接続子 1 2 2 に結合され得る。

【 0 0 6 9 】

本開示で説明するパッケージ（例えば、1 0 0、3 0 0）は、一度に 1 つ製造されてもよく、又は 1 つ以上のウェハの一部として一緒に製造され、次いで個別のパッケージに単一化されてもよい。

【 0 0 7 0 】

高密度相互接続子を有する基板を備えるパッケージを製造するための方法の例示的なフロー図

いくつかの実装形態では、パッケージを製造することは、いくつかのプロセスを含む。図 7 は、高密度相互接続子を有する基板を備えるパッケージを提供又は製造するための方法 7 0 0 の例示的なフロー図を示す。いくつかの実装形態では、図 7 の方法 7 0 0 を使用して、本開示で説明するパッケージ 1 0 0 を提供又は製造することができる。しかしながら、方法 7 0 0 は、本開示で説明したパッケージ（例えば、3 0 0）のいずれかを提供又は製造するために使用され得る。

【 0 0 7 1 】

図 7 の方法は、パッケージを提供又は製造するためのシーケンスを簡略化及び / 又は明確化するために、1 つ以上のプロセスを組み合わせることができる点に留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【 0 0 7 2 】

方法は、（7 0 5 において）基板（例えば、1 0 2）を提供する。基板 1 0 2 は、供給元によって提供される場合もあれば、又は製造される場合もある。基板 1 0 2 は、少なくとも 1 つの誘電体層 1 2 0、複数の相互接続子 1 2 2、はんだレジスト層 1 2 4、及びは

10

20

30

40

50

んだレジスト層 1 2 6 を含む。複数の相互接続子 1 2 2 は、複数の相互接続子 1 2 2 a、複数の相互接続子 1 2 2 b、及び複数の相互接続子 1 2 2 c を含む得る。相互接続子のうちのいくつかは、高密度相互接続子を含む得る。例えば、図 1 ~ 図 3 で説明したように、第 1 の複数の高密度相互接続子が、基板の第 1 の側に配置され得、第 2 の複数の高密度相互接続子が、基板の第 2 の側に配置され得る。異なる実装形態は、基板 1 0 2 を製造するために、異なるプロセスを使用し得る。図 4 A 及び図 4 C は、高密度相互接続子を有する基板を製造することの一例を図示及び説明する。図 6 A の段階 1 は、高密度相互接続子を有する基板を提供することの一例を図示及び説明する。

【 0 0 7 3 】

方法は、(7 1 0 において) 集積デバイス (例えば、1 0 6) を基板 1 0 2 に結合する。例えば、集積デバイス 1 0 6 は、基板 1 0 2 の第 2 の表面 (例えば、底面) に結合される。集積デバイス 1 0 6 は、複数のはんだ相互接続子 1 6 0、複数のピラー相互接続子 1 6 2 及び / 又は複数のはんだ相互接続子 2 6 0 を介して基板 1 0 2 に結合される。はんだリフロープロセスを使用して、集積デバイス 1 0 6 を基板 1 0 2 に結合することができる。図 6 A の段階 2 は、集積デバイスを基板に結合することの一例を図示及び説明する。

10

【 0 0 7 4 】

方法は、(7 1 0 において) 集積デバイス (例えば、1 0 4) を基板 1 0 2 に結合する。例えば、集積デバイス 1 0 4 が、基板 1 0 2 の第 1 の表面 (例えば、上面) に結合される。集積デバイス 1 0 4 は、複数のはんだ相互接続子 1 4 0、複数のピラー相互接続子 1 4 2 及び / 又は複数のはんだ相互接続子 2 4 0 を介して基板 1 0 2 に結合される。はんだリフロープロセスを使用して、集積デバイス 1 0 4 を基板 1 0 2 に結合することができる。図 6 A の段階 3 は、集積デバイスを基板に結合することの一例を図示及び説明する。

20

【 0 0 7 5 】

方法は、(7 1 5 において) 基板 (例えば、1 0 2) の第 1 の表面の上にカプセル化層 (例えば、1 0 8) を形成する。カプセル化層 1 0 8 は、基板 1 0 2 及び集積デバイス 1 0 4 の上に及び / 又はその周りに提供され、形成され得る。カプセル化層 1 0 8 は、型成形物、樹脂、及び / 又はエポキシを含み得る。圧縮成形プロセス、トランスファー成形プロセス、又は液状成形プロセスを使用して、カプセル化層 1 0 8 を形成することができる。カプセル化層 1 0 8 は、フォトリソグラフィ可能であり得る。カプセル化層 1 0 8 は、カプセル化のための手段であり得る。図 6 B の段階 4 は、カプセル化層を形成することの一例を図示及び説明する。

30

【 0 0 7 6 】

方法は、(7 2 0 において) 複数のはんだ相互接続子 (例えば、1 3 0) を基板 1 0 2 に結合する。はんだリフロープロセスを使用して、複数のはんだ相互接続子 1 3 0 を基板 1 0 2 に結合することができる。図 6 B の段階 5 は、はんだ相互接続子を基板に結合することの一例を図示及び説明する。

【 0 0 7 7 】

本開示で説明するパッケージ (例えば、1 0 0、3 0 0) は、一度に 1 つ製造されてもよく、又は 1 つ以上のウェハの一部として一緒に製造され、次いで個別のパッケージに単一化されてもよい。

40

【 0 0 7 8 】

例示的な電子デバイス

図 8 は、前述のデバイス、集積デバイス、集積回路 (i n t e g r a t e d c i r c u i t ; I C) パッケージ、集積回路 (I C) デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ (p a c k a g e - o n - p a c k a g e ; P o P)、システムインパッケージ (S y s t e m i n P a c k a g e ; S i P)、又はシステムオンチップ (S y s t e m o n C h i p ; S o C) のいずれかと統合され得る、様々な電子デバイスを示す。例えば、携帯電話デバイス 8 0 2、ラップトップコンピュータデバイス 8 0 4、固定位置端末デバイス 8 0 6、ウェアラブルデバイス 8 0 8、又は自動車両 8 1 0 は、本明細書で説明したようなデバイス 8 0 0 を含む得る。

50

デバイス 800 は、例えば、本明細書で説明するデバイス及び/又は集積回路 (IC) パッケージのいずれかであり得る。図 8 に示されるデバイス 802、804、806、及び 808、並びに車両 810 は、単に例示的なものに過ぎない。他の電子デバイスもまた、デバイス 800 を特徴とし得るものであり、それらの電子デバイスとしては、限定するものではないが、モバイルデバイス、ハンドヘルドパーソナル通信システム (personal communications system; PCS) ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム (global positioning system; GPS) 対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの固定位置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス (例えば、時計、眼鏡)、モノのインターネット (Internet of things; IoT) デバイス、サーバ、ルータ、自動車 (例えば、自律走行車) 内に実装されている電子デバイス、又は、データ若しくはコンピュータ命令を記憶するか若しくは取り出す任意の他のデバイス、あるいはこれらの任意の組み合わせを含む、デバイス (例えば、電子デバイス) の群が挙げられる。

10

【0079】

図 1 ~ 図 3、図 4 A ~ 図 4 C、図 5、図 6 A ~ 図 6 B、及び/又は図 7 及び図 8 に示される構成要素、プロセス、特徴、及び/又は機能のうちの一つ以上は、単一の構成要素、プロセス、特徴又は機能に再構成され、及び/又は組み合わせられるか、あるいはいくつかの構成要素、プロセス、又は機能において実施され得る。追加的な要素、構成要素、プロセス、及び/又は機能もまた、本開示から逸脱することなく追加することができる。また、本開示における図 1 ~ 図 3、図 4 A ~ 図 4 C、図 5、図 6 A ~ 図 6 B、及び/又は図 7 及び図 8、並びにその対応する説明は、ダイ及び/又は IC に限定されないことに留意されたい。いくつかの実装形態では、図 1 ~ 図 3、図 4 A ~ 図 4 C、図 5、図 6 A 及び図 6 B、及び/又は図 7 及び図 8、並びに対応する説明は、デバイス及び/又は集積デバイスを製造、作成、提供、及び/又は生成するために使用され得る。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積受動デバイス (IPD)、ダイパッケージ、集積回路 (IC) デバイス、デバイスパッケージ、集積回路 (IC) パッケージ、ウェハ、半導体デバイス、パッケージオンパッケージ (POP) デバイス、放熱デバイス、及び/又はインターポーザを含み得る。

20

30

【0080】

本開示における図は、様々な部品、構成要素、物体、デバイス、パッケージ、集積デバイス、集積回路、及び/又はトランジスタの、実際の表現及び/又は概念的表現を表し得る点に留意されたい。いくつかの事例では、図は、正確な縮尺ではない場合がある。いくつかの事例では、明瞭化の目的のために、全ての構成要素及び/又は部品が示されていない場合もある。いくつかの事例では、図中の様々な部品及び/又は構成要素の、位置、場所、サイズ、及び/又は形状は、例示的なものであり得る。いくつかの実装形態では、図中の様々な構成要素及び/又は部品は、任意選択的なものであり得る。

【0081】

「例示的 (exemplary)」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書で説明されている、いずれの実装形態又は態様も、必ずしも本開示の他の態様よりも好ましいか又は有利であるとして解釈されるべきではない。同様に、「態様」という用語は、本開示の全ての態様が、説明した特徴、利点、又は動作モードを含むことを必要とするとは限らない。「結合されている」という用語は、本明細書では、2つの物体間の直接的又は間接的な結合 (例えば、機械的結合) を指すために使用されている。例えば、物体 A が物体 B に物理的に接触しており、物体 B が物体 C に接触している場合には、物体 A と物体 C とは、それらが互いに物理的に直接接触していない場合であっても、依然として互いに結合されていると見なすことができる。物体 B に結合される物体 A は、物体 B の少なくとも一部に結合され得る。「電氣的に結合される」という用語は、電流 (例えば、信号、電力、接

40

50

地)が2つの物体間を移動し得るように、2つの物体が一緒に直接的又は間接的に結合されることを意味し得る。電氣的に結合されている2つの物体は、それら2つの物体の間に電流を伝播させる場合もあれば、又は伝播させない場合もある。用語「第1」、「第2」、「第3」、及び「第4」(及び/又は、第4を上回るいずれかのもの)の使用は、恣意的なものである。説明されている構成要素のうちのいずれも、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素とすることができる。例えば、第2の構成要素と称されている構成要素は、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素とすることもできる。「カプセル化する」、「カプセル化すること」という用語、及び/又はその派生語は、物体が別の物体を部分的にカプセル化する、又は完全にカプセル化し得ることを意味する。「上部(top)」及び「底部(bottom)」という用語は、恣意的なものである。上部に配置されている構成要素は、底部に配置されている構成要素の上に配置されている場合がある。上部の構成要素が底部の構成要素と見なされる場合もあり、その逆も同様である。本開示で説明したように、第2の構成要素「の上に(over)」配置されている第1の構成要素とは、どのように底部又は上部が恣意的に定義されているかに応じて、その第1の構成要素が、第2の構成要素の上方に配置されていること又は下方に配置されていることを意味し得る。別の実施例では、第1の構成要素は、第2の構成要素の第1の表面の上に(例えば、上方に)配置されている場合があり、第3の構成要素は、第2の構成要素の第2の表面の上に(例えば、下方に)配置されている場合があり、この場合、第2の表面は、第1の表面の反対側にある。ある1つの構成要素が別の構成要素の上に配置されている文脈において、本出願で使用する場合、
「の上に」という用語は、別の構成要素上に、及び/又は別の構成要素内に存在している(例えば、構成要素の表面上に存在しているか、又は構成要素内に埋め込まれている)構成要素を意味するために使用することができる点に更に留意されたい。それゆえ、例えば、第2の構成要素の上に存在している第1の構成要素とは、(1)第1の構成要素が第2の構成要素の上に存在しているが、第2の構成要素には直接接触していないこと、(2)第1の構成要素が第2の構成要素上に(例えば、第2の構成要素の表面上に)存在していること、及び/又は(3)第1の構成要素が第2の構成要素内に存在している(例えば、第2の構成要素内に埋め込まれている)ことを意味し得る。第2の構成要素「内に(in)」配置されている第1の構成要素は、第2の構成要素内に部分的に配置されている場合もあれば、又は、第2の構成要素内に完全に配置されている場合もある。約X~XXである値は、X及びXXを含む、XとXXとの間の値を意味し得る。XとXXとの間の値(単数又は複数)は、離散的であってもよく、連続的であってもよい。本開示で使用する場合、「約(about)値X」又は「およそ(approximately)値X」という用語は、「値X」の10パーセントの範囲内を意味する。例えば、約1又はおよそ1の値とは、0.9~1.1の範囲の値を意味することになる。

10

20

30

【0082】

いくつかの実装形態では、相互接続子とは、2つの点、要素、及び/又は構成要素間の電氣的接続を可能にするか若しくは容易にする、デバイス又はパッケージの要素若しくは構成要素である。いくつかの実装形態では、相互接続子は、トレース(例えば、トレース相互接続子)、ピア(例えば、ピア相互接続子)、パッド(例えば、パッド相互接続子)、ピラー、メタライゼーション層、再配線層、及び/又はアンダーパンプメタライゼーション(under bump metallization; UBM)層/相互接続子を含み得る。いくつかの実装形態では、相互接続子は、信号(例えば、データ信号)、接地、及び/又は電力に関する、電気経路を提供するように構成することが可能な、導電性材料を含み得る。相互接続子は、2つ以上の要素又は構成要素を含み得る。相互接続子は、1つ以上の相互接続子によって定義することができる。1つ以上のインターフェースが相互接続子間にあってもよく、又はなくてもよい。相互接続子は、1つ以上の金属層を含み得る。相互接続子は、回路の一部とすることができる。異なる実装形態は、相互接続子を形成するために、異なるプロセス及び/又はシーケンスを使用し得る。いくつかの実装形態では、化学気相成長(CVD)プロセス、物理気相成長(PVD)プロセス、スパッタ

40

50

リングプロセス、スプレー塗布、及び/又はめっきプロセスを使用して、相互接続子を形成することができる。1つ以上の相互接続子を形成するプロセスは、スミア除去、マスキング、マスク除去、及び/又はエッチングを含み得る。

【0083】

また、本明細書に含まれている様々な開示は、フローチャート、フロー図、構造図、又はブロック図として示されているプロセスとして、説明される場合がある点にも留意されたい。フローチャートは、動作を逐次プロセスとして説明することがあるが、動作の多くは並列に又は同時に実行することができる。加えて、工程の順序は並べ替えられてもよい。プロセスは、その動作が完了すると終了する。

【0084】

以下では、さらなる例が、本発明の理解を容易にするために説明される。

態様1：基板と、基板の第1の表面に結合された第1の集積デバイスと、基板の第2の表面に結合された第2の集積デバイスとを備える、パッケージ。基板は、少なくとも1つの誘電体層と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第1の表面を通して配置された第1の複数の相互接続子と、少なくとも1つの誘電体層内に少なくとも1つの誘電体層の第2の表面を通して配置された第2の複数の相互接続子とを備える。第1の複数の相互接続子は、第1の幅及び第1の間隔を含む。第2の複数の相互接続子は、第2の幅及び第2の間隔を含む。基板は、少なくとも1つの誘電体層内に配置された第3の複数の相互接続子を含む。第3の複数の相互接続子は、第1の幅及び第2の幅よりも大きな第3の幅を含む。第3の複数の相互接続子は、第1の間隔及び第2の間隔よりも大きな第3の間隔を含む。

【0085】

態様2：第1の集積デバイスが、第1の複数の相互接続子に結合され、第2の集積デバイスが、第2の複数の相互接続子に結合される、態様1のパッケージ。

【0086】

態様3：第1の複数の相互接続子が、基板の第1の金属層上に配置され、第2の複数の相互接続子が、基板の最後の金属層に隣接する金属層上に配置される、態様1～2のパッケージ。

【0087】

態様4：第1の複数の相互接続子が、少なくとも1つの誘電体層内の第1の金属層上に配置され、第2の複数の相互接続子が、少なくとも1つの誘電体層に埋め込まれた最後の金属層上に配置される、態様1及び2のパッケージ。

【0088】

態様5：基板が、少なくとも1つの誘電体層の第1の表面の上に配置された第4の複数の相互接続子を含む、態様1～4のパッケージ。いくつかの実装形態では、複数の相互接続子のうち1つの高密度相互接続子が、少なくとも1つの誘電体層から離れる方を向いた相互接続面を有し得、相互接続面は、少なくとも1つの誘電体層の方を向いた、複数の相互接続子のうち1つの相互接続子の別の相互接続面と共に平面に位置し、相互接続子は、少なくとも1つの誘電体層の第1の表面の上に配置される。

【0089】

態様6：基板が、少なくとも1つの誘電体層の第2の表面の上に配置された第4の複数の相互接続子を含む、態様1～4のパッケージ。いくつかの実装形態では、複数の相互接続子のうち1つの高密度相互接続子が、少なくとも1つの誘電体層から離れる方を向いた相互接続面を有し得、相互接続面は、少なくとも1つの誘電体層の方を向いた、複数の相互接続子のうち1つの相互接続子の別の相互接続面と共に平面に位置し、相互接続子は、少なくとも1つの誘電体層の第2の表面の上に配置される。

【0090】

態様7：第1の複数の相互接続子が、約3～4マイクロメートルの第1の最小幅及び/又は約3～4マイクロメートルの第1の最小間隔を含み、第2の複数の相互接続子が、約3～4マイクロメートルの第2の最小幅及び/又は約3～4マイクロメートルの第2の最

10

20

30

40

50

小間隔を含む、態様 1 ~ 6 のパッケージ。

【 0 0 9 1 】

態様 8 : 第 1 の幅が、約 3 ~ 4 マイクロメートル以上であり、かつ / 又は第 1 の間隔が、約 3 ~ 4 マイクロメートル以上であり、第 2 の幅が、約 3 ~ 4 マイクロメートル以上であり、かつ / 又は第 2 の間隔が、約 3 ~ 4 マイクロメートル以上である、態様 1 ~ 7 のパッケージ。

【 0 0 9 2 】

態様 9 : 第 1 の集積デバイスが、第 1 の複数のはんだ相互接続子及び / 又は第 1 の複数のピラー相互接続子を介して第 1 の複数の相互接続子に結合される、態様 1 ~ 8 のパッケージ。

【 0 0 9 3 】

態様 10 : 第 2 の集積デバイスが、第 2 の複数のはんだ相互接続子及び / 又は第 2 の複数のピラー相互接続子を介して第 2 の複数の相互接続子に結合される、態様 9 のパッケージ。

【 0 0 9 4 】

態様 11 : 基板と、基板の第 1 の表面に結合された第 1 の集積デバイスと、基板の第 2 の表面に結合された第 2 の集積デバイスとを備える、装置。基板は、少なくとも 1 つの誘電体層と、少なくとも 1 つの誘電体層内に少なくとも 1 つの誘電体層の第 1 の表面を通して配置された第 1 の高密度相互接続のための手段と、少なくとも 1 つの誘電体層内に少なくとも 1 つの誘電体層の第 2 の表面を通して配置された第 2 の高密度相互接続のための手段とを含む。

【 0 0 9 5 】

態様 12 : 第 1 の集積デバイスが、第 1 の高密度相互接続のための手段に結合され、第 2 の集積デバイスが、第 2 の高密度相互接続のための手段に結合される、態様 11 の装置。

【 0 0 9 6 】

態様 13 : 第 1 の高密度相互接続のための手段が、基板の第 1 の金属層上に配置され、第 2 の高密度相互接続のための手段が、基板の最後の金属層に隣接する金属層上に配置される、態様 11 ~ 12 の装置。

【 0 0 9 7 】

態様 14 : 第 1 の高密度相互接続のための手段が、少なくとも 1 つの誘電体層内の第 1 の金属層上に配置され、第 2 の高密度相互接続のための手段が、少なくとも 1 つの誘電体層に埋め込まれた最後の金属層上に配置される、態様 11 ~ 12 の装置。

【 0 0 9 8 】

態様 15 : 基板が、少なくとも 1 つの誘電体層の第 1 の表面の上に配置された相互接続のための手段を含む、態様 11 ~ 14 の装置。

【 0 0 9 9 】

態様 16 : 基板が、少なくとも 1 つの誘電体層の第 2 の表面の上に配置された相互接続のための手段を含む、態様 11 ~ 14 の装置。

【 0 1 0 0 】

態様 17 : 第 1 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートルの第 1 の最小幅及び / 又は約 3 ~ 4 マイクロメートルの第 1 の最小間隔を有する相互接続子を含み、第 2 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートルの第 2 の最小幅及び / 又は約 3 ~ 4 マイクロメートルの第 2 の最小間隔を有する相互接続子を含む、態様 11 ~ 16 の装置。

【 0 1 0 1 】

態様 18 : 第 1 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートル以上の第 1 の幅及び / 又は約 3 ~ 4 マイクロメートル以上の第 1 の間隔を有する相互接続子を含み、第 2 の高密度相互接続のための手段が、約 3 ~ 4 マイクロメートル以上の第 2 の幅及び / 又は約 3 ~ 4 マイクロメートル以上の第 2 の間隔を有する相互接続子を含む、態様 11

10

20

30

40

50

～ 17 の装置。

【0102】

態様19：第1の集積デバイスが、第1のはんだ相互接続のための手段及び/又は第1のピラー相互接続のための手段を介して第1の高密度相互接続のための手段に結合され、第2の集積デバイスが、第2のはんだ相互接続のための手段及び/又は第2のピラー相互接続のための手段を介して第2の高密度相互接続のための手段に結合される、態様11～18の装置。

【0103】

態様20：装置が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット(IoT)デバイス、及び自動車両内のデバイスからなる群から選択されるデバイスを含む、態様11～19の装置。

10

【0104】

態様21：基板を製造するための方法。方法は、第1のシード層を備える第1のキャリアを提供する。方法は、第1のシード層の上に第1の複数の高密度相互接続子を形成する。方法は、第1の複数の高密度相互接続子の上に第1の誘電体層を形成する。方法は、第1の誘電体層内及び/又はその上に複数の相互接続子を形成する。方法は、第2のシード層を備える第2のキャリアを提供する。方法は、第2のシード層の上に第2の複数の高密度相互接続子を形成する。方法は、第2のシード層及び第2の複数の高密度相互接続子を備える第2のキャリアを、第2の誘電体層を介して、第1のシード層、第1の複数の高密度相互接続子、第1の誘電体層、及び複数の相互接続子を備える第1のキャリアに結合する。方法は、第2のキャリア及び第1のキャリアを分離する。方法は、第1のシード層の一部及び第2のシード層の一部を除去する。

20

【0105】

態様22：第2のキャリアを分離した後に、方法は、第2の誘電体層内及びその上に第2の複数の相互接続子を形成する、態様21の方法。

【0106】

態様23：第2の複数の相互接続子の上にはんだレジスト層を更に形成する、態様21～22の方法。

30

【0107】

態様24：基板と、基板の第1の表面に結合された第1の集積デバイスとを備える、パッケージ。基板は、(i)少なくとも1つの誘電体層と、(ii)少なくとも1つの誘電体層内に配置された第1の複数の相互接続子であって、第1の複数の相互接続子は、少なくとも1つの誘電体層の第1の表面を通して配置され、第1の複数の相互接続子は、少なくとも1つの誘電体層の第1の表面を通して配置された第1の相互接続子を備え、第1の相互接続子が、第1の相互接続面を備える、第1の複数の相互接続子と、(iii)少なくとも1つの誘電体層の第1の表面の上に配置された第2の複数の相互接続子であって、第2の複数の相互接続子は、少なくとも1つの誘電体層の第1の表面の上に配置された第2の相互接続子を備え、第2の相互接続子が、第1の相互接続面に対して平坦である第2の相互接続面を有する、第2の相互接続子とを含む。

40

【0108】

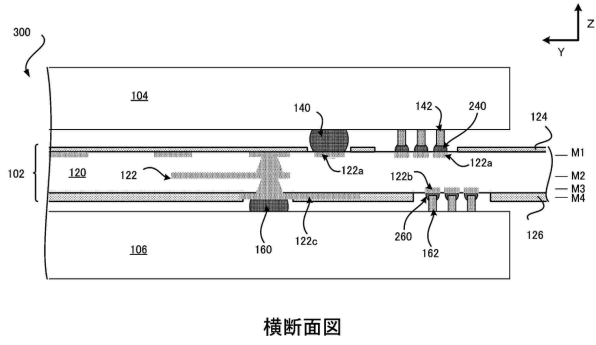
態様25：第1の複数の相互接続子が、第1の複数の高密度相互接続子を含み、第1の相互接続子が、第1の高密度相互接続子を含み、第1の高密度相互接続子が、第2の相互接続子の第2の幅よりも小さな第1の幅を有し、第1の高密度相互接続子が、第2の相互接続子の第2の間隔よりも小さな第1の間隔を有する、態様24のパッケージ。

【0109】

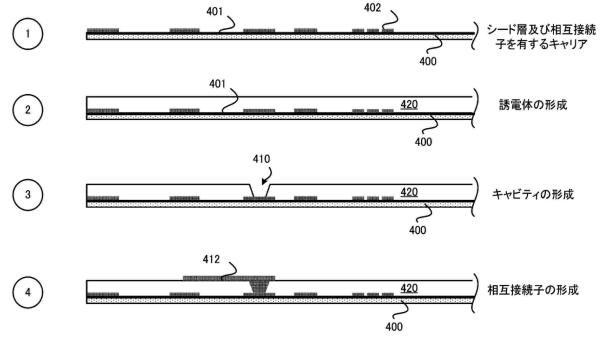
態様26：基板が、少なくとも1つの誘電体層内に配置された第3の複数の相互接続子を備え、第3の複数の相互接続子は、少なくとも1つの誘電体層の第2の表面を通して配

50

【図3】

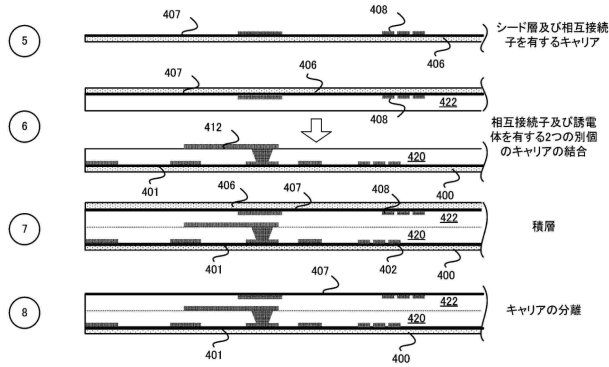


【図4A】

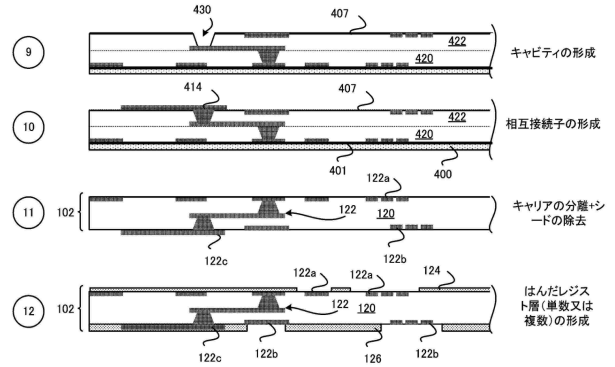


10

【図4B】



【図4C】



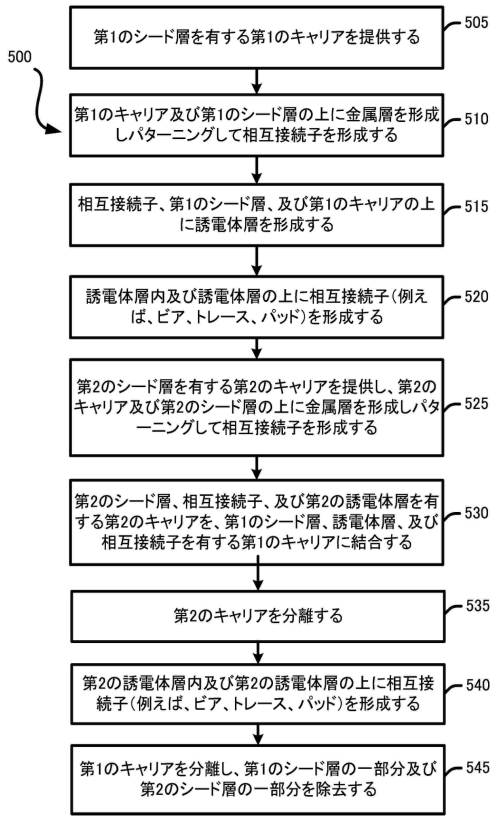
20

30

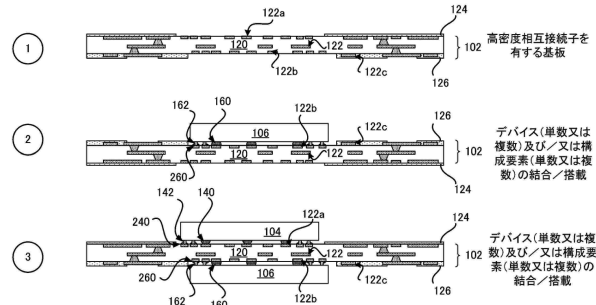
40

50

【図5】



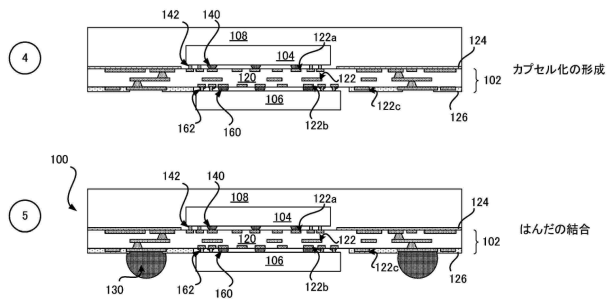
【図6A】



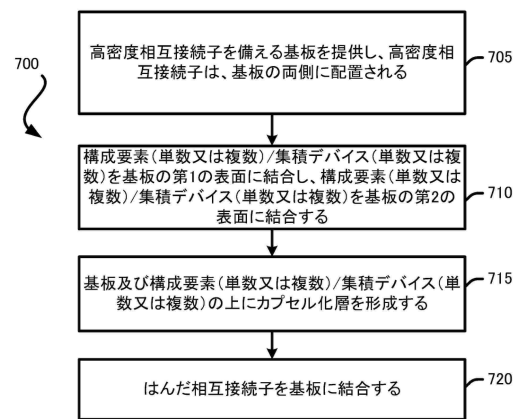
10

20

【図6B】



【図7】



30

40

50

【 図 8 】

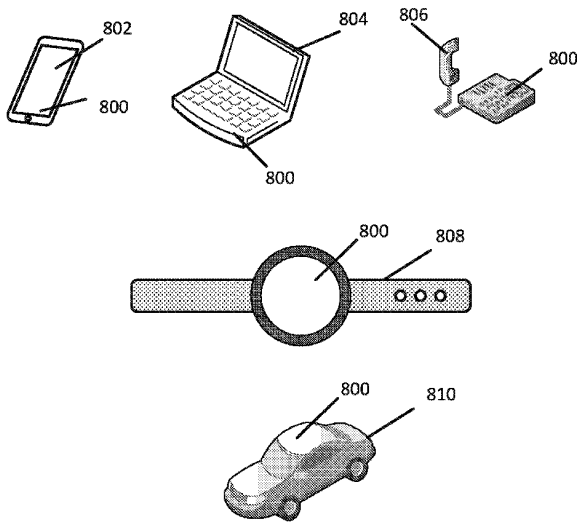


FIG. 8

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/039610

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/498
ADD.
According to International Patent Classification (IPC) or to both national classification and IPC

10

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020/395346 A1 (JUNG YANG GYOO [KR] ET AL) 17 December 2020 (2020-12-17) abstract figure 3 paragraphs [0032], [0035], [0038] paragraph [0048] -----	1-23
X	US 10 410 970 B1 (SILICONWARE PRECISION INDUSTRIES CO LTD [TW]) 10 September 2019 (2019-09-10) abstract figure 4A column 6, line 38 - column 7, line 19 -----	1-23

20

30

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

40

Date of the actual completion of the international search 15 December 2022	Date of mailing of the international search report 23/12/2022
--	---

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Deconinck, Eric
--	--

2

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/039610

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2020395346 A1	17-12-2020	CN 112086448 A	15-12-2020
		KR 20200142191 A	22-12-2020
		US 2020395346 A1	17-12-2020

US 10410970 B1	10-09-2019	CN 110233112 A	13-09-2019
		TW 201939696 A	01-10-2019
		US 2019279937 A1	12-09-2019

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,J
M,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY
,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,T
H,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7 5

(72)発明者 ジェヒョン・ヨン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライ
ヴ ・ 5 7 7 5

(72)発明者 スヒョン・ファン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライ
ヴ ・ 5 7 7 5