

19



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



11 Veröffentlichungsnummer: **0 262 357 B1**

12

## EUROPÄISCHE PATENTSCHRIFT

- 49 Veröffentlichungstag der Patentschrift: **01.04.92**
- 51 Int. Cl.<sup>5</sup>: **G05F 3/20**
- 21 Anmeldenummer: **87111703.2**
- 22 Anmeldetag: **12.08.87**

54 **Integrierte Schaltung in komplementärer Schaltungstechnik mit einem Substratvorspannungs-Generator.**

30 **Priorität: 30.09.86 DE 3633301**

43 **Veröffentlichungstag der Anmeldung: 06.04.88 Patentblatt 88/14**

45 **Bekanntmachung des Hinweises auf die Patenterteilung: 01.04.92 Patentblatt 92/14**

84 **Benannte Vertragsstaaten: AT DE FR GB IT NL SE**

58 **Entgegenhaltungen:**  
EP-A- 0 175 152  
EP-A- 0 202 074  
EP-A- 0 217 065  
US-A- 4 691 304

73 **Patentinhaber: SIEMENS AKTIENGESELLSCHAFT**

**Wittelsbacherplatz 2  
W-8000 München 2(DE)**

*add follow 1*  
*ser 1*

72 **Erfinder: Winnerl, Josef, Dr.-Ing.**

**Schubertstrasse 2  
W-8300 Landshut(DE)**

**Erfinder: Takács, Dezső, Dipl.-Phys.  
Annette-Kolb-Anger 7  
W-8000 München 83(DE)**

**EP 0 262 357 B1**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

Die Erfindung bezieht sich auf eine integrierte Schaltung in komplementärer Schaltungstechnik mit einem Substratvorspannungs-Generator nach dem Oberbegriff des Patentanspruchs 1.

Bei Schaltungen dieser Art liegt das Halbleitersubstrat nicht auf dem Massepotential  $V_{SS}$  der Schaltung, sondern auf einer Substratvorspannung  $V_{BB}$ , die mittels eines Substratvorspannungs-Generators erzeugt wird. Bei einem Halbleitersubstrat aus p-leitendem Material, das mit einer eingefügten n-leitenden wannenförmigen Halbleiterzone versehen ist, handelt es sich dabei um eine negative Substratvorspannung von etwa -2 bis -3 Volt. Die Source-Gebiete von Feldeffekttransistoren, die außerhalb der wannenförmigen Halbleiterzone auf dem Halbleitersubstrat vorgesehen sind, sind hierbei auf das Massepotential  $V_{SS}$  gelegt.

Im Moment des Einschaltens der positiven Versorgungsspannung  $V_{DD}$  befindet sich das betrachtete p-leitende Halbleitersubstrat zunächst in einem Zustand des "floating", in dem es von äußeren Potentialen freigeschaltet ist. Dabei kann es über die Sperrschichtkapazitäten, die einerseits zwischen der wannenförmigen Halbleiterzone und dem Substrat und andererseits zwischen den mit dem Massepotential belegten Sourcegebieten und dem Substrat vorhanden sind, vorübergehend auf eine positive Vorspannung aufgeladen werden, die erst beim Wirksamwerden des Substratvorspannungs-Generators wieder abgebaut und durch die sich am Ausgang desselben allmählich aufbauende negative Substratvorspannung ersetzt wird. Positive Vorspannungen stellen aber ein hohes Sicherheitsrisiko für die integrierte Schaltung dar, da ein "latch-up"-Effekt ausgelöst werden kann, der im allgemeinen den Ausfall der integrierten Schaltung bedeutet.

Zum Verständnis des "latch-up"-Effekts kann man davon ausgehen, daß zwischen einem Anschluß eines in der wannenförmigen Halbleiterzone liegenden Feldeffekttransistors des ersten Kanaltyps und einem Anschluß eines außerhalb dieser Zone auf dem Halbleitersubstrat platzierten Feldeffekttransistors des zweiten Kanaltyps im allgemeinen vier aufeinanderfolgende Halbleiterschichten alternierender Leitfähigkeitstypen vorhanden sind, wobei das eine Anschlußgebiet des erstgenannten Transistors die erste Halbleiterschicht, die wannenförmige Halbleiterzone die zweite, das Halbleitersubstrat die dritte und das eine Anschlußgebiet des letzteren Transistors die vierte Halbleiterschicht bilden. Bei einer positiven Vorspannung des Halbleitersubstrats kann der pn-Übergang zwischen der dritten und vierten Halbleiterschicht so weit in Durchlaßrichtung vorgespannt werden, daß zwischen den genannten Transistoranschlüssen ein

Strompfad entsteht, der auf eine parasitäre Thyristorwirkung innerhalb dieser Vierschichtenstruktur zurückzuführen ist. Der Strompfad bleibt dann auch nach einem Abbau der positiven Substratvorspannung bestehen und kann die integrierte Schaltung thermisch überlasten.

Eine integrierte Schaltung dieser Art, die zusätzlich mit Hilfe eines Steuerungsschaltkreises und eines Schalttransistors die Versorgungsspannung erst dann zuschaltet, wenn bereits eine Vorspannung gewünschter Polarität am Substrat anliegt, ist aus der europäischen Patentschrift EP-0 175 152 bekannt.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltung der eingangs genannten Art anzugeben, bei der das Auftreten von "latch-up"-Effekten weitgehend vermieden wird. Das wird erfindungsgemäß durch eine Ausbildung der Schaltung nach dem kennzeichnenden Teil des Patentanspruchs 1 erreicht.

Der mit der Erfindung erzielbare Vorteil liegt insbesondere darin, daß mit einfachen Mitteln verhindert wird, daß beim Einschalten der Versorgungsspannung das Halbleitersubstrat mit einer Vorspannung unerwünschter Polarität beaufschlagt wird, die einen "latch-up"-Effekt auslösen kann.

Die Patentansprüche 2 bis 7 sind auf bevorzugte Ausgestaltungen und Weiterbildungen der Erfindung gerichtet.

Die Erfindung wird nachfolgend anhand eines in der Zeichnung dargestellten bevorzugten Ausführungsbeispiels näher erläutert. Dabei zeigt:

Fig. 1 ein bevorzugtes Ausführungsbeispiel der Erfindung in teilweise schematischer Darstellung und

Fig. 2 eine zweckmäßige Ausbildung einer Teilschaltung von Fig. 1.

In Fig. 1 ist eine erfindungsgemäße integrierte Schaltung dargestellt, die auf einem Halbleitersubstrat 1 aus dotiertem Halbleitermaterial, zum Beispiel p-leitendem Silizium, aufgebaut ist. Das Substrat 1 weist eine n-leitende, wannenförmige Halbleiterzone 2 auf, die sich bis zur Grenzfläche 1a des Substrats 1 hin erstreckt. Außerhalb der Halbleiterzone 2 sind in das Substrat 1 n-dotierte Halbleitergebiete 3 und 4 eingefügt, die das Source- und Drain-Gebiet eines n-Kanal-Feldeffekttransistors T1 bilden. Der zwischen 3 und 4 liegende Kanalbereich wird von einem Gate 5 überdeckt, das mit einem Anschluß 6 versehen ist und durch eine dünne elektrisch isolierende Schicht 7, zum Beispiel aus  $\text{SiO}_2$ , von der Grenzfläche 1a getrennt ist. Das Source-Gebiet 3 ist mit einem Anschluß 8 verbunden, der auf einem Massepotential  $V_{SS}$  liegt. Weiterhin sind in die Halbleiterzone 2 p-dotierte Gebiete 9 und 10 eingefügt welche das Source- und das Drain-Gebiet eines p-Kanal-Feldeffekttransistors T2 darstellen. Der zwischen den Gebieten 9

und 10 liegende Kanalbereich wird von einem Gate 11 überdeckt, das mit einem Anschluß 12 versehen ist und durch eine dünne elektrisch isolierende Schicht 13, zum Beispiel aus  $\text{SiO}_2$ , von der Grenzfläche 1a getrennt ist. Das Source-Gebiet 9 von T2 ist mit einem Anschluß 14 verbunden, der mit einem Versorgungspotential  $V_{DD}$  beschaltet ist. Über ein  $n^+$ -dotiertes Kontaktgebiet 15, das mit dem Anschluß 14 in Verbindung steht, liegt die Halbleiterzone 2 auf der Versorgungsspannung  $V_{DD}$ .

Weiterhin ist ein Substratvorspannungs-Generator 16 vorgesehen, der eine negative Substratvorspannung von zum Beispiel -2 bis -3 Volt erzeugt. Der Ausgang 17 des Substratvorspannungs-Generators ist mit einem  $p^+$ -dotiertem Kontaktgebiet 18 verbunden, das in das Halbleitersubstrat 1 eingefügt ist. Damit befindet sich das Halbleitersubstrat 1 auf der durch 16 erzeugten negativen Substratvorspannung, während sich die Source-Gebiete, zum Beispiel 3, der im Halbleitersubstrat 1 befindlichen Transistoren, zum Beispiel T1, auf Massepotential  $V_{SS}$  befinden. Hierdurch wird unter anderem erreicht, daß die Sperrschichtkapazitäten der Source-Gebiete der im Substrat 1 angeordneten Transistoren verkleinert werden.

Zur Vermeidung eines "latch-up"-Effekts, der innerhalb der entlang der gestrichelten Linie 19 zwischen den Anschlüssen 8 und 14 liegenden Vierschichtenstruktur 3, 1, 2 und 9 auftreten könnte, ist der Ausgang 17 des Substratvorspannungs-Generators 16 über einen elektronischen Schalter S1 mit einem Schaltungspunkt verbunden, der sich auf Massepotential befindet. Beim dargestellten Ausführungsbeispiel handelt es sich bei diesem Schaltungspunkt um den Anschluß 8. Im einzelnen ist der Ausgang 17 bei der Anordnung nach Figur 1 mit einem  $n^+$ -dotierten Halbleitergebiet 20 verbunden, das in das Halbleitersubstrat 1 eingefügt ist. Ein weiteres  $n^+$ -dotiertes, in das Halbleitersubstrat 1 eingefügtes Halbleitergebiet 21 ist mit dem auf Massepotential liegenden Schaltungspunkt, d. h. insbesondere mit dem Anschluß 8, verbunden. Der zwischen den Gebieten 20 und 21 liegende Bereich des Halbleitersubstrats 1 ist von einem Gate 22 überdeckt, das durch eine dünne elektrisch isolierende Schicht 23, zum Beispiel aus  $\text{SiO}_2$ , von der Grenzfläche 1a getrennt ist. Die Gebiete 20 und 21 bilden zusammen mit den Teilen 22 und 23 einen n-Kanal-Feldeffekt-Schalttransistor, der den elektronischen Schalter S1 darstellt.

Die Ansteuerung von S1 erfolgt über eine Verzögerungsschaltung 24, deren Eingang am Anschluß 14 liegt und deren Ausgang 25 über einen als Inverter ausgebildeten Verstärker 26 mit dem Gate 22 verbunden ist. Wird die Versorgungsspannung  $V_{DD}$  über den Anschluß 14 bei Inbetriebnahme der Schaltung angelegt, so gibt der mit 14 verbundene Inverter 26 so lange einen hohen, etwa

$V_{DD}$  entsprechenden und den Schalter S1 in den leitenden Zustand versetzenden Ausgangspegel ab, als der Ausgang 25 von 24 auf dem im Ruhezustand vorhandenen Massepotential  $V_{SS}$  verbleibt. Über S1 wird dabei der Ausgang 17 des Substratvorspannungs-Generators 16 und damit das Substrat 1 auf dem Massepotential  $V_{SS}$  der Schaltung festgehalten. Erst wenn die Verzögerungsschaltung 24 nach einer vorgegebenen Verzögerungszeit auf die eingangsseitig angelegte Versorgungsspannung  $V_{DD}$  insoweit reagiert, als sie über ihren Ausgang 25 einen Spannungspegel abgibt, der so groß ist, daß der Inverter 26 auf eine niedrige Ausgangsspannung umgeschaltet wird, sperrt der Schalter S1.

Die vorstehend beschriebene Ansteuerung von S1 bewirkt also, daß das Substrat 1 nach dem Anlegen der Versorgungsspannung während einer durch die Ausbildung der Verzögerungsschaltung 24 vorgegebenen Verzögerungszeit auf einem Potential liegt, daß dem Massepotential  $V_{SS}$  entspricht. Erst nach dem Ablauf der Verzögerungszeit kann das Substrat 1 wegen des dann gesperrten Schalters S1 mit der vom Substratvorspannungs-Generator 16 gelieferten, über 17 und 18 zugeführten Vorspannung beaufschlagt werden. Bemißt man nun die Dauer der genannten Verzögerungszeit so, daß S1 erst dann gesperrt wird, wenn sich am Ausgang 17 von 16 die volle negative Vorspannung aufgebaut hat, ist die Gefahr des Auftretens eines "latch-up"-Effektes beim Anschalten der Versorgungsspannung beseitigt.

Fig. 2 zeigt eine bevorzugte und auf dem Halbleitersubstrat 1 in einfacher Weise zu integrierende Ausführungsform der Verzögerungsschaltung 24 und des Inverters 26 von Fig. 1. Dabei sind ein n-Kanal-Feldeffekttransistor T3 und ein Lastelement 27 vorgesehen, das insbesondere durch einen p-Kanal-Feldeffekttransistor gebildet wird, dessen Gate mit seinem Drainanschluß verbunden ist. Der Sourceanschluß dieses Transistors ist an den mit  $V_{DD}$  belegten Anschluß 14 geführt, während sein Drainanschluß mit dem Gate von T3 verbunden ist. Die Source- und Drainanschlüsse von T3 sind dabei miteinander verbunden und an den auf Massepotential  $V_{SS}$  liegenden Anschluß 8 geführt. Der als Kapazität wirkende Transistor T3 bildet zusammen mit dem Lastelement 27 ein RC-Glied, das eine besonders einfache Realisierung der Verzögerungsschaltung 24 darstellt. Der Ausgang 25 von 24 ist dann über den Verstärker 26 an das Gate des den Schalter S1 bildenden n-Kanal-Feldeffekttransistors gelegt. Der als Inverter ausgebildete Verstärker 26 enthält eine Serienschaltung eines p-Kanal-Feldeffekttransistors T4 und eines n-Kanal-Feldeffekttransistors T5, deren Gates mit dem Ausgang 25 beschaltet sind. Der obere Anschluß von

T4 ist über ein Lastelement 28 mit 14 verbunden, der untere Anschluß von T5 mit dem Anschluß 17. Das Lastelement 28 ist zweckmäßig als p-Kanal-Feldeffekttransistor realisiert, dessen Gate mit seinem Drainanschluß beschaltet ist. Der elektronische Schalter S1 ist entsprechend Fig. 1 zwischen den Schaltungspunkten 17 und 8 eingefügt, wobei sein Gate mit dem Verbindungspunkt von T4 und T5 beschaltet ist. Wenn nach dem Anschalten von  $V_{DD}$  an den Anschluß 14 die Spannung an 25 auf einen Wert angestiegen ist, der der Einsatzspannung von T5 entspricht, wird das Gate von S1 über den dann leitenden Transistor T5 auf die Spannung  $V_{SS}$  gelegt, so daß S1 sperrt.

Der elektronische Schalter S1 kann abweichend von der bisher beschriebenen Ausführungsform auch in anderer Weise realisiert sein, zum Beispiel als bipolarer Transistor, der insbesondere als externes Schaltungselement ausgeführt und über Verbindungsleitungen an die Anschlüsse 8 und 17 geschaltet ist.

Neben den bisher behandelten Ausführungsformen umfaßt die Erfindung auch solche, bei denen n-leitende Substrate mit p-leitenden wannenförmigen Halbleiterzonen versehen sind. Dabei werden die Leitungstypen sämtlicher Halbleiterteile und die Polaritäten sämtlicher Spannungen durch die jeweils entgegengesetzten ersetzt.

Eine bevorzugte Anwendung der Erfindung ergibt sich für Peripherieschaltungen von dynamischen Halbleiterspeichern großer Packungsdichte, die mit den Speicherzellen monolithisch integriert sind.

#### Patentansprüche

1. Integrierte Schaltung in komplementärer Schaltungstechnik mit Feldeffekttransistoren (T1, T2) unterschiedlicher Kanaltypen, von denen wenigstens ein erster (T1) in einem dotierten Halbleitersubstrat (1) eines ersten Leitungstyps und wenigstens ein zweiter (T2) in einer im Halbleitersubstrat (1) vorgesehenen wannenförmigen Halbleiterzone (2) eines zweiten Leitungstyps angeordnet sind, wobei die Halbleiterzone mit einer Versorgungsspannung ( $V_{DD}$ ) beschaltet ist, wobei ein Anschlußgebiet (3) wenigstens eines ersten Feldeffekttransistors (T1) mit einem Massepotential ( $V_{SS}$ ) beaufschlagt ist und wobei das Halbleitersubstrat mit dem Ausgang (17) eines Substratvorspannungs-Generators (16) verbunden ist, dem das Massepotential und die Versorgungsspannung zugeführt werden und der den pn-Übergang zwischen dem auf Massepotential liegenden Anschlußgebiet des ersten Feldeffekttransistors und dem Halbleitersubstrat in Sperrrichtung vorspannt, **dadurch ge-**

**kennzeichnet**, daß der Ausgang (17) des Substratvorspannungs-Generators (16) über einen elektronischen Schalter (S1) mit einem auf Massepotential liegenden Schaltungspunkt (8) verbunden ist und daß der elektronische Schalter über den Ausgang (25) einer mit der Versorgungsspannung ( $V_{DD}$ ) beaufschlagten Verzögerungsschaltung (24) angesteuert wird.

5

10

15

20

25

30

35

40

45

50

55

2. Integrierte Schaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß der Substratvorspannungs-Generator (16) auf dem Halbleitersubstrat (1) mit aufintegriert ist.

3. Integrierte Schaltung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß der Ausgang (17) des Substratvorspannungs-Generators (16) mit einem ersten in das Halbleitersubstrat eingefügten Halbleitergebiet (20) des zweiten Leitungstyps verbunden ist, daß in das Halbleitersubstrat ein zweites Halbleitergebiet (21) des zweiten Leitungstyps eingefügt ist, welches mit dem auf Massepotential liegenden Schaltungspunkt (8) verbunden ist, und daß ein zwischen diesen beiden Halbleitergebieten (20, 21) liegender Bereich des Halbleitersubstrats (1) von einem durch eine dünne elektrisch isolierende Schicht (23) von der Grenzfläche (1a) des Halbleitersubstrats getrennten Gate (22) überdeckt ist, welches zusammen mit den beiden Halbleitergebieten einen ersten Feldeffekt-Schalttransistor bildet, der den elektronischen Schalter (S1) darstellt.

4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß die Verzögerungsschaltung (24) aus einem RC-Glied besteht, das einerseits mit einem mit der Versorgungsspannung ( $V_{DD}$ ) beaufschlagten Anschluß (14) und andererseits mit dem auf Massepotential ( $V_{SS}$ ) liegenden Schaltungspunkt (8) verbunden ist.

5. Integrierte Schaltung nach Anspruch 4, **dadurch gekennzeichnet**, daß das RC-Glied ein Lastelement (27) und einen Kondensator (T3) aufweist, wobei das Lastelement aus einem dritten Feldeffekttransistor besteht, dessen Gate mit seinem Drainanschluß verbunden ist, und der Kondensator (T3) aus einem vierten Feldeffekttransistor besteht, dessen Source- und Drainanschluß miteinander verbunden sind und einen ersten Kondensatoranschluß bilden, während der Gateanschluß den zweiten Kondensatoranschluß darstellt.

6. Integrierte Schaltung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß

dem Ausgang (25) der Verzögerungsschaltung (24) ein invertierender Verstärker (26) nachgeschaltet ist, der eine Serienschaltung eines fünften und eines sechsten Feldeffekttransistors (T4, T5) enthält, die unterschiedlichen Kanaltypen angehören und deren Gates mit dem Ausgang (25) der Verzögerungsschaltung (24) verbunden sind, und daß die Serienschaltung einerseits über ein weiteres Lastelement mit der Versorgungsspannung ( $V_{DD}$ ) beschaltet ist und andererseits mit dem Ausgang (17) des Substratvorspannungs-Generators (16) verbunden ist.

7. Anwendung einer integrierten Schaltung nach einem der vorhergehenden Ansprüche als Peripherieschaltung für dynamische Halbleiterspeicher hoher Integrationsdichte.

### Claims

1. Integrated circuit in complementary circuit technology comprising field-effect transistors (T1, T2) of different channel types, of which at least a first (T1) is disposed in a doped semiconductor substrate (1) of a first conductivity type and at least a second (T2) is disposed in a well-shaped semiconductor zone (2) of a second conductivity type provided in the semiconductor substrate (1), the semiconductor zone being wired to a supply voltage ( $V_{DD}$ ) while an earth potential ( $V_{SS}$ ) is applied to a terminal region (3) of at least one first field-effect transistor (T1), and the semiconductor substrate being connected to the output (17) of a substrate bias voltage generator (16) to which the earth potential and the supply voltage are supplied and which biases the p-n junction between the terminal region, situated at earth potential, of the first field-effect transistor and the semiconductor substrate in the reverse direction, characterised in that the output (17) of the substrate bias voltage generator (16) is connected to a circuit point (8) situated at earth potential via an electronic switch (S1), and in that the electronic switch is triggered via the output (25) of a delay circuit (24) to which the supply voltage ( $V_{DD}$ ) is applied.
2. Integrated circuit according to Claim 1, characterised in that the substrate bias voltage generator (16) is also integrated on the semiconductor substrate (1).
3. Integrated circuit according to Claim 1 or 2, characterised in that the output (17) of the substrate bias voltage generator (16) is connected to a first semiconductor region (20) of

the second conductivity type inserted in the semiconductor substrate, in that a second semiconductor region (21) of the second conductivity type which is connected to the circuit point (8) situated at earth potential 10 inserted in the semiconductor substrate, and in that a region of the semiconductor substrate (1) situated between these two semiconductor regions (20, 21) is covered by a gate (22) which is separated by a thin electrically insulating layer (23) from the boundary surface (1a) of the semiconductor substrate and which, together with the two semiconductor regions, forms a first field-effect switching transistor which represents the electronic switch (S1).

4. Integrated circuit according to one of Claims 1 to 3, characterised in that the delay circuit (24) comprises an RC element which is connected, on the one hand, to a terminal (14) to which the supply voltage ( $V_{DD}$ ) is applied and, on the other hand, to the circuit point (8) situated at earth potential ( $V_{SS}$ ).
5. Integrated circuit according to Claim 4, characterised in that the RC element contains a load element (27) and a capacitor (T3), the load element comprising a third field-effect transistor whose gate is connected to its drain terminal, and the capacitor (T3) comprising a fourth field-effect transistor whose source terminal and drain terminal are interconnected and form a first capacitor terminal, while the gate terminal represents the second capacitor terminal.
6. Integrated circuit according to one of Claims 1 to 5, characterised in that there is connected to the output (25) of the delay circuit (24) an inverting amplifier (26) which incorporates a series circuit of a fifth field-effect transistor (T4) and a sixth field-effect transistor (T5) which belong to different channel types and whose gates are connected to the output (25) of the delay circuit (24), and in that the series circuit is wired, on the one hand, to the supply voltage ( $V_{DD}$ ) via a further load element and, on the other hand, is connected to the output (17) of the substrate bias voltage generator (16).
7. Use of an integrated circuit according to one of the preceding claims as a peripheral circuit for dynamic semiconductor stores of high integration density.

### Revendications

1. Circuit intégré réalisé selon la technique supplémentaire, comportant des transistors à effet

- de champ (T1,T2) possédant des types de canaux différents, parmi lesquels au moins un premier transistor (T1) est disposé dans un substrat semiconducteur dopé (1) possédant un premier type de conductivité et au moins un second transistor (T2) est disposé dans une région semiconductrice en forme de cuvette (2), prévue dans le substrat semiconducteur (1) et possédant un second type de conductivité, et dans lequel la région semiconductrice est placée à une tension d'alimentation ( $V_{DD}$ ), une zone de raccordement (3) d'au moins un premier transistor à effet de champ (T1) est chargée par un potentiel de masse ( $V_{SS}$ ) et le substrat semiconducteur est raccordé à la sortie (17) d'un générateur de tension de polarisation de substrat (16), auquel sont appliqués le potentiel de masse et la tension d'alimentation et qui polarise en inverse la jonction pn située entre la zone de raccordement, placée au potentiel de masse, du premier transistor à effet de champ et le substrat semiconducteur, caractérisé par le fait que la sortie (17) du générateur de tension de polarisation de substrat (16) est raccordée par l'intermédiaire d'un interrupteur électronique (S1) à un point (8) du circuit placé au potentiel de masse, et que l'interrupteur électronique est commandé au moyen de la sortie (25) d'un circuit de retardement (24) chargé par la tension d'alimentation ( $V_{DD}$ ).
2. Circuit intégré suivant la revendication 1, caractérisé par le fait que le générateur de tension de polarisation de substrat (16) est conjointement intégré sur le substrat semiconducteur (1).
  3. Circuit intégré suivant la revendication 1 ou 2, caractérisé par le fait que la sortie (17) du générateur de tension de polarisation de substrat (16) est raccordée à une première région semiconductrice (20) possédant le second type de conductivité et insérée dans le substrat semiconducteur, que dans le substrat semiconducteur est insérée une seconde région semiconductrice (21) possédant le second type de conductivité et qui est raccordée au point (8) du circuit placé au potentiel de masse, et qu'une région du substrat semiconducteur (1), située entre ces deux régions semiconductrices (20,21), est recouverte par une grille (22) qui est séparée de la surface limite (a) du substrat semiconducteur par une mince couche électriquement isolante (23) et forme, avec les deux régions semiconductrices, un premier transistor de commutation à effet de champ, qui représente l'interrupteur électro-

que (S1).

4. Circuit intégré suivant l'une des revendications 1 à 3, caractérisé par le fait que le circuit de retardement (24) est constitué par un circuit RC, qui est raccordé, d'une part, à une borne (14) chargée par la tension d'alimentation ( $V_{DD}$ ), et, d'autre part, au point (8) du circuit, qui est placé au potentiel de masse ( $V_{SS}$ ).
5. Circuit intégré suivant la revendication 4, caractérisé par le fait que le circuit RC comporte un élément de charge (27) et un condensateur (T3), l'élément de charge étant constitué par un troisième transistor à effet de champ, dont la grille est raccordée à la borne de drain, et le condensateur (T3) est constitué par un quatrième transistor à effet de champ, dont les bornes de source et de drain sont raccordées entre elles et forment une première borne d'un condensateur, tandis que la borne de grille forme la seconde borne du condensateur.
6. Circuit intégré suivant l'une des revendications 1 à 5, caractérisé par le fait qu'en aval de la sortie (25) du circuit de retardement (24) est branché un amplificateur inverseur (26), qui contient un circuit série formé d'un cinquième et d'un sixième transistor à effet de champ (T4,T5), qui ont des types de canaux différents et dont les grilles sont raccordées à la sortie (25) du circuit de retardement (24), et que le circuit série d'une part est placé à la tension d'alimentation ( $V_{DD}$ ) par l'intermédiaire d'un autre élément de charge et d'autre part est raccordé à la sortie (17) du générateur de tension de polarisation de substrat (16).
7. Utilisation d'un circuit intégré suivant l'une des revendications précédentes en tant que circuit périphérique pour des mémoires dynamiques à semiconducteurs à haute densité d'intégration.



GREAT BRITAIN )  
ENGLAND )  
LONDON )

IN THE MATTER OF an Application  
for a Hong Kong Registration  
Patent

I, Derek Ernest LIGHT, B.A., B.D.Ü.,  
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of  
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,  
England and known as such to the undersigned Notary Public;

THAT I have a competent knowledge of the German and English  
languages;

AND THAT, to the best of my knowledge and belief, the attached  
document is a true and correct translation of the cover page of  
the European Patent in the name of

SIEMENS AKTIENGESELLSCHAFT  
granted under No. 0,262,357

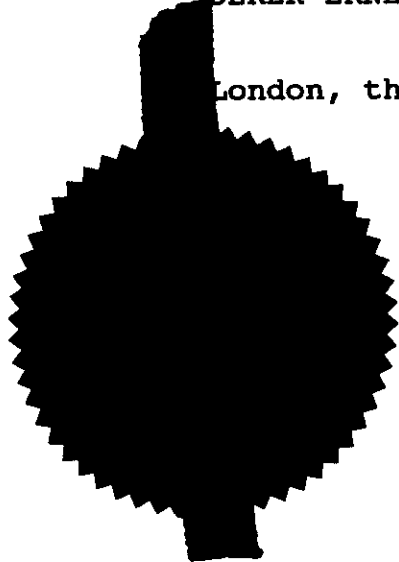
Signed by DEREK ERNEST LIGHT )  
For and on behalf of RWS Translations Ltd. )  
This day of May )  
1993 )

D. E. Light  
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of  
DEREK ERNEST LIGHT whose identity I attest.

London, the 27<sup>th</sup> day of May 1993

M. J. Hooley  
NOTARY PUBLIC OF LONDON ENGLAND



19 European Patent Office  
European Patent Office  
European Patent Office

11 Publication No.: 0 262 357 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the  
patent specification: 01.04.92

51 Int. Cl.<sup>5</sup>: G05F 3/20

21 Application No.: 87111703.2

22 Filing date: 12.08.87

---

54 INTEGRATED CIRCUIT WITH A SUBSTRATE BIAS GENERATOR  
[Title as published]

---

30 Priority: 30.09.86 DE 3633301

73 Patent proprietor: SIEMENS  
AKTIENGESELLSCHAFT  
Wittelsbacherplatz 2  
W-8000 Munich 2(DE)

43 Date of publication of the  
application:  
06.04.88 Patent Journal 88/14

45 Publication of the notice  
of the patent grant:  
01.04.92 Patent Journal 92/14

72 Inventor: Josef Winnerl, Dr.-Ing.  
Schubertstrasse 2  
W-8300 Landshut(DE)  
Inventor: Dezső Takács, Dipl.-Phys.  
Annette-Kolb-Anger 7  
W-8000 Munich 83(DE)

84 Designated contracting States:  
AT DE FR GB IT NL SE

56 Cited documents:  
EP-A- 0 175 152  
EP-A- 0 202 074  
EP-A- 0 217 065  
US-A- 4 691 304

---

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Journal, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid. (Art. 99 (1) of the European Patent Convention).

---

THE PATENT OFFICE

PATENTS ACT 1977

PATENTS FORM NO. 54/77

3 JUN 1992 08:46:08

PAT 54 77 UC

35.00

FILING OF TRANSLATION OF EUROPEAN PATENT (UK) UNDER SECTION 77(6)(a)

Please write or type in BLOCK LETTERS using dark ink. For details of current fees Please contact the Patent Office

Enter the name and address of the proprietor(s) of the European Patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published.

A UK Address for Service MUST be provided to which all communications from the Patent Office will be sent

Please sign here ►

Attention is drawn to rules 90 and 106 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

- 1) the whole description
- 2) those claims appropriate to the UK (in the language of the proceedings),
- 3) all drawings, whether or not these contain any textual matter but excluding the front page which contains bibliographic information. The translation must be verified to the satisfaction of the comptroller as corresponding to the original text.

1. European Patent Number	<div style="border: 1px solid black; padding: 5px; display: inline-block;">0 262 357</div>								
2. Name	Siemens Aktiengesellschaft								
Address	WITTELSBACHERPLATZ 2 W-8000 MÜNCHEN 2 FEDERAL REPUBLIC OF GERMANY								
3. European Patent Bulletin Date:	<table style="margin-left: auto; border-collapse: collapse;"> <tr> <td style="text-align: center; border-bottom: 1px solid black;">01</td> <td style="text-align: center; border-bottom: 1px solid black;">04</td> <td style="text-align: center; border-bottom: 1px solid black;">92</td> </tr> <tr> <td style="text-align: center; font-size: small;">Day</td> <td style="text-align: center; font-size: small;">Month</td> <td style="text-align: center; font-size: small;">Year</td> </tr> </table>	01	04	92	Day	Month	Year		
01	04	92							
Day	Month	Year							
4. Name of Agent (if any)	Agent's Patent Office ADP number (if known) <div style="border: 1px solid black; width: 150px; height: 20px; margin-left: 100px;"></div>								
5. Address for Service	SIEMENS PLC ATT. MR I. P. HOWARD, GR86 P 1699 E SIEMENS HOUSE, WINDMILL ROAD SUNBURY-ON-THAMES MIDDLESEX Postcode TW16 7HS								
6. Signature:	<table style="width: 100%;"> <tr> <td style="width: 60%; vertical-align: bottom;"><i>Deane Bell</i></td> <td style="width: 40%; vertical-align: bottom;">Date: <table style="display: inline-table; border-collapse: collapse;"> <tr> <td style="text-align: center; border-bottom: 1px solid black;">01</td> <td style="text-align: center; border-bottom: 1px solid black;">06</td> <td style="text-align: center; border-bottom: 1px solid black;">92</td> </tr> <tr> <td style="text-align: center; font-size: small;">Day</td> <td style="text-align: center; font-size: small;">Month</td> <td style="text-align: center; font-size: small;">Year</td> </tr> </table> </td> </tr> </table> <p style="text-align: center; margin-top: 10px;">pp. RWS TRANSLATIONS LTD</p>	<i>Deane Bell</i>	Date: <table style="display: inline-table; border-collapse: collapse;"> <tr> <td style="text-align: center; border-bottom: 1px solid black;">01</td> <td style="text-align: center; border-bottom: 1px solid black;">06</td> <td style="text-align: center; border-bottom: 1px solid black;">92</td> </tr> <tr> <td style="text-align: center; font-size: small;">Day</td> <td style="text-align: center; font-size: small;">Month</td> <td style="text-align: center; font-size: small;">Year</td> </tr> </table>	01	06	92	Day	Month	Year
<i>Deane Bell</i>	Date: <table style="display: inline-table; border-collapse: collapse;"> <tr> <td style="text-align: center; border-bottom: 1px solid black;">01</td> <td style="text-align: center; border-bottom: 1px solid black;">06</td> <td style="text-align: center; border-bottom: 1px solid black;">92</td> </tr> <tr> <td style="text-align: center; font-size: small;">Day</td> <td style="text-align: center; font-size: small;">Month</td> <td style="text-align: center; font-size: small;">Year</td> </tr> </table>	01	06	92	Day	Month	Year		
01	06	92							
Day	Month	Year							
Reminder									
Have you attached									
One duplicate copy of this form	<input checked="" type="checkbox"/>								
Two copies of the Translation	<input checked="" type="checkbox"/>								
Any continuation sheets (if appropriate)	<input type="checkbox"/>								

*DR*

PATENTS ACT 1977

and

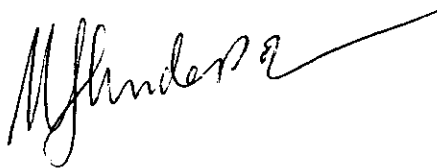
PATENTS (AMENDMENT) RULES 1987

I, Noel George ANDERSON, B.Sc., Ph.D., F.R.S.C., C.Chem.,  
F.I.L.,

translator to Randall Woolcott Services plc of Europa House,  
Marsham Way, Gerrards Cross, Buckinghamshire, England, hereby  
declare that I am conversant with the German and English  
languages and that to the best of my knowledge and belief the  
accompanying document is a true translation of the text on which  
the European Patent Office intends to grant or has granted  
European Patent No. 0,262,357

in the name of SIEMENS AKTIENGESELLSCHAFT

Signed this 26th day of May 1992

A handwritten signature in black ink, appearing to read 'N. G. Anderson', with a long horizontal flourish extending to the right.

N. G. ANDERSON

Integrated circuit in complementary circuit technology comprising a substrate bias voltage generator

The invention relates to an integrated circuit in complementary circuit technology comprising a substrate bias voltage generator as defined by the preamble of Patent Claim 1.

In circuits of this type, the semiconductor substrate is not at the earth potential  $V_{SS}$  of the circuit but at a substrate bias voltage  $V_{BB}$  generated by means of a substrate bias voltage generator. In a semiconductor substrate made of p-type material which is provided with an inserted n-type well-shaped semiconductor zone, this is a negative substrate bias voltage of about -2 to -3 volts. The source regions of field-effect transistors provided outside the well-shaped semiconductor zone on the semiconductor substrate are at the same time connected to the earth potential  $V_{SS}$ .

At the instant the positive supply voltage  $V_{DD}$  is switched on, the p-type semiconductor substrate under consideration is initially in a "floating" state in which it is disconnected from external potentials. Under these circumstances, it may temporarily be charged via the barrier-layer capacitances present, on the one hand, between the well-shaped semiconductor zone and the substrate and, on the other hand, between the source regions connected to the earth potential and the substrate to a positive bias which is only reduced again when the substrate bias voltage generator becomes effective and the positive bias voltage is replaced by the negative substrate bias voltage which gradually builds up at the output of the substrate bias voltage generator. Positive bias voltages are, however, a high safety risk for the integrated circuit since a "latch-up" effect can be initiated which generally signifies the failure of the integrated circuit.

To understand the "latch-up" effect, it can be assumed that, between a terminal of a field-effect

transistor of the first channel type situated in the well-shaped semiconductor zone and a terminal of a field-effect transistor of the second channel type situated on the semiconductor substrate outside said zone, four consecutive semiconductor layers of alternating conductivity type are generally present, a terminal region of the first-mentioned transistor forming the first semiconductor layer, the well-shaped semiconductor zone the second, the semiconductor substrate the third and one terminal region of the latter transistor the fourth semiconductor layer. With a positive bias voltage of the semiconductor substrate, the pn-junction between the third and fourth semiconductor layers may be biased in the forward direction to such an extent that a current path attributable to a parasitic thyristor action inside this four-layer structure is produced between the transistor terminals mentioned. The current path then remains in existence even after the positive substrate bias voltage is reduced and may thermally overload the integrated circuit.

An integrated circuit of this type which, with the aid of a control circuit and a switching transistor, only brings the supply voltage into circuit if a bias voltage of the desired polarity is already applied to the substrate is disclosed by European Patent Specification EP 0 175 152.

The object of the invention is to provide a circuit of the type mentioned at the outset in which the occurrence of "latch-up" effects is substantially avoided. That is achieved, according to the invention, by designing the circuit in accordance with the characterising part of Patent Claim 1.

The advantage achievable with the invention is, in particular, that simple means are used to prevent a bias voltage of undesirable polarity capable of initiating a "latch-up" effect from being applied to the semiconductor substrate when the supply voltage is switched on.

Patent Claims 2 to 7 relate to preferred refinements and further developments of the invention.

The invention is explained below in greater detail by reference to a preferred exemplary embodiment shown in the drawing. In the drawing:

Figure 1 shows a preferred exemplary embodiment of the invention in a partially diagrammatic representation, and

Figure 2 shows an expedient design of a subcircuit of Figure 1.

Figure 1 shows an integrated circuit according to the invention which is constructed on a semiconductor substrate 1 made of doped semiconductor material, for example p-type silicon. The substrate 1 has an n-type well-shaped semiconductor zone 2 which extends to the boundary surface 1a of the substrate 1. Outside the semiconductor zone 2, n<sup>+</sup>-doped semiconductor regions 3 and 4, which form the source region and drain region of an n-channel field-effect transistor T1, are inserted into the substrate 1. The channel region situated between 3 and 4 is covered by a gate 5 which is provided with a terminal 6 and is isolated from the boundary surface 1a by a thin electrically insulating layer 7, for example of SiO<sub>2</sub>. The source region 3 is connected to a terminal 8 which is at an earth potential V<sub>SS</sub>. Furthermore, p<sup>+</sup>-doped regions 9 and 10 which are the source region and the drain region of a p-channel field-effect transistor T2 are inserted into the semiconductor zone 2. The channel region situated between the regions 9 and 10 is covered by a gate 11 which is provided with a terminal 12 and is isolated from the boundary surface 1a by a thin electrically insulating layer 13, for example of SiO<sub>2</sub>. The source region 9 of T2 is connected to a terminal 14 [sic] which is wired to a supply potential V<sub>DD</sub>. The semiconductor zone 2 is at the supply voltage V<sub>DD</sub> via an n<sup>+</sup>-doped contact region 15 connected to the terminal 14.

Furthermore, a substrate bias voltage generator 16 is provided which generates a negative substrate bias

voltage of, for example, -2 to -3 volts. The output 17 of the substrate bias voltage generator is connected to a p<sup>+</sup>-doped contact region 18 inserted into the semiconductor substrate 1. The semiconductor substrate 1 is consequently at the negative substrate bias voltage generated by 16 whereas the source regions, for example 3, of the transistors, for example T1, situated in the semiconductor substrate 1 are at earth potential V<sub>SS</sub>. This achieves the result, inter alia, that the barrier-layer capacitances of the source regions of the transistors disposed in the substrate 1 are reduced.

To avoid a "latch-up" effect which could occur inside the four-layer structure 3, 1, 2 and 9 situated between the terminals 8 and 14 along the broken line 19, the output 17 of the substrate bias voltage generator 16 is connected via an electronic switch S1 to a circuit point which is at earth potential. In the exemplary embodiment shown, this circuit point is the terminal 8. In particular, the output 17 in the arrangement shown in Figure 1 is connected to an n<sup>+</sup>-doped semiconductor region 20 inserted into the semiconductor substrate 1. A further n<sup>+</sup>-doped semiconductor region 21 inserted into the semiconductor substrate 1 is connected to the circuit point which is at earth potential, i.e. in particular, to the terminal 8. The region of the semiconductor substrate 1 situated between the regions 20 and 21 is covered by a gate 22 which is isolated from the boundary surface 1a by a thin electrically insulating layer 23, for example of SiO<sub>2</sub>. The regions 20 and 21 form, together with the parts 22 and 23, an n-channel field-effect switching transistor which is the electronic switch S1.

S1 is triggered via a delay circuit 24 whose input is at the terminal 14 and whose output 25 is connected to the gate 22 via an amplifier 26 designed as an inverter. If the supply voltage V<sub>DD</sub> is applied via the terminal 14 when the circuit is started up, the inverter 26 connected to 14 delivers a high output level equivalent to about V<sub>DD</sub> and switches the switch S1 to the

conducting state for as long as the output 25 of 24 remains at the earth potential  $V_{SS}$  present in the quiescent state. At the same time, the output 17 of the substrate bias voltage generator 16 and, consequently, the substrate 1 is clamped at the earth potential  $V_{SS}$  of the circuit via S1. The switch S1 only turns off when the delay circuit 24 responds, after a set delay time, to the supply voltage  $V_{DD}$ , applied at the input side, to such an extent that it delivers via its output 25 a voltage level which is so large that the inverter 26 is switched to a low output voltage.

The triggering of S1 described above therefore has the effect that, after the supply voltage has been applied, the substrate 1 is at a potential equivalent to the earth potential  $V_{SS}$  for a delay time set by the design of the delay circuit 24. Only after the delay time has elapsed can the bias voltage delivered by the substrate bias voltage generator 16 and fed via 17 and 18 be applied to the substrate 1 because the switch S1 is then turned off. If, therefore, the duration of the delay time mentioned is dimensioned so that S1 is only turned off when the full negative bias voltage has built up at the output 17 of 16, the danger of the occurrence of a "latch-up" effect on switching on the supply voltage is eliminated.

Figure 2 shows a preferred embodiment of the delay circuit 24 and of the inverter 26 of Figure 1 which can be integrated in a simple way on the semiconductor substrate 1. In this case, there are provided an n-channel field-effect transistor T3 and a load element 27 which is formed, in particular, by a p-channel field-effect transistor whose gate is connected to its drain terminal. The source terminal of this transistor is fed to the terminal 14 connected to  $V_{DD}$ , while its drain terminal is connected to the gate of T3. At the same time, the source and drain terminals of T3 are connected together and fed to the terminal 8 which is at earth potential  $V_{SS}$ . The transistor T3, which acts as

capacitance, forms, together with the load element 27 an RC element which is a particularly simple implementation of the delay circuit 24. The output 25 of 24 is then connected via the amplifier 26 to the gate of the n-channel  
5 field-effect transistor forming the switch S1. The amplifier 26 designed as an inverter comprises a series circuit of a p-channel field-effect transistor T4 and an n-channel field-effect transistor T5 whose gates are wired to the output 25. The upper terminal of T4 is  
10 connected to 14 via a load element 28 and the lower terminal of T5 to the terminal 17. The load element 28 is expediently implemented as a p-channel field-effect transistor whose gate is wired to its drain terminal. The electronic switch S1 is inserted, in accordance with  
15 Figure 1, between the circuit points 17 and 8, its gate being wired to the connection point of T4 and T5. Once the voltage at 25 has risen to a value equivalent to the threshold voltage of T5 after  $V_{DD}$  has been applied to the terminal 14, the gate of S1 is connected to the voltage  
20  $V_{BB}$  via the then conducting transistor T5, with the result that S1 turns off.

As a departure from the embodiment hitherto described, the electronic switch S1 can also be implemented in another way, for example as a bipolar transistor which is embodied, in particular, as an external  
25 circuit element and is connected via connecting leads to the terminals 8 and 17.

In addition to the embodiments hitherto dealt with, the invention also comprises those in which n-type  
30 substrates are provided with p-type well-shaped semiconductor zones. In that case, the conduction types of all the semiconductor parts and the polarities of all the voltages are replaced by the opposite ones in each case.

A preferred application of the invention arises  
35 for peripheral circuits of dynamic semiconductor stores of high packing density, said peripheral circuits being monolithically integrated with the store cells.

Patent claims

1. Integrated circuit in complementary circuit technology comprising field-effect transistors (T1, T2) of different channel types, of which at least a first (T1) is disposed in a doped semiconductor substrate (1) of a first conduction type and at least a second (T2) is disposed in a well-shaped semiconductor zone (2) of a second conduction type provided in the semiconductor substrate (1), the semiconductor zone being wired to a supply voltage ( $V_{DD}$ ) while an earth potential ( $V_{SS}$ ) is applied to a terminal region (3) of at least one first field-effect transistor (T1), and the semiconductor substrate being connected to the output (17) of a substrate bias voltage generator (16) to which the earth potential and the supply voltage are supplied and which biases the p-n junction between the terminal region, situated at earth potential, of the first field-effect transistor and the semiconductor substrate in the reverse direction, characterised in that the output (17) of the substrate bias voltage generator (16) is connected to a circuit point (8) situated at earth potential via an electronic switch (S1), and in that the electronic switch is triggered via the output (25) of a delay circuit (24) to which the supply voltage ( $V_{DD}$ ) is applied.
2. Integrated circuit according to Claim 1, characterised in that the substrate bias voltage generator (16) is also integrated on the semiconductor substrate (1).
3. Integrated circuit according to Claim 1 or 2, characterised in that the output (17) of the substrate bias voltage generator (16) is connected to a first semiconductor region (20) of the second conduction type inserted in the semiconductor substrate, in that a second semiconductor region (21) of the second conduction type which is connected to the circuit point (8) situated at earth potential is inserted in the semiconductor substrate, and in that a region of the semiconductor substrate (1) situated between these two semiconductor regions (20, 21) is covered by a gate (22) which is

separated by a thin electrically insulating layer (23) from the boundary surface (1a) of the semiconductor substrate and which, together with the two semiconductor regions, forms a first field-effect switching transistor which represents the electronic switch (S1).

4. Integrated circuit according to one of Claims 1 to 3, characterised in that the delay circuit (24) comprises an RC element which is connected, on the one hand, to a terminal (14) to which the supply voltage ( $V_{DD}$ ) is applied and, on the other hand, to the circuit point (8) situated at earth potential ( $V_{SS}$ ).

5. Integrated circuit according to Claim 4, characterised in that the RC element contains a load element (27) and a capacitor (T3), the load element comprising a third field-effect transistor whose gate is connected to its drain terminal, and the capacitor (T3) comprising a fourth field-effect transistor whose source terminal and drain terminal are interconnected and form a first capacitor terminal, while the gate terminal represents the second capacitor terminal.

6. Integrated circuit according to one of Claims 1 to 5, characterised in that there is connected to the output (25) of the delay circuit (24) an inverting amplifier (26) which incorporates a series circuit of a fifth field-effect transistor (T4) and a sixth field-effect transistor (T5) which belong to different channel types and whose gates are connected to the output (25) of the delay circuit (24), and in that the series circuit is wired, on the one hand, to the supply voltage ( $V_{DD}$ ) via a further load element and, on the other hand, is connected to the output (17) of the substrate bias voltage generator (16).

7. Use of an integrated circuit according to one of the preceding claims as a peripheral circuit for dynamic semiconductor stores of high integration density.



REGISTER ENTRY FOR EP0262357

European Application No EP87111703.2 filing date 12.08.1987

Application in German

Priority claimed:

30.09.1986 in Federal Republic of Germany - doc: 3633301

Designated States DE FR GB IT NL SE AT

Title CMOS INTEGRATED CIRCUIT WITH A SUBSTRATE BIAS GENERATOR

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

Inventors

DR.-ING. JOSEF WINNERL, Schubertstrasse 2, D-8300 Landshut, Federal Republic of Germany [ADP No. 55573075001]

DIPL.-PHYS. DEZSÖ TAKÁCS, Annette-Kolb-Anger 7, D-8000 München 83, Federal Republic of Germany [ADP No. 55573083001]

Classified to

H1K U1S  
G05F

Address for Service

SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames, Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]

Publication No EP0262357 dated 06.04.1988 and granted by EPO 01.04.1992.  
Publication in German

Examination requested 12.08.1987

Patent Granted with effect from 01.04.1992 (Section 25(1)) with title CMOS INTEGRATED CIRCUIT WITH A SUBSTRATE BIAS GENERATOR.. Translation filed 01.06.1992

---

17.06.1988 EPO: Search report published on 22.06.1988  
Entry Type 25.11 Staff ID. Auth ID. EPT

02.03.1992 Notification from EPO of change of Applicant/Proprietor details from  
SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]  
to  
SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]  
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

02.03.1992 Notification from EPO of change of Inventor details from  
DR.-ING. JOSEF WINNERL, Schubertstrasse 2, D-8300 Landshut, Federal  
Republic of Germany [ADP No. 55573075001]

DIPL.-PHYS. DEZSÖ TAKÀCS, Annette-Kolb-Anger 7, D-8000 München 83,  
Federal Republic of Germany [ADP No. 55573083001]

to  
DR.-ING. JOSEF WINNERL, Schubertstrasse 2, W-8300 Landshut, Federal  
Republic of Germany [ADP No. 59587543001]

DIPL.-PHYS. DEZSÖ TAKÀCS, Annette-Kolb-Anger 7, W-8000 München 83,  
Federal Republic of Germany [ADP No. 59587550001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

03.03.1992 FILE RAISED.

Entry Type 10.1 Staff ID. SW1 Auth ID. AA

08.06.1992 SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,  
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]  
registered as address for service

Entry Type 8.11 Staff ID. AC2 Auth ID. F54

\*\*\*\* END OF REGISTER ENTRY \*\*\*\*

OA80-01  
EP

OPTICS - PATENTS

20/05/93 15:00:03  
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0262357

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of  
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic  
of Germany

DATE FILED	12.08.1987
DATE GRANTED	01.04.1992
DATE NEXT RENEWAL DUE	12.08.1993
DATE NOT IN FORCE	
DATE OF LAST RENEWAL	17.07.1992
YEAR OF LAST RENEWAL	06
STATUS	PATENT IN FORCE