

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 1 月 29 日 (29.01.2004)

PCT

(10) 国際公開番号
WO 2004/010741 A1

(51) 国際特許分類⁷: **H05B 33/26**, 33/10, 33/14, G09F 9/30

(21) 国際出願番号: PCT/JP2003/008835

(22) 国際出願日: 2003 年 7 月 11 日 (11.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-215476 2002 年 7 月 24 日 (24.07.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 池津 勇一 (IKETSU, Yuichi) [JP/JP]; 〒108-8001 東京都港区芝

五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 井村 裕則 (IMURA, Hironori) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒107-0052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

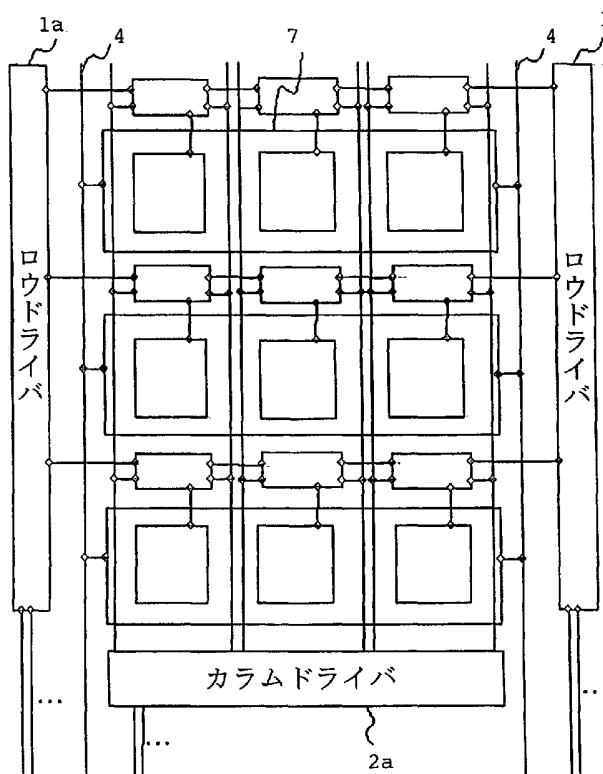
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ACTIVE MATRIX ORGANIC EL DISPLAY DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: アクティブマトリクス有機 EL 表示装置及びその製造方法



1a...ROW DRIVER
2a...COLUMN DRIVER

(57) Abstract: An active matrix organic EL display device includes pixels each having an organic EL element (7a) and a pixel circuit (3) including a polysilicon TFT for controlling the organic EL element (7a) arranged adjacently in each of areas partitioned into a matrix shape by a data line (12) and a gate line (11) intersecting each other. The organic EL element (7a) has a cathode (7) arranged at least in a region excluding a space above the polysilicon TFT. The cathode (7) is arranged continuously over two or more adjacent pixels in the direction of the gate line (11).

(57) 要約: 本発明のアクティブマトリクス有機 EL 表示装置は、互いに交差するデータ線 12 及びゲート線 11 によってマトリクス状に区画された領域ごとに、有機 EL 素子 7a と該有機 EL 素子 7a を制御するためのポリシリコン TFT を駆動回路 3 とが隣接して配置された画素が形成されたものであって、有機 EL 素子 7a の陰極電極 7 が、少なくとも上記ポリシリコン TFT 上の領域を除く領域に設けられている。陰極電極 7 は、ゲート線 11 の方向に隣接する 2 以上の画素にわたって連続して設けられている。

明細書

アクティブマトリクス有機EL表示装置及びその製造方法

技術分野

本発明は、有機エレクトロルミネッセンス（EL:Electro Luminescence）表示装置及びその製造方法に関し、特に、能動素子としてポリシリコン薄膜トランジスタ（TFT:Thin Film Transistor）を用いるアクティブマトリクス有機エレクトロルミネッセンス表示装置及びその製造方法に関する。

背景技術

従来、薄型で軽量の平面型表示装置として、液晶表示装置が一般に用いられてきた。しかし、液晶表示装置には、液晶の配向方向によって透過光を制御するため、視野角が狭く応答特性が悪いといった問題がある。そこで、最近では、視野角が広く、応答特性の良いアクティブマトリクス有機EL表示装置が注目を浴びている。有機EL素子は、電界を印加することにより、陽極より注入された正孔と陰極より注入された電子の再結合が生じ、その再結合エネルギーにより蛍光性物質が発光する、という原理を利用した自発光素子であるため、視認性に優れており、また、バックライト光源を使用しないために、消費電力を低減することができることから、特に携帯電話等の携帯端末機器の表示装置として期待されている。

アクティブマトリクス有機EL表示装置では、有機EL素子自体の発光効率を高めるために、正孔注入層／正孔輸送層／発光層／電子輸送層等の積層構造体における発光層への正孔の注入効率や再結合により生成する励起子の生成効率等を改善することが求められる一方で、表示装置としての表示品位を向上させるためには、能動素子として設けるTFTの特性や回路の応答性等を向上させることが求められる。

上記TFTとしては、従来はアモルファスシリコン膜を用いたアモルファスシ

リコンTFTが主流であったが、最近では、TFTの特性向上を図るためにアモルファスシリコン膜よりも電界移動度の高いポリシリコン膜を用いたTFT（以下、ポリシリコンTFTと略す。）の開発が進められている。ポリシリコンTFTでは、アモルファスシリコン膜を結晶化する処理が必要であり、そのプロセスとしては、電熱炉を用いて600℃程度の高温で結晶化を行う高温プロセスと、レーザ光や赤外光等を用いて300℃程度以下の低温で結晶化を行う低温プロセスとがある。

高温プロセスでは、LSI（Large Scale Integration）技術を利用して熱酸化ゲート絶縁膜を形成することができ、熱酸化ゲート絶縁膜とポリシリコンとの界面特性が安定しているため、TFTの特性のばらつきを抑えることができるという利点があるが、結晶化処理の温度が高いために、ガラスやプラスチック等の基板を用いる表示装置に適用することはできない。従って、アクティブマトリクス有機EL表示装置では、通常、レーザアニール法やランプアニール法で結晶化処理を行う低温プロセスが用いられる。

以下、上記低温プロセスにより形成されたポリシリコンTFT（以下、低温ポリシリコンTFTと略す。）を備えるアクティブマトリクス有機EL表示装置について説明する。図1aは、特開2001-318628号公報に記載されている従来のアクティブマトリクス有機EL表示装置の構造を模式的に示す平面図、図1bは、図1aの線B-B'による断面図である。また、図2aから図2e、図3aから図3d及び図4aから図4cはアクティブマトリクス基板の一連の製造手順を示す工程断面図であり、図5は、アクティブマトリクス有機EL表示装置の等価回路図である。

はじめに、図2a～図4cを用いて上記公報記載のアクティブマトリクス基板の製造工程について概説する。まず、ガラス基板100上に下地膜101を形成した後、アモルファスシリコンを成膜して、レーザアニール法、ランプアニール法等を用いてポリシリコン膜102を形成する（図2a参照）。次に、ポリシリコン膜102上にシリコン酸化膜からなる保護膜103を形成し、その上にレジ

ストマスク 104 を形成し、そのレジストマスク 104 を介してリン又は砒素等の n 型不純物を添加して n 型不純物領域 105 を形成した後、レーザアニール法等により、添加した不純物を活性化する（図 2 b 及び図 2 c 参照）。次に、ポリシリコン膜 102 を部分的に除去して島状の活性層 106 ～ 109 を形成した後、ゲート絶縁膜 110 を介して、ゲート電極 111 ～ 114 と、ソース配線 115、電流供給線 116 を形成する（図 2 d 及び図 2 e 参照）。

次に、ゲート電極 111 ～ 114 をマスクとして、自己整合的にリン等の n 型不純物を添加して不純物領域 117 ～ 124 を形成した後、レジストマスク 125 を用いて部分的にリン等の n 型不純物を添加して高濃度にリンを含む不純物領域 126 ～ 130 を形成する（図 3 a 及び図 3 b 参照）。次に、レジストマスク 131 を用いて部分的にボロン等の p 型不純物を添加して高濃度にボロンを含む不純物領域 132 ～ 135 を形成する（図 3 c 参照）。そして、レジストマスク 131 を除去することで、ポリシリコン T F T 等の回路素子を得る（図 3 d 参照）。

次に、ポリシリコン T F T を含む回路素子上に第 1 層間絶縁膜 136 を形成し、レーザアニール法やランプアニール法を用いて不純物元素を活性化した後、第 2 層間絶縁膜 137 を形成し、第 1 層間絶縁膜 136、第 2 層間絶縁膜 137、ゲート絶縁膜 110 を貫通し、不純物領域に達するコンタクトホールを形成する。そして、各コンタクトホール内を金属で埋設し、パターニングして配線 138 ～ 145 を形成した後、接続電極 141 に接する画素電極 146 を形成する（図 4 a 及び図 4 b 参照）。

なお、上述した図 2 a から図 4 b までの工程は、アクティブマトリクス液晶表示装置などで用いられる低温ポリシリコン T F T 製造技術と変わるところはなく、アモルファスシリコン層を形成しアニールによりポリシリコンを形成するポリシリコン形成技術、n 型 T F T 及び p 型 T F T を形成するための不純物注入技術、A1 などの導電膜並びに酸化シリコン及び窒化シリコンからなる絶縁膜形成技術、これらの膜形成領域や注入領域を限定するためのレジスト膜形成技術、並びに形

成膜不要領域を除去するエッチング技術などの応用により実現することができる。

画素電極 146 の形成後、図 4 c に示すように、第 3 層間絶縁膜 147 を形成する。このとき、有機 EL 素子を構成する積層構造は、陽極及び陰極を除いた厚みは 80 nm から 200 nm、陰極の厚みは 30 nm から 300 nm 程度と薄く、形成膜の段差切れを防止するために、有機 EL 素子形成前に急峻な形状をカバーし、段切れ防止のためにエッジをテーパ状に加工する。このテーパ形状の第 3 層間絶縁膜 147 の形成後、各々の画素の所望領域に有機 EL 層 148 を蒸着技術により形成し、続けて陰極 149、保護電極 150 を形成する。最後に、有機 EL 層 148 を保護するパッシベーション膜 151 を形成することによりアクティブマトリクス有機 EL 表示装置が得られる。

上記方法で形成されたアクティブマトリクス有機 EL 表示装置は、図 5 の等価回路に示すように、行方向に配置されたゲート配線 145 と列方向に配置されたソース配線 115 及び電流供給線 116 とで囲まれる画素内に、ゲート配線 145 及びソース配線 115 に接続されたスイッチング用 TFT 202 と、有機 EL 層 148 を画素電極（陽極）146 と陰極 149（図 4 c 参照）とで挟み込んで形成した発光素子 204 と、ソース／ドレインの一方が保持容量 207 を介してスイッチング用 TFT 202 のドレインに、他方が発光素子 204 の陽極に接続された制御用 TFT 203 とを形成した構造になっており、発光素子 204 の陰極 149 は全ての画素で共通となっている。このように陰極電極が表示領域全面の単一電極構造で良いのは、各画素へのアドレスがロウドライバ及びカラムドライバからの配線により選択でき、陰極 149 は単なる電源供給電極でしかないからである。

図 1 a に示すように、基板 4001 上に上記の等価回路で示した画素をマトリクス状に配列して画素部 4002 を形成し、さらに行方向及び列方向の端部にゲート側駆動回路 4004 及びソース側駆動回路 4003 を配置した後、第 1 シール材 4101 及び第 2 シール材 4104 でシールする。シールの際に、引き出し線である配線 4005 を形成し、この配線 4005 に FPC（フレキシブルプリ

ント回路) 4006の一端を接続する。こうして得られた有機EL表示装置では、図1aのB-B'線における断面(外部との接続部分、ソース側駆動回路4003の一部、画素部4002の一画素の断面)を表す図1b及び図4cから分かるように、陰極電極(図4cの陰極149及び保護電極150、図1bの陰極4305に該当する。)は、画素がマトリクス状に配列された表示領域全面、つまりポリシリコンTFTを含む画素回路や、ロウドライバ及びカラムドライバと画素回路とを接続する配線上にも形成される。

上述したような有機EL素子を構成する陰極電極が表示領域全面に単一電極として形成される従来のアクティブマトリクス有機EL表示装置の構造では、以下に示す2つの問題点がある。

第1の問題は、陰極電極が表示領域全面、すなわち、ロウドライバ及びカラムドライバと画素回路を接続する配線上にも形成されるため、この配線と陰極電極との間に容量が生じ、この容量により、配線上を伝搬する信号に遅延を生じることである。このように信号の遅延が生じると、フレーム周波数が制限されることになり、高速動画対応可能なアクティブマトリクス有機EL表示装置を実現することが困難になる。また、上記容量を持った配線に信号を送ることは、電力消費の面でも不利であり、低消費電力化の妨げとなってしまう。

第2の問題点は、陰極電極を形成するための蒸着工程において、蒸着源に電子ビーム蒸着源を用いることができないということである。この点について、以下に具体的に説明する。

蒸着成膜工程は、被膜材料を真空中で加熱蒸発させ、基板上にその被膜材料を被覆させる技術であり、被膜材料の加熱方法は多く存在するが、電子ビーム蒸着源が一般の量産設備において多く用いられている。その理由は、他の蒸着源に比べ、被膜材料飛散角度が安定しており良質な蒸着膜が実現できること、スプラッツが発生しにくく膜の均一性に優れていること、及び被膜材料の充填が容易であり、メンテナンスを多く必要とせず、設備の稼働率が高いことなどによる。

ところが、従来のアクティブマトリクス有機EL表示装置の陰極電極の形成を、

電子ビーム蒸着源を具備する蒸着装置を用いて行くと、陰極電極が表示領域全面、すなわち、ポリシリコンTFT上にも形成されるため、電子ビーム蒸着源から発生した特性X線によりポリシリコンTFTの閾値電圧 V_t が変化したり、リーク電流が増加したり、オン電流が減少したりする等の特性劣化が生じることが明らかになった。

図6に、ポリシリコンTFTにX線を照射した場合の特性変化の実験結果を示す。図6において、横軸はゲート電圧、縦軸はドレイン電流を示す。この図6から分かるように、X線被爆によりポリシリコンTFTの特性は $pch-TFT$ 、 $nch-TFT$ ともマイナス側（図面に向かって左側）にシフトする。このゲート電圧のシフトにより正常にTFTを動作させることができなくなり、スジやムラのない高画質の表示装置を実現することができなくなってしまう。

上記のポリシリコンTFTのゲート電圧の変動は、ポリシリコンTFTのゲート絶縁層内にトラップ準位が生じることが原因と考えられる。しかし、従来のポリシリコンTFT、特に低温プロセスを用いて製作したポリシリコンTFTでは、マトリクス状に形成した各々のTFTの特性やその均一性が十分でなかったため、特性X線の影響を明確にすることができなかった。本願の発明者等は、低温ポリシリコンTFT製造技術に改良を加え、特性及び均一性に優れたポリシリコンTFTの製造を可能としたことにより、特性X線の影響を明確にすることができた。この電子ビーム蒸着の特性X線と低温ポリシリコンTFTのゲート電圧の変動との詳細な関係は、本願の発明者等が見出した新規な事実である。

以上説明したように、従来のアクティブマトリクス有機EL表示装置では、陰極電極が表示領域全面、すなわち、ロウドライバ及びカラムドライバと画素回路を接続する配線上やポリシリコンTFT上にも形成されるため、配線と陰極電極との間に生じる容量による信号遅延の問題や、電子ビーム蒸着の際の特性X線によるポリシリコンTFT特性の劣化の問題を引き起こしてしまい、その結果、高速応答性、高品位の表示装置を実現することができなくなってしまうという問題があった。

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、製造工程を複雑化することなく、配線－陰極電極間の容量による信号の遅延やポリシリコンTFTの特性劣化による表示品位の低下を防止することができるアクティブマトリクス有機EL表示装置及びその製造方法を提供することにある。

発明の開示

上記目的を達成するため、本発明のアクティブマトリクス有機EL表示装置は、互いに交差する複数のデータ線及び走査線によってマトリクス状に区画された領域ごとに、有機EL素子と該有機EL素子を制御するためのポリシリコンTFTとが隣接して配置された画素が形成されるアクティブマトリクス有機EL表示装置において、前記有機EL素子の陰極電極が、少なくとも前記ポリシリコンTFT上の領域を除く領域に設けられている。

上記の場合、前記陰極電極は、前記データ線方向又は走査線方向に隣接する2以上の画素にわたって連続して設けてもよい。

また、前記有機EL素子は発光領域を含み、前記陰極電極は、前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成してもよい。

さらに、前記陰極電極は、前記ポリシリコンTFT上の領域を除く領域で、かつ、前記画素の領域を区画するデータ線及び走査線のいずれか一方の配線上の領域を除く領域に設けてもよい。

さらに、前記陰極電極は、前記一方の配線方向に隣接する2つ以上の画素にわたって連続して設けてもよい。

さらに、前記有機EL素子は発光領域を含み、前記陰極電極は、前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成してもよい。

また、本発明の他のアクティブマトリクス有機EL表示装置は、互いに交差する複数のデータ線及び走査線によってマトリクス状に区画された領域ごとに、有機EL素子を含む画素が形成されるアクティブマトリクス有機EL表示装置であって、前記有機EL素子の陰極電極が、少なくとも前記画素の領域を区画するデ

一タ線及び走査線のいずれか一方の配線上の領域を除く領域に、該一方の配線方向に隣接する2つ以上の画素にわたって連続して設けられている。

上記の場合、前記有機EL素子は発光領域を含み、前記陰極電極は、前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成してもよい。

上述したいずれかの発明において、前記陰極電極と前記ポリシリコンTF Tが形成される領域の互いの対向する端部の間隔が $20\mu\text{m}$ 以上であってもよい。

また、前記陰極電極と前記一方の配線が形成される領域の互いの対向する端部の間隔が $20\mu\text{m}$ 以上であってもよい。

さらに、前記隣接する2以上の画素にわたって連続して設けられた陰極電極は短冊状に形成されており、前記短辺方向に延伸する少なくとも1つの陰極電極配線をさらに有し、前記陰極電極配線に沿って並ぶ前記短冊状の陰極電極がそれぞれ前記陰極電極配線と接続されてもよい。

さらに、前記陰極電極は、リチウム又はリチウム化合物と、アルミニウムとを含む蒸着膜からなってもよい。

本発明のアクティブマトリクス有機EL表示装置の製造方法は、互いに交差する複数のデータ線及び走査線によってマトリクス状に区画された領域ごとに、有機EL素子と該有機EL素子を制御するためのポリシリコンTF Tとが隣接して配置された画素が形成されるアクティブマトリクス有機EL表示装置の製造方法であって、基板上に前記ポリシリコンTF Tを形成した後、少なくとも該ポリシリコンTF Tの形成領域を覆う蒸着マスクを用いて、前記有機EL素子の陰極電極を電子ビーム蒸着法により前記基板上に形成することを特徴とする。

上記の場合、前記陰極電極を前記データ線方向又は走査線方向に隣接する2以上の画素にわたって連続するように短冊状に形成してもよい。

また、前記有機EL素子は発光領域を含み、前記陰極電極を前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成してもよい。

さらに、前記ポリシリコンTF Tの形成前に、前記陰極電極の短辺方向に延伸する少なくとも1つの陰極電極配線を前記基板上に形成しておき、前記短冊状の

陰極電極を形成する際に、該形成される短冊状の陰極電極のそれぞれと前記陰極電極配線とをコンタクトホールにより接続してもよい。

また、前記陰極電極を、リチウム又はリチウム化合物と、アルミニウムとを含む材料を用いて形成してもよい。

以上のとおりの本発明のアクティブマトリクス有機EL表示装置及び製造方法においては、陰極電極は、画素回路を構成するポリシリコンTFT形成領域上には形成されないようになっている。この構成によれば、蒸着工程において、ポリシリコンTFTを蒸着マスクにより保護することができ、X線の影響によるポリシリコンTFT特性の劣化を防止することができる。この結果、量産性に優れた電子ビーム蒸着装置を用いることが可能となり、特性バラツキの少ない、設計要求性能を有するポリシリコンTFTにより構成される制御回路を具備する、スジやムラのない高画質の表示装置を実現することができる。

また、本発明においては、蒸着工程により形成される陰極電極は、ロウドライバ及びカラムドライバと画素回路とを接続する配線（データ線や走査線）上には形成されないようになっている。この構成によれば、配線と陰極電極間に発生する容量を少なくすることができ、ドライバを低電力で高速に動作させることができる。この結果、フレーム周波数を高く設定することができ、フリッカの少ない高速動画対応可能な表示装置を実現することができる。

図面の簡単な説明

図1aは、従来のアクティブマトリクス有機EL表示装置の構造を示す平面図である。

図1bは、図1aのB-B'線による断面図である。

図2aから図2eは、従来のアクティブマトリクス有機EL表示装置の製造工程を示す断面図である。

図3aから図3dは、従来のアクティブマトリクス有機EL表示装置の製造工程を示す断面図である。

図4 a から図4 c は、従来のアクティブマトリクス有機EL表示装置の製造工程を示す断面図である。

図5 は、従来のアクティブマトリクス有機EL表示装置の等価回路図である。

図6 は、従来のアクティブマトリクス有機EL表示装置の問題点を説明するための図であり、X線被爆によるTF Tのゲート電圧の変化を示す図である。

図7 a は、本発明の第1の実施例であるアクティブマトリクス有機EL表示装置の概略構成を模式的に示すブロック図である。

図7 b は、図7 a に示すアクティブマトリクス有機EL表示装置の1画素の構成を示す図である。

図8 は、本発明の第1の実施例であるアクティブマトリクス有機EL表示装置の構造を示す平面図である。

図9 a 及び図9 b は、本発明の第1の実施例であるアクティブマトリクス有機EL表示装置の製造工程の一部を示す断面図である。

図10 は、本発明の第2の実施例であるアクティブマトリクス有機EL表示装置の構造を示す平面図である。

発明を実施するための最良な形態

以下、本発明の好ましい実施の形態について図面を参照して詳細に説明する。

本発明の一実施形態であるアクティブマトリクス有機EL表示装置は、ガラス基板上に、マトリクス状に配列された有機EL素子と、各々の有機EL素子を制御するポリシリコンTF Tを含む画素回路と、画素回路を制御するロウドライバ及びカラムドライバとを備え、陰極電極を、金属板に開口を形成した蒸着マスクと電子ビーム蒸着源とを用いて、ポリシリコンTF T上又はポリシリコンTF T上及びロウ側配線上を除く領域に、ロウ側配線方向に連続する2以上の画素の発光部を囲むように形成した構造になっている。ロウドライバ又はカラムドライバと画素回路とを接続する配線やロウ側配線上に陰極電極を形成しない構造とすることで、配線と陰極電極との間の容量を低減し、また、ポリシリコンTF Tを蒸着マスクで覆って陰極電極を形成することで、電子ビーム蒸着源からのX線によ

る T F T 特性の劣化を防止することができる。

以下に、本発明の実施形態について、実施例 1、2 を挙げて具体的に説明する。

〔実施例 1〕

本発明の第 1 の実施例に係るアクティブマトリクス有機 E L 表示装置の構成及びその製造方法について説明する。図 7 a は、本発明の第 1 の実施例であるアクティブマトリクス有機 E L 表示装置の構成を説明するための図で、表示領域全体を含むブロック図である。図 7 b は、図 7 a の 1 つの画素（サブ画素）の部分拡大図である。また、図 8 は、本第 1 の実施例に係るアクティブマトリクス有機 E L 表示装置の構造を示す平面図であり、図 9 a 及び図 9 b は、その製造工程の一部を説明するための、図 8 の線 A－A' による断面図である。

以下の説明では、説明を容易とするため、有機 E L 素子の劣化を防ぐ封止構造及び封止に関する製造工程、ポリシリコン T F T と有機 E L 素子等からなるガラス基板（以下、表示基板と呼ぶ。）と外部電源との F P C（フレキシブルプリント回路）などからなる電氣的接続構造及びその製造工程、並びに表示基板への電力供給及び信号入力のための回路等に関する説明は省略する。

図 7 a 及び図 7 b に示すように、本実施例のアクティブマトリクス有機 E L 表示装置では、1 画素を構成する R G B の 3 原色にそれぞれ対応したサブ画素の各々に形成される有機 E L 素子 7 a は、横（行）方向に並んで配列されており、その形状は、図面上で上下方向に長い長方形の形状になっている。図面上、各サブ画素の有機 E L 素子 7 a の上側には、それぞれ有機 E L 素子 7 a を制御する画素回路 3 が配置されている。このような構成の画素がマトリクス状に配列されて表示領域が形成されており、この表示領域の左右両側に、行を選択するためのロウドライバ 1 a が配置されている。表示領域の下側には、列を選択し、各サブ画素の輝度を制御するためのカラムドライバ 2 a が配置されている。これらロウドライバ 1 a 及びカラムドライバ 2 a によって画素が選択されるとともに、その選択された画素は各々輝度が制御されて発光することにより表示機能を果たす。

各サブ画素に形成される有機 E L 素子の陰極電極 7 は、各行に独立して形成さ

れている。この陰極電極 7 は、図 8 に示すように、ポリシリコン形成領域 10 a を含む画素回路 3 上には形成されておらず、ロウドライバ 1 a の配線方向に連続する 2 以上の画素の有機 E L 素子発光領域 5 上、及びこれら発光領域 5 間に配置されるカラムドライバ 2 a の配線上に形成されている。陰極電極 7 の電氣的接続は、表示領域とロウドライバ形成領域間に形成された陰極電極配線 4 に設けたコンタクトホール 6 により行う。ロウドライバ 1 a から画素回路 3 への配線と陰極電極配線 7 とは、電氣的独立が確保された多層配線構造よりなる。

なお、図 7 a、図 7 b 及び図 8 に示した構造は一例であり、各々の画素における有機 E L 素子発光領域 5 や画素回路 3 の配置、R G B 3 原色のサブ画素の配列、ロウドライバ 1 a、カラムドライバ 2 a、陰極電極配線 4 の配置等は、設計に応じて任意に設定することができる。また、陰極電極 7 と陰極電極配線 4 との接続は、各々の画素（すなわち、3 つの隣接するサブ画素）の 1 辺で行っても対向する 2 辺で行ってもよい。

次に、上記構成のアクティブマトリクス有機 E L 表示装置の製造手順について、図 8、図 9 a 及び図 9 b の工程断面図を用いて説明する。

図 9 a に示すように、本実施例のアクティブマトリクス有機 E L 表示装置の表示基板には、低温ポリシリコン T F T 製造技術を用いて形成されたポリシリコン T F T 及びその他の素子からなる画素回路 3 やゲート線 1 1、データ線 1 2、電力供給線 8、陰極電極配線 4 等の各種配線が形成される。

画素回路 3 は、アモルファスシリコンをレーザアニール法やランプアニール法により結晶化するポリシリコン層形成技術や、半導体製造技術で良く知られた成膜、パターニング、エッチング技術及びその他の技術を用いて形成することができる。具体的には、画素回路 3 は次のようにして形成する。まず、ガラス等の透光性の基板の上に C V D 法を用いてシリコン酸化膜等の絶縁膜を形成し、その上にアモルファスシリコンを堆積し、不純物ドーピング工程及びレーザアニール等のポリシリコン化工程を行った後、レジスト塗布、露光、エッチング工程を経て、T F T 形成領域にポリシリコン 10 を形成する。次に、シリコン酸化膜等からなるゲ

ート絶縁膜とW S i (タングステンシリサイド) 等を順次堆積し、同様にP R (フォトレジスト) 塗布とエッチングを施してゲート電極、ゲート配線11を形成した後、不純物ドーピングを施すことによりポリシリコンT F Tを形成する。そして、C V D法を用いてシリコン酸化膜等からなる層間絶縁膜を堆積した後、P R 塗布及びエッチングによりコンタクトホールを形成し、その上にA 1等を堆積してP R 塗布とエッチングを施してソース／ドレイン電極、データ線12、電力供給線8、陰極電極配線4等を形成する。

なお、基板上にポリシリコンT F Tを形成する前に、T F T形成領域下層にW S iや金属等を堆積して遮光膜を形成してもよい。また、図9 aに示した構造例では、ゲート線(走査線)11と、データ線12や陰極電極配線4等の配線とを、層間絶縁膜(絶縁層9 a)を介して積層しているが、図1及び図2に示した従来の技術のように、これらの配線を同一層に形成してその交差部をブリッジにより接続する構造としてもよい。

上述のようにしてポリシリコンT F Tや各種配線を形成した基板上に、各有機E L素子7 aの陽極13となるI T O (Indium-Tin Oxide) 電極を形成した後、有機E L素子発光領域5が開口し、そのエッジがテーパ状になった絶縁層9 bを、C V D等による酸化膜層形成及び等方性エッチング技術により、または光感光性レジストのキュアによるエッジ鈍化技術により形成する。その際、本実施例では、画素毎に陰極電極7を分離して形成するため、各々の陰極電極7を陰極電極配線4で接続するためのコンタクトホール6も同時に形成する。陰極電極7の段切れを防止するために、このコンタクトホール6のエッジもテーパ状に加工する。その後、有機E L素子構造として公知である正孔注入層、正孔輸送層、発光層及び電子輸送層を順に蒸着技術等で形成し有機層14を形成する。この有機層14は、正孔輸送層／発光層／電子輸送層、正孔輸送層／発光層／電子輸送層／電子注入層あるいは発光層単独のいずれの構造でもよい。また、マトリクスカラー表示の場合は、画素ごとに発光層の材質を変えて積層する。

次に、図9 bに示すように、例えば、L i又はL i化合物とA 1とからなる陰

極電極 7 を、蒸着技術を用いて形成する。ここで、従来のアクティブマトリクス有機 EL 表示装置では、陰極電極 7（図 1 の陰極 4305、図 4 の陰極 149 及び保護電極 150）を表示領域全面に形成するため、陰極電極 7 と、ロウドライバ 1a 及びカラムドライバ 2a と画素回路 3 とを接続する配線との間に形成される容量により、信号が遅延して応答特性が劣化するという問題や、電子ビーム蒸着における X 線の影響でポリシリコン TFT の特性が劣化するという問題があった。本実施例では、これらの問題を同時に解決するために、陰極電極 7 を表示領域全面に形成するのではなく、図 8 に示すように、ポリシリコン TFT や接続配線を含む画素回路 3 から所定の距離だけ離れた領域（具体的には、ポリシリコン形成領域 10a から L1 だけ離れた領域）に形成する。その際、画素回路 3 上に陰極電極 7 が形成されないようにするために、画素回路 3 上を覆い隠す必要がある。しかし、陰極電極 7 の下層には有機層 14 が形成されているため、レジストパターンを用いて選択的に陰極電極 7 を形成することはできない。そこで、本実施例では、アンバーなどの金属板からウェットエッチング技術を用いて形成される蒸着マスクを用いて陰極電極 7 を形成する。具体的には、基板上に蒸着マスクを位置合わせして設置し、その上から、例えば膜厚が 500 nm 程度の Li 又は Li 化合物と Al とを堆積（例えば、リチウム 0.1 wt % アルミニウム共蒸着）する。このようにして蒸着マスクを用いて陰極電極 7 を形成するが、そのパターンは、図 8 に示した構成の場合は、各行（RGB3 原色の各サブ画素）の EL 素子発光領域 5 及び陰極電極配線 4 上の各コンタクトホール 6 を含むような短冊形状となる。また、陰極電極 7 は、各コンタクトホール 6 を介して陰極電極配線 4 と電氣的に接続する。その後、必要に応じて、保護電極やパッシベーション膜を形成して表示基板を完成する。

上記のような蒸着マスクを用いて、ポリシリコン TFT や接続配線を含む画素回路 3 を保護することにより、陰極電極 7 と接続配線間の容量の発生を防止することができると共に、X 線によるポリシリコン TFT の特性劣化の恐れが無いため、陰極電極 7 を形成するための蒸着工程に、良質な蒸着膜が得られる電子ビー

ム蒸着源を用いることができるので、有機EL素子の特性の均一性向上、量産性向上を図ることができる。なお、蒸着マスクとしては、強度を維持するために通常、 $50\mu\text{m}$ 程度の膜厚を有するものを使用することが望ましい。この程度の膜厚の金属であれば、電子ビーム蒸着源から発生するX線を十分に吸収することができる。

上述のようにして形成されたアクティブマトリクス有機EL表示装置では、ロウ側配線及びカラム側配線により選択された任意の画素は、電力供給線8から陽極13を通じて、また、陰極電極配線4を通じて、陰極電極7から有機EL層に電圧が印加される。これにより、所望の輝度で任意の有機EL素子を発光させることができ、表示装置としての機能を実現することができる。

なお、図8の例では、設計通りの位置に陰極電極7が形成された場合を図示しており、ポリシリコン形成領域10aと陰極電極7の間の距離(L1及びL2)は同じ距離とされている。実際に表示装置を製作する場合、陰極電極形成領域は、ガラス基板上に形成したポリシリコン形成領域10aと目ズレが生じる可能性がある。そこで、目ズレが生じても陰極電極7がポリシリコン形成領域10aと平面上重ならないように、ポリシリコン形成領域10aと陰極電極7間の距離(L1及びL2)を設定する必要がある。現状の蒸着技術では上記目ズレが $20\mu\text{m}$ 程度発生することを考慮すると、ポリシリコン形成領域10aと陰極電極7の間の距離(L1及びL2)は、 $20\mu\text{m}$ 以上に設定することが好ましい。

[実施例2]

次に、本発明の第2の実施例に係るアクティブマトリクス有機EL表示装置及びその製造方法について説明する。図10は、本発明の第2の実施例に係るアクティブマトリクス有機EL表示装置の構造を示す平面図である。

上述した第1の実施例のものでは、陰極電極7を画素回路3と重ならないように形成したが、配線と陰極電極7間の容量を更に低減するためには、陰極電極が極力、配線と重ならないように形成することが好ましい。そこで、本実施例では、陰極電極7は、ポリシリコン形成領域10a及びロウ側配線(ゲート配線11)

の双方と重ならない領域に形成される。

本実施例のアクティブマトリクス有機EL表示装置の製造方法は、基本的には、上述した第1の実施例の場合と同様であるが、行毎に、有機EL素子発光領域5及び陰極電極配線4上のコンタクトホール6を含む短冊形状の陰極電極7を形成する。この場合も、蒸着マスクを用いて、電子ビーム蒸着によりLi又はLi化合物とA1とからなる陰極電極7を形成する。なお、ポリシリコン形成領域10aと陰極電極7との距離(L1)及びロウ側配線(ゲート配線11)と陰極電極7との距離(L3)も、目ズレを考慮して20 μ m以上となるように設定することが望ましい。

本実施例においても、蒸着マスクによりポリシリコンTF Tを保護しているので、電子ビーム蒸着の際のポリシリコンTF Tの特性劣化を防止することができる。よって、良質な蒸着膜が得られる電子ビーム蒸着源を用いることが可能となり、有機EL素子の特性の均一性向上、量産性向上を図ることができる。また、陰極電極7がロウ側配線(ゲート配線11)よりも画素側に形成されるため、第1の実施例に比べて、有機EL発光領域5は小さくなるものの、陰極電極7とロウ側配線間の容量を少なくすることができるので、更なる高速動作への対応が可能となる。

以上説明した各実施例では、有機EL発光領域5及び画素回路3が各画素内で同様に配置されているため、陰極電極7は単純な短冊形状としたが、本発明は、そのような形状に限定されるものではない。陰極電極7は、ポリシリコンTF Tを含む画素回路3やゲート線11等のロウ側配線と相重ならない形状であれば、どのような形状にしてもよい。但し、蒸着マスクは、フォトマスクと異なり、正確な寸法で形成することが困難であり、また、位置合わせも難しいことから、極力単純な形状とすることが好ましく、蒸着マスクの形状を単純化できるように、画素回路3の配置や画素の配列方向等を考慮してレイアウトすることが好ましい。

以上説明した本発明のアクティブマトリクス有機EL表示装置及びその製造方法によれば、以下のような効果を奏する。

第1の効果は、特性ばらつきの少ない、設計要求性能を有するポリシリコンTFTにより構成された制御回路を具備するため、スジやムラのない高画質の表示装置を実現することができる、ということである。その理由は、蒸着工程により形成される陰極電極を、ポリシリコンTFT形成領域上には形成しないようにしたからである。つまり、蒸着工程において、ポリシリコンTFTは蒸着マスクにより保護されるため、電子ビーム蒸着源を用いたことで基板がX線被爆したとしても、ポリシリコンTFTの諸特性には影響せず、設計通りの特性から得られる表示画質を提供することができるからである。

第2の効果は、フレーム周波数を高く設定することができ、フリッカの少ない、高速動画対応可能な表示装置を実現することができるということである。その理由は、陰極電極をロウドライバ及びカラムドライバからの配線上やロウ側配線上に形成しないことにより、これらの配線と陰極電極間に発生する容量を低減したからである。この結果、フレーム周波数を高く設定することが可能となり、フリッカの少ない高速動画対応可能な表示装置を実現することができる。また、容量の低減によりドライバを低電力で動作させることが可能となり、表示装置の低消費電力化を図ることができる。

請求の範囲

1. 互いに交差する複数のデータ線及び走査線によってマトリクス状に区画された領域ごとに、有機EL素子と該有機EL素子を制御するためのポリシリコンTFTとが隣接して配置された画素が形成されるアクティブマトリクス有機EL表示装置であって、

前記有機EL素子の陰極電極が、少なくとも前記ポリシリコンTFT上の領域を除く領域に設けられているアクティブマトリクス有機EL表示装置。

2. 前記陰極電極が、前記データ線方向又は走査線方向に隣接する2つ以上の画素にわたって連続して設けられている、請求項1に記載のアクティブマトリクス有機EL表示装置。

3. 前記有機EL素子は発光領域を含み、前記陰極電極が、前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成されている、請求項2に記載のアクティブマトリクス有機EL表示装置。

4. 前記陰極電極が、前記ポリシリコンTFT上の領域を除く領域で、かつ、前記画素の領域を区画するデータ線及び走査線のいずれか一方の配線上の領域を除く領域に設けられている、請求項1に記載のアクティブマトリクス有機EL表示装置。

5. 前記陰極電極が、前記一方の配線方向に隣接する2つ以上の画素にわたって連続して設けられている、請求項4に記載のアクティブマトリクス有機EL表示装置。

6. 前記有機EL素子は発光領域を含み、前記陰極電極が、前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成されている、請求項5に記載のアクティブマトリクス有機EL表示装置。

7. 互いに交差する複数のデータ線及び走査線によってマトリクス状に区画された領域ごとに、有機EL素子を含む画素が形成されるアクティブマトリクス有機EL表示装置であって、

前記有機EL素子の陰極電極が、少なくとも前記画素の領域を区画するデータ線及び走査線のいずれか一方の配線上の領域を除く領域に、該一方の配線方向に隣接する2つ以上の画素にわたって連続して設けられているアクティブマトリクス有機EL表示装置。

8. 前記有機EL素子は発光領域を含み、前記陰極電極が、前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成されている、請求項7に記載のアクティブマトリクス有機EL表示装置。

9. 前記陰極電極と前記ポリシリコンTFTが形成される領域の互いの対向する端部の間隔が $20\mu\text{m}$ 以上である、請求項1から6のいずれか1項に記載のアクティブマトリクス有機EL表示装置。

10. 前記陰極電極と前記一方の配線が形成される領域の互いの対向する端部の間隔が $20\mu\text{m}$ 以上である、請求項4から8のいずれか1項に記載のアクティブマトリクス有機EL表示装置。

11. 前記隣接する2以上の画素にわたって連続して設けられた陰極電極は短冊状に形成されており、

前記短辺方向に延伸する少なくとも1つの陰極電極配線をさらに有し、

前記陰極電極配線に沿って並ぶ前記短冊状の陰極電極がそれぞれ前記陰極電極配線と接続されている、請求項2、3、5から8のいずれか1項に記載のアクティブマトリクス有機EL表示装置。

12. 前記陰極電極が、リチウム又はリチウム化合物と、アルミニウムとを含む蒸着膜からなる、請求項1から8のいずれか1項に記載のアクティブマトリクス有機EL表示装置。

13. 互いに交差する複数のデータ線及び走査線によってマトリクス状に区画された領域ごとに、有機EL素子と該有機EL素子を制御するためのポリシリコンTFTとが隣接して配置された画素が形成されるアクティブマトリクス有機EL表示装置の製造方法であって、

基板上に前記ポリシリコンTFTを形成した後、少なくとも該ポリシリコンT

F Tの形成領域を覆う蒸着マスクを用いて、前記有機E L素子の陰極電極を電子ビーム蒸着法により前記基板上に形成する工程を含むアクティブマトリクス有機E L表示装置の製造方法。

1 4. 前記陰極電極を前記データ線方向又は走査線方向に隣接する2以上の画素にわたって連続するように短冊状に形成する工程を含む、請求項1 3に記載のアクティブマトリクス有機E L表示装置の製造方法。

1 5. 前記有機E L素子は発光領域を含み、前記陰極電極を前記隣接する2つ以上の画素の前記発光領域を囲む、または、覆うように形成する工程を含む、請求項1 4に記載のアクティブマトリクス有機E L表示装置の製造方法。

1 6. 前記ポリシリコンT F Tの形成前に、前記陰極電極の短辺方向に延伸する少なくとも1つの陰極電極配線を前記基板上に形成しておき、前記短冊状の陰極電極を形成する際に、該形成される短冊状の陰極電極のそれぞれと前記陰極電極配線とをコンタクトホールにより接続する工程を含む、請求項1 4に記載のアクティブマトリクス有機E L表示装置の製造方法。

1 7. 前記陰極電極を、リチウム又はリチウム化合物と、アルミニウムとを含む材料を用いて形成する工程を含む、請求項1 3から1 6のいずれか1項に記載のアクティブマトリクス有機E L表示装置の製造方法。

図 1 a

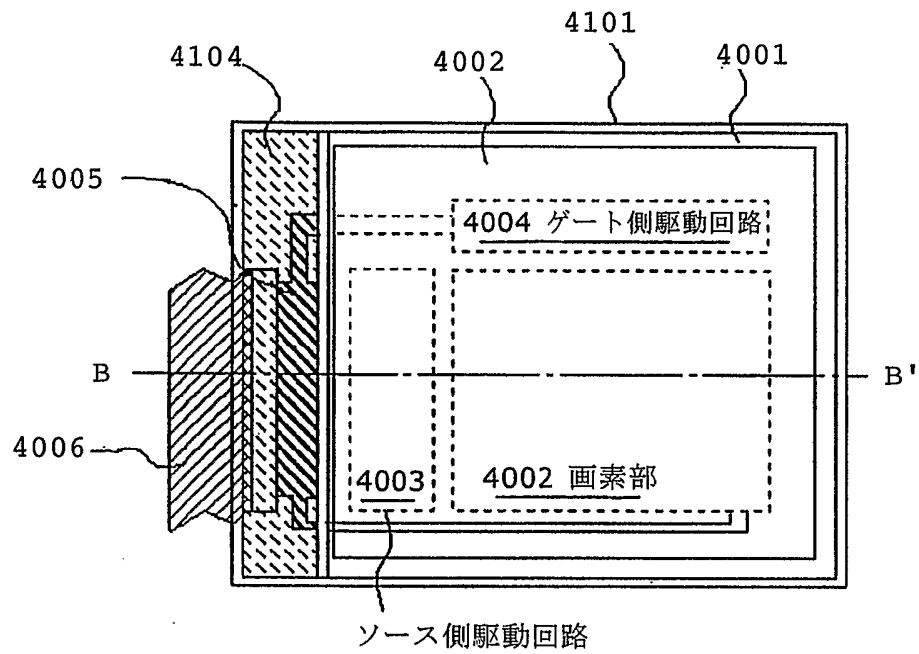


図 1 b

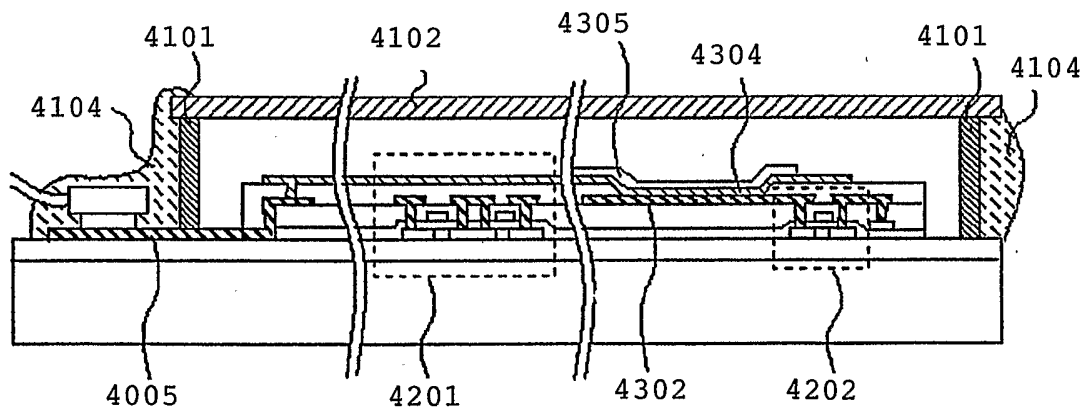


図 2 a

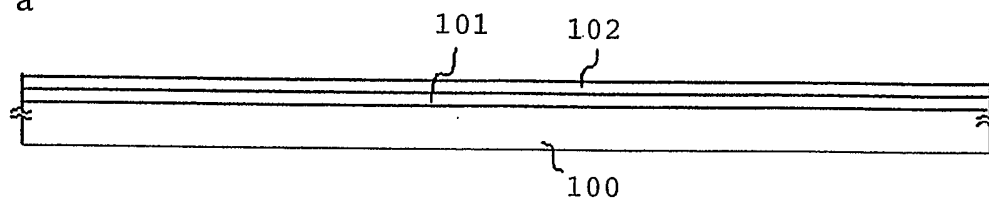


図 2 b

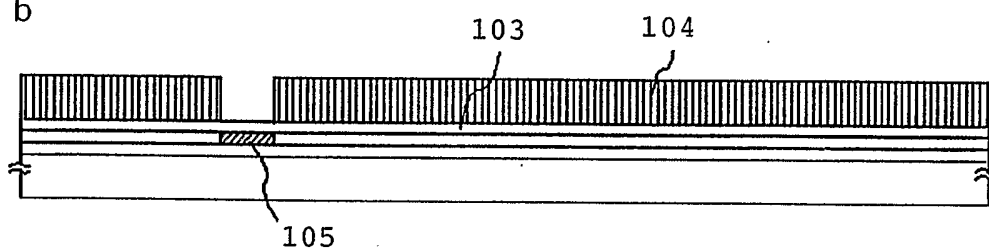


図 2 c

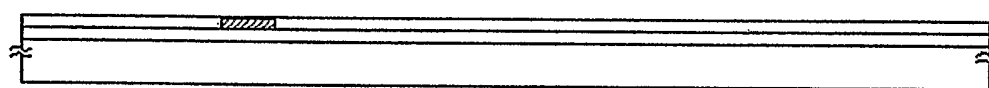


図 2 d

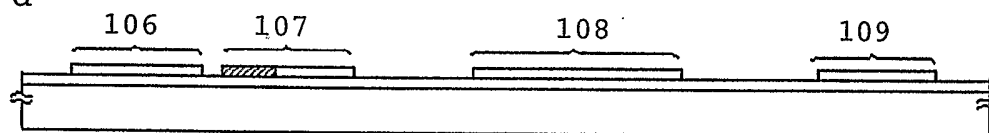


図 2 e

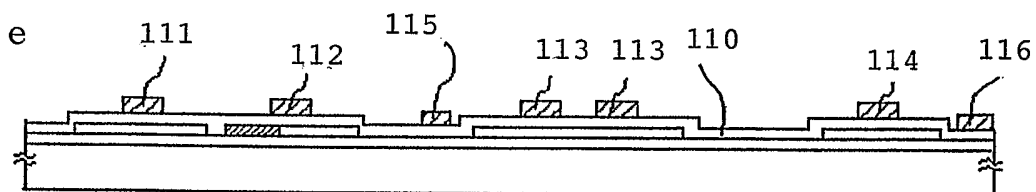


図 3 a

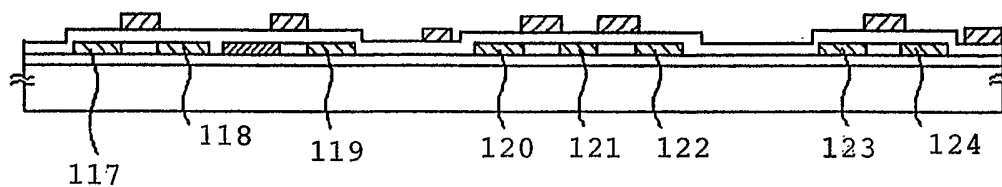


図 3 b

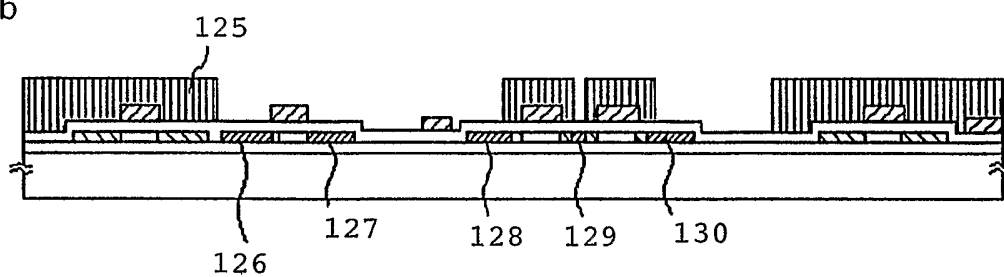


図 3 c

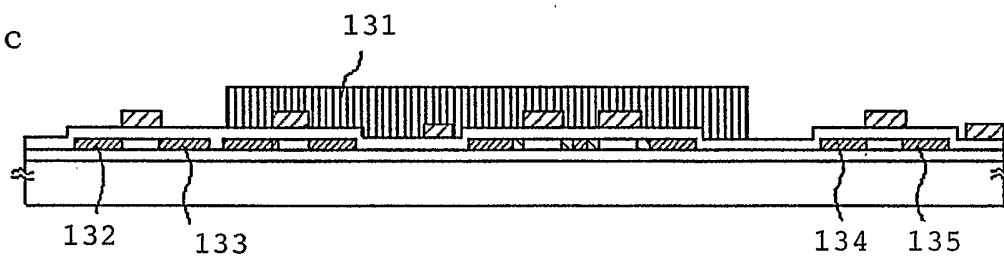


図 3 d

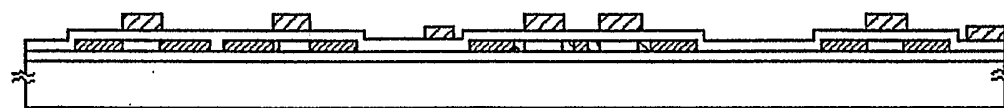


図 4 a

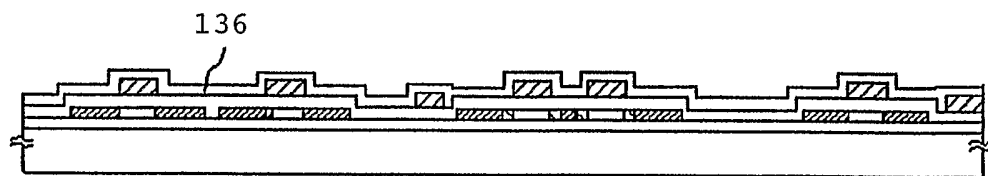


図 4 b

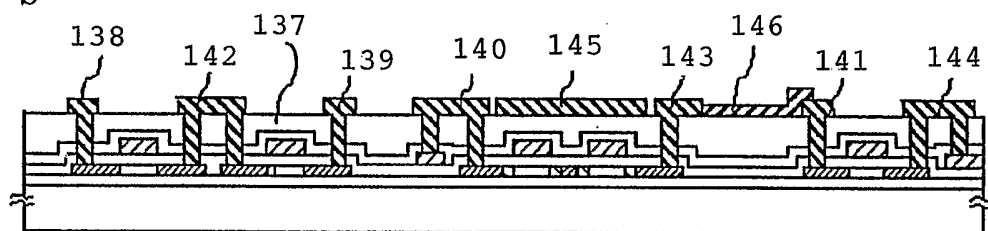


図 4 c

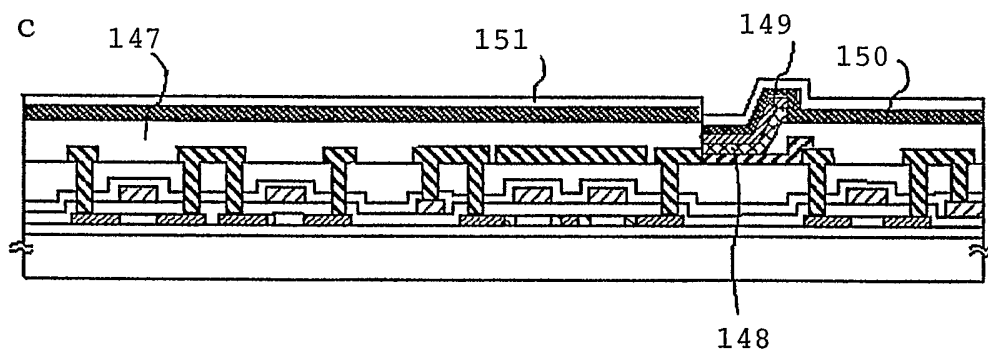


図 5

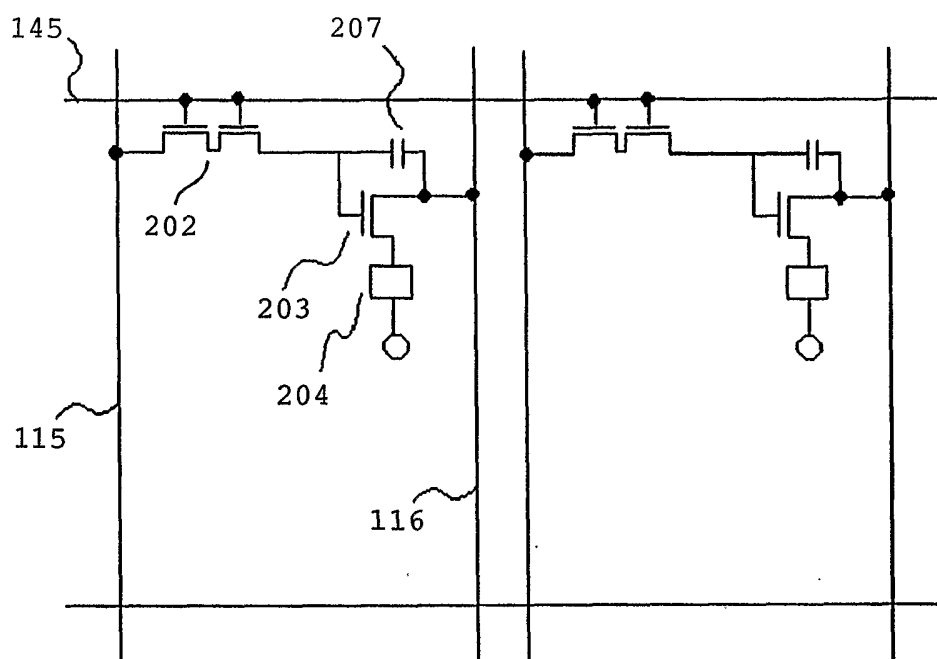
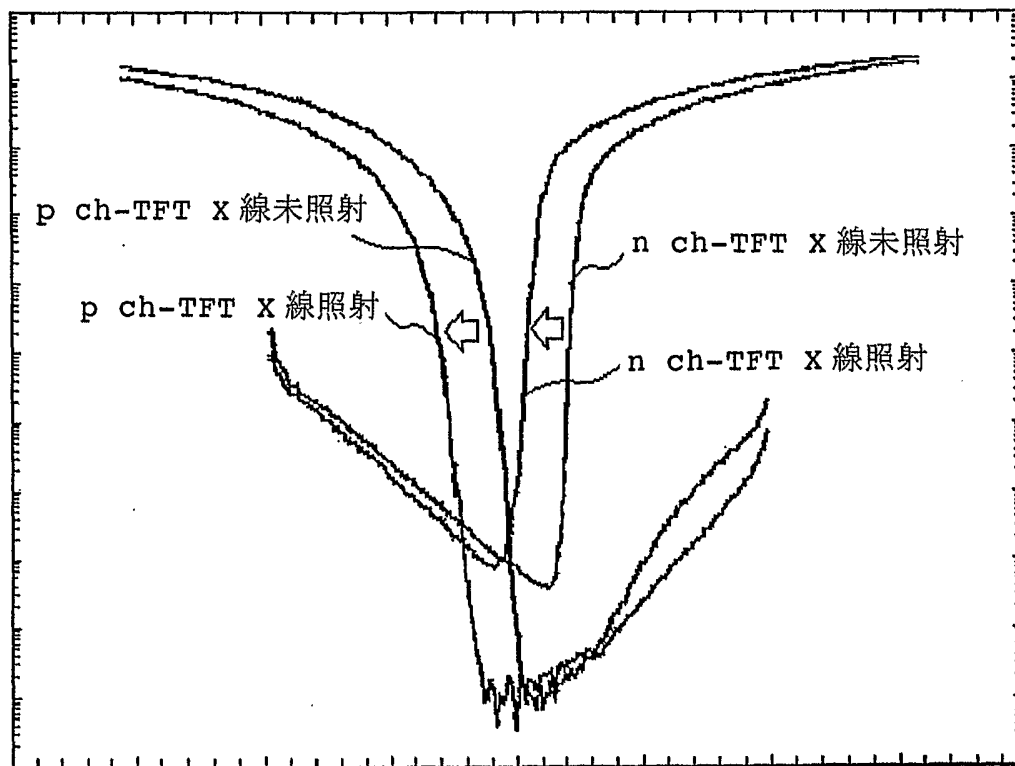


図 6

ドレイン電流 (絶対値)



ゲート電圧

图 7 a

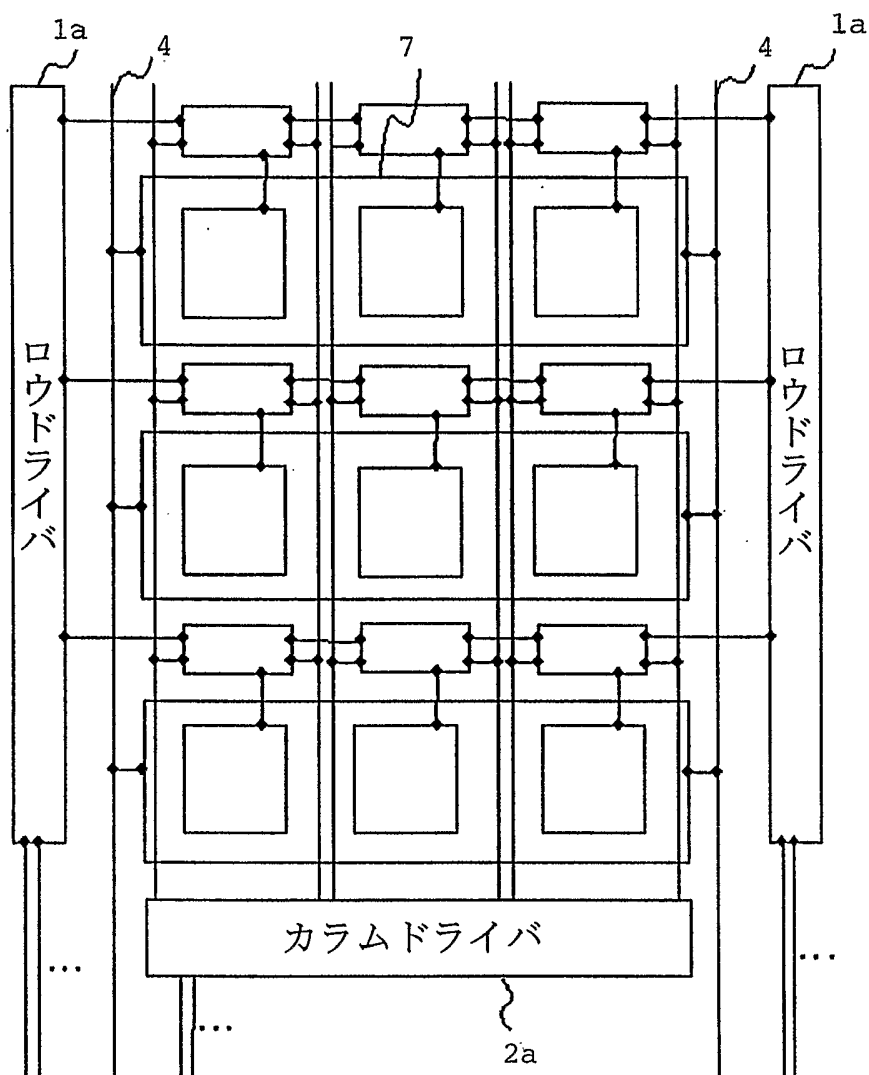


图 7 b

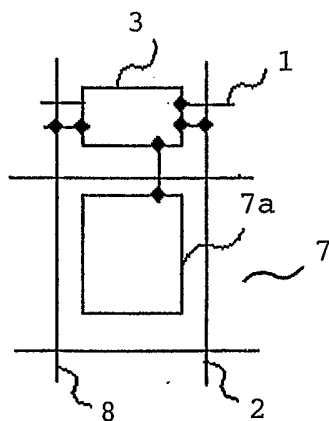


図 8

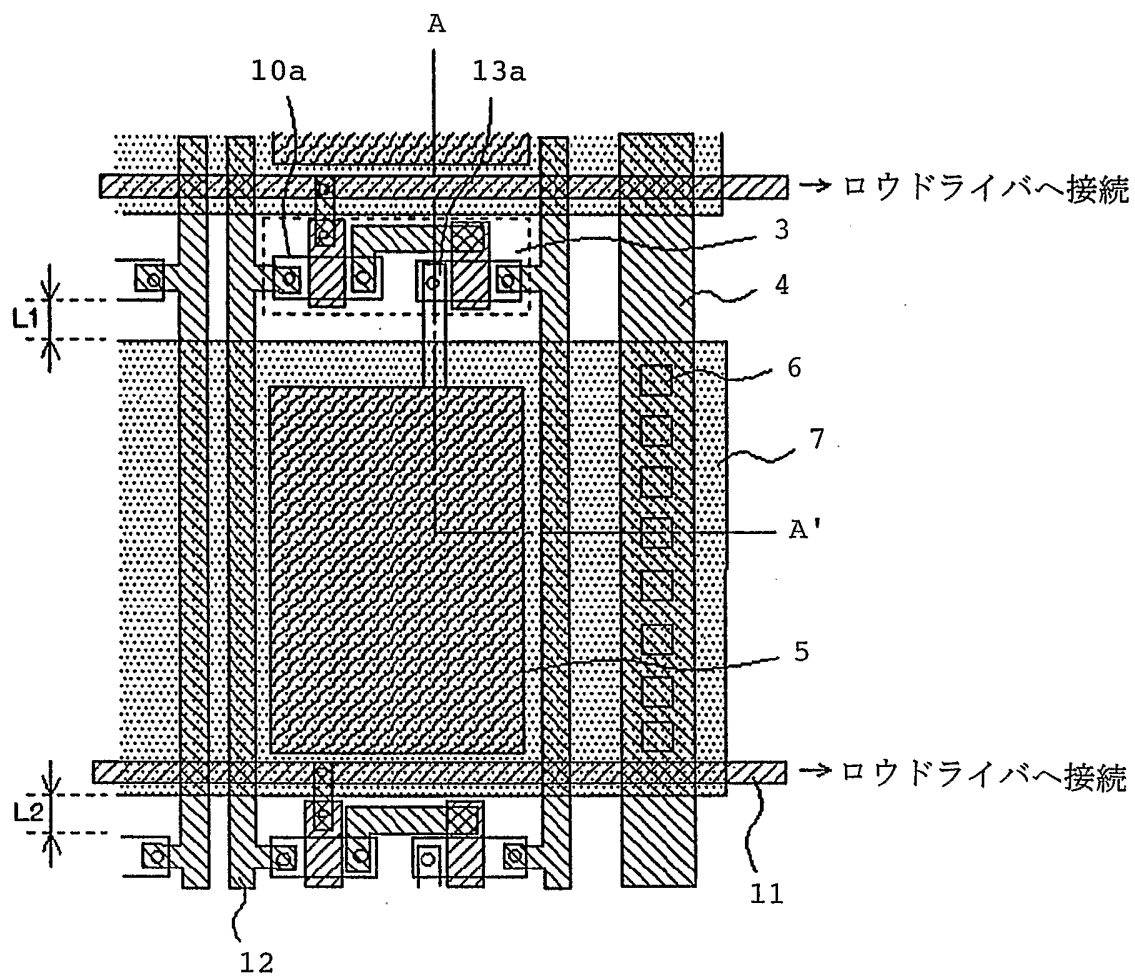


図 9 a

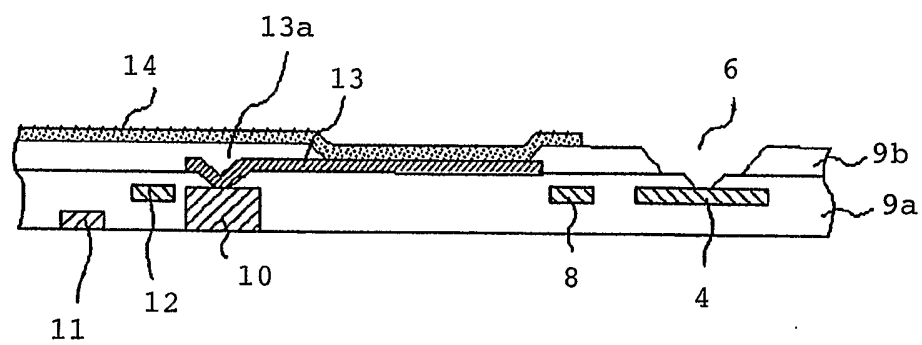
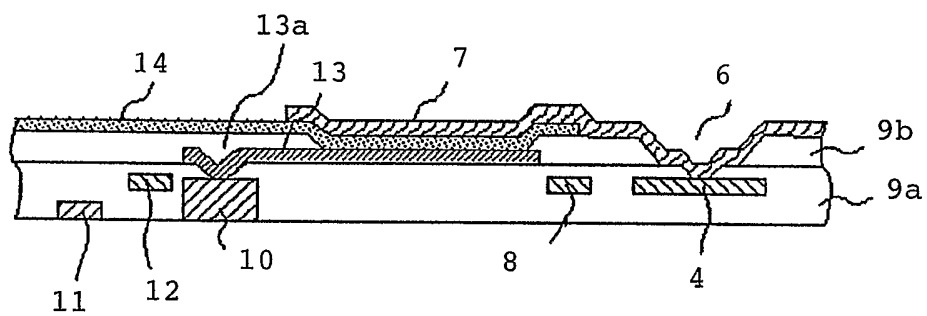


図 9 b



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08835

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H05B33/26, H05B33/10, H05B33/14, G09F9/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H05B33/00-33/28, G09F9/30, G02F1/136

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-24604 A (Seiko Epson Corp.), 29 January, 1999 (29.01.99), Page 3, right column, lines 15 to 28; page 6, left column, lines 42 to 50, right column, line 32 to page 7, left column, line 1; page 8, left column, lines 20 to 42 & WO 99/01857 A & EP 932137 A & CN 1237258 A & US 6194837 B & US 6545424 B & KR 2000068382 A	1-17
Y	JP 2000-231346 A (Sanyo Electric Co., Ltd.), 22 August, 2000 (22.08.00), Page 3, left column, line 40 to page 4, right column, line 22; Figs. 1, 9 & EP 1028471 A & KR 2001014475 A & TW 441222 A	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08 August, 2003 (08.08.03)

Date of mailing of the international search report
26 August, 2003 (26.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/08835

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-184857 A (Sharp Corp.), 16 July, 1996 (16.07.96), Claim 2; page 5, right column, line 1 to page 7, right column, line 19; Figs. 1 to 8 (Family: none)	1-17
Y	JP 2-150823 A (Hitachi, Ltd.), 11 June, 1990 (11.06.90), Full text (Family: none)	1-17
Y	JP 4-366819 A (NEC Corp.), 18 December, 1992 (18.12.92), Full text (Family: none)	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H05B33/26、H05B33/10、H05B33/14、
G09F9/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H05B33/00-33/28、G09F9/30、G02F1/136

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-24604 A (セイコーエプソン株式会社) 1999. 01. 29, 第3頁右欄15行-28行, 第6頁左欄42行-50行, 第6頁右欄32行-第7頁左欄1行, 第8頁左欄20行-42行 &WO99/01857 A &EP 932137 A &CN 1237258 A &US 6194837 B &US 6545424 B &KR 2000068382 A	1-17

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 08. 03

国際調査報告の発送日

26.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今関 雅子



2V 9529

電話番号 03-3581-1101 内線 3271

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-231346 A (三洋電機株式会社) 2000.08.22, 第3頁左欄40行-第4頁右欄22行, 図1, 図9 &EP 1028471 A &KR 2001014475 A &TW 441222 A	1-17
Y	JP 8-184857 A (シャープ株式会社) 1996.07.16, 請求項2, 第5頁右欄1行-第7頁右欄19行, 図1-8 (ファミリーなし)	1-17
Y	JP 2-150823 A (株式会社日立製作所) 1990.06.11, 全文 (ファミリーなし)	1-17
Y	JP 4-366819 A (日本電気株式会社) 1992.12.18, 全文 (ファミリーなし)	1-17