



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0024328
(43) 공개일자 2011년03월09일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2009-0082268

(22) 출원일자 2009년09월02일

심사청구일자 2009년09월02일

(71) 출원인

서강대학교산학협력단

서울 마포구 신수동 1-1 서강대학교

(72) 발명자

최우영

서울특별시 동작구 사당동 105 (6/3) 극동아파트
111-603

(74) 대리인

권오준

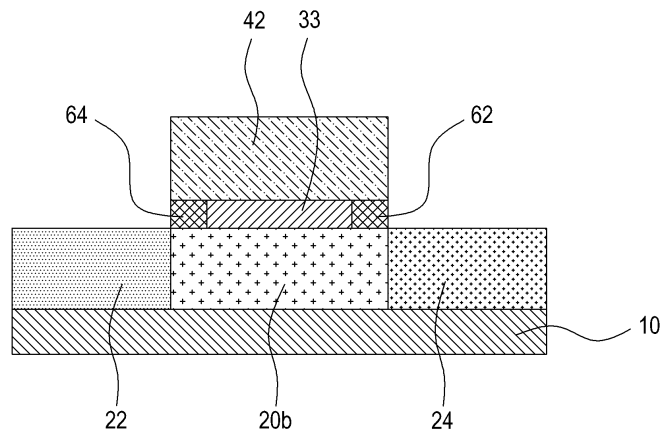
전체 청구항 수 : 총 10 항

(54) 고유전율막을 갖는 터널링 전계효과 트랜지스터

(57) 요약

본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 게이트 절연막의 일부를 고유전율막으로 대체 형성함으로써, 게이트 전압이 증가하거나 감소함에 따라 고유전율막 아래의 채널영역에 먼저 전기적으로 N+ 또는 P+ 영역이 유도되어 이온주입된 P+ 또는 N+ 영역과 급격한 에너지 밴드 경사를 갖는 터널링 접합이 형성되도록 하여, 높은 구동전류와 급격한 구동전류의 변화가 가능하게 함으로써, 저전력, 고에너지 효율을 구현할 수 있는 고유전율막을 갖는 터널링 전계효과 트랜지스터에 관한 것이다.

대표도 - 도10



이 발명을 지원한 국가연구개발사업

과제고유번호 20090082439

부처명 교육과학기술부

연구관리전문기관

연구사업명 특정연구개발사업

연구과제명 고에너지 효율의 IC 구현을 위한 차세대 녹색 터널링 트랜지스터 개발

기여율

주관기관 서강대학교산학협력단

연구기간 2009년 06월 01일 ~ 2010년 05월 31일

특허청구의 범위

청구항 1

반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 사이에 두고 형성된 게이트와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 N+ 영역과 P+ 영역을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서,

상기 게이트 절연막은 상기 게이트 길이방향의 일단 또는 양단 밑에 다른 부위보다 유전율이 큰 고유전율막으로 형성된 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 게이트 절연막은 상기 게이트 길이방향의 양단 밑에 다른 부위보다 유전율이 큰 고유전율막으로 형성되고,

상기 N+ 영역 또는 상기 P+ 영역은 상기 게이트로부터 일정거리 떨어진 위치에 형성된 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 3

제 2 항에 있어서,

상기 N+ 영역 또는 상기 P+ 영역이 상기 게이트로부터 떨어진 거리는 상기 게이트 길이보다 작은 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체 기판은 SOI 기판 또는 벌크 실리콘 기판이고,

상기 고유전율막은 실리콘 산화막보다 유전율이 큰 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 5

제 4 항에 있어서,

상기 반도체 기판은 SOI 기판이고,

상기 게이트 및 상기 고유전율막을 포함하는 상기 게이트 절연막은 상기 채널영역을 사이에 두고 상하 또는 앞뒤로 형성된 더블게이트(double-gate) 구조인 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 6

제 4 항에 있어서,

상기 게이트 및 상기 고유전율막을 포함하는 상기 게이트 절연막은 상기 채널영역의 삼면을 둘러싸며 형성된 트리플게이트(triple-gate) 구조인 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 7

제 4 항에 있어서,

상기 게이트 및 상기 고유전율막을 포함하는 상기 게이트 절연막은 상기 채널영역의 전면을 둘러싸며 형성된 게이트올러라운드(Gate-All-Around: GAA) 구조인 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터.

청구항 8

반도체 기판에 제 1 게이트 절연막 및 게이트 물질을 증착하고 식각하여 게이트를 형성하는 제 1 단계와;

상기 기판 전면에 제 1 마스크 물질을 증착하고 상기 게이트의 일측이 보이도록 식각하여 제 1 마스크를 형성하는 제 2 단계와;

상기 제 1 마스크를 도핑 마스크로 사용하며 상기 게이트의 일측과 인접된 상기 기판에 불순물을 주입하여 N+ 또는 P+ 영역을 형성하는 제 3 단계와;

상기 기판 전면에 제 2 마스크 물질을 증착하고 상기 게이트의 타측이 보이도록 식각하여 제 2 마스크를 형성하는 제 4 단계와;

상기 제 2 마스크를 도핑 마스크로 사용하며 상기 게이트의 타측과 인접된 상기 기판에 불순물을 주입하여 P+ 또는 N+ 영역을 형성하는 제 5 단계와;

상기 제 1 게이트 절연막을 등방성으로 식각하여 상기 게이트의 일측 또는 양측 밑에 일정 깊이의 홈이 형성되도록 하는 제 6 단계와;

상기 기판 전면에 상기 제 1 게이트 절연막보다 유전율이 큰 제 2 게이트 절연막을 증착하는 제 7 단계와;

상기 제 2 게이트 절연막을 비등방성으로 식각하여 상기 게이트 밑의 홈에만 상기 제 2 게이트 절연막이 남아 있도록 하는 제 8 단계를 포함하여 구성된 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터를 제조하는 방법.

청구항 9

제 8 항에 있어서,

상기 제 6 단계의 상기 제 1 게이트 절연막 식각은 상기 제 2 마스크를 식각 마스크로 사용하며 상기 게이트의 일측과 인접된 상기 제 1 게이트 절연막을 등방성으로 식각하여 상기 게이트의 일측에 일정 깊이의 홈이 형성되도록 하는 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터를 제조하는 방법.

청구항 10

제 8 항 또는 제 9 항에 있어서,

상기 제 1 게이트 절연막은 실리콘 산화막(SiO_2)이고,

상기 제 2 게이트 절연막은 스트론튬 산화막(SrO), 실리콘 질화막(Si_3N_4), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중에서 선택된 어느 1개의 단일막 또는 2개 이상의 복수로 적층된 복합막인 것을 특징으로 하는 고유전율막을 갖는 터널링 전계효과 트랜지스터를 제조하는 방법.

명세서

발명의 상세한 설명

기술 분야

- [0001] 본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 게이트 절연막의 일부를 고유전율막으로 대체 형성함으로써, 게이트 전압이 증가하거나 감소함에 따라 고유전율막 아래의 채널영역에 먼저 전기적으로 N⁺ 또는 P⁺ 영역이 유도되어 이온주입된 P⁺ 또는 N⁺ 영역과 급격한 에너지 밴드 경사를 갖는 터널링 접합이 형성되도록 하여, 높은 구동전류와 급격한 구동전류의 변화가 가능하게 함으로써, 저전력, 고에너지 효율을 구현할 수 있는 고유전율막을 갖는 터널링 전계효과 트랜지스터에 관한 것이다.

배경 기술

- [0002] 터널링 전계효과 트랜지스터(Tunneling Field Effect Transistor: TFET)는 일본의 Hitachi와 영국의 Cambridge 대학에서 그 개념이 최초로 제안되었으나, 1990년대에는 기존의 MOSFET 축소화가 무리없이 진행되었고 에너지 문제도 심각하지 않은 상황이었으므로 터널링 트랜지스터는 널리 연구되지는 못하였다.
- [0003] 그러나, 2000년대에 들어서 MOSFET의 축소화의 한계가 임박하고 에너지 문제도 심각해지면서, 이에 대한 해법의 하나로 터널링 트랜지스터 연구는 각광을 받게 되었다.
- [0004] 이는 반도체 소자의 크기가 작아지고 성능이 향상되는 반대급부로 전력의 소모가 증가하게 되면서, 기존의 MOSFET을 대체하거나 보완할 소자 개발의 필요성이 대두하게 되었기 때문이다.
- [0005] 기존의 MOSFET은 문턱전압이하 기율기(Subthreshold Swing: SS)가 상온에서 60mV/dec 이하로 낮아질 수 없는 물리적 한계가 있어, 구동전압이 낮아지면 상당한 성능 저하가 발생하는 근본적인 문제점이 있어 왔다.
- [0006] 하지만 터널링 전계효과 트랜지스터는 기존 MOSFET의 열전자 방출 (thermionic emission)과는 상이한 터널링 방식으로 전자나 홀의 흐름을 제어하므로 입력전압(구동전압)의 미세한 변화가 출력전류의 큰 변화로 이어질 수 있다.
- [0007] 이는 ON/OFF 상태의 변화가 게이트 전압의 변화에 따라 매우 급격하게 일어남을 시사하며, 낮은 문턱전압이하 기율기(SS)가 가능함을 의미한다.
- [0008] 따라서, 터널링 전계효과 트랜지스터는 1V 이하의 매우 낮은 구동전압 조건에서도 정상적인 동작이 가능할 것으로 예상하고 있으므로, 터널링 트랜지스터를 이용하면 전력을 적게 소모하면서 기존의 MOSFET과 유사한 성능을 얻을 수 있게 되어 고에너지 효율의 반도체 소자를 구현할 수 있을 것으로 기대되어 왔다.
- [0009] 이러한 터널링 전계효과 트랜지스터는 기본적으로, 도 1과 같이, 통상의 MOSFET과 달리 채널영역(20b) 양측으로서 반대극성을 갖는 불순물로 소스(24)/드레인(22)을 형성하는 구조를 갖는다.
- [0010] 예컨대, N 채널 TFET인 경우, 매몰산화막(10) 상의 P형 SOI 기판에 채널영역(20b) 양측으로 소스(24)는 P⁺ 영역, 드레인(22)은 N⁺ 영역으로 형성된다. 여기서, P⁺ 영역은 P형 고농도 도핑층을, N⁺ 영역은 N형 고농도 도핑층을 각각 말한다(이하, 동일함).
- [0011] 상기와 같은 구조에서, 게이트절연막(38) 상의 게이트(42)에 + 구동전압이 인가되고, 소스(24) 및 드레인(22)에 역바이어스 전압이 각각 인가하게 되면, 도 2와 같이, 채널영역(20b)과 소스(24) 사이에 에너지 밴드 경사를 갖는 접합(junction)이 형성되어 양자역학적 터널링에 의한 구동전류(I_{ON})가 흐르게 된다.
- [0012] 그러나, 종래 터널링 전계효과 트랜지스터는 게이트 전압에 의하여 채널영역에 균일하게 형성된 inversion 혹은 accumulation 막이 P⁺ 혹은 N⁺ 영역과 접촉하는 방식으로 터널링 접합이 형성되어 급격한 에너지 밴드 경사를 갖기 어려워, 기존 MOSFET의 구동전류에 비하여 낮은 전류값을 갖는 문제점이 있어왔다.
- [0013] 또한, 도 3(a)와 같이, 종래 터널링 전계효과 트랜지스터는 게이트에 전압을 증가시킬 때, 채널영역(20b)과 소스(24) 사이의 에너지 밴드 경사도 그에 따라 서서히 증가하게 되므로, 높은 구동전류의 변화를 달성할 수 없는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0014] 따라서, 본 발명은 종래 터널링 전계효과 트랜지스터의 낮은 구동전류의 문제점 및 게이트 전압에 따른 급격한 구동전류의 구현이 어려운 문제점을 해결하기 위하여 고안된 것으로, 게이트 절연막의 일부를 고유전율막으로 대체 형성한 고유전율막을 갖는 터널링 전계효과 트랜지스터를 제공하는 것을 목적으로 한다.

과제 해결수단

[0015] 상기 목적을 달성하기 위하여, 본 발명에 의한 고유전율막을 갖는 터널링 전계효과 트랜지스터는 반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 사이에 두고 형성된 게이트와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 N+ 영역과 P+ 영역을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서, 상기 게이트 절연막은 상기 게이트 길이방향의 일단 또는 양단 밑에 다른 부위보다 유전율이 큰 고유전율막으로 형성된 것을 특징으로 한다.

[0016] 또한 본 발명에 의한 고유전율막을 갖는 터널링 전계효과 트랜지스터의 제조방법은 반도체 기판에 제 1 게이트 절연막 및 게이트 물질을 증착하고 식각하여 게이트를 형성하는 제 1 단계와; 상기 기판 전면에 제 1 마스크 물질을 증착하고 상기 게이트의 일측이 보이도록 식각하여 제 1 마스크를 형성하는 제 2 단계와; 상기 제 1 마스크를 도핑 마스크로 사용하며 상기 게이트의 일측과 인접된 상기 기판에 불순물을 주입하여 N+ 또는 P+ 영역을 형성하는 제 3 단계와; 상기 기판 전면에 제 2 마스크 물질을 증착하고 상기 게이트의 타측이 보이도록 식각하여 제 2 마스크를 형성하는 제 4 단계와; 상기 제 2 마스크를 도핑 마스크로 사용하며 상기 게이트의 타측과 인접된 상기 기판에 불순물을 주입하여 P+ 또는 N+ 영역을 형성하는 제 5 단계와; 상기 제 1 게이트 절연막을 등방성으로 식각하여 상기 게이트의 일측 또는 양측 밑에 일정 깊이의 홈이 형성되도록 하는 제 6 단계와; 상기 기판 전면에 상기 제 1 게이트 절연막보다 유전율이 큰 제 2 게이트 절연막을 증착하는 제 7 단계와; 상기 제 2 게이트 절연막을 비등방성으로 식각하여 상기 게이트 밑의 홈에만 상기 제 2 게이트 절연막이 남아 있도록 하는 제 8 단계를 포함하여 구성된 것을 특징으로 한다.

효과

[0017] 본 발명은 종래 게이트 절연막의 일부를 고유전율막으로 대체함으로써, 낮은 구동전류의 문제점 및 게이트 전압에 따른 급격한 구동전류의 구현이 어려운 문제점을 해결한 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.

[0019] [터널링 전계효과 트랜지스터의 구조에 관한 실시예]

[0020] 우선, 본 발명에 의한 고유전율막을 갖는 터널링 전계효과 트랜지스터의 구조에 관한 실시예를 도 10 및 도 13 내지 도 26을 참조하며 설명한다.

[0021] 본 발명에 의한 고유전율막을 갖는 터널링 전계효과 트랜지스터는, 도 1과 같은 종래 터널링 전계효과 트랜지스터에 있어서, 즉, 반도체 기판[예컨대, 매물산화막(10)상의 SOI 기판]과, 상기 반도체 기판 상에 게이트 절연막(38)을 사이에 두고 형성된 게이트(42)와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역(20b)으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 N+ 영역(22)과 P+ 영역(24)을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서, 종래 하나의 물질로 이루어진 게이트 절연막(38) 대신, 도 10 및 도 13 내지 도 26과 같이, 2종이상의 유전물질로 게이트(42)(44) 길이방향의 일단 또는 양단에는 다른 부위(32 내지 37)보다 유전율이 큰 고유전율막(62)(64)(66)(68)으로 형성된 것을 특징으로 한다.

[0022] 상기과 같은 구성을 함으로써, 게이트(42)(44)에 전압을 올리며 구동시킬 때, 채널이 켜지기 이전에 고유전율막 아래에 먼저 inversion 또는 accumulation 막이 형성되도록 하여, 높은 구동전류의 변화를 얻을 수 있도록 한 것이 본 발명의 핵심 기술적 사상이다.

[0023] 즉, 도 10과 같이 바디(body; 채널영역, 20b)가 저농도의 P형 불순물로 도핑된 N채널 TFET 구조에서, N+ 영역(22, 드레인)과 P+ 영역(24, 소스)에 역바이어스 전압을 인가한 상태에서 게이트(42)에 + 전압을 증가시키며 구동시킬 때, 도 3(b)와 같이, 채널이 켜지기 이전에 고유전율막(62)(64) 아래가 먼저 inversion 막이 형성되면서 에너지 밴드 경사도가 급격하게 되고, 게이트 전압이 더욱 증가하여 채널이 켜지게 되면 높은 구동전류 변화를

얻을 수 있게 된다.

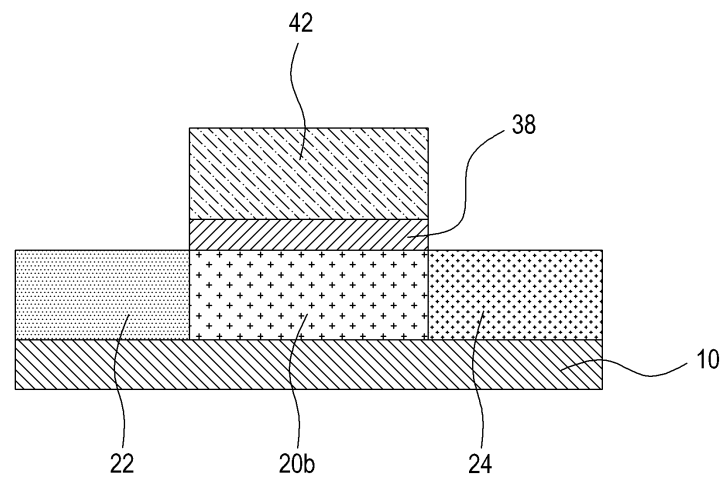
- [0024] 상기 예에서는 바디(body; 채널영역, 20b)가 저농도로 P형 불순물로 도핑된 것으로 설명하였으나, N형 불순물로 저농도 도핑된 것일 수도 있고, 어느 불순물도 도핑되지 않은 진성반도체일 수도 있다(이하, 동일함).
- [0025] 또한, 고유전율막(62)(64)이란 유전율(본 명세서에서는 유전상수인 비유전율을 단순히 유전율이라 표현함)이 3.8 내지 4인 실리콘산화막(SiO_2) 보다 유전율이 큰 유전물질막을 말한다.
- [0026] 이러한 고유전율막(62)(64)은, 예를 들어, 유전율이 6 정도인 스트론튬 산화막(SrO), 유전율이 7 정도인 실리콘 질화막(Si_3N_4), 유전율이 8 정도인 알루미늄 산화막(Al_2O_3), 유전율이 10 정도인 마그네슘 산화막(MgO), 유전율이 14 정도인 스칸듐 산화막(Sc_2O_3) 또는 가돌리늄 산화막(Gd_2O_3), 유전율이 16 정도인 이트륨 산화막(Y_2O_3) 또는 사마륨 산화막(Sm_2O_3), 유전율이 22 정도인 하프늄 산화막(HfO_2) 또는 지르코늄 산화막(ZrO_2), 유전율이 25 정도인 탄탈 산화막(Ta_2O_5), 유전율이 35 정도인 바륨 산화막(BaO) 및 유전율이 40 정도인 비스무스 산화막(Bi_2O_3) 중에서 선택된 어느 1개의 단일막 또는 2개 이상의 복수로 적층된 복합막인 것으로 할 수 있다.
- [0027] 그리고, 도 10과 같은 구조는 제조공정(이에 관해서는 후술함)이 단순한 장점이 있으나, 게이트(42)에 인가된 전압이 바뀔때, 예컨대 OFF전압 또는 P+ 영역(24, 소스)과 같은 전압으로 될때, N+ 영역(22, 드레인)과 채널영역(20b) 사이에 원하지 않는 급격한 터널링 접합이 형성되어 많은 누설전류가 발생하는 문제점이 있다. 이러한 OFF시 누설전류는 ON/OFF 전류비를 떨어뜨리는 주요 원인이 된다.
- [0028] 상기 누설전류를 줄여 ON/OFF 전류비를 높이기 위해서는, 도 13과 같이, 바디(20b)가 P형일 경우는 P+ 영역(24)쪽 일단에만 고유전율막(62)이 형성되도록 하고, 다른 부위(32)는 통상의 실리콘 산화막으로 형성됨이 바람직하다.
- [0029] 물론, 도 14와 같이, 바디(21)가 N형일 경우는 N+ 영역(22)쪽 일단에만 고유전율막(64)이 형성되도록 하고, 다른 부위(34)는 통상의 실리콘 산화막으로 형성됨이 바람직하다.
- [0030] 상기 누설전류를 줄일 수 있는 또 다른 구조의 예는 도 15 및 도 16과 같다.
- [0031] 이는 기본적으로 도 10과 같이, 게이트(42) 길이방향의 양단(62)(64)에 다른 부위(33)보다 유전율이 큰 고유전율막으로 형성되되, 도 15와 같이, N+ 영역(22)이 게이트(42)로부터 일정거리 떨어진 위치에 형성되어 P형 바디의 일부(20c)가 드러나는 구조이거나, 도 16과 같이, P+ 영역(24)이 게이트(42)로부터 일정거리 떨어진 위치에 형성되어 N형 바디의 일부(21a)가 드러나는 구조이다.
- [0032] 여기서, 상기 바디(20b)(21)는 진성반도체일 수도 있다.
- [0033] 상기와 같은 구조로, 게이트(42)에 OFF 전압 인가시 원하지 않는 부위에 p-i-n 다이오드 접합의 공핍영역을 넓혀 급격한 터널링 접합이 형성되지 않도록 함으로써, OFF시 누설전류를 줄여 ON/OFF 전류비를 향상시킬 수 있게 된다.
- [0034] 이상 설명한 고유전율막을 갖는 터널링 전계효과 트랜지스터의 구조에 관한 실시예는 SOI 기판의 매몰산화막(10) 상에서 제조될 수 있는 소자 구조의 예들에 대하여 설명하였으나, 도 17 내지 도 21과 같이 벌크 반도체 기판 상에서도 동일하게 실시할 수 있다.
- [0035] 도 17 및 도 18은 P형 바디를 갖는 벌크 실리콘 기판(20') 상에 형성된 것으로, 각각 게이트(42) 길이방향의 양단(62)(64) 및 일단(62)에 큰 고유전율막을 갖는 구조이고, 도 19는 N형 바디를 갖는 벌크 실리콘 기판(21') 상에 형성된 것으로 게이트(42) 길이방향의 일단(64)에 큰 고유전율막을 갖는 구조이다.
- [0036] 그리고, 도 20은 도 17의 구조에서 N+ 영역(22)이 게이트(42)로부터 일정거리 떨어진 위치에 형성되어 P형 바디의 일부(20c)가 드러나는 구조이고, 도 21은 N형 바디를 갖는 벌크 실리콘 기판(21') 상에 형성된 것으로 게이트(42) 길이방향의 양단(62)(64)에 큰 고유전율막을 갖는 구조이되, P+ 영역(24)이 게이트(42)로부터 일정거리 떨어진 위치에 형성되어 N형 바디의 일부(21a)가 드러나는 구조이다.
- [0037] 상기 각 구조에 따른 소자의 동작 특성은 상기 SOI 기판 상에서 제조되는 소자의 특성과 동일하므로, 이에 대한 설명은 생략한다.
- [0038] 상기 본 발명의 핵심 기술적 사상은 다양한 소자 형태에서도 적용할 수 있다.
- [0039] 예컨대, 도 22 내지 도 26과 같이, 더블게이트(double-gate) 구조에서 채널영역(20b)(21)을 사이에 두고 상하

또는 앞뒤로 더블게이트(42)(44)의 각 게이트의 양단 또는 일단에 고유전율막이 형성되도록 할 수 있다.

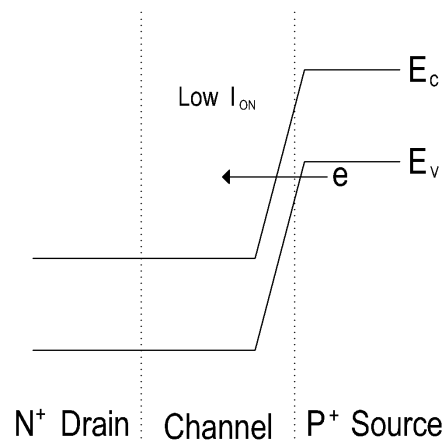
- [0040] 물론, 더블게이트(double-gate) 구조에서도 OFF시 누설전류를 줄이이 위하여, 도 25와 같이, N+ 영역(22)이 더블게이트(42)(44)로부터 일정거리 떨어진 위치에 형성되어 P형 바디의 일부(20c)(20d)가 드러나도록 하거나, 도 26과 같이, P+ 영역(24)이 더블게이트(42)(44)로부터 일정거리 떨어진 위치에 형성되어 N형 바디의 일부(21a)(21b)가 드러나도록 할 수 있다.
- [0041] 상기 더블게이트(double-gate) 구조는 SOI 기판의 매물산화막을 식각하여 고유전율막을 포함한 하부 게이트 절연막 및 하부 게이트를 형성하고 SOI를 채널영역(20b)(21)으로 공유하며 고유전율막을 포함한 상부 게이트 절연막 및 상부 게이트를 형성함으로써, 상하 적층 구조를 갖거나, SOI 기판 또는 벌크 기판 상에 수평으로(도 22 내지 도 26에서는 앞뒤로) 수직채널의 이중게이트 구조(예컨대, finFET 구조)를 가질 수 있다.
- [0042] 상기 각 구조에서 게이트 절연막으로 고유전율막을 포함함에 따른 소자의 동작 특성은 상기 SOI 기판 상에서 제조되는 소자의 특성과 동일하므로, 이에 대한 설명은 생략한다.
- [0043] 상기 본 발명의 핵심 기술적 사상은 도면에는 미도시 되었으나, 채널영역의 삼면을 둘러싸며 형성된 트리플게이트(triple-gate) 구조 및 채널영역의 전면을 둘러싸며 형성된 게이트올러라운드(Gate-All-Around: GAA) 구조에도 동일하게 적용될 수 있다.
- [0044] 이에 대한 구조적 특징도 트리플게이트 또는 게이트올러라운드 밑의 종래 게이트 절연막을 게이트의 양단 또는 일단 하부에 고유전율막이 형성되도록 하거나, 소스/드레인인 P+ 영역 또는 N+ 영역을 게이트로부터 일정거리 이격시킨 점에 있으므로, 당업자는 상술한 내용으로부터 본 실시예에 의한 구조나 고유전율막에 의한 동작 특성을 충분히 파악할 수 있다 할 것이어서, 이들에 대한 더 이상의 설명은 생략한다.
- [0045] 다만, 상기 각 실시예에서 OFF시 누설전류를 줄이이 위하여, P+ 영역 또는 N+ 영역을 게이트로부터 일정거리 이격시킬 때, 그 이격거리는 상기 게이트 길이보다 작도록 함이 바람직하다.
- [0046] 이는 상기 이격거리가 게이트 길이보다 클 경우에는 소스/드레인에 역 바이어스로 걸어주고 동작시킬 때, 공핍 영역이 지나치게 크게 형성되어 본 발명의 터널링에 의한 구동이 되기 보다는 이온화 충돌(avalanche breakdown) 현상이 급격히 일어나게 되는 문제점이 있다.
- [0047] **[터널링 전계효과 트랜지스터의 제조방법에 관한 실시예]**
- [0048] 다음, 본 발명에 의한 고유전율막을 갖는 터널링 전계효과 트랜지스터의 제조방법에 관한 실시예를 도 4 내지 도 13을 참조하며 설명한다.
- [0049] 도 4와 같이, 매물산화막(10) 상의 P형 SOI 기판(20)에 제 1 게이트 절연막(30) 및 게이트 물질(40)을 각각 증착하고, 도 5와 같이, 식각하여 게이트(42)를 형성한다(제 1 단계).
- [0050] 여기서 상기 제 1 게이트 절연막(30)은 실리콘 산화막을 열공정 등으로 형성할 수 있고, 상기 게이트 물질(40)은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)로 증착시 불순물을 가미하거나 증착 후 추후 공정에서 불순물을 주입할 수도 있다.
- [0051] 이어, 도 6과 같이, 상기 기판 전면에 제 1 마스크 물질을 증착하고 상기 게이트의 일측이 보이도록 식각하여 제 1 마스크(52)를 형성한다(제 2 단계).
- [0052] 이때 상기 제 1 마스크(52)는 게이트(42) 전면이 드러나도록 하여 다음 공정에서 불순물 이온 주입시 게이트(42)에도 이온 주입이 되도록 함이 바람직하다.
- [0053] 이후, 도 6과 같이, 상기 제 1 마스크(52)를 도핑 마스크로 사용하며 상기 게이트(42)의 일측과 인접된 상기 기판에 불순물을 주입하여 N+ 영역(22)을 형성한다(제 3 단계).
- [0054] 이어 상기 제 1 마스크(52)를 제거한 다음, 도 7과 같이, 상기 기판 전면에 제 2 마스크 물질을 증착하고 상기 게이트(42)의 타측이 보이도록 식각하여 제 2 마스크(54)를 형성하고(제 4 단계), 상기 제 2 마스크(54)를 도핑 마스크로 사용하며 상기 게이트(42)의 타측과 인접된 상기 기판에 불순물을 주입하여 P+ 영역(24)을 형성한다(제 5 단계).
- [0055] 이후 상기 제 2 마스크(54)를 제거한 다음, 도 8과 같이, 상기 제 1 게이트 절연막(30)을 등방성으로 식각하여

도면

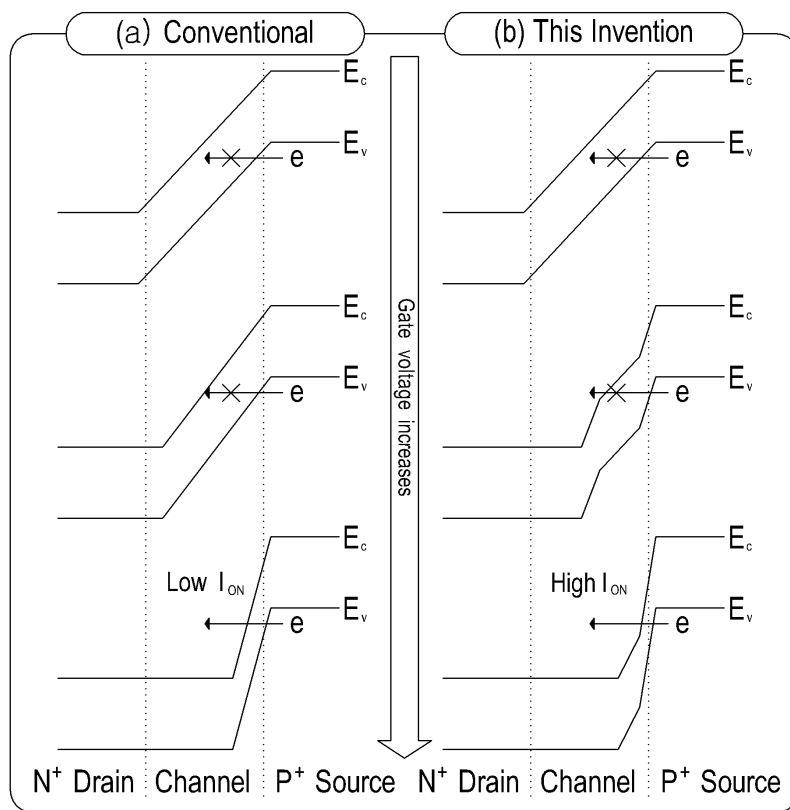
도면1



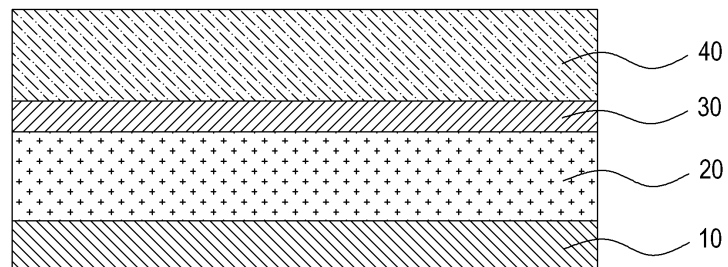
도면2



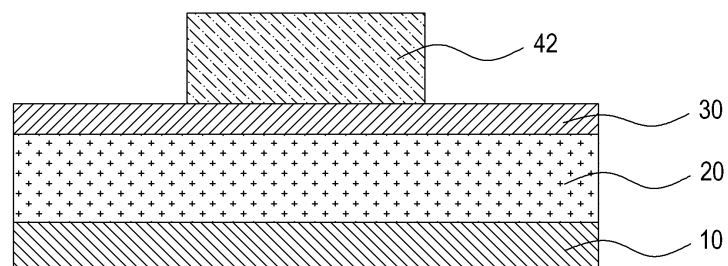
도면3



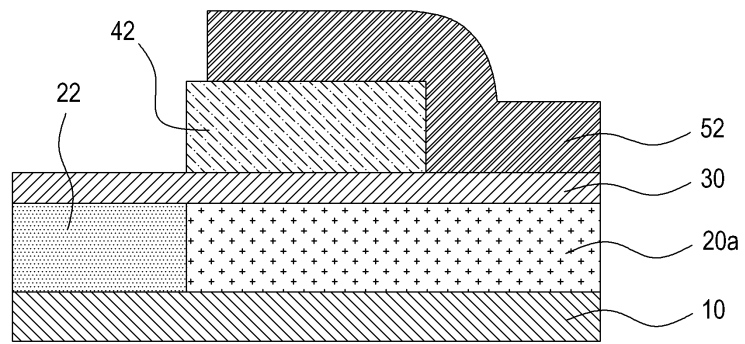
도면4



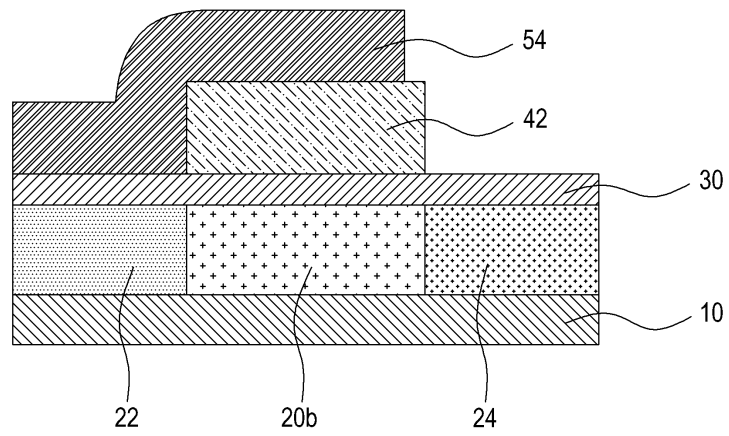
도면5



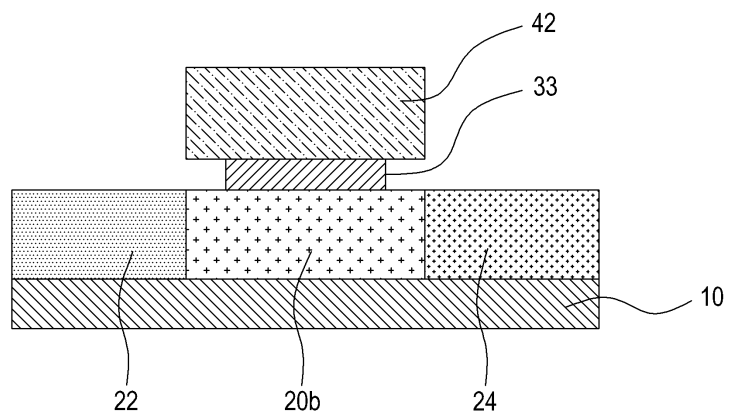
도면6



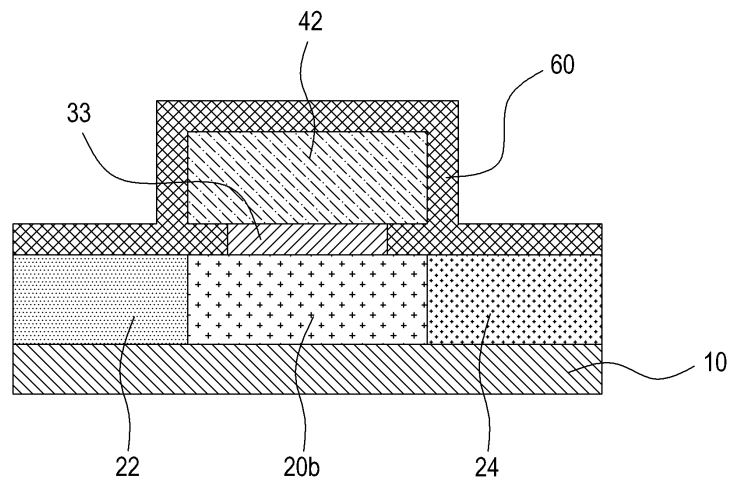
도면7



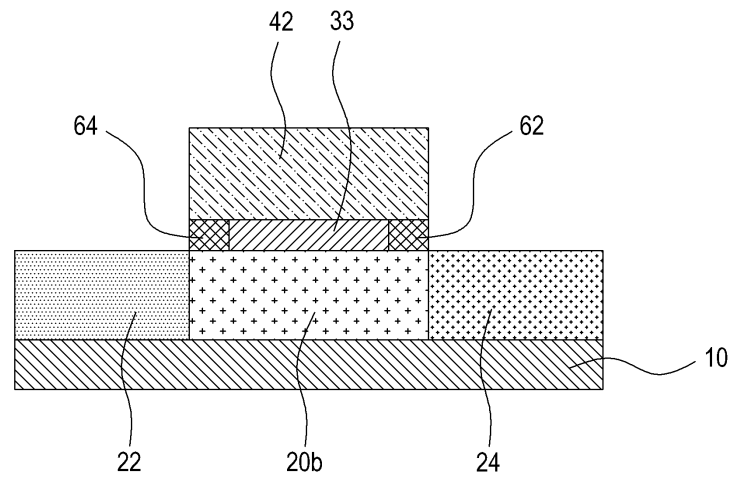
도면8



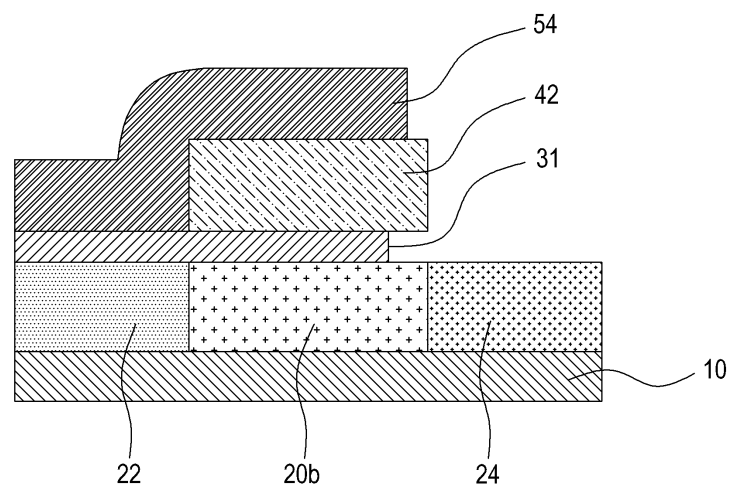
도면9



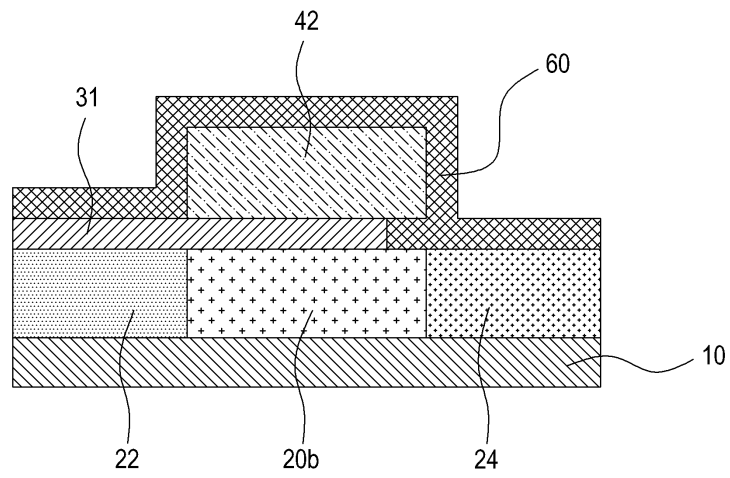
도면10



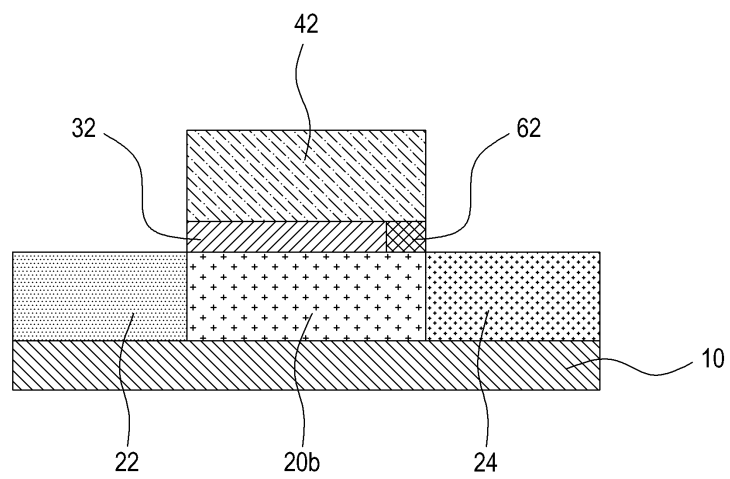
도면11



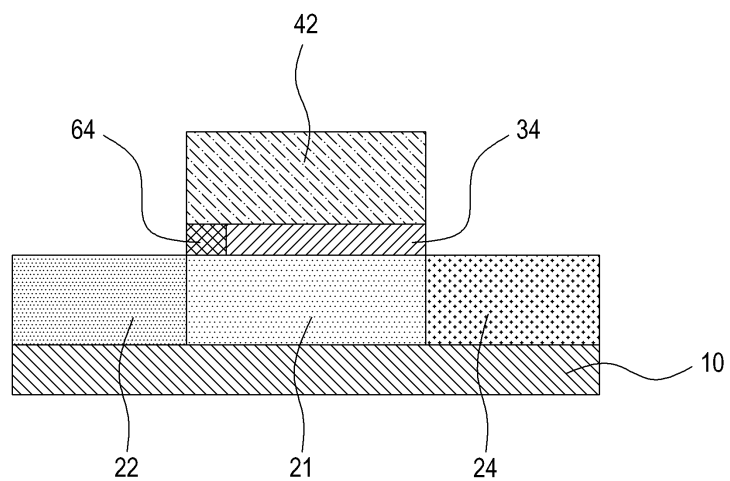
도면12



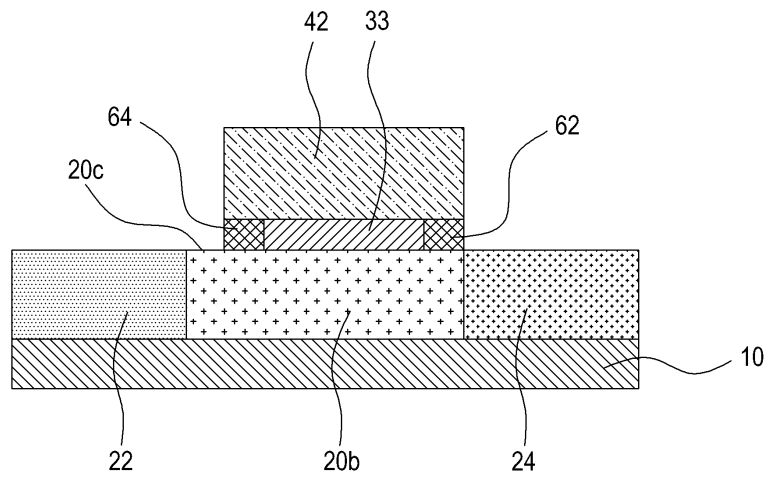
도면13



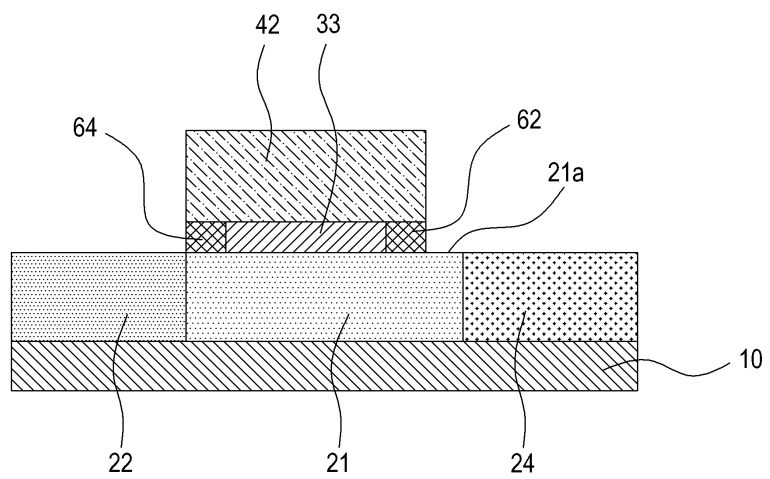
도면14



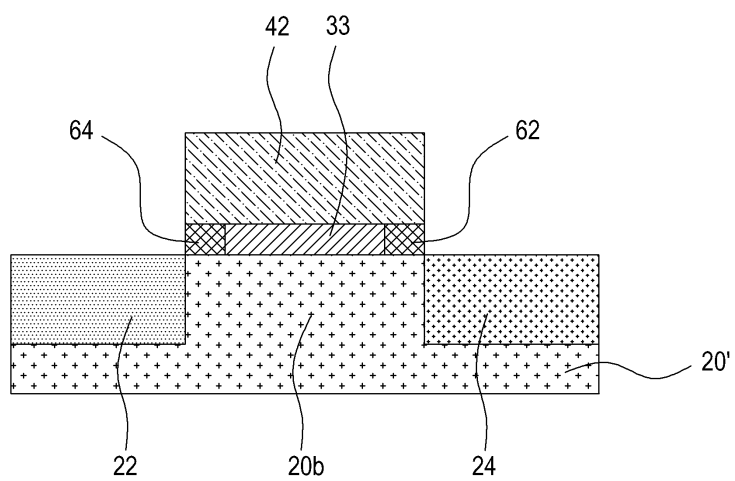
도면15



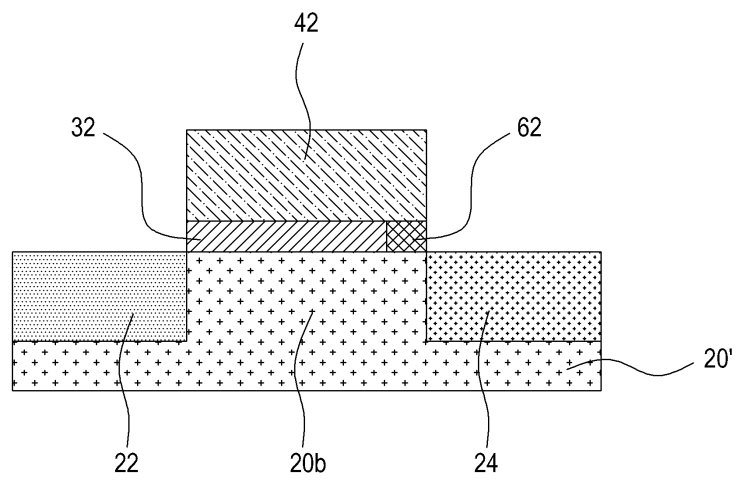
도면16



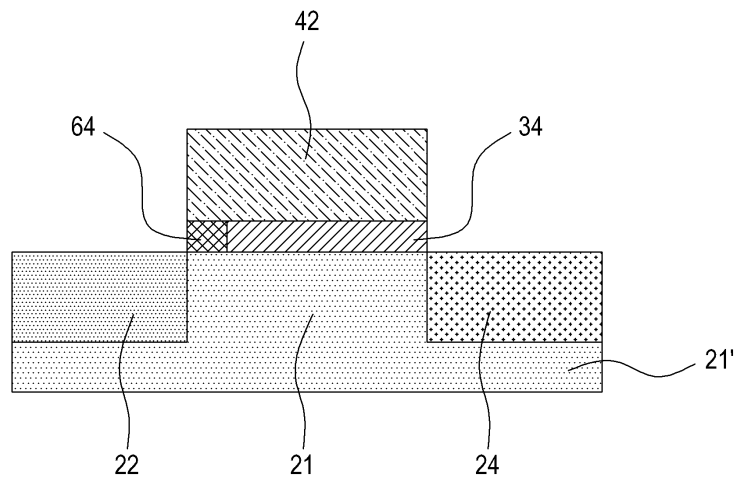
도면17



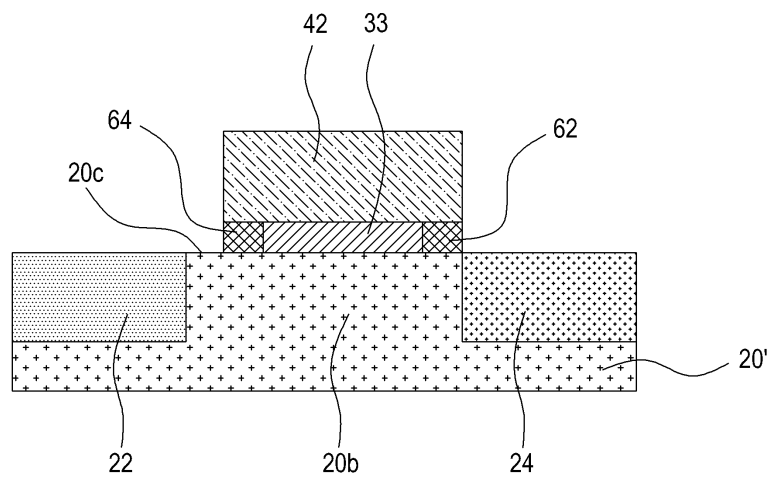
도면18



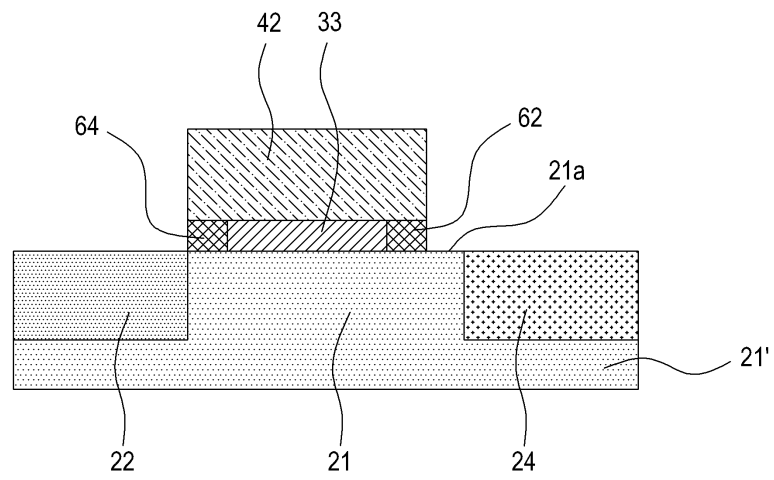
도면19



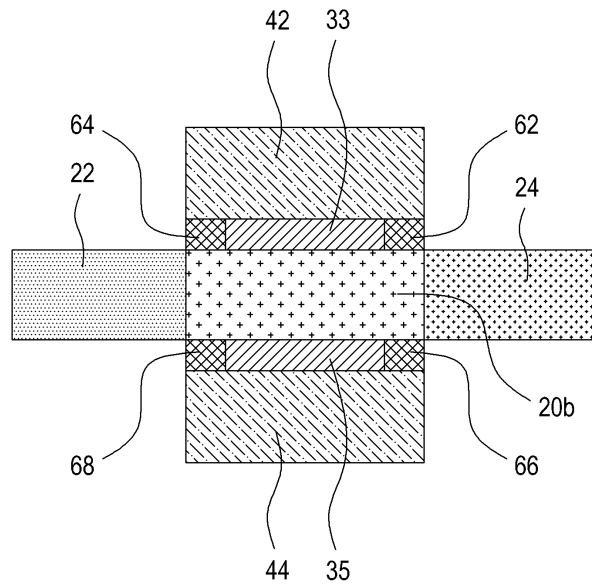
도면20



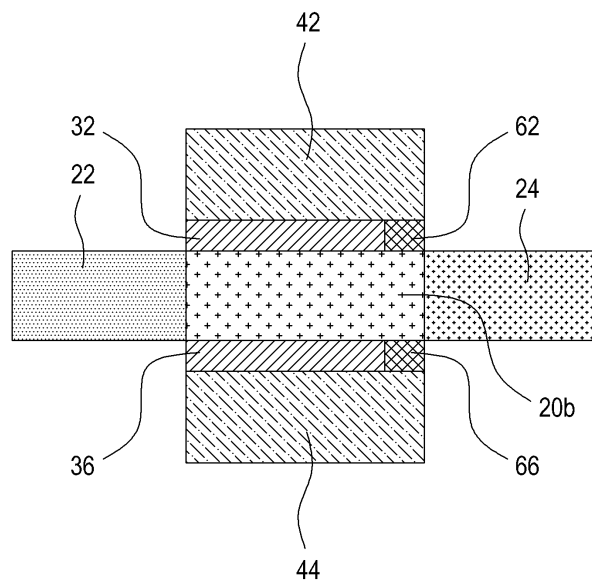
도면21



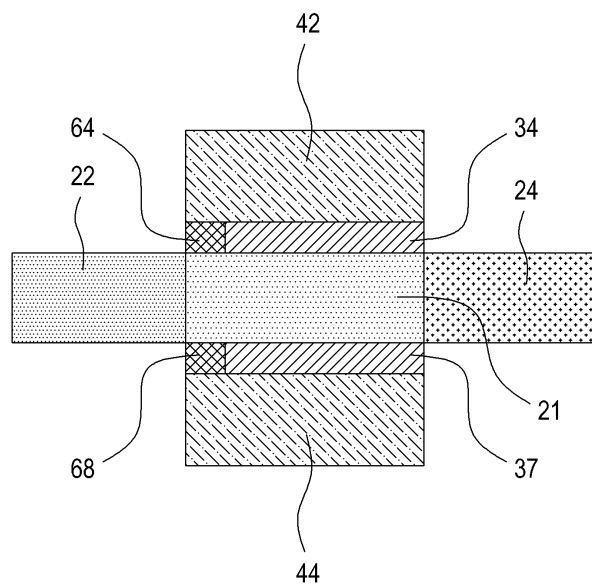
도면22



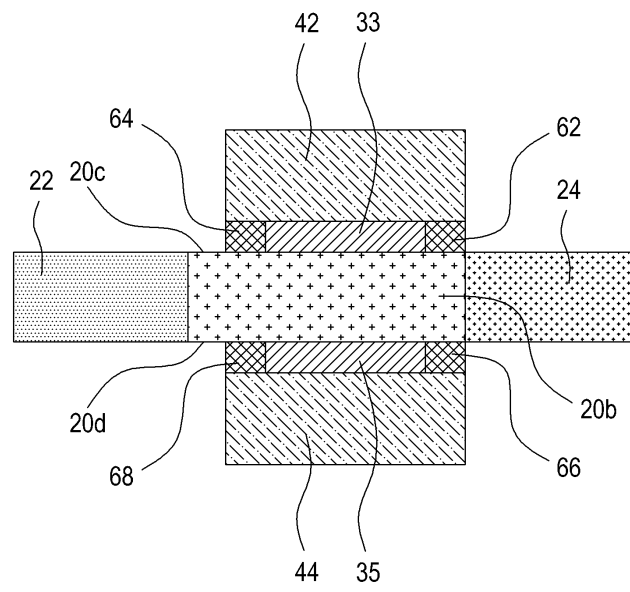
도면23



도면24



도면25



도면26

