

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月31日(31.08.2023)



(10) 国際公開番号

WO 2023/162736 A1

(51) 国際特許分類:

H03B 5/36 (2006.01) H03F 1/02 (2006.01)

H03B 5/32 (2006.01)

(21) 国際出願番号: PCT/JP2023/004668

(22) 国際出願日: 2023年2月10日(10.02.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-027099 2022年2月24日(24.02.2022) JP

(71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジ ャ
パン株式会社 (NUVOTON TECHNOLOGY
CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町1番地 Kyoto (JP).

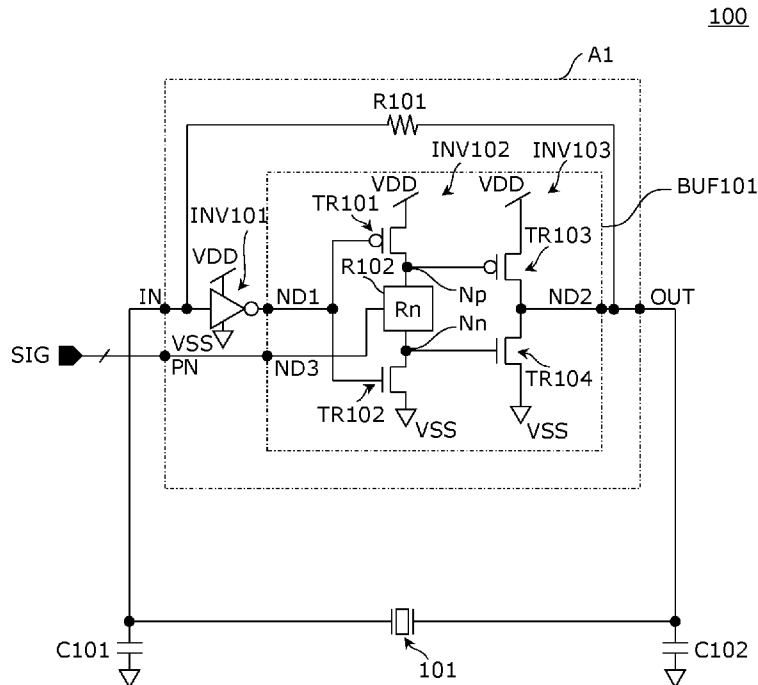
(72) 発明者: 山平 征二(YAMAHIRA, Seiji).

(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目
3番10号タナカ・イトーピア新大阪ビル6
階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

(54) Title: OSCILLATION CIRCUIT AND BUFFER CIRCUIT

(54) 発明の名称: 発振回路、及びバッファ回路



(57) Abstract: An oscillation circuit (100) comprises an oscillator (101) and an amplifier circuit (A1) that amplifies the voltage of the oscillator (101). The amplifier circuit (A1) is provided with a first inverter (INV102) which outputs a first input signal to a first node (Np) and a second node (Nn), and a second inverter (INV103) which, with a signal of the first node (Np) and the second node (Nn) as input, outputs an output signal to a third node (ND2). The amplifier circuit (A1) further has a variable resistor (R102) which is connected between the first node (Np) and the second node (Nn) and which

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

is controlled by a control signal.

- (57) 要約: 発振回路 (100) は、振動子 (101) と、振動子 (101) の電圧を増幅する増幅回路 (A1) と、を備え、増幅回路 (A1) は、第1の入力信号を第1のノード (Np) と第2のノード (Nn) とに出力する第1のインバータ (INV102) と、第1のノード (Np) と第2のノード (Nn) との信号を入力として、第3のノード (ND2) に出力信号を出力する第2のインバータ (INV103) とを備え、増幅回路 (A1) は、更に、第1のノード (Np) と第2のノード (Nn) との間に接続され、制御信号によって制御される可変抵抗 (R102) を有する。

明 細 書

発明の名称：発振回路、及びバッファ回路

技術分野

[0001] 本開示は、発振回路及びバッファ回路に関する。

背景技術

[0002] 水晶等の振動子を用いた発振回路は、起動時に振動子で生成される微小電圧をインバータ等で構成される増幅回路で反転増幅し、増幅電圧を振動子にフィードバックすることを繰り返すことで、定常発振状態に至る。起動時及び定常発振時において、発振回路は発振動作が安定していることが求められ、また低消費電力で駆動することが望まれる。本要求を満足するため、従来、増幅回路に含まれるインバータを構成するP型MOSトランジスタのドレイン電流を、発振信号の振幅電圧に応じて制御する構成が提案されている（特許文献1）。また、他の例として、増幅回路に備えられた3段構成から成るインバータにおいて、2段目インバータを2並列とし、一方のインバータにはグラウンドVSSとN型MOSトランジスタ間に抵抗を接続して、インバータ出力を3段目インバータのP型MOSトランジスタのゲートに接続し、もう一方のインバータには電源電圧VDDとP型MOSトランジスタ間に抵抗を接続して、インバータ出力を3段目インバータのN型MOSトランジスタのゲートに接続することで、3段目インバータの貫通電流を抑制する構成が提案されている（特許文献2）。

先行技術文献

特許文献

[0003] 特許文献1：特許第6111085号公報

特許文献2：特開平5-145341号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載された構成においては、増幅回路の消費

電流は削減されるが、論理遷移時にインバータで発生する貫通電流は十分に低減できておらず、無駄な消費電流が発生する課題がある。また、特許文献 2 に記載された構成においては、定常発振状態は 3 段目インバータの貫通電流を削減できる一方、起動時は 2 段目インバータの直流電圧レベル（以降、インバータ出力の直流電圧を DC 電圧と記載）が、それぞれに設けた抵抗によって電源電圧 VDD あるいはグランド VSS 付近となるため、起動時の微小電圧では 3 段目インバータがオン状態とならず、発振信号を生成できない課題がある。更に、2 段目のインバータを 2 並列で構成しているため、面積が増大する課題もある。

[0005] 本開示は、上述の課題を解決するためになされたもので、回路面積を抑制しつつ、起動時の微小電圧から定常発振状態まで安定的な発振動作を実現するとともに、定常発振状態において低消費電力で駆動可能な発振回路などを提供することを目的とする。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示に係る発振回路は、振動子と、前記振動子の電圧を増幅する増幅回路と、を備える発振回路であって、前記増幅回路は、第 1 の入力信号を第 1 のノードと第 2 のノードとに出力する第 1 のインバータと、前記第 1 のノードと前記第 2 のノードの信号とを入力として第 3 のノードに出力信号を出力する第 2 のインバータと、を備え、前記増幅回路は、更に、前記第 1 のノードと前記第 2 のノードとの間に接続され、制御信号によって制御される可変抵抗を有する。

発明の効果

[0007] 本開示に係る発振回路により、インバータに備えられた可変抵抗を制御信号により起動時と定常発振時とで制御することで、起動時から定常発振時に至るまでの安定した発振動作と、定常動作時の貫通電流に起因した消費電力の抑制が可能となる。

[0008] 更に、可変抵抗をトランジスタのオン抵抗により設定することで、面積増大を抑制することが可能となる。

[0009] 更に、可変抵抗の抵抗値を多段階で切り替えることで、発振回路の発振周波数が異なる場合もノードN_pまたはノードN_nに対して最適な遅延時間が設定でき、汎用的に発振回路を適用することが可能となる。なお、多段階とは、3段階以上であることを意味する。

[0010] 更に、可変抵抗にクランプ回路を備えて、ノードN_pとノードN_nとを2段階で論理遷移させて後段のインバータに入力することで、インバータの貫通電流を抑制すると共に、論理遷移時の電源電圧変動やEMI特性の劣化を抑制することが可能となる。また、振動子への供給電流を抑制することとなり、励振レベルのマージンを拡大することが可能となる。

[0011] また、上記増幅回路をバッファ回路として利用した際にも、低消費電力、電源電圧変動及びEMI特性を改善することが可能となる。

図面の簡単な説明

[0012] [図1]図1は、本開示の第1の実施の形態における発振回路の構成を示す回路図である。

[図2]図2は、図1の可変抵抗を示す回路図である。

[図3A]図3Aは、本開示の第1の実施の形態における発振回路の起動時の波形図である。

[図3B]図3Bは、本開示の第1の実施の形態における発振回路の定常発振時の波形図である。

[図4]図4は、図2の可変抵抗の変形例1を示す回路図である。

[図5]図5は、図2の可変抵抗の変形例2を示す回路図である。

[図6]図6は、図1のバッファ回路の変形例1を示す回路図である。

[図7]図7は、図2の可変抵抗の変形例3を示す回路図である。

[図8]図8は、図7の可変抵抗の変形例3におけるバッファ回路を示す回路図である。

[図9]図9は、図6のバッファ回路の変形例1の動作を示す波形図である。

[図10]図10は、図2の可変抵抗の変形例4を示す回路図である。

発明を実施するための形態

[0013] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。ただし、実施の形態において、同一機能を有する構成には、同一符号を付し、重複する説明は省略する。

[0014] 図面を用いて本開示の第1の実施の形態を説明する。図1は本開示の発振回路100の構成を示す回路図であり、101は振動子、C101及びC102は振動子101の両端に接続される負荷容量、A1は振動子101の生成電圧を増幅して振動子101へフィードバックする増幅回路、SIGは増幅回路A1を制御する制御信号である。図1に示すように、発振回路100は、振動子101と、増幅回路A1と、を備える。

[0015] 増幅回路A1は、入力端子IN及び出力端子OUTと、制御信号SIGを入力する制御端子PNと、を備え、更に、インバータINV101と、バッファ回路BUF101と、出力端子OUTの電圧VOUTを入力端子INにフィードバックする帰還抵抗R101と、を備える。ここで、電圧VOUTはインバータINV101の直流電圧（以降、インバータ入力の直流電圧をDCバイアスと記載）であるVIN_{dc}を設定するためにフィードバックされる。

[0016] バッファ回路BUF101は、入力であるノードND1と、出力であるノードND2と、制御信号SIGが制御端子PNを介して印加されるノードND3と、を備える。バッファ回路BUF101は、インバータINV102と、インバータINV103とを備える。

[0017] インバータINV102は、第1の入力信号をノードNpとノードNnとに出力する第1のインバータの一例である。ノードNpは、第1のノードの一例であり、ノードNnは、第2のノードの一例である。

[0018] インバータINV102は、ノードND1を入力とするP型MOSトランジスタTR101及びN型MOSトランジスタTR102と、ノードNpとノードNnとの間に接続され、制御信号によって制御される可変抵抗R102を更に備える。可変抵抗R102は、P型MOSトランジスタTR101とN型MOSトランジスタTR102との間に備えられた抵抗値Rnの可変

抵抗である。

[0019] インバータINV103は、ノードNpとノードNnとの信号を入力として、ノードND2に出力信号を出力する第2のインバータの一例である。ノードND2は、第3のノードの一例である。インバータINV103は、P型MOSトランジスタTR101の出力ノードであるノードNpに接続されたP型MOSトランジスタTR103と、N型MOSトランジスタTR102の出力ノードであるノードNnに接続されたN型MOSトランジスタTR104とを備える。

[0020] 図2は、可変抵抗R102を示す回路図である。R103は抵抗値Rcの抵抗、SW1はP型MOSトランジスタTR105とN型MOSトランジスタTR106から成るスイッチ、INV104は制御信号SIGの反転論理信号を出力するインバータである。図2に示すように、可変抵抗R102は、抵抗R103と、スイッチSW1とを有する。抵抗R103は、第1の抵抗の一例である。スイッチSW1は、第1の抵抗（つまり、抵抗R103）を短絡するスイッチの一例である。

[0021] ここで、P型MOSトランジスタTR105のドレインソース間のオン抵抗をR_{Pon}、N型MOSトランジスタのドレインソース間のオン抵抗をR_{Non}とすると、スイッチSW1がオン時の抵抗値R_{on}は、 $R_{on} = (R_{Pon} \times R_{Non}) / (R_{Pon} + R_{Non})$ となる。抵抗R103の抵抗値RcとスイッチSW1の抵抗値R_{on}とは、抵抗値Rc > 抵抗値R_{on}となる様に設計される。

[0022] 可変抵抗R102の抵抗値は、制御信号によって、発振回路100の起動時と定常発振時とで切り替えられる。より詳しくは、可変抵抗R102の抵抗値は、制御信号によって、発振回路100の起動時において、発振回路100の定常発振時より低くなるように切り替えられる。言い換えると、制御信号SIGに応じて、可変抵抗R102の抵抗値R_{on}を、高抵抗である抵抗値Rc（以降、高抵抗Rcと記載）と低抵抗である抵抗値R_{on}（以降、低抵抗R_{on}と記載）とで切り替える。以降スイッチSW1の抵抗値はトラ

ンジスタのオン抵抗によって決定される。

[0023] 図3A及び図3Bは、それぞれ、本開示の実施の形態1に係る発振回路100の起動時及び定常発振時の波形図である。図3A及び図3Bの波形図を用いて、図1と図2で示した発振回路100の動作を説明する。なお、各インバータINV101～INV104は電源電圧VDDとグランドVSS間で駆動する。また振動子101の出力電圧は、 $V_{IN} = \alpha_i \times \sin(\omega t)$ の理想的な正弦波であるとする。ここで、 α_i は振動子101の生成電圧の振幅であり、増幅回路A1より出力電圧VOUTが振動子101にフィードバックされる毎にiがカウントされる値とし、初期値は1、その後、自然数で増加する。また ωt は位相を示すとする。

[0024] (起動時)

図3Aを用いて、起動時の発振回路100の動作を説明する。

[0025] [時間T1]

時間T1において、制御信号SIGを『L』に設定する。これにより、可変抵抗R102のP型MOSトランジスタTR105及びN型MOSトランジスタTR106がオン状態となり、ノードNpとノードNnとの間の抵抗値RnはスイッチSW1の低抵抗Ronに設定される。また入力端子INに接続されたインバータINV101のDCバイアスVIN_dcは、出力端子OUTの電圧VOUTが帰還抵抗R101を介してフィードバックされることで、おおよそ $(VDD/2)$ となる。

[0026] [時間T1～T2]

入力端子INの電圧VINは、振動子101が生成した微弱電圧 $\alpha_1 \cdot \sin(\omega t)$ と入力端子INのDCバイアスVIN_dcとにより、 $V_{IN} = (VDD/2 + \alpha_1 \times \sin(\omega t)) \cdots (1)$ となる。ここで、 α_1 は数 μV から数十 μV の振幅電圧、 $\omega t = 0^\circ$ から 180° 間の値とし、 $\sin(\omega t) \geq 0$ とする。

[0027] 次に、インバータINV101は電圧VINを入力とし、ノードND1に反転増幅した電圧VND1を、 $V_{ND1} = (VDD/2 - \alpha_1 \times K_1 \times \sin(\omega t))$

$n(\omega t - \theta 1)) \cdots (2)$ 、として出力する。ここで $K 1$ はインバータ $I N V 1 0 1$ の電圧増幅度、 $\theta 1$ はインバータ $I N V 1 0 1$ の論理反転時の正の値である遅延成分である。

[0028] ノード $N D 1$ の電圧 $V N D 1$ は、インバータ $I N V 1 0 2$ のP型MOSトランジスタ $T R 1 0 1$ とN型MOSトランジスタ $T R 1 0 2$ とに入力される。ここで、P型MOSトランジスタ $T R 1 0 1$ のオン抵抗を $R P i n v$ 、N型MOSトランジスタ $T R 1 0 2$ のオン抵抗を $R N i n v$ とすると、ノード $N p$ とノード $N n$ とのDC電圧のレベルは以下の通りとなる。

$$V N p_d c = V D D \times [(R o n + R N i n v) / (R P i n v + R o n + R N i n v)] \cdots (3)$$

$$V N n_d c = V D D \times [R N i n v / (R P i n v + R o n + R N i n v)] \cdots (4)$$

[0029] したがって、インバータ $I N V 1 0 2$ のノード $N p$ 及びノード $N n$ のそれぞれの電圧 $V N p$ 及び $V N n$ は式(2)、式(3)、式(4)より、

$$V N p = V N p_d c + \alpha 1 \times K 1 \times K 2 \times \sin(\omega t - (\theta 1 + \theta 2)) \cdots (5)$$

$$V N n = V N n_d c + \alpha 1 \times K 1 \times K 2 \times \sin(\omega t - (\theta 1 + \theta 2)) \cdots (6)$$

となる。

[0030] ここで $K 2$ はインバータ $I N V 1 0 2$ の電圧増幅度、 $\theta 2$ はインバータ $I N V 1 0 2$ の論理反転時の正の値の遅延成分であり、可変抵抗 $R 1 0 2$ の抵抗値 $R n$ が低抵抗 $R o n$ に設定されているため、ノード $N p$ とノード $N n$ とに時間差は発生しないとしている。ここで、式(3)、式(4)において、例えば $R o n = R P i n v = R N i n v$ 、 $V D D = 3 v$ とすると、ノード $N p$ 及びノード $N n$ のそれぞれの電圧 $V N p$ 及び $V N n$ は、式(5)、式(6)より、

$$V N p = 2 v + \alpha 1 \times K 1 \times K 2 \times \sin(\omega t - (\theta 1 + \theta 2)) \cdots (7)$$

$$V_{Nn} = 1v + \alpha_1 \times K_1 \times K_2 \times \sin(\omega t - (\theta_1 + \theta_2)) \dots \quad (8)$$

となる。ここで、式(7)と式(8)とにより、 V_{Np} あるいは V_{Nn} を入力とするインバータINV103のP型MOSトランジスタTR103及びN型MOSトランジスタTR104のゲートソース間電圧 V_{gs} を、それぞれ1vを中心にした V_{gs} に設定することが可能となり、インバータINV103を駆動することが可能となる。低抵抗 R_{on} を小さくすることで、更に V_{gs} を大きく設定できる。したがって、振動子が生成する起動時の微小電圧においても、トランジスタをオン状態に出来ることが分かる。

[0031] ノード N_p 及びノード N_n のそれぞれの電圧 V_{Np} 及び電圧 V_{Nn} は、それぞれインバータINV103のP型MOSトランジスタTR103、及び、N型MOSトランジスタTR104に印加される。電圧 V_{Np} と電圧 V_{Nn} とのDC電圧のレベル差が小さいとすると、増幅回路A1の出力端子OUTには出力電圧 V_{OUT} として、 $V_{OUT} = (V_{DD}/2 - \alpha_1 \times K_1 \times K_2 \times K_3 \times \sin(\omega t - (\theta_1 + \theta_2 + \theta_3)))$ が出力される。ここで K_3 はインバータINV103の電圧増幅度、 θ_3 はインバータINV103の論理反転時の正の値の遅延成分である。

[0032] ここで、インバータINV103の駆動条件を示す。P型MOSトランジスタTR103及びN型MOSトランジスタTR104の閾値をそれぞれ $|V_{tp1}|$ 、 V_{tn1} とすると、ノード N_p 及びノード N_n のそれぞれの電圧 V_{Np} 及び V_{Nn} を表す式(5)(6)は以下を満足する必要がある。

$$|V_{DD} - V_{Np}| > |V_{tp1}| \dots (9)$$

$$V_{Nn} > V_{tn1} \dots (10)$$

[0033] ここで、『 $| |$ 』は絶対値を示す。式(9)、式(10)の条件を満たす目安として、式(3)(4)よりオン抵抗 R_{Pinv} 、 R_{Ninv} と低抵抗 R_{on} の関係を、

$$R_{on} \leq R_{Pinv}、かつ、R_{on} \leq R_{Ninv} \dots (11)$$

とすることが望ましいが、式(9)と式(10)とを満たす R_{on} に設定さ

れていれば良い。

[0034] 以上より、出力端子OUTには、増幅回路A1によって入力端子INの電圧VINを反転増幅した出力電圧VOUTが出力される。出力電圧VOUTが振動子101にフィードバックされることで、振動子101は微小電圧 $\alpha_2 \cdot \sin(\omega t)$ を生成する。ここで、 $\alpha_2 > \alpha_1$ 、 $\omega t = 180^\circ \sim 360^\circ$ であり、 $\sin(\omega t) \leq 0$ となる。

[0035] [時間T2～T3]

振動子101が生成した微小電圧 $\alpha_2 \times \sin(\omega t)$ と入力端子INのDCバイアスVIN_{dc}により、入力端子INの電圧VINは、 $VIN = (VDD/2 + \alpha_2 \times \sin(\omega t))$ となる。これにより、増幅回路A1は、[時間T1～T2]と同様の動作を繰り返し、出力端子OUTに出力電圧VOUTとして、 $VOUT = (VDD/2 - \alpha_2 \times K1 \times K2 \times K3 \times \sin(\omega t - (\theta_1 + \theta_2 + \theta_3)))$ を出力する。出力電圧VOUTが振動子101にフィードバックされることで、振動子は微小振幅 $\alpha_3 \times \sin(\omega t)$ を生成する。ここで、 $\alpha_3 > \alpha_2$ 、 $360^\circ \leq \omega t \leq \sim 540^\circ$ とする。

[0036] 時間がT3となることで、[時間T1～T2]と同じ動作となり、振動子101の生成電圧が増幅されながら、これ以降、発振動作が繰り返される。振動子101の生成電圧 $\alpha_n \times \sin(\omega t)$ （nは4以上の自然数）が増幅されることで、出力端子OUTの出力電圧VOUTは、図3Aに示す様に振幅電圧VDDの発振信号となる。これによって、定常発振状態となり、これ以降、振動子101の生成電圧における振幅電圧 α_n は一定となる。

[0037] 以上の様に、インバータINV102を構成する可変抵抗R102の抵抗値Rnを、制御信号SIGにより起動時は低抵抗値Ronに設定することで発振動作が可能となる。なお、インバータINV102には、P型MOSトランジスタTR101、N型MOSトランジスタTR102、可変抵抗R102が含まれていれば良い。インバータINV102に他のデバイスが含まれた場合もVDD－ノードNp間の抵抗値Rp、VSS－ノードNn間の

抵抗値 R_{nd} とすると、式 (11) より、

$$R_{on} \leq R_{dp}, \text{ かつ、 } R_{on} \leq R_{dn} \cdots (12)$$

が満足されていれば良い。式 (12) を満足するノード N_p 及びノード N_n のそれぞれの電圧 V_{Np} 及び V_{Nn} 、並びに、インバータ $INV103$ の各トランジスタとの関係を示す式 (9) と (10) を満たす R_{on} に設定されていれば良い。

[0038] (定常発振時)

次に図3Bを用いて、定常発振時の発振回路100の回路動作を説明する。

[0039] [時間 T_1]

制御信号 SIG は『L』であり、可変抵抗 $R102$ の抵抗値 R_n はスイッチ $SW1$ の低抵抗 R_{on} に設定されている。また入力端子 IN に接続されたインバータ $INV101$ のDCバイアス V_{IN_dc} は、出力端子 OUT の電圧 V_{OUT} が帰還抵抗 $R101$ を介してフィードバックされることで、おおよそ $(V_{DD}/2)$ となる。

[0040] [時間 $T_1 \sim T_2$]

まず、入力端子 IN の電圧 V_{IN} は、振動子101が生成した電圧 $\alpha_n \times \sin(\omega t)$ と入力端子 IN のDCバイアス V_{IN_dc} により、 $V_{IN} = (V_{DD}/2 + \alpha_n \times \sin(\omega t))$ となる。インバータ $INV101$ は、電圧 V_{IN} を入力とし、ノード $ND1$ に電圧 V_{ND1} として、 $V_{ND1} = V_{DD}/2 - \alpha_n \times K1 \cdot \sin(\omega t - \theta_n)$ 、を出力する。ここで、電圧 V_{ND1} の振幅電圧 $\alpha_n \times K1$ は、 $(\alpha_n \times K1) \gg (V_{DD} - V_{SS})$ であるとする。これにより、電圧 V_{ND1} は電源電圧 V_{DD} - グランド V_{SS} 間で振幅する。よって、ノード $ND1$ の電圧 V_{ND1} は、 $V_{ND1} = V_{SS}$ となる。なお、 θ_n はインバータ $INV101$ の論理反転時の正の値の遅延成分である。

[0041] 次に、電圧 $V_{ND1} = V_{SS}$ が、インバータ $INV102$ のP型MOSトランジスタ $TR101$ とN型MOSトランジスタ $TR102$ とに入力される

。この時、ノードN_p及びノードN_nのそれぞれの電圧V_{Np}及びV_{Nn}は振幅電圧V_{Np}=V_{Nn}=V_{DD}となる。

[0042] ノードN_p及びノードN_nのそれぞれの電圧V_{Np}及びV_{Nn}が、インバータINV103のP型MOSトランジスタTR103とN型MOSトランジスタTR104とに印加される。これにより、出力端子OUTには出力電圧V_{OUT}=V_{SS}が出力される。出力電圧V_{OUT}が振動子101にフィードバックされ、振動子101は $\alpha_n \cdot \sin(\omega t)$ を生成する。ここで、 $\omega t = 180^\circ \sim 360^\circ$ とする。

[0043] [時間T₂～T₃]

入力端子INの電圧V_{IN}は、振動子101が生成した電圧 $\alpha_n \times \sin(\omega t)$ と入力端子INのDCバイアスV_{IN_dc}により、 $V_{IN} = (V_{DD}/2 + \alpha_n \cdot \sin(\omega t))$ となる。インバータINV101にはV_{IN}が入力され、インバータINV101はノードND1に電圧V_{ND1}= $V_{DD}/2 - \alpha_n \times K1 \times \sin(\omega t - \theta_n)$ 、を出力する。ここで、電圧V_{ND1}は電源電圧V_{DD}－グラウンドV_{SS}間で振幅するため、ノードND1の電圧V_{ND1}は、V_{ND1}=V_{DD}となる。

[0044] インバータINV102とINV103とにおいて、[時間T₁～T₂]と同様の動作が行われ、出力端子OUTには、増幅回路A1によって入力端子INの電圧V_{IN}を反転増幅した出力電圧V_{OUT}が出力される。出力電圧V_{OUT}が振動子101にフィードバックされることで、振動子101は微小電圧 $\alpha_n \times \sin(\omega t)$ を生成する。ここで、 $360^\circ \leq \omega t \leq 540^\circ$ とする。[時間T₄]になることで、時間[T₁]と同じ状態となり、上記動作を繰り返す。これにより振幅電圧V_{DD}の発振信号が出力端子OUTより定常的に出力される。

[0045] [時間T₅]

時間T₅において、制御信号SIGを『L』から『H』に変更する。これにより、可変抵抗R102のP型MOSトランジスタTR105とN型MOSトランジスタTR106とがオフ状態となり、可変抵抗R102の抵抗値

R_n は低抵抗値 R_{on} から抵抗 R_{103} の高抵抗 R_c に切り替わる。これ以降、制御信号 SIG が『L』から『H』に制御されることによって回路動作が切り替わるバッファ回路 $BUF101$ の動作について説明する。

[0046] [時間 $T_5 \sim T_6$]

ノード $ND1$ の電圧 V_{ND1} が V_{DD} から V_{SS} に遷移し、インバータ $INV102$ に入力される。これによってインバータ $INV102$ のN型MOSトランジスタ $TR102$ はオフ状態、P型MOSトランジスタ $TR101$ がオン状態となる。

[0047] P型MOSトランジスタ $TR101$ がオン状態になることで、まずノード Np の電圧 V_{Np} が V_{SS} から V_{DD} に遷移し、インバータ $INV103$ のP型MOSトランジスタ $TR103$ がオフ状態となる。一方、ノード Nn の電圧 V_{Nn} は、高抵抗値 R_c に設定された可変抵抗 $R102$ を介して V_{SS} から V_{DD} に遷移する。これによって、インバータ $INV103$ のN型MOSトランジスタ $TR104$ がオン状態となり、出力端子 OUT の電圧 V_{OUT} が V_{DD} から V_{SS} に遷移する。

[0048] ここで、ノード Nn の電圧 V_{Nn} の遷移時間は、時定数 τ_r で設定された時間遅れるため、インバータ $INV103$ のP型MOSトランジスタ $TR103$ からN型MOSトランジスタ $TR104$ への貫通電流を抑制することが可能となる。ここで時定数 $\tau_r = R_c \cdot C_n$ (C_n は、インバータ $INV103$ のN型MOSトランジスタ $TR104$ のゲート容量など)であり、高抵抗値 R_c の設定によって、インバータ $INV103$ の論理遷移時のP型MOSトランジスタ $TR103$ とN型MOSトランジスタ $TR104$ とをオフオフ状態に設定可能となり、貫通電流を抑制することが可能となる。

[0049] [時間 $T_6 \sim T_7$]

時間 $T_6 \sim T_7$ において、ノード $ND1$ の電圧 V_{ND1} が V_{SS} から V_{DD} に遷移し、インバータ $INV102$ に入力される。これによってインバータ $INV102$ のP型MOSトランジスタ $TR101$ はオフ状態、N型MOSトランジスタ $TR102$ がオン状態となる。

[0050] N型MOSトランジスタTR102がオン状態になることで、まずノードN_nの電圧V_{Nn}がV_{DD}からV_{SS}に遷移し、インバータINV103のN型MOSトランジスタTR104がオフ状態となる。一方、ノードN_pの電圧V_{Np}は、高抵抗値R_cに設定された可変抵抗R102を介してV_{DD}からV_{SS}に遷移する。これによって、インバータINV103のP型MOSトランジスタTR103がN型MOSトランジスタTR104の遷移時間に対して遅延してオン状態となり、出力端子OUTの電圧V_{OUT}がV_{SS}からV_{DD}に遷移する。

[0051] ノードN_pの電圧V_{Np}の遷移時間は時定数 τ_f で設定された時間遅れるため、インバータINV103のP型MOSトランジスタTR103からN型MOSトランジスタTR104への貫通電流を抑制することが可能となる。時定数 $\tau_f = R_c \cdot C_p$ (C_p は、インバータINV103のP型MOSトランジスタTR103のゲート容量など)であり、高抵抗値R_cの設定によって、インバータINV103の論理遷移時のP型MOSトランジスタTR103とN型MOSトランジスタTR104をオフオフ状態に設定可能であり、貫通電流に伴う無駄な消費電流を抑制することが可能となる。

[0052] 以上より、制御信号SIGにより、インバータINV102のP型MOSトランジスタTR101とN型MOSトランジスタTR102間に備えられた可変抵抗R102の抵抗値R_nを、起動時には低抵抗R_{on}、定常発振時には高抵抗R_cに切り替えることで、起動時から定常発振時に至るまでの安定した発振動作と、定常動作時の低消費電力駆動とが可能となる。

[0053] なお、制御信号SIGによって、可変抵抗R102の抵抗値R_nを低抵抗R_{on}から高抵抗R_cへ切り替えるタイミングは、発振回路100が起動時から定常発振時に至っていればいつでも良く、発振回路100を起動したのち一定時間経過後に切り替えても良いし、発振回路100を低消費電力で駆動する任意のタイミングで切り替えてもよい。

[0054] また、振動子は水晶やセラミック等の圧電振動子で良い。また、増幅回路A1は、バッファ回路BUF101が備わっていれば良く、増幅回路A1が

反転増幅できる構成であればインバータ段数やインバータ I N V 1 0 1 の構成は、これに限らなくてよい。また、振動子 1 0 1 と入力端子 I N との間、あるいは振動子 1 0 1 と出力端子 O U T との間に、D C カット用の容量やダンピング抵抗など他の素子が備えられていても良い。また、バッファ回路 B U F 1 0 1 は、第 1 のノードと第 2 のノードとの間に電位差を生成する電位差生成回路であって、制御信号によって電位差が切り替えられる電位差生成回路を有すればよい。つまり、バッファ回路 B U F 1 0 1 は、出力段として備えられた 2 入力インバータ I N V 1 0 3 の入力電圧 V_{Np} 及び V_{Nn} のそれぞれの D C バイアス V_{Np_dc} 及び V_{Nn_dc} の差分電圧 ($V_{Np_dc} - V_{Nn_dc}$) が、制御信号に応じて 2 段階以上に切り替えられる電位差生成回路による構成であれば良い。電位差生成回路は、抵抗及び抵抗を短絡するスイッチから成る可変抵抗を含み、制御信号に応じて、スイッチを切り替えてもよい。また、電位差生成回路は、インバータ I N V 1 0 2 の可変抵抗 R 1 0 2 としてダイオードやダイオード接続されたトランジスタとスイッチによる構成でも良い。また、電位差生成回路は、抵抗及びトランジスタの両方あるいは一方を含む抵抗回路から成り、インバータ I N V 1 0 2 は、複数の電流を設定可能な電流調整回路を備え、制御信号に応じて、電流調整回路を切り替えてもよい。つまり、電位差生成回路は、インバータ I N V 1 0 2 に複数の電流値を設定可能な電流源あるいは電流調整回路を備え、制御信号に応じてインバータ I N V 1 0 2 の論理遷移時の電流量を切り替えることでノード N n とノード N p との間に備えられた抵抗やトランジスタ、ダイオード等から成る抵抗回路で生じる電位差を切り替える構成でも良く、このように同様の機能が実現できればこれに限らない。また、可変抵抗 R 1 0 2 のスイッチは P 型 M O S トランジスタあるいは N 型 M O S トランジスタにより構成されても良い。

[0055] (可変抵抗 R 1 0 2 の変形例 1)

図 4 は本開示の第 1 の実施の形態の可変抵抗 R 1 0 2 の変形例 1 を示すものであり、図 2 のスイッチ S W 1 をスイッチ S W 2 a とスイッチ S W 2 b と

の直列接続に置き換えたものである。制御信号 SIG は制御信号 $SIGA$ と制御信号 $SIGB$ とから成り、 $INV201$ は制御信号 $SIGA$ を論理反転するインバータ、 $INV202$ は制御信号 $SIGB$ を論理反転するインバータ、 $SW2a$ は P 型 MOS トランジスタ $TR201$ と N 型 MOS トランジスタ $TR202$ とから成るスイッチ、 $SW2b$ は P 型 MOS トランジスタ $TR203$ と N 型 MOS トランジスタ $TR204$ とから成るスイッチ、 $R201$ と $R202$ とは抵抗、 Nr は抵抗 $R201$ と $R202$ 間のノードである。

[0056] ノード Np とノード Nn との間の抵抗値 Rn は、ノード Np とノード Nr との間の抵抗値を $Rn1$ 、ノード Nr とノード Nn との間の抵抗値を $Rn2$ とすると、抵抗値 $Rn = Rn1 + Rn2$ となる。ここで、抵抗値 $Rn1$ は制御信号 $SIGA$ によって、抵抗 $R201$ の抵抗値 $Rc1$ と、スイッチ $SW2a$ の抵抗値 $Ron1$ に切り替えて設定される。抵抗値 $Ron1$ は P 型 MOS トランジスタ $TR201$ と N 型 MOS トランジスタ $TR202$ が両方オン状態となった時の合成抵抗であり、抵抗値 $Rc1$ に比べて低抵抗であるとする。また、抵抗値 $Rn2$ は制御信号 $SIGB$ によって、抵抗 $R202$ の抵抗値 $Rc2$ と、スイッチ $SW2b$ の抵抗値 $Ron2$ に切り替えて設定される。抵抗値 $Ron2$ は P 型 MOS トランジスタ $TR203$ と N 型 MOS トランジスタ $TR204$ が両方オン状態となった時の合成抵抗であり、抵抗値 $Rc2$ に比べて低抵抗であるとする。

[0057] 図 4 を用いて、可変抵抗 $R102$ の抵抗値の組み合わせについて説明する。

[0058] [制御信号 $SIGA$]

制御信号 $SIGA = L$ の時、P 型 MOS トランジスタ $TR201$ と N 型 MOS トランジスタ $TR202$ とはオン状態となり、ノード Np とノード Nr との間の抵抗値 $Rn1$ はスイッチ $SW2a$ の抵抗値 $Ron1$ となる。一方、制御信号 $SIGA = H$ の時、抵抗値 $Rn1$ は抵抗値 $Rc1$ となる。

[0059] [制御信号 $SIGB$]

制御信号 $SIGB = L$ の時、P 型 MOS トランジスタ $TR203$ と N 型 MOS

OSトランジスタTR204とはオン状態となり、ノードNrとノードNnとの間の抵抗値Rn2はスイッチSW2bの抵抗値Ron2となる。一方、制御信号SIGB=Hの時、抵抗値Rn2は抵抗値Rc2となる。

[0060] 上述より、制御信号SIGAとSIGBとを制御することで、ノードNpとノードNnとの間の抵抗値Rnを(Rc1+Rc2)、(Rc1+Ron2)、(Ron1+Rc2)、(Ron1+Ron2)と多段階で切り替えることが可能となる。つまり、可変抵抗R102の抵抗値は、多段階で切り替え可能である。これによって、実施の形態1で述べた時定数 τ_r と τ_f を多段階で設定することが可能となる。

[0061] 多段階で時定数 τ_r と τ_f との切り替えが可能になることによって、発振周波数が異なる場合もノードNpまたはノードNnに対して最適な遅延時間を設定でき、インバータINV103の貫通電流を抑制し、低消費電力駆動が可能となる。

[0062] (可変抵抗R102の変形例2)

図5は本開示の第1の実施の形態の可変抵抗R102の変形例2を示すものであり、図2のスイッチSW1をスイッチSW3a、抵抗R103をスイッチSW3b、に置き換えている。制御信号SIGは制御信号SIGAと制御信号SIGBから成り、INV301は制御信号SIGAを論理反転するインバータ、INV302は制御信号SIGBを論理反転するインバータ、SW3aはP型MOSトランジスタTR301とN型MOSトランジスタTR302とから成るスイッチ、SW3bはP型MOSトランジスタTR303とN型MOSトランジスタTR304とから成るスイッチ、である。

[0063] 図5を用いて、可変抵抗R102の抵抗値の組み合わせについて説明する。

[0064] [制御信号SIGA]

制御信号SIGA=Lの時、P型MOSトランジスタTR301とN型MOSトランジスタTR302とはオン状態となり、スイッチSW3aの抵抗値はRon1となる。ここで、抵抗値Ron1はP型MOSトランジスタ

R301とN型MOSトランジスタR302との合成オン抵抗である。制御信号S1GA=Hの時、スイッチSW3aはオフ状態となる。

[0065] [制御信号S1GB]

制御信号S1GB=Lの時、P型MOSトランジスタR303とN型MOSトランジスタR304とはオン状態となり、スイッチSW3bの抵抗値はRon2となる。ここで、抵抗値Ron2はP型MOSトランジスタR303とN型MOSトランジスタR304の合成オン抵抗である。制御信号S1GB=Hの時、スイッチSW3bはオフ状態となる。

[0066] ここで、スイッチSW3bの抵抗値Ron2は、P型MOSトランジスタR303とN型MOSトランジスタR304とのチャネル幅／チャネル長（つまり、ゲート幅／ゲート長）を小さく設定することで抵抗値を大きくすることが望ましく、スイッチSW3aの抵抗値Ron1より高抵抗に設定しておく。このように、可変抵抗R102は、トランジスタのサイズ比であるゲート長に対するゲート幅の比が異なる複数のトランジスタを含む。

[0067] 上述より、制御信号S1GAとS1GBとを制御することで、ノードNpとノードNnとの間の抵抗値Rnを、Ron1、Ron2、Ron1とRon2との並列抵抗、に切り替えることが可能となる。これによって、実施の形態1で述べた時定数 τ_r と τ_f を多段階で設定することが可能となる。

[0068] 多段階で時定数 τ_r と τ_f との切り替えが可能になることによって、発振回路100の発振周波数が異なる場合もノードNpまたはノードNnに対して最適な遅延時間が設定でき、インバータINV103の貫通電流を抑制し、低消費電力駆動が可能となる。また、時定数 τ_r と τ_f とをトランジスタのオン抵抗で設定しているため、可変抵抗R102の回路面積を削減することが可能となる。

[0069] 以上より、可変抵抗R102を複数のトランジスタを組合せて構成し、制御信号で抵抗値を制御することにより、起動時の安定的な発振及び定常発振時の低消費電力駆動が可能となる。更に抵抗をトランジスタのオン抵抗で実現することでレイアウト面積削減も可能となる。

[0070] なお、可変抵抗 R_{102} において、ノード N_p とノード N_n 間の抵抗値 R_n を設定するにあたり、トランジスタの並列数はこれに限らなくてよく、また直列にトランジスタを接続してスイッチを設けても良い。

[0071] (バッファ回路 BUF_{101} の変形例1)

図6は本開示の第1の実施の形態のバッファ回路 BUF_{101} の変形例1を示すものであり、図1の可変抵抗 R_{102} を、制御信号 SIG とノード ND_2 の電圧 V_{OUT} によって制御される可変抵抗 R_{401} 、に置き換えている。ここで、ノード ND_2 と出力端子 OUT は同電位であり電圧 V_{OUT} 、可変抵抗 R_{401} は抵抗値 R_m であるとする。

[0072] 図7は可変抵抗 R_{401} の構成であり、図2の可変抵抗 R_{102} の変形例3を示すものである。図2のスイッチ SW_1 をP型MOSトランジスタ TR_{401} とN型MOSトランジスタ TR_{402} から成るスイッチ SW_{4a} 、抵抗 R_{103} を制御信号 SIG と出力端子 OUT の電圧 V_{OUT} により、P型MOSトランジスタ TR_{403} とN型MOSトランジスタ TR_{404} とを切り替えて用いるスイッチ SW_{4b} 、に置き換えている。ここで、スイッチ SW_{4a} 及び SW_{4b} のオン状態の抵抗値を、それぞれ抵抗値 R_{on4} 及び R_{on4} 、とする。更に、スイッチ SW_{4b} のP型MOSトランジスタ TR_{403} 及びN型MOSトランジスタ TR_{404} のオン状態の抵抗値をそれぞれ R_{Pon4} 、 R_{Non4} とし、閾値をそれぞれ $|V_{tp4}|$ と $|V_{tn4}|$ とする。

[0073] また、 BUF_{401} と BUF_{402} とは制御信号 SIG 及び出力端子 OUT の電圧 V_{OUT} に応じて、ノード FB_1 あるいはノード FB_2 に Hiz あるいは電圧 V_{OUT} を論理出力するバッファ回路、 TR_{405} 及び TR_{406} は、それぞれ、制御信号 SIG がLの時、ノード FB_1 を V_{DD} 、ノード FB_2 を V_{SS} に設定するP型MOSトランジスタ及びN型MOSトランジスタ、 INV_{401} 及び INV_{402} は制御信号 SIG の論理を反転するインバータである。

[0074] 図8はバッファ回路 BUF_{401} 及び BUF_{402} の回路図である。

[0075] バッファ回路BUF401とバッファ回路BUF402とは、制御信号SIGと出力端子OUTの電圧VOUTが入力され、ノードFB1あるいはFB2に論理出力する。BUF501はバッファ回路、TR501及びTR502は、それぞれ、バッファ回路BUF501の電源を制御するP型MOSトランジスタ及びN型MOSトランジスタ、INV501は制御信号を論理反転するインバータである。

[0076] 図9は発振回路100において、定常発振時のバッファ回路BUF101の動作波形である。図9の動作波形を用いて、図1、図6から図8を用いて、バッファ回路BUF101、可変抵抗R401の動作について説明する。

[0077] [時間T1－時間T3]

制御信号SIG=Lにおいて、P型MOSトランジスタTR401とN型MOSトランジスタTR402とはオン状態となる。一方、ノードFB1はP型MOSトランジスタTR405によりVDD、ノードFB2はN型MOSトランジスタTR406によりVSSとなり、P型MOSトランジスタTR403とN型MOSトランジスタTR404とはオフ状態となる。これより、可変抵抗R401の抵抗値 R_m はスイッチSW4aの抵抗値 R_{on4} となる。抵抗値 R_{on4} が式(11)または式(12)を満足することで、発振回路100は安定的に発振動作を行う。

[0078] [時間T3]

制御信号SIGが『L』から『H』に遷移する。これにより、可変抵抗R401のP型MOSトランジスタTR401とN型MOSトランジスタTR402とはオフ状態となる。一方、バッファ回路BUF401及びBUF402は出力端子OUTの電圧 $V_{OUT}=V_{SS}$ をノードFB1及びFB2に出力し、P型MOSトランジスタTR403はオン状態、N型MOSトランジスタTR404はオフ状態となり、可変抵抗R401の抵抗値 R_m は抵抗値 R_{Pon4} となる。

[0079] [時間T3－時間T4]

ノードND1の電圧VND1がVSSからVDDに遷移し、インバータI

NV102のP型MOSトランジスタTR101がオフ状態、N型MOSトランジスタTR102がオン状態となる。これによりノードNnがVDDからVSSに遷移し、N型MOSトランジスタTR104がオフ状態となる。一方、ノードNpの電圧VNpは、可変抵抗R401の抵抗値Rmで設定された時定数 τf でVDDからVSSへ遷移すると共に、2段階で論理遷移することで、P型MOSトランジスタTR103をオン状態とする。

[0080] ノードNpの電圧VNpの2段階での論理遷移は以下のとおりである。

[0081] まず第1段階目として、可変抵抗R401のP型MOSトランジスタTR403がドレイン接地であるためクランプ回路として作用し、電圧VNpは、VDDからP型MOSトランジスタTR403のソースフォロワー電圧である $VSS + |V_{tp4}|$ まで、抵抗値Rmで設定された時定数 τf で遷移する。これにより、P型MOSトランジスタTR103が弱いオン状態となり、出力端子OUT（ノードND2）の電圧VOUTが『VSS』から『VDD』側に遷移する。次に第2段階目として、出力端子OUTが『VSS』から『VDD』側に遷移することで、P型MOSトランジスタTR403はオフ状態、N型MOSトランジスタTR404はオン状態となり、電圧VNpは、 $VSS + |V_{tp4}|$ からVSSへ、抵抗値Rmで設定された時定数 τf で遷移し、インバータINV103のP型MOSトランジスタTR103がオン状態となる。これにより、出力端子OUT（ノードND2）の電圧VOUTが『VDD』に遷移する。ここで、時定数 τf は、1段階目ではP型MOSトランジスタTR403の抵抗値 R_{Pon4} 、2段階目ではN型MOSトランジスタTR404の抵抗値 R_{Non4} によって設定される。

[0082] 以上の様に、可変抵抗R401の電圧クランプ特性を用いて、インバータINV103のP型MOSトランジスタTR103のゲート電圧を2段階で遷移させることで、P型MOSトランジスタTR103からN型MOSトランジスタへの貫通電流による消費電流を抑制すると共に、P型MOSトランジスタTR103の論理遷移時に発生する電源電圧VDDの変動やEMI特性の劣化を抑制することが可能となる。更に、振動子101への供給電流を

抑制することとなり、励振レベルのマージンを拡大することが可能となる。

[0083] [時間 T_4 - 時間 T_5]

ノード ND_1 の電圧 V_{ND_1} が V_{DD} から V_{SS} に遷移し、インバータ INV_{102} の P 型 MOS トランジスタ TR_{101} がオン状態、N 型 MOS トランジスタ TR_{102} がオフ状態となる。これによりノード N_p が V_{SS} から V_{DD} に遷移し、P 型 MOS トランジスタ TR_{103} がオフ状態となる。一方、ノード N_n の電圧 V_{N_n} は、可変抵抗 R_{401} の抵抗値 R_m で設定された時定数 τ_r で V_{SS} から V_{DD} へ遷移すると共に、2 段階で論理遷移することで、N 型 MOS トランジスタ TR_{104} をオン状態とする。

[0084] ノード N_n の電圧 V_{N_n} の 2 段階での論理遷移は以下のとおりである。

[0085] まず第 1 段階目として、可変抵抗 R_{401} の N 型 MOS トランジスタ TR_{404} がドレイン接地であるためクランプ回路として作用し、電圧 V_{N_n} は、 V_{SS} から N 型 MOS トランジスタ TR_{404} のソースフォロワー電圧である $V_{DD} - |V_{tn4}|$ まで、抵抗値 R_m で設定された時定数 τ_r で遷移する。これにより、N 型 MOS トランジスタ TR_{104} が弱いオン状態となり、出力端子 OUT (ノード ND_2) の電圧 V_{OUT} が『 V_{DD} 』から『 V_{SS} 』側に遷移する。次に第 2 段階目として、出力端子 OUT が『 V_{DD} 』から『 V_{SS} 』側に遷移することで、N 型 MOS トランジスタ TR_{404} はオフ状態、P 型 MOS トランジスタ TR_{403} はオン状態となり、電圧 V_{N_n} は、 $V_{DD} - |V_{tn4}|$ から V_{DD} へ、抵抗値 R_m で設定された時定数 τ_f で遷移し、インバータ INV_{103} の N 型 MOS トランジスタ TR_{104} がオン状態となる。これにより、出力端子 OUT (ノード ND_2) の電圧 V_{OUT} が『 V_{SS} 』に遷移する。ここで、時定数 τ_r は、1 段階目では N 型 MOS トランジスタ TR_{404} の抵抗値 R_{Non4} 、2 段階目では P 型 MOS トランジスタ TR_{403} の抵抗値 R_{Pon4} によって設定される。

[0086] 以上の様に、本変形例に係る発振回路 100 のバッファ回路 BUF_{101} は、ノード N_p とノード N_n との間に接続され、制御信号と、インバータ INV_{102} より後段のインバータ INV_{103} の出力と、に応じて、ノード

N_pまたはノードN_nの電圧を２段階で論理遷移させる抵抗回路を備える。抵抗回路は、クランプ回路と、クランプ回路を短絡するスイッチと、を有する。クランプ回路は、トランジスタのソースフォロワー電圧により生成される。可変抵抗R₄₀₁の電圧クランプ特性を用いて、インバータINV₁₀₃の入力電圧を２段階で論理遷移させることで、インバータINV₁₀₃の貫通電流による消費電流を抑制すると共に、インバータINV₁₀₃の論理遷移時に発生する電源電圧V_{DD}の変動やEMI特性の劣化を抑制することが可能となる。更に、振動子101への供給電流を抑制することとなり、励振レベルのマージンを拡大することが可能となる。

[0087] [時間T₅]になることで、[時間T₃]と同様の状態となり、これ以降、[時間T₃－T₅]の上記動作が繰り返されて、低消費電力かつEMIを抑制し、安定的な発振動作が行われる。

[0088] なお、図7で示した可変抵抗R₄₀₁のクランプ回路は、トランジスタのドレイン接地に限らなくても良く、ダイオードとトランジスタとの並列接続等を用いて同様の機能を実現しても良い。

[0089] また、可変抵抗R₄₀₁のクランプ回路の制御は、図10に示す様に、P型MOSトランジスタTR₄₀₃のゲートとN型MOSトランジスタTR₄₀₄のゲートとを共通接続して制御しても、同様の効果を実現できる。

[0090] また、ノードN_p及びノードN_nの電圧を２段階で遷移させる手段は、図1で示したノードN_p及びノードN_n間に抵抗やスイッチを備える可変抵抗R₁₀₂に付加することも可能である。

産業上の利用可能性

[0091] 本開示の発振回路は、良好な起動特性、消費電流、低EMI、発振動作の動作安定性確保を実現するものであり、携帯電話、電池駆動機器の電池長寿命化などに有用である。

符号の説明

[0092] 100 発振回路

101 振動子

C 1 0 1、C 1 0 2 負荷容量

A 1 増幅回路

S I G 制御信号

I N V 1 0 1、I N V 1 0 2、I N V 1 0 3 インバータ

B U F 1 0 1 バッファ回路

R 1 0 1 帰還抵抗

R 1 0 2 可変抵抗

R 1 0 3 抵抗

S W 1 スイッチ

T R 1 0 1、T R 1 0 3、T R 1 0 5 P型MOSトランジスタ

T R 1 0 2、T R 1 0 4、T R 1 0 6 N型MOSトランジスタ

I N V 1 0 4 インバータ

S W 2 a、S W 2 b、S W 3 a、S W 3 b スイッチ

T R 2 0 1、T R 2 0 3、T R 3 0 1、T R 3 0 3 P型MOSトランジスタ

T R 2 0 2、T R 2 0 4、T R 3 0 2、T R 3 0 4 N型MOSトランジスタ

R 4 0 1 可変抵抗

S W 4 a、S W 4 b スイッチ

T R 4 0 1、T R 4 0 3、T R 4 0 5、T R 5 0 1 P型MOSトランジスタ

T R 4 0 2、T R 4 0 4、T R 4 0 6、T R 5 0 2 N型MOSトランジスタ

B U F 4 0 1、B U F 4 0 2 バッファ回路

B U F 5 0 1 バッファ回路

請求の範囲

- [請求項1] 振動子と、
前記振動子の電圧を増幅する増幅回路と、
を備える発振回路であって、
前記増幅回路は、
第1の入力信号を第1のノードと第2のノードとに出力する第1のインバータと、
前記第1のノードと前記第2のノードとの信号を入力として、第3のノードに出力信号を出力する第2のインバータと、
を備え、
前記増幅回路は、更に、
前記第1のノードと前記第2のノードとの間に接続され、制御信号によって制御される可変抵抗を有することを特徴とする発振回路。
- [請求項2] 前記可変抵抗は、
第1の抵抗と、
前記第1の抵抗を短絡するスイッチと、
を有することを特徴とする請求項1に記載の発振回路。
- [請求項3] 前記可変抵抗は、
トランジスタのサイズ比であるゲート長に対するゲート幅の比が異なる複数のトランジスタを含む
ことを特徴とする請求項1に記載の発振回路。
- [請求項4] 前記可変抵抗の抵抗値は、多段階で切り替え可能であることを特徴とする請求項1から請求項3のいずれか1項に記載の発振回路。
- [請求項5] 前記可変抵抗の抵抗値は、前記制御信号によって、前記発振回路の起動時と定常発振時とで、切り替えられる
ことを特徴とする請求項1から請求項4のいずれか1項に記載の発振

回路。

[請求項6] 前記可変抵抗の抵抗値は、前記制御信号によって、
前記発振回路の起動時において、前記発振回路の定常発振時より低くなるように切り替えられる
ことを特徴とする請求項1から請求項5のいずれか1項に記載の発振回路。

[請求項7] 振動子と
前記振動子の電圧を増幅する増幅回路と、
を備える発振回路であって、
前記増幅回路は、
第1の入力信号を第1のノードと第2のノードとに出力する第1のインバータと、
前記第1のノードと前記第2のノードとの信号を入力として、第3のノードに出力信号を出力する第2のインバータと
を備え、
前記増幅回路は、更に、
前記第1のノードと前記第2のノードとの間に電位差を生成する電位差生成回路であって、制御信号によって前記電位差が切り替えられる
電位差生成回路を有する
ことを特徴とする発振回路。

[請求項8] 前記電位差生成回路が、
抵抗及び前記抵抗を短絡するスイッチから成る可変抵抗を含み、
前記制御信号に応じて、前記スイッチを切り替える
ことを特徴とする請求項7に記載の発振回路。

[請求項9] 前記電位差生成回路が、
トランジスタのサイズ比であるゲート長に対するゲート幅の比が異なる複数のトランジスタを含み、
前記制御信号に応じて、前記複数のトランジスタを切り替える

ことを特徴とする請求項 7 に記載の発振回路。

[請求項10]

前記電位差生成回路は、

抵抗及びトランジスタの両方あるいは一方を含む抵抗回路から成り、

前記第 1 のインバータは、

複数の電流を設定可能な電流調整回路を備え、

前記制御信号に応じて、前記電流調整回路を切り替える

ことを特徴とする請求項 7 に記載の発振回路。

[請求項11]

振動子と

前記振動子の電圧を増幅する増幅回路と、

を備える発振回路であって、

前記増幅回路は、

第 1 の入力信号を第 1 のノードと第 2 のノードとに出力する第 1 のインバータと、

前記第 1 のノードと前記第 2 のノードとの信号を入力として、第 3 のノードに出力信号を出力する第 2 のインバータと、

を備え、

前記増幅回路は、更に、

前記第 1 のノードと前記第 2 のノードとの間に接続され、制御信号と、前記第 1 のインバータより後段のインバータの出力と、に応じて、

前記第 1 のノードまたは前記第 2 のノードの電圧を 2 段階で論理遷移させる抵抗回路を備える

ことを特徴とする発振回路。

[請求項12]

前記抵抗回路は、

クランプ回路と、

前記クランプ回路を短絡するスイッチと、

を有することを特徴とする請求項 11 に記載の発振回路。

[請求項13]

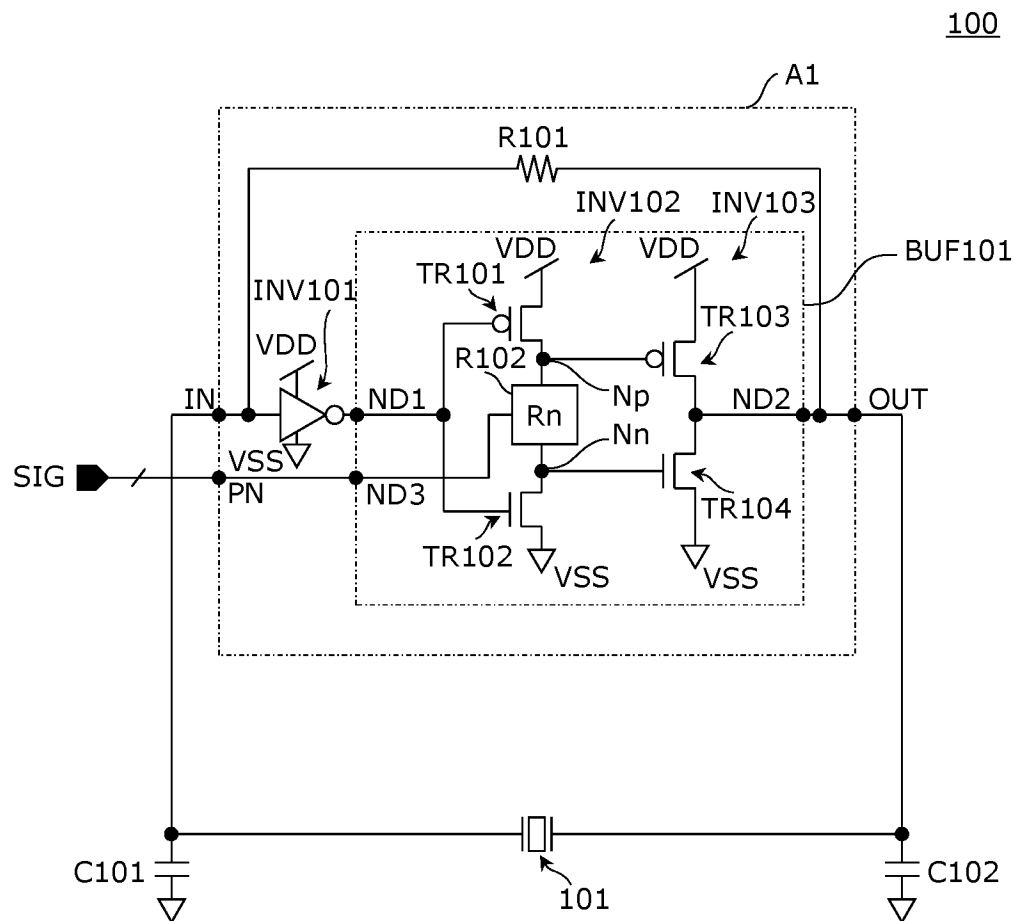
クランプ回路は、トランジスタのソースフォロワー電圧により生成される

ことを特徴とする請求項 1 2 に記載の発振回路。

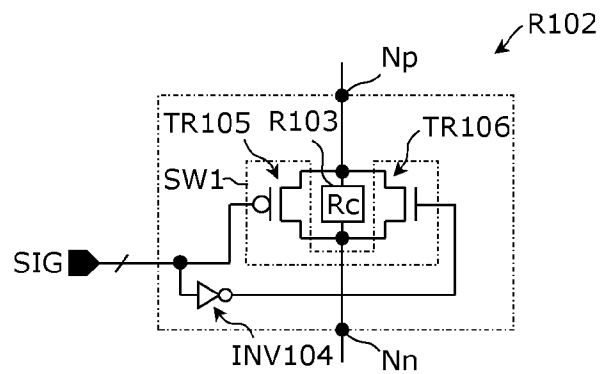
[請求項14] 第 1 の入力信号を第 1 のノードと第 2 のノードとに出力する第 1 のインバータと、
前記第 1 のノードと前記第 2 のノードとの信号を入力として、第 3 のノードに出力信号を出力する第 2 のインバータと、
を備え、
更に、
前記第 1 のノードと前記第 2 のノードとの間に電位差を生成する電位差生成回路であって、制御信号によって、前記電位差が切り替えられる電位差生成回路を有する
ことを特徴とするバッファ回路。

[請求項15] 第 1 の入力信号を第 1 のノードと第 2 のノードとに出力する第 1 のインバータと、
前記第 1 のノードと前記第 2 のノードとの信号を入力として、第 3 のノードに出力信号を出力する第 2 のインバータと、
を備え、更に、
前記第 1 のノードと前記第 2 のノードとの間に接続され、制御信号と、前記第 1 のインバータより後段のインバータの出力と、に応じて、前記第 1 のノードまたは前記第 2 のノードの電圧を、2 段階で論理遷移させる抵抗回路を備える
ことを特徴とする発振回路。

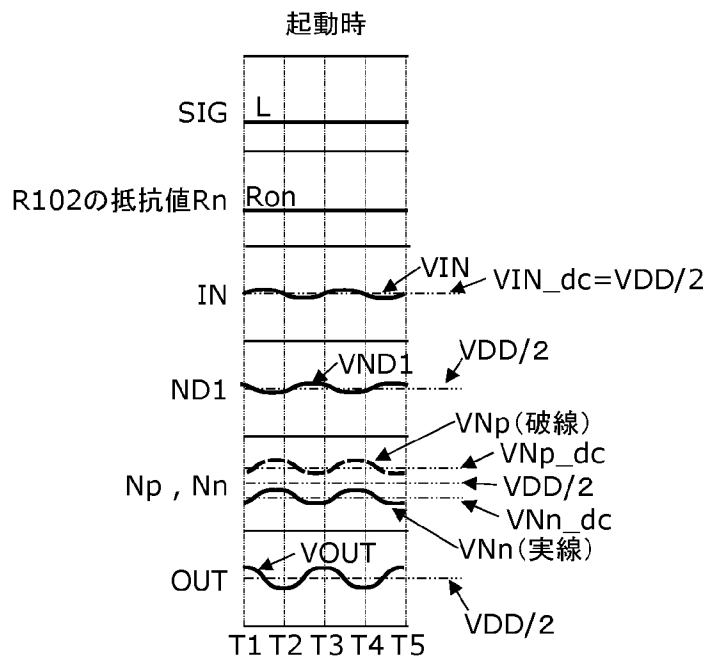
[図1]



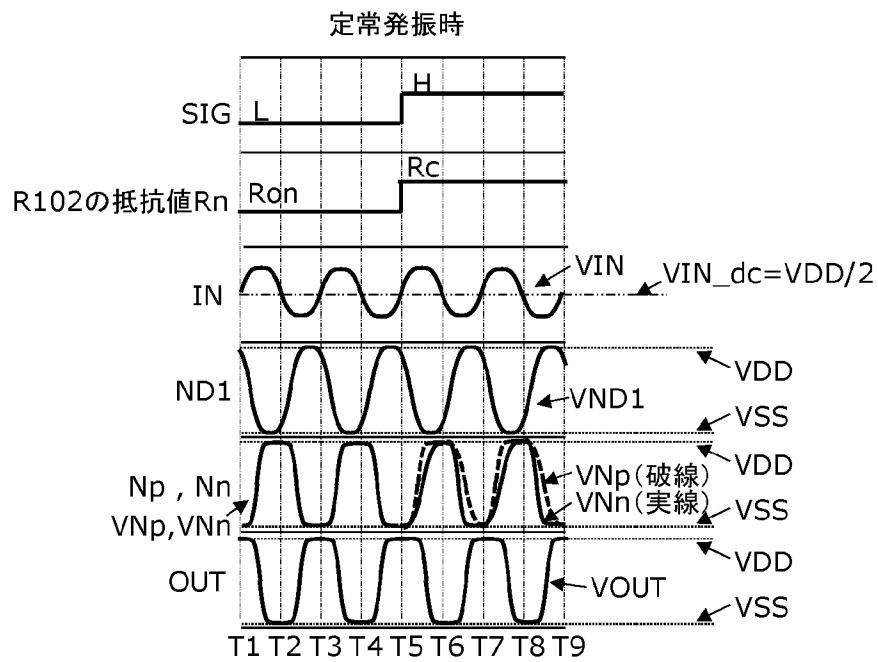
[図2]



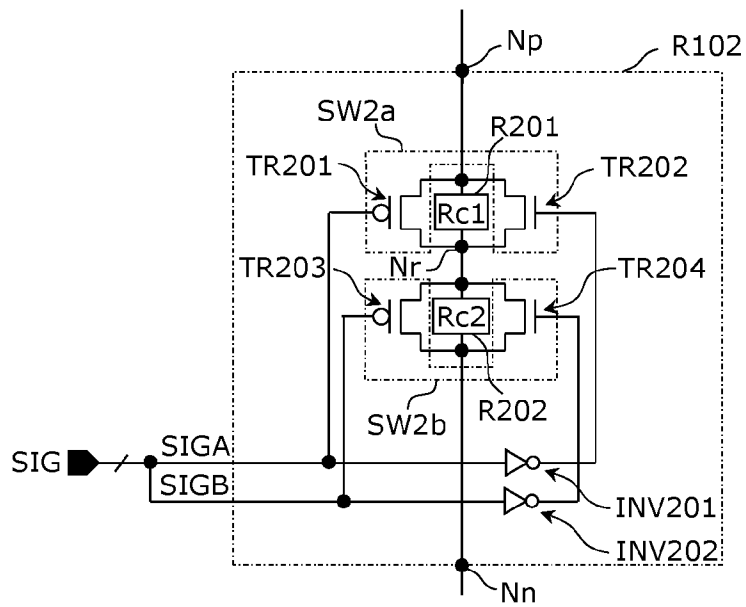
[図3A]



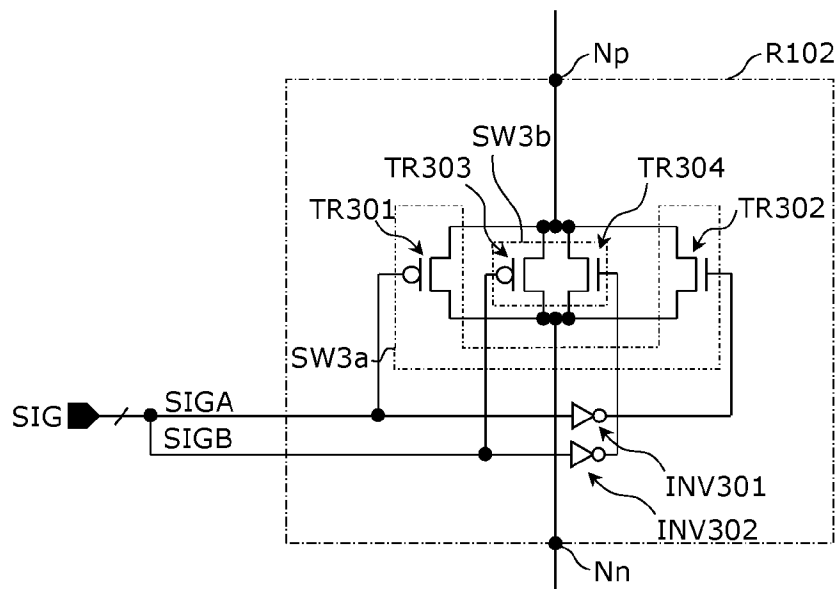
[図3B]



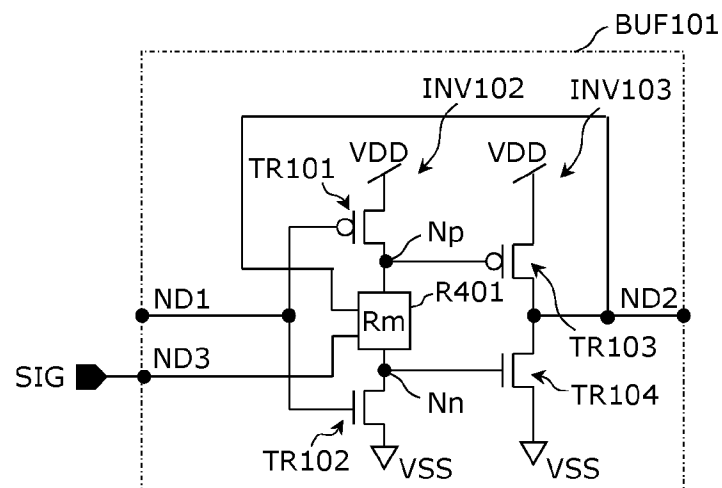
[図4]



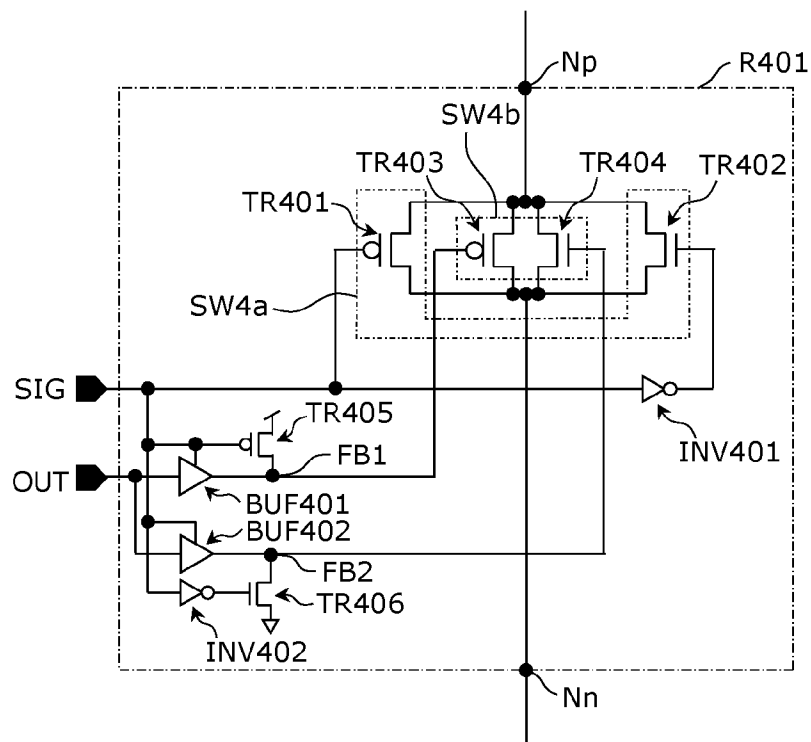
[図5]



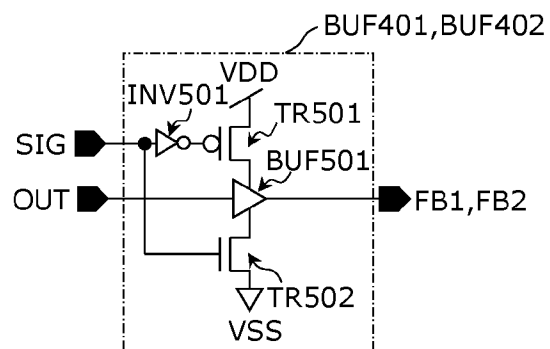
[図6]



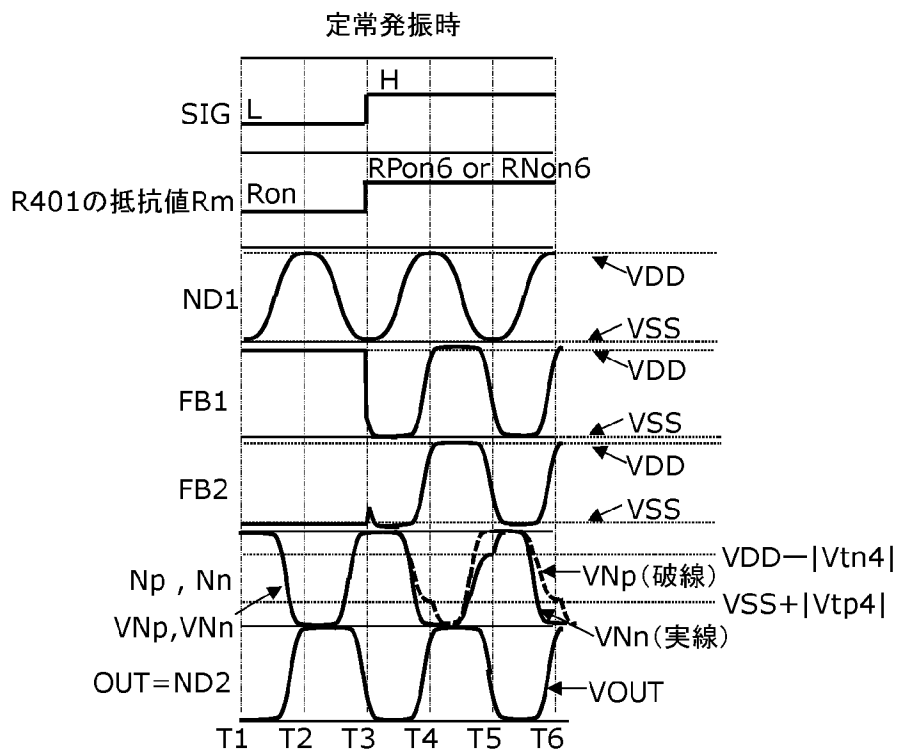
[図7]



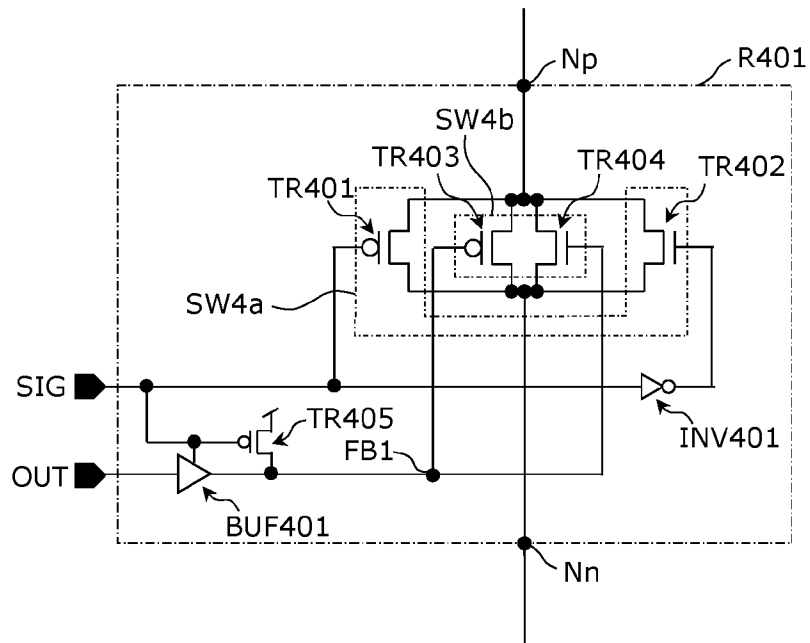
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004668

A. CLASSIFICATION OF SUBJECT MATTER**H03B 5/36**(2006.01)i; **H03B 5/32**(2006.01)i; **H03F 1/02**(2006.01)i

FI: H03B5/36; H03B5/32 D; H03F1/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B5/36; H03B5/32; H03F1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 05-145341 A (CITIZEN WATCH CO LTD) 11 June 1993 (1993-06-11) paragraphs [0015]-[0049], fig. 1-4	1-4, 7-10
A	paragraphs [0015]-[0049], fig. 1-4	5-6, 11-15
X	JP 2012-205141 A (TOSHIBA CORP) 22 October 2012 (2012-10-22) paragraphs [0010]-[0094], fig. 1-8	14
Y	paragraphs [0010]-[0094], fig. 1-8	1, 3-4, 7, 9-10
A	paragraphs [0010]-[0094], fig. 1-8	2, 5-6, 8, 11-13, 15
X	JP 2005-210403 A (ASAHI KASEI MICROSYSTEMS KK) 04 August 2005 (2005-08-04) paragraphs [0026]-[0063], fig. 1-6	14
Y	paragraphs [0026]-[0063], fig. 1-6	1-2, 4, 7-8, 10
A	paragraphs [0026]-[0063], fig. 1-6	3, 5-6, 9-11-13, 15
A	JP 04-070101 A (FUJITSU LTD) 05 March 1992 (1992-03-05) entire text, all drawings	1-15

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

20 April 2023

Date of mailing of the international search report

09 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004668

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008/0116952 A1 (KASE, Kiyoshi) 22 May 2008 (2008-05-22) paragraphs [0010]-[0032], fig. 1-4	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/004668

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	05-145341	A	11 June 1993	(Family: none)	
JP	2012-205141	A	22 October 2012	(Family: none)	
JP	2005-210403	A	04 August 2005	(Family: none)	
JP	04-070101	A	05 March 1992	(Family: none)	
US	2008/0116952	A1	22 May 2008	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03B 5/36(2006.01)i; H03B 5/32(2006.01)i; H03F 1/02(2006.01)i FI: H03B5/36; H03B5/32 D; H03F1/02		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03B5/36; H03B5/32; H03F1/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 05-145341 A（シチズン時計株式会社）11.06.1993（1993-06-11） 段落[0015]-[0049], [図1]-[図4]	1-4, 7-10
A	段落[0015]-[0049], [図1]-[図4]	5-6, 11-15
X	JP 2012-205141 A（株式会社東芝）22.10.2012（2012-10-22） 段落[0010]-[0094], [図1]-[図8]	14
Y	段落[0010]-[0094], [図1]-[図8]	1, 3-4, 7, 9-10
A	段落[0010]-[0094], [図1]-[図8]	2, 5-6, 8, 11-13, 15
X	JP 2005-210403 A（旭化成マイクロシステム株式会社）04.08.2005（2005-08-04） 段落[0026]-[0063], [図1]-[図6]	14
Y	段落[0026]-[0063], [図1]-[図6]	1-2, 4, 7-8, 10
A	段落[0026]-[0063], [図1]-[図6]	3, 5-6, 9-11-13, 15
A	JP 04-070101 A（富士通株式会社）05.03.1992（1992-03-05） 全文、全図	1-15
A	US 2008/0116952 A1（KASE, Kiyoshi）22.05.2008（2008-05-22） 段落[0010]-[0032], [図1]-[図4]	1-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 20.04.2023		国際調査報告の発送日 09.05.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 石田 昌敏 5W 4181 電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/004668

引用文献			公表日	パテントファミリー文献	公表日
JP	05-145341	A	11.06.1993	(ファミリーなし)	
JP	2012-205141	A	22.10.2012	(ファミリーなし)	
JP	2005-210403	A	04.08.2005	(ファミリーなし)	
JP	04-070101	A	05.03.1992	(ファミリーなし)	
US	2008/0116952	A1	22.05.2008	(ファミリーなし)	