

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-173669

(P2007-173669A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int.Cl.

H01L 25/00 (2006.01)

F I

H01L 25/00

B

テーマコード (参考)

審査請求 未請求 請求項の数 14 O L (全 19 頁)

(21) 出願番号 特願2005-371530 (P2005-371530)
 (22) 出願日 平成17年12月26日 (2005.12.26)

(71) 出願人 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 100101926
 弁理士 塚原 孝和
 (72) 発明者 山長 功
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 (72) 発明者 東 貴博
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内

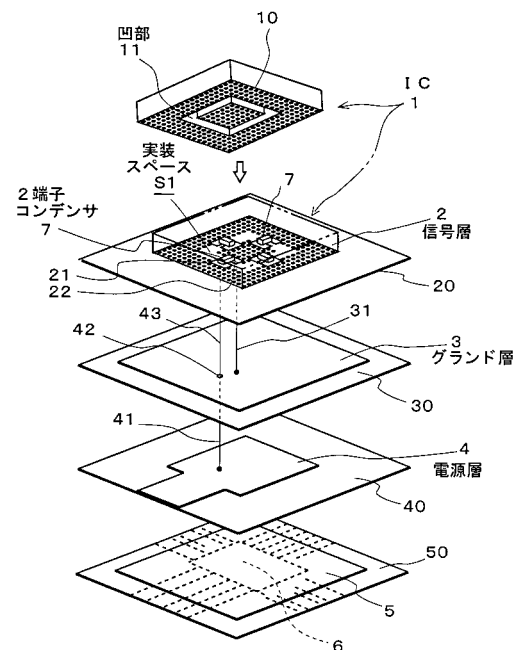
(54) 【発明の名称】 多層回路基板及びICパッケージ

(57) 【要約】

【課題】 デカップリング及びバイパスの機能を有するコンデンサをICの電源端子の間近に実装することで、ICの誤動作を防止した多層回路基板及びICパッケージを提供する。

【解決手段】 ICパッケージ1と信号層2とグランド層3と電源層4とを備える。ICパッケージ1はBGAタイプの端子群と凹部11とを有している。信号層2は2端子コンデンサ7用の実装スペースS1を有し、この実装スペースS1内に、ICパッケージ1の電源端子12に対応したランド21とこのランド21に対向するランド22とが形成されている。2端子コンデンサ7はランド21、22上に接続されている。これにより、電源端子12は2端子コンデンサ7が接続されたランド21、ビアホール41～43を通じて電源層4に接続され、2端子コンデンサ7のアース端子72はランド22及びビアホール31を通じてグランド層3に接続される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

裏面に BGA タイプの端子群を有した IC パッケージが表面に実装され且つ電源層とグラウンド層とが設けられた多層回路基板であって、

上記 IC パッケージの裏面と対向する IC 実装領域内に、コンデンサの実装スペースを設けて、コンデンサを当該実装スペースに配し、

当該コンデンサの電源用の電極を、上記 IC パッケージの電源端子に接続すると共に上記電源層に接続し、グラウンド用の電極を、上記グラウンド層に接続した、

ことを特徴とする多層回路基板。

【請求項 2】

10

請求項 1 に記載の多層回路基板において、

上記コンデンサは、チップ型の 2 端子コンデンサであり、

上記電源用の電極は、当該 2 端子コンデンサの入出力端子であり、

上記グラウンド用の電極は、当該 2 端子コンデンサのアース端子である、

ことを特徴とする多層回路基板。

【請求項 3】

請求項 1 に記載の多層回路基板において、

上記コンデンサは、チップ型の 3 端子コンデンサであり、

上記電源用の電極は、当該 3 端子コンデンサの入力端子と出力端子とでなり、当該入力端子が上記電源層に接続すると共に、当該出力端子が上記電源層に接続し、

20

上記グラウンド用の電極は、当該 3 端子コンデンサのアース端子である、

ことを特徴とする多層回路基板。

【請求項 4】

請求項 1 ないし請求項 3 のいずれかに記載の多層回路基板において、

上記コンデンサの実装スペースを、上記 IC パッケージの電源端子の近傍に設けた、

ことを特徴とする多層回路基板。

【請求項 5】

請求項 1 ないし請求項 4 のいずれかに記載の多層回路基板において、

上記 IC パッケージの裏面であって且つ上記コンデンサの実装スペースに対応する個所に、当該 IC パッケージとコンデンサとの接触を回避するための凹部を形成した、

30

ことを特徴とする多層回路基板。

【請求項 6】

請求項 1 ないし請求項 5 のいずれかに記載の多層回路基板において、

上記コンデンサの実装スペースを、上記 IC パッケージの裏面と対向する上記 IC 実装領域のほぼ中央部に設けた、

ことを特徴とする多層回路基板。

【請求項 7】

請求項 1 ないし請求項 5 のいずれかに記載の多層回路基板において、

上記コンデンサの実装スペースを、上記 IC パッケージの裏面と対向する上記 IC 実装領域の周縁部に 1 以上設けた、

40

ことを特徴とする多層回路基板。

【請求項 8】

電源端子とグラウンド端子とを含む BGA タイプの端子群を裏面に有し且つ多層回路基板の表面に実装される IC パッケージであって、

上記 IC パッケージの端子群内に、コンデンサの実装スペースを設けて、コンデンサを当該実装スペースに取り付け、

当該コンデンサの電源用の電極を、上記電源端子に接続すると共に、グラウンド用の電極を、上記グラウンド端子に接続した、

ことを特徴とする IC パッケージ。

【請求項 9】

50

請求項 8 に記載の I C パッケージにおいて、
上記コンデンサは、チップ型の 2 端子コンデンサであり、
上記電源用の電極は、当該 2 端子コンデンサの入出力端子であり、
上記グランド用の電極は、当該 2 端子コンデンサのアース端子である、
ことを特徴とする I C パッケージ。

【請求項 10】

請求項 8 に記載の I C パッケージにおいて、
上記コンデンサは、チップ型の 3 端子コンデンサであり、
上記電源用の電極は、当該 3 端子コンデンサの入力端子と出力端子とでなり、当該入力
端子を、上記多層回路基板の電源層に接続すると共に、当該出力端子が、上記電源端子に 10
接続し、
上記グランド用の電極は、当該 3 端子コンデンサのアース端子である、
ことを特徴とする I C パッケージ。

【請求項 11】

請求項 8 ないし請求項 10 のいずれかに記載の I C パッケージにおいて、
上記コンデンサの実装スペースを、上記電源端子とグランド端子の近傍に設けた、
ことを特徴とする I C パッケージ。

【請求項 12】

請求項 8 ないし請求項 10 のいずれかに記載の I C パッケージにおいて、
互いに電氣的に接続された複数の電源端子と互いに電氣的に接続された複数のグランド 20
端子とを、上記コンデンサの実装スペースの周囲に配置した、
ことを特徴とする I C パッケージ。

【請求項 13】

請求項 8 ないし請求項 12 のいずれかに記載の I C パッケージにおいて、
上記コンデンサの実装スペースに対応する個所に、上記コンデンサを収納する凹部を形
成した、
ことを特徴とする I C パッケージ。

【請求項 14】

請求項 8 ないし請求項 13 のいずれかに記載の I C パッケージにおいて、
上記コンデンサの実装スペースを、上記端子群内のほぼ中央部に設けた、 30
ことを特徴とする I C パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、BGA (Ball Grid Array) タイプの I C パッケージを搭載した多層回路基
板及び I C パッケージに関するものである。

【背景技術】

【0002】

携帯情報端末等の電子機器では、高機能化に伴い I C の集積化と信号周波数の高速化が
進んでいるが、この I C の高集積化と高周波化が高周波の電源電流の増加を招き、誤動作 40
、受信障害、放射ノイズの増大という様々な問題を引き起こしている。特に、電源ライン
は、ノイズを生み出している根源であり、ノイズ電流が I C のスイッチングによって電源
端子に生じ、このノイズ電流が電源ラインを伝導して基板全体に広がるおそれがある。

このため、一般には、コンデンサを基板の電源ラインに配設し、デカップリングコンデ
ンサとして機能させることで、発生したノイズが他の回路に流出することを防ぐと共に、
バイパスコンデンサとして機能させることで、電源ピンに電荷を供給し、電源電圧を安定
させ、誤作動を防止する。

ところが、端子群が BGA タイプの I C では、多数のコンデンサを基板の表面に実装し
て、上記機能を確実に発揮させることは、構造上困難である。このため、従来の技術では
、コンデンサを基板の裏面であって且つ I C のほぼ真下に配設することにより、コンデン 50

サの上記機能を可能な限り発揮させるようにしている（例えば、特許文献1参照）。

【0003】

【特許文献1】特開2004-006488号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記のようなコンデンサでは、一方端子をICの電源端子と電源層との間に接続すると共に、他方端子をグランド層に接続するが、コンデンサを適切な個所に接続しないと、ICに供給される電流によって逆起電力が発生して、電源電圧が低下し、ICが誤動作を起こすおそれがある。この逆起電力は、ICの電源端子からコンデンサ迄のパターンのインダクタンスとコンデンサの持つ残留インダクタンスとコンデンサからグランド層迄のパターンのインダクタンスとの和に比例する。したがって、ICの誤動作を防止するためには、これらのインダクタンス値を極力小さくするようにコンデンサを配設する必要がある。

しかしながら、上述した従来の技術では、コンデンサを基板の裏面に配設した構造をとった場合、インダクタンスの高いビアホールによって基板の表面と裏面をつなぐことになる。このため、電源端子からコンデンサ迄のインダクタンスやコンデンサからグランド層迄のインダクタンスが大きくなり、その結果、ICが誤動作を起こすおそれが高かった。

【0005】

この発明は、上述した課題を解決するためになされたもので、デカップリング及びバイパスの機能を有するコンデンサをICの電源端子の間近に実装することで、ICの誤動作を防止した多層回路基板及びICパッケージを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、請求項1の発明は、裏面にBGAタイプの端子群を有したICパッケージが表面に実装され且つ電源層とグランド層とが設けられた多層回路基板であって、ICパッケージの裏面と対向するIC実装領域内に、コンデンサの実装スペースを設けて、コンデンサを実装スペースに配し、コンデンサの電源用の電極を、ICパッケージの電源端子に接続すると共に電源層に接続し、グランド用の電極を、グランド層に接続した構成とする。

かかる構成により、外部電源が電源層に入力されると、電源層に接続されたコンデンサに充電される。そして、コンデンサに充電された電荷が、ICパッケージのスイッチング等のタイミングで電源端子を通じてICパッケージに電流として供給される。したがって、電源電圧を安定させるバイパスコンデンサとして機能する。

また、ICパッケージのスイッチング等によって電源端子に生じたノイズ電流は、コンデンサの電源用の電極及びグランド用の電極を通じてグランド層に排出される。したがって、コンデンサは、発生したノイズを除去するデカップリングコンデンサとして機能する。

ところで、ICパッケージに電流が供給されると、ICパッケージの電源端子からコンデンサ迄のインダクタンスと、コンデンサの残留インダクタンスと、コンデンサからグランド層迄のインダクタンスとの和に比例した逆起電力が発生する。

しかし、この発明では、コンデンサを、ICパッケージの裏面と対向するIC実装領域に設けられた実装スペースに配しているので、ICパッケージの電源端子からコンデンサ迄の距離と、コンデンサからグランド層迄の距離が短くなり、これらの間のインダクタンス値が小さくなる。このため、ICパッケージに供給される電流によって生じる逆起電力は、上記した従来の技術で生じる逆起電力に比べて、極めて小さくなる。

【0007】

請求項2の発明は、請求項1に記載の多層回路基板において、コンデンサは、チップ型の2端子コンデンサであり、電源用の電極は、2端子コンデンサの入出力端子であり、グランド用の電極は、2端子コンデンサのアース端子である構成とした。

かかる構成により、外部電源が電源層に入力されると、電源層に接続された入出力端子

を通じて２端子コンデンサに充電される。そして、２端子コンデンサに充電された電荷が入出力端子に接続された電源端子を通じてＩＣパッケージに電流として供給される。

また、ＩＣパッケージの電源端子に生じたノイズ電流は、２端子コンデンサの入出力端子及びアース端子を通じてグランド層に排出される。

【０００８】

請求項３の発明は、請求項１に記載の多層回路基板において、コンデンサは、チップ型の３端子コンデンサであり、電源用の電極は、３端子コンデンサの入力端子と出力端子とでなり、入力端子が電源層に接続すると共に、出力端子が電源端子に接続し、グランド用の電極は、３端子コンデンサのアース端子である構成とした。

かかる構成により、外部電源が電源層に入力されると、電源層に接続された入力端子を通じて３端子コンデンサに充電される。そして、３端子コンデンサに充電された電荷が出力端子に接続された電源端子を通じてＩＣパッケージに電流として供給される。 10

また、電源端子に生じたノイズ電流は、３端子コンデンサを介さなければ電源層に流出できなくなるため、より高いデカップリング効果を得ることができる。

さらに、この３端子コンデンサの残留インダクタンスは、極めて小さいので、ＩＣパッケージの電源端子からグランド層迄のインダクタンス値をさらに小さくすることができる。

【０００９】

請求項４の発明は、請求項１ないし請求項３のいずれかに記載の多層回路基板において、コンデンサの実装スペースを、ＩＣパッケージの電源端子の近傍に設けた構成とする。 20

かかる構成により、ＩＣパッケージの電源端子からコンデンサ迄の間のインダクタンス値を小さくすることができる。

【００１０】

請求項５の発明は、請求項１ないし請求項４のいずれかに記載の多層回路基板において、ＩＣパッケージの裏面であって且つコンデンサの実装スペースに対応する個所に、ＩＣパッケージとコンデンサとの接触を回避するための凹部を形成した構成とする。

かかる構成により、ＩＣパッケージの実装時に、ＩＣパッケージが凹部内に納まって、ＩＣパッケージとコンデンサとの接触を回避することができ、この結果、多層回路基板全体の低背化を図ることができる。

【００１１】

請求項６の発明は、請求項１ないし請求項５のいずれかに記載の多層回路基板において、コンデンサの実装スペースを、ＩＣパッケージの裏面と対向するＩＣ実装領域のほぼ中央部に設けた構成とする。 30

かかる構成により、裏面のほぼ中央部に多くの電源端子を有するＩＣパッケージを用いることで、コンデンサを多くの電源端子に近づけることができる。

【００１２】

請求項７の発明は、請求項１ないし請求項５のいずれかに記載の多層回路基板において、コンデンサの実装スペースを、ＩＣパッケージの裏面と対向するＩＣ実装領域の周縁部に１以上設けた構成とする。

かかる構成により、裏面の周縁部に多くの電源端子を有するＩＣパッケージを用いることで、コンデンサを多くの電源端子に近づけることができる。 40

【００１３】

請求項８の発明は、電源端子とグランド端子とを含むＢＧＡタイプの端子群を裏面に有し且つ多層回路基板の表面に実装されるＩＣパッケージであって、ＩＣパッケージの端子群内に、コンデンサの実装スペースを設けて、コンデンサを実装スペースに取り付け、コンデンサの電源用の電極を、電源端子に接続すると共に、グランド用の電極を、グランド端子に接続した構成とする。

かかる構成により、電源端子を多層回路基板の電源層に接続し、グランド端子を多層回路基板のグランド層に接続して、ＩＣパッケージを多層回路基板の表面に実装することができる。かかる状態で、外部電源を電源層に入力すると、電源端子を通じて電源層に接続 50

されたコンデンサが充電される。そして、コンデンサに充電された電荷が、電源端子を通じて I C パッケージ内に電流として供給される。したがって、コンデンサが、バイパスコンデンサとして機能する。

また、電源端子に生じたノイズ電流は、コンデンサの電源用の電極及びグランド用の電極を通じてグランド端子に至り、グランド端子を通じてグランド層に排出される。したがって、コンデンサが、発生したノイズを除去するデカップリングコンデンサとして機能する。

さらに、コンデンサを、I C パッケージの端子群内に設けられた実装スペースに取り付け、コンデンサの電源用の電極及びグランド用の電極を、電源端子及びグランド端子に直接接続しているので、電源端子からコンデンサ迄のインダクタンスとコンデンサからグランド端子迄のインダクタンスとを極めて小さくすることができる。

10

【0014】

請求項 9 の発明は、請求項 8 に記載の I C パッケージにおいて、コンデンサは、チップ型の 2 端子コンデンサであり、電源用の電極は、2 端子コンデンサの入出力端子であり、グランド用の電極は、2 端子コンデンサのアース端子である構成とした。

かかる構成により、I C パッケージを多層回路基板に実装して、外部電源を電源層に入力すると、外部電源が、電源層に接続された電源端子に入力し、電源端子に接続された入出力端子を通じて 2 端子コンデンサに充電される。そして、2 端子コンデンサに充電された電荷が入出力端子に接続された電源端子を通じて I C パッケージ内に電流として供給される。

20

また、電源端子に生じたノイズ電流は、2 端子コンデンサの入出力端子及びアース端子を通じてグランド端子に至り、グランド端子を通じて多層回路基板のグランド層に排出される。

【0015】

請求項 10 の発明は、請求項 8 に記載の I C パッケージにおいて、コンデンサは、チップ型の 3 端子コンデンサであり、電源用の電極は、3 端子コンデンサの入力端子と出力端子とでなり、入力端子を、多層回路基板の電源層に接続すると共に、出力端子が、電源端子に接続し、グランド用の電極は、3 端子コンデンサのアース端子である構成とした。

かかる構成により、I C パッケージの電源端子と多層回路基板の電源層を 3 端子コンデンサを介して接続し、グランド端子を多層回路基板のグランド層に接続して、I C パッケージを多層回路基板の表面に実装することができる。かかる状態で、外部電源を電源層に入力すると、外部電源が、電源層に接続された 3 端子コンデンサに充電される。そして、3 端子コンデンサに充電された電荷が出力端子に接続された電源端子を通じて I C パッケージ内に電流として供給される。

30

また、電源端子に生じたノイズ電流は、3 端子コンデンサのアース端子を通じてグランド端子に至り、グランド端子を通じて I C パッケージのグランド電極に排出される。

さらに、この 3 端子コンデンサの残留インダクタンスは、極めて小さいので、電源端子から多層回路基板のグランド層迄のインダクタンス値をさらに小さくすることができる。

【0016】

請求項 11 の発明は、請求項 8 ないし請求項 10 のいずれかに記載の I C パッケージにおいて、コンデンサの実装スペースを、電源端子とグランド端子の近傍に設けた構成とする。

40

かかる構成により、電源端子からコンデンサ迄の間のインダクタンス値をさらに小さくすることができる。

【0017】

請求項 12 の発明は、請求項 8 ないし請求項 10 のいずれかに記載の I C パッケージにおいて、互いに電氣的に接続された複数の電源端子と互いに電氣的に接続された複数のグランド端子とを、コンデンサの実装スペースの周囲に配置した構成とする。

かかる構成により、I C パッケージの複数の電源端子からコンデンサ迄の間のインダクタンス値を小さくすることができる。

50

【0018】

請求項13の発明は、請求項8ないし請求項12のいずれかに記載のICパッケージにおいて、コンデンサの実装スペースに対応する個所に、コンデンサを収納する凹部を形成した構成とする。

かかる構成により、多層回路基板への実装時におけるICパッケージの低背化が可能となる。

【0019】

請求項14の発明は、請求項8ないし請求項13のいずれかに記載のICパッケージにおいて、コンデンサの実装スペースを、端子群内のほぼ中央部に設けた構成とする。

かかる構成により、コンデンサを、裏面のほぼ中央部に存する電源端子に近づけることができる。 10

【発明の効果】

【0020】

以上詳しく説明したように、請求項1ないし請求項7の発明によれば、コンデンサの実装スペースを設けて、コンデンサをこの実装スペースに配するので、コンデンサの実装を容易に行うことができる。また、コンデンサを、ICパッケージの裏面と対向するIC実装領域内に設けた実装スペースに配して、ICパッケージの電源端子とコンデンサとグラウンド層間の距離を短くし、これらの間のインダクタンス値を小さくしたので、安定した電源電圧をICパッケージに供給することができ、この結果、ICパッケージの誤動作が生ぜず、動作特性に優れた多層回路基板を提供することができるという優れた効果がある 20

【0021】

特に、請求項3の発明によれば、コンデンサとして、残留インダクタンスが極めて小さな3端子コンデンサを用いて、ICパッケージの電源端子からグラウンド層迄のインダクタンス値をさらに小さくしたので、ICパッケージの動作特性をさらに向上させた多層回路基板を提供することができる。

【0022】

また、請求項4ないし請求項7の発明によれば、コンデンサをICパッケージの電源端子の近くに位置させて、電源端子からコンデンサ迄の間のインダクタンス値を小さくしたので、ICパッケージの誤動作をほぼ完全に防止することができ、ICパッケージの動作特性のさらに優れた多層回路基板を提供することができる。特に、請求項7の発明によれば、コンデンサの実装スペースを、ICパッケージの裏面と対向するIC実装領域の周縁部に1以上設けたので、コンデンサが多層回路基板表面の実装スペースに確実に実装されているか否かを、外部から容易に確認することができる。 30

【0023】

また、請求項8ないし請求項14の発明によれば、コンデンサを、ICパッケージ裏面に設けた実装スペースに取り付けるので、コンデンサのICパッケージへの実装が容易になる。さらに、コンデンサを、ICパッケージの裏面の端子群内の実装スペースに取り付けることにより、電源端子からコンデンサ迄のインダクタンスとコンデンサからグラウンド層迄のインダクタンスを極めて小さくしたので、安定した電源電圧をICパッケージに供給することができ、この結果、誤動作のない動作特性に優れたICパッケージを提供することができるという効果がある。 40

【0024】

特に、請求項10の発明によれば、コンデンサとして、残留インダクタンスが極めて小さな3端子コンデンサを用いたので、動作特性をさらに向上させたICパッケージを提供することができる。

【0025】

また、請求項11ないし請求項14の発明によれば、コンデンサを電源端子の近くに位置させて、電源端子からコンデンサ迄の間のインダクタンス値を小さくしたので、ICパッケージの誤動作をほぼ完全に防止することができ、動作特性の極めて優れたICパッ 50

ージを提供することができる。

【発明を実施するための最良の形態】

【0026】

以下、この発明の最良の形態について図面を参照して説明する。

【実施例1】

【0027】

図1は、この発明の第1実施例に係る多層回路基板の分解斜視図であり、図2は、コンデンサの実装スペースを示す平面図である。

【0028】

この実施例の多層回路基板は、図4に示すように、ICパッケージ1を実装する最上位の信号層2と、グランド層3と、電源層4と、グランド層5と、最下位の信号層6とを備えている。

【0029】

ICパッケージ1は、コンピュータ等に用いられるCPUやチップコントローラ等の半導体集積回路であり、BGAタイプの端子群を裏面10に有している。そして、実装スペースS1と同形の凹部11を、この裏面10であって且つ後述する2端子コンデンサ7の実装スペースS1に対応する個所に有し、ICパッケージ1と2端子コンデンサ7との接触を回避している。

【0030】

信号層2は、ICパッケージ1の端子を接続するためのランド群で成るIC実装領域であり、ICパッケージ1の裏面10に対向するように、絶縁層20の表面に形成されている。この信号層2は、平面視において、ICパッケージ1の端子群とほぼ同形を成し、その内側には、2端子コンデンサ7用の実装スペースS1を有している。

【0031】

実装スペースS1は、ロ字状に画成された絶縁層20の表面で成り、図2に示すように、この実装スペースS1は、信号層2のほぼ中央部であって、ICパッケージ1の電源端子の近傍に位置するように設けられている。具体的には、この実施例では、ICパッケージ1の信号層2への実装時に、ICパッケージ1の電源端子12が、図2の黒丸で示す位置に位置するので、これら電源端子12が、実装スペースS1の周囲に位置するように、実装スペースS1の形状を設定した。そして、幅広の銅箔パターンで成るランド21を、黒丸で示す電源端子12対応位置に設け、ランド21が複数のこれらの電源端子12と同時に接触できるようにした。また、幅広の銅箔パターンで成るランド22を、実装スペースS1を挟んでランド21と対向する位置に設けた。

【0032】

そして、図1に示すように、複数の2端子コンデンサ7を、上記実装スペースS1に実装した。

図3は、この実施例に適用する2端子コンデンサの外観図であり、図4は、2端子コンデンサの等価回路図であり、図5は、2端子コンデンサのランド実装状態を示す平面図であり、図6は、2端子コンデンサを実装スペースに実装した状態を示す平面図である。

図3に示すように、2端子コンデンサ7は、電源用の入出力端子71を一方端部に有し且つグランド用のアース端子72を他方端部に有するチップ型の2端子コンデンサである。

すなわち、この2端子コンデンサ7は、誘電体シートにパターンを印刷して、パターンが交互に向き合うように、複数の誘電体シートを積層して構成したもので、図4に示すように、ノイズ等の高周波電流Iを入出力端子71からアース端子72に通す。

【0033】

このような構造の各2端子コンデンサ7は、図5に示すように、その入出力端子71をランド21に接続すると共に、アース端子72をランド22に接続している。そして、図6に示すように、かかる接続状態で、複数の2端子コンデンサ7が実装スペースS1内に等間隔で実装されている。

【0034】

図1において、グラウンド層3は、絶縁層30の表面の大部分に形成されており、絶縁層20を介して信号層2と対向している。かかるグラウンド層3は、絶縁層20に形成されたビアホール31を介して2端子コンデンサ7のランド22に接続されている。

【0035】

また、電源層4は、外部電源をICパッケージ1に供給するための導体層であり、絶縁層40の表面に形成され、絶縁層30を介してグラウンド層3の下側に位置する。かかる電源層4は、絶縁層30に形成されたビアホール41とグラウンド層3に開けられた孔42と絶縁層20の形成されたビアホール43とを介して2端子コンデンサ7のランド21に接続されている。

10

【0036】

グラウンド層5及び信号層6は、絶縁層50の表面及び裏面に形成され、最下層に位置する。

【0037】

図7は、多層回路基板の概略断面図である。

この実施例の多層回路基板が上記の如き積層構造を取ることで、図7に示すように、ICパッケージ1を信号層2に実装した状態においては、ICパッケージ1の電源端子12がランド21に接続するので、2端子コンデンサ7の入出力端子71が、ICパッケージ1の電源端子12に接続すると共に電源層4にも接続した状態になる。

また、一方、2端子コンデンサ7のアース端子72は、ランド22を通じてグラウンド層3に接続した状態になる。

20

【0038】

次に、この実施例の多層回路基板が示す作用及び効果について説明する。

図8は、各部材の電氣的接続状態を示す概略図であり、図9は、2端子コンデンサの機能を説明するための概略部分拡大断面図である。

図8に示すように、ICパッケージ1を実装した状態では、ICパッケージ1の電源端子12が、2端子コンデンサ7の入出力端子71が固着されたランド21、ビアホール43、孔42、ビアホール41を通じて、電源層4に接続されている。一方、2端子コンデンサ7のアース端子72が固着されたランド22は、ビアホール31を通じてグラウンド層3に接続されている。

30

【0039】

したがって、図9において、電源を外部から電源層4に入力すると、電源電圧に対応した電荷が、矢印Aで示すように、ビアホール41～43及びランド21を通じて2端子コンデンサ7に充電される。すると、この2端子コンデンサ7に充電された電荷が、ICパッケージ1の図示しないスイッチング等のタイミングで電源端子12を通じてICパッケージ1に供給される。したがって、2端子コンデンサ7は、電源端子12に最も近い位置で電荷をICパッケージ1に供給する。このため、ICパッケージの電源端子から離れた個所にコンデンサを配した従来の技術に比べて、安定した電源電圧の供給を行うことができると共に、ノイズ発生をより効果的に防止することができ、高性能のバイパスコンデンサとして機能する。

40

【0040】

また、ICパッケージ1のスイッチング等によって、ノイズが電源端子12に生じた場合には、矢印Bで示すように、電源端子12に生じたノイズ電流は、ランド21を通じて2端子コンデンサ7のランド22側に流出し、ビアホール31を通じて、グラウンド層3に排出される。したがって、2端子コンデンサ7は、電源端子12で発生したノイズを除去するデカップリングコンデンサとして機能する。

【0041】

ところで、図8に示すように、ICパッケージ1の電源端子12から2端子コンデンサ7迄のインダクタンスは、ランド21によるインダクタンスのみである。ランド21は、幅広の銅箔パターンであり、そのインダクタンス値はほとんど無視できる。また、2端子

50

コンデンサ7からグラウンド層3迄のインダクタンスは、ランド22とビアホール31によるインダクタンスである。ランド22も、幅広の銅箔パターンであり、そのインダクタンス値はほとんど無視できる。また、グラウンド層3が、信号層2のほぼ真下に設けられているので、ビアホール31の長さは極めて短く、そのインダクタンスは非常に小さい。

このように、この実施例によれば、ICパッケージ1の電源端子12から2端子コンデンサ7迄のインダクタンスや2端子コンデンサ7からグラウンド層3迄のインダクタンスが非常に小さい。このため、ICパッケージ1に供給される電流によって生じる逆起電力は、上記した従来の技術で生じる逆起電力に比べて、無視できる程度に小さく、ICパッケージ1に対して安定した電源供給がなされる。

【実施例2】

10

【0042】

次に、この発明の第2実施例について説明する。

図10は、この発明の第2実施例に係る多層回路基板の要部であるコンデンサの実装スペースを示す平面図であり、図11は、2端子コンデンサを実装スペースに実装した状態を示す平面図であり、図12は、第2実施例の多層回路基板の概略断面図である。

この実施例は、実装スペースの形成位置が、上記第1実施例と異なる。

【0043】

この実施例の実装スペースS2は、矩形状に画成された絶縁層20の表面で成り、図10に示すように、信号層2の周縁部であって、ICパッケージ1の電源端子の近傍に位置するように設けられている。具体的には、この実施例では、ICパッケージ1の信号層2への実装時には、図10の黒丸で示すように、ICパッケージ1の電源端子12が、信号層2の各周縁部に平行に位置する。このため、実装スペースS2の大きさを、これらの電源端子12が各実装スペースS2の両側に位置するように設定した。そして、図11で示すように、電源端子12に対応する位置に、幅広のランド21を設け、実装スペースS2の奥側に幅広のランド22を設けた。

20

そして、2端子コンデンサ7の入出力端子71をランド21に接続すると共に、アース端子72をランド22に接続した。

【0044】

一方、ICパッケージ1の裏面10には、図12に示すように、凹部11'を、上記2端子コンデンサ7が実装された実装スペースS2に対応させて設けている。

30

【0045】

これにより、ICパッケージ1を信号層2に実装すると、各2端子コンデンサ7がICパッケージ1の凹部11'に収納され、ICパッケージ1の電源端子12が、ランド21に接続する。この結果、2端子コンデンサ7の入出力端子71が、電源端子12に接続すると共に電源層4にも接続した状態になる。また、2端子コンデンサ7のアース端子72は、ランド22を通じてグラウンド層3に接続した状態になる。

【0046】

かかる構成により、2端子コンデンサ7が実装スペースS2に確実に実装されているかを、外部から容易に確認することができる。すなわち、上記第1実施例では、2端子コンデンサ7がICパッケージ1の凹部11内に完全に隠れてしまうので、ICパッケージ1を信号層2に実装した後も、2端子コンデンサ7が外れることなく実装スペースS1に実装されているかを確認することができない。しかし、この実施例では、凹部11'内を図12の矢印方向から覗き込むことができ、2端子コンデンサ7の実装状態を一目で確認することができる。

40

その他の構成、作用及び効果は、上記第1実施例と同様であるので、その記載は省略する。

【実施例3】

【0047】

次に、この発明の第3実施例について説明する。

図13は、この発明の第3実施例の要部である3端子コンデンサの実装状態を示す平面

50

図であり、図 1 4 は、第 3 実施例の多層回路基板の概略断面図である。

この実施例は、図 1 3 及び図 1 4 に示すように、上記第 1 実施例で用いた 2 端子コンデンサ 7 の代わりに、3 端子コンデンサ 8 を用いた。

【0048】

図 1 5 は、3 端子コンデンサの外観図であり、図 1 6 は、3 端子コンデンサの分解斜視図であり、図 1 7 は、3 端子コンデンサの等価回路図であり、図 1 8 は、3 端子コンデンサのランド実装状態を示す平面図である。

図 1 5 に示すように、3 端子コンデンサ 8 は、電源用電極としての入力端子 8 1 及び出力端子 8 2 を両端部に有すると共にグラウンド用電極としてのアース端子 8 3 を中央部に有したチップ型の積層貫通コンデンサである。

この 3 端子コンデンサ 8 では、図 1 6 に示すように、入力端子 8 1、出力端子 8 2 を接続する貫通電極となるパターン 8 4 を、誘電体シート 8 0 に印刷し、これらの誘電体シート 8 0 を積層した。そして、アース端子 8 3 を接続するアース電極となるパターン 8 5 を誘電体シート 8 0 に印刷し、この誘電体シート 8 0 をパターン 8 4 が印刷された誘電体シート 8 0 と交互に積層した。これにより、図 1 7 に示すように、電源等の電流 I が入力端子 8 1 からパターン 8 4 を通じて出力端子 8 2 に至るようになっている。また、アース端子 8 3 に接続されたパターン 8 5 の接地機能により、アース端子 8 3 側の残留インダクタンスを低減している。すなわち、3 端子コンデンサ 8 は、残留インダクタンスを 2 端子コンデンサ 7 に比べて極めて小さくした構造になっている。

【0049】

このような 3 端子コンデンサ 8 を実装する信号層 2 では、図 1 3、図 1 4 に示すように、ランド 2 1 を、IC パッケージ 1 の電源端子 1 2 と対応する箇所（黒丸で示す箇所）である実装スペース S 1 の外側には形成せず、実装スペース S 1 の内側に形成した。そして、ランド 2 2 を、このランド 2 1 を囲むように形成した。さらに、銅箔パターンのランド 2 3 を IC パッケージ 1 の電源端子 1 2 に対応する箇所に形成した。

そして、図 1 8 に示すように、3 端子コンデンサ 8 の入力端子 8 1、出力端子 8 2 及びアース端子 8 3 を、かかるランド 2 1、ランド 2 3 及びランド 2 2 に固着した。このとき、図 1 4 に示すように、ランド 2 1 がビアホール 4 1～4 3 を通じて電源層 4 に接続し、ランド 2 2 がビアホール 3 1 を通じてグラウンド層 3 に接続しているので、3 端子コンデンサ 8 の入力端子 8 1 がランド 2 1 及びビアホール 4 1～4 3 を通じて電源層 4 に接続し、アース端子 8 3 がランド 2 2 及びビアホール 3 1 を通じてグラウンド層 3 に接続することとなる。したがって、各 3 端子コンデンサ 8 を凹部 1 1 内に収納した状態で、IC パッケージ 1 を信号層 2 に実装すると、IC パッケージ 1 の電源端子 1 2 が電源層 4 に接続された状態になる。

【0050】

図 1 9 は、各部材の電氣的接続状態を示す概略図である。

この図 1 9 及び図 1 8 に示すように、電源層 4 は、ビアホール 4 1～4 3 及びランド 2 1 を通じて 3 端子コンデンサ 8 の入力端子 8 1 に接続され、この 3 端子コンデンサ 8 の出力端子 8 2 は、ランド 2 3 を通じて IC パッケージ 1 の電源端子 1 2 に接続されている。そして、3 端子コンデンサ 8 のアース端子 8 3 は、ランド 2 2 及びビアホール 3 1 を通じてグラウンド層 3 に接続されている。

【0051】

かかる構成により、外部電源が電源層 4 に入力されると、電源電圧に対応した電荷が、電源層 4 に接続された入力端子 8 1 を通じて 3 端子コンデンサ 8 に充電される。そして、3 端子コンデンサ 8 に充電された電荷が、出力端子 8 2 に接続された電源端子 1 2 を通じて IC パッケージ 1 に電源電流として供給される。

また、IC パッケージ 1 の電源端子 1 2 に生じたノイズ電流は、3 端子コンデンサ 8 のアース端子 8 3 及びランド 2 2 を通じてグラウンド層 3 に排出される。

【0052】

この実施例では、3 端子コンデンサ 8 を適用したが、IC パッケージ 1 の電源端子 1 2

10

20

30

40

50

から3端子コンデンサ8迄のインダクタンス値や、3端子コンデンサ8からグランド層3迄のインダクタンス値は、それぞれ、上記第1実施例における電源端子12から2端子コンデンサ7迄のインダクタンス値や、2端子コンデンサ7からグランド層3迄のインダクタンス値とほぼ同じである。しかしながら、上記したように、この3端子コンデンサ8の残留インダクタンスは、2端子コンデンサ7が有する残留インダクタンスに比べて極めて小さい。このため、ICパッケージ1に供給される電流によって生じる逆起電力は、上記第1実施例で生じる逆起電力に比べて極めて小さくなり、ICパッケージ1に対して、より一層安定した電源供給がなされ、動作特性の更なる向上を図ることができる。

その他の構成、作用及び効果は、上記第1実施例と同様であるので、その記載は省略する。

10

【実施例4】

【0053】

次に、この発明の第4実施例について説明する。

図20は、この発明の第4実施例の要部である3端子コンデンサの実装状態を示す平面図であり、図21は、第4実施例の多層回路基板の概略断面図である。

この実施例は、図20及び図21に示すように、上記第2実施例で用いた2端子コンデンサ7の代わりに、3端子コンデンサ8を用いた。

【0054】

すなわち、図20に示すように、幅広のランド23を、各実装スペースS2の電源端子12対応位置に設け、ランド21を、実装スペースS2の奥側に設けた。さらに、ランド22を、ランド21を囲むように形成した。

20

そして、3端子コンデンサ8の入力端子81、出力端子82及びアース端子83を、かかるランド21、ランド23及びランド22に固着した。

これにより、図21に示すように、ランド21がビアホール41～43を通じて電源層4に接続し、ランド22がビアホール31を通じてグランド層3に接続しているので、3端子コンデンサ8の入力端子81がランド21及びビアホール41～43を通じて電源層4に接続し、アース端子83がランド22及びビアホール31を通じてグランド層3に接続することとなる。したがって、各3端子コンデンサ8を凹部11'内に収納した状態で、ICパッケージ1を信号層2に実装すると、ICパッケージ1の電源端子12が電源層4に接続された状態になる。

30

【0055】

かかる構成により、残留インダクタンスの極めて小さな3端子コンデンサ8を用いて、ICパッケージ1の動作特性をより向上させることができるだけでなく、凹部11'内を覗き込むことで、3端子コンデンサ8の実装状態を一目で確認することができる。

その他の構成、作用及び効果は、上記第2及び第3実施例と同様であるので、その記載は省略する。

【実施例5】

【0056】

次に、この発明の第5実施例について説明する。

図22は、この発明の第5実施例に係るICパッケージを示す斜視図であり、図23は、コンデンサの実装状態を示す平面図である。

40

【0057】

図22に示すように、この実施例のICパッケージ1-1は、コンピュータ等に用いられるCPUやチップコントローラ等の半導体集積回路であり、電源端子12とグランド端子13とを含むBGAタイプの端子群9を裏面10に有している。なお、理解を容易にするため、図22及び図23では、2端子コンデンサ7に接続されている電源端子12及びグランド端子13を黒塗りで示した。

【0058】

また、このような裏面10には、ロ字状の凹部11が凹設され、2端子コンデンサ7を実装するための実装スペースS11がこの凹部11内に形成されている。

50

実装スペース S 1 1 を有する凹部 1 1 は、端子群 9 のほぼ中央部であって、電源端子 1 2 とグランド端子 1 3 の近傍に位置する。具体的には、黒丸で示すように、複数の電源端子 1 2 の組を、凹部 1 1 の外周に沿ってそれぞれ配置し、複数のグランド端子 1 3 の組を、電源端子 1 2 の各組に対向するように、凹部 1 1 の内周に沿ってそれぞれ配置した。

そして、各組の複数の電源端子 1 2 を幅広の銅箔パターン 1 4 で電氣的に接続すると共に、各組の複数のグランド端子 1 3 を幅広の銅箔パターン 1 5 で電氣的に接続した。

【0059】

銅箔パターン 1 4, 1 5 は、図 2 3 にも示すように、凹部 1 1 の内部迄延出して、互いに対向し、かかる対向部が 2 端子コンデンサ 7 用のランド部 1 4 a, 1 5 a を形成している。

10

2 端子コンデンサ 7 は、かかるランド部 1 4 a, 1 5 a に接続されている。

具体的には、その入出力端子 7 1 をランド部 1 4 a に接続し、アース端子 7 2 をランド部 1 5 a に接続した状態で、複数の 2 端子コンデンサ 7 が凹部 1 1 内の実装スペース S 1 1 に等間隔で実装されている。

これにより、2 端子コンデンサ 7 の入出力端子 7 1 が銅箔パターン 1 4 を通じて電源端子 1 2 に接続し、アース端子 7 2 が銅箔パターン 1 5 を通じてグランド端子 1 3 に接続した状態になっている。

【0060】

次に、この実施例の I C パッケージが示す作用及び効果について説明する。

図 2 4 は、この実施例の I C パッケージの実装例を示す概略断面図である。

20

この I C パッケージ 1-1 は、図 2 4 に示す多層回路基板 1 0 0 に実装することができる。

多層回路基板 1 0 0 は、上記第 1 実施例の多層回路基板とほぼ同じ多層構造を成す。

すなわち、多層回路基板 1 0 0 は、I C パッケージ 1-1 の端子群 9 の配列に対応したランド群で成る信号層 2' を表面に有している。そして、ランド 2 1 がビアホール 4 1, 孔 4 2 及びビアホール 4 3 を通じて電源層 4 に接続しており、ランド 2 2 がビアホール 3 1 を通じてグランド層 3 に接続している。

【0061】

I C パッケージ 1-1 をかかる多層回路基板 1 0 0 に実装すると、I C パッケージ 1-1 の電源端子 1 2 と多層回路基板 1 0 0 のランド 2 1 とが接続し、また、グランド端子 1 3 とランド 2 2 とが接続する。

30

かかる状態で、電源を外部から電源層 4 に入力すると、電源が、ビアホール 4 1 ~ 4 3 を通じてランド 2 1 に印加され、ランド 2 1 に接続された電源端子 1 2 から銅箔パターン 1 4 のランド部 1 4 a を通じて 2 端子コンデンサ 7 の入出力端子 7 1 に至り、2 端子コンデンサ 7 に充電される。そして、2 端子コンデンサ 7 に充電された電荷は、入出力端子 7 1 から銅箔パターン 1 4 の電源端子 1 2 を通じて I C パッケージ 1 内に電流として供給される。すなわち、この実施例の 2 端子コンデンサ 7 も、上記第 1 実施例の 2 端子コンデンサと同様に、電源電圧を安定させるバイパスコンデンサとして機能する。

また、I C パッケージ 1-1 の電源端子 1 2 に生じたノイズ電流は、銅箔パターン 1 4 のランド部 1 4 a を通じて入出力端子 7 1 から 2 端子コンデンサ 7 に入力し、アース端子 7 2 から銅箔パターン 1 5 のランド部 1 5 a を通じてグランド端子 1 3 に至る。そして、かかるノイズ電流は、グランド端子 1 3 が接続された多層回路基板 1 0 0 のランド 2 2 を通じてグランド層 3 に排出される。すなわち、この 2 端子コンデンサ 7 も、発生したノイズを除去するデカップリングコンデンサとして機能する。

40

【0062】

ところで、この実施例の I C パッケージ 1-1 においても、電源端子 1 2 から 2 端子コンデンサ 7 迄のインダクタンスは、銅箔パターン 1 4 のインダクタンスであり、ほとんど無視できる大きさである。また、2 端子コンデンサ 7 からグランド層 3 迄のインダクタンスは、銅箔パターン 1 5 とランド 2 2 とビアホール 3 1 のインダクタンスであり、極めて小さい。

50

【実施例 6】

【0063】

次に、この発明の第 6 実施例について説明する。

図 25 は、この発明の第 6 実施例の要部であるコンデンサの実装状態を示す平面図であり、図 26 は、この実施例の IC パッケージの実装例を示す概略断面図である。なお、これらの図において、理解を容易にするため、電源層 4 に接続させる端子を黒塗りで示した。

この実施例は、上記第 5 実施例で用いた 2 端子コンデンサ 7 の代わりに、3 端子コンデンサ 8 を用いた。

【0064】

すなわち、この実施例の IC パッケージ 1-3 においては、図 25 に示すように、銅箔パターン 14 を、凹部 11 の内側に形成し、この銅箔パターン 14 にのみ電氣的に接続した端子 12' を銅箔パターン 14 の表面に形成した。そして、銅箔パターン 15 を、この銅箔パターン 14 を囲むように形成し、複数のグランド端子 13 を、この銅箔パターン 15 で電氣的に接続した。さらに、銅箔パターン 16 を、銅箔パターン 15 と対向するように、凹部 11 の外側に形成し、IC パッケージ 1-3 内部の電源パターン 12'' と電氣的に接続させた。

そして、3 端子コンデンサ 8 の入力端子 81、出力端子 82 及びアース端子 83 を、これら銅箔パターン 14、銅箔パターン 16 及び銅箔パターン 15 に固着した。

これにより、3 端子コンデンサ 8 の入力端子 81 が端子 12' に接続した状態になり、出力端子 82 が IC パッケージ 1-3 内部の電源パターン 12'' に接続した状態になる。

【0065】

かかる構成により、図 26 に示すように、IC パッケージ 1-3 を多層回路基板 100 に実装すると、端子 12' がランド 21 に接触し、端子 12' がビアホール 41~43 を通じて電源層 4 に接続した状態になる。また、グランド端子 13 がランド 22 に接触し、グランド端子 13 がビアホール 31 を通じてグランド層 3 に接続した状態になる。

かかる状態で、外部電源が、電源層 4 に入力されると、電源層 4 に接続された端子 12' から入力端子 81 を通じて 3 端子コンデンサ 8 に充電される。そして、3 端子コンデンサ 8 に充電された電荷が、出力端子 82 から銅箔パターン 16 を通じて、IC パッケージ 1-3 内部の電源パターン 12'' に電流として供給される。

また、電源パターン 12'' に生じたノイズ電流は、3 端子コンデンサ 8 のアース端子 83 を通じてグランド端子 13 に至り、グランド端子 13 から多層回路基板 100 のランド 22 及びビアホール 31 を通じてグランド層 3 に排出される。

その他の構成、作用及び効果は、上記第 3 及び第 5 実施例と同様であるので、その記載は省略する。

【0066】

なお、この発明は、上記実施例に限定されるものではなく、発明の要旨の範囲内において種々の変形や変更が可能である。

例えば、上記第 5 実施例では、ロ字状の実装スペース S1、S11 や矩形状の実装スペース S2、S12 を多層回路基板の信号層 2 や IC パッケージの裏面 10 に設けた例を示したが、実装スペースの形状、大きさ及び個数は、上記実施例に限定されるものではないことは勿論である。

また、上記実施例では、IC パッケージの裏面 10 に凹部 11、11' を設けた例について説明したが、これらの凹部 11、11' を有しない IC パッケージを有した多層回路基板や IC パッケージ自体をこの発明の範囲から除外する意ではない。

【図面の簡単な説明】

【0067】

【図 1】 この発明の第 1 実施例に係る多層回路基板の分解斜視図である。

【図 2】 コンデンサの実装スペースを示す平面図である。

10

20

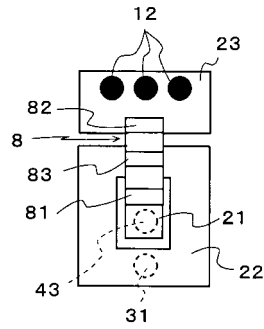
30

40

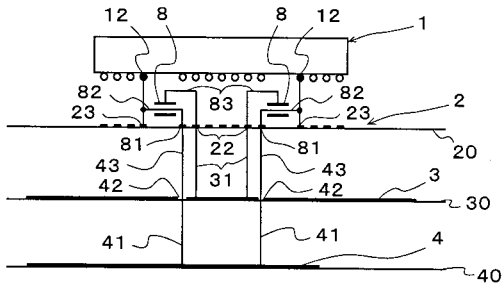
50

- 【図 3】第 1 実施例に適用する 2 端子コンデンサの外観図である。
- 【図 4】2 端子コンデンサの等価回路図である。
- 【図 5】2 端子コンデンサのランド実装状態を示す平面図である。
- 【図 6】2 端子コンデンサを実装スペースに実装した状態を示す平面図である。
- 【図 7】多層回路基板の概略断面図である。
- 【図 8】各部材の電氣的接続状態を示す概略図である。
- 【図 9】2 端子コンデンサの機能を説明するための概略部分拡大断面図である。
- 【図 10】この発明の第 2 実施例に係る多層回路基板の要部であるコンデンサの実装スペースを示す平面図である。
- 【図 11】2 端子コンデンサを実装スペースに実装した状態を示す平面図である。 10
- 【図 12】第 2 実施例の多層回路基板の概略断面図である。
- 【図 13】この発明の第 3 実施例の要部である 3 端子コンデンサの実装状態を示す平面図である。
- 【図 14】第 3 実施例の多層回路基板の概略断面図である。
- 【図 15】3 端子コンデンサの外観図である。
- 【図 16】3 端子コンデンサの分解斜視図である。
- 【図 17】3 端子コンデンサの等価回路図である。
- 【図 18】3 端子コンデンサのランド実装状態を示す平面図である。
- 【図 19】各部材の電氣的接続状態を示す概略図である。
- 【図 20】この発明の第 4 実施例の要部である 3 端子コンデンサの実装状態を示す平面図 20
である。
- 【図 21】第 4 実施例の多層回路基板の概略断面図である。
- 【図 22】この発明の第 5 実施例に係る IC パッケージを示す斜視図である。
- 【図 23】コンデンサの実装状態を示す平面図である。
- 【図 24】第 5 実施例の IC パッケージの実装例を示す概略断面図である。
- 【図 25】この発明の第 6 実施例の要部であるコンデンサの実装状態を示す平面図である。
- 【図 26】第 6 実施例の IC パッケージの実装例を示す概略断面図である。
- 【符号の説明】
- 【0068】 30
- 1, 1-1~1-4...IC パッケージ、 2, 2', 6...信号層、 3, 5...グランド層、 4...電源層、 7...2 端子コンデンサ、 8...3 端子コンデンサ、 9...端子群、 10...裏面、 11, 11'...凹部、 12...電源端子、 12'...端子、 12''...電源パターン、 13...グランド端子、 14~16...銅箔パターン、 14a, 15a...ランド部、 21~23...ランド、 31, 41, 43...ビアホール、 42...孔、 71...入出力端子、 72...アース端子、 81...入力端子、 82...出力端子、 83...アース端子、 100...多層回路基板、 S1, S2, S11, S12...実装スペース。

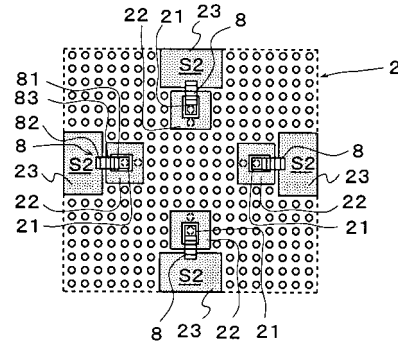
【図 18】



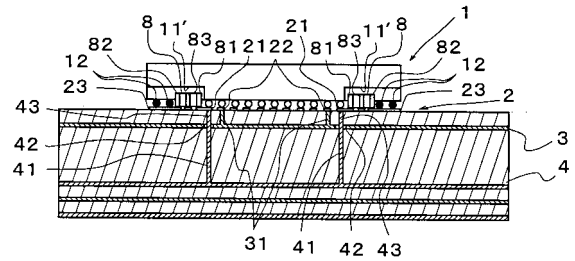
【図 19】



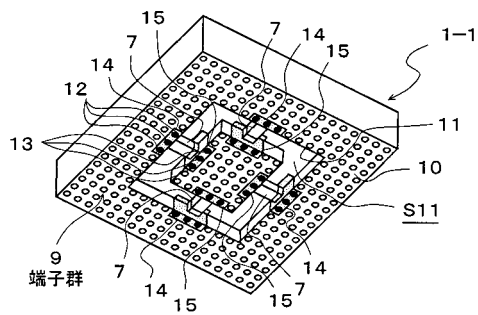
【図 20】



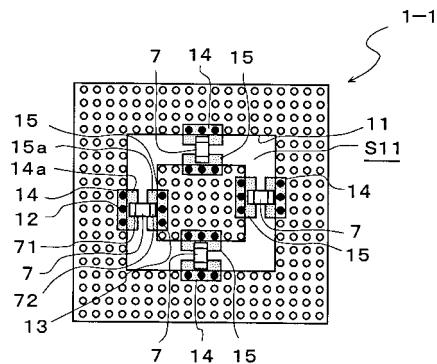
【図 21】



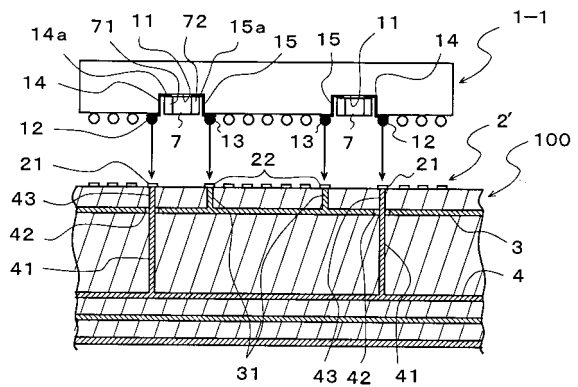
【図 22】



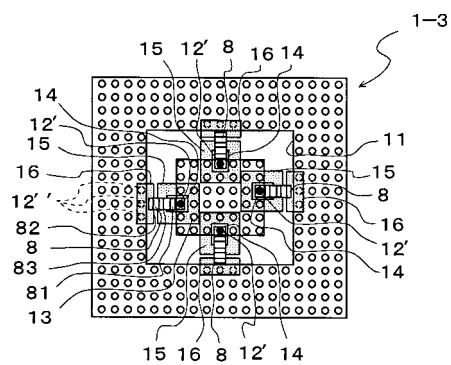
【図 23】



【図 24】



【図 25】



【図 26】

