



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 282 671**

51 Int. Cl.:
H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Número de solicitud europea: **03763217 .1**
86 Fecha de presentación : **03.07.2003**
87 Número de publicación de la solicitud: **1518328**
87 Fecha de publicación de la solicitud: **30.03.2005**

54 Título: **Codificación de códigos de comprobación de paridad de baja densidad (LDPC) utilizando una matriz de comprobación de paridad estructurada.**

30 Prioridad: **03.07.2002 US 393457 P**
26.07.2002 US 398760 P
15.08.2002 US 403812 P
25.10.2002 US 421505 P
29.10.2002 US 421999 P
04.11.2002 US 423710 P
15.01.2003 US 440199 P
14.02.2003 US 447641 P
20.03.2003 US 456220 P
09.05.2003 US 469356 P
24.06.2003 US 482112 P
24.06.2003 US 482107 P

45 Fecha de publicación de la mención BOPI:
16.10.2007

45 Fecha de la publicación del folleto de la patente:
16.10.2007

73 Titular/es: **The DIRECTV Group, Inc.**
2230 East Imperial Highway
El Segundo, California 90245, US

72 Inventor/es: **Eroz, Mustafa;**
Sun, Feng-Wen y
Lee, Lin-Nan

74 Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Codificación de códigos de comprobación de paridad de baja densidad (LDPC) utilizando una matriz de comprobación de paridad estructurada.

Campo del invento

El presente invento se refiere a sistemas de comunicación, y más particularmente a sistemas codificados.

Antecedentes del invento

Los sistemas de comunicación emplean la codificación para asegurar una comunicación fiable a través de canales de comunicación ruidosos. Estos canales de comunicación exhiben una capacidad fijada que puede estar expresada en términos de bits por símbolo a cierta relación de señal a ruido (SNR), que define un límite superior teórico (conocido como el límite Shannon). Como resultado, el diseño de codificación ha pretendido conseguir tasas o índices que se aproximen a este límite Shannon. Tal clase de códigos que se aproximan al límite Shannon son códigos de Comprobación de Paridad de Baja Densidad (LDPC).

Tradicionalmente, los códigos LDPC no han sido ampliamente desarrollados debido a varios inconvenientes. Un inconveniente es que la técnica de codificación LDPC es muy compleja. Codificar un código LDPC usando su matriz generadora requeriría almacenar una matriz muy grande, no poco densa. Adicionalmente, los códigos LDPC requieren grandes bloques para ser efectivos; consiguientemente, incluso aunque las matrices de comprobación de paridad de códigos LDPC son poco densas, almacenar estas matrices es problemático.

Desde una perspectiva de puesta en práctica, hay que enfrentarse a varios desafíos. Por ejemplo, el almacenamiento es una razón importante por la que los códigos LDPC no han resultado ampliamente expandidos en la práctica. También, un desafío clave en la puesta en práctica del código LDPC ha sido cómo conseguir la red de conexión entre varias máquinas de tratamiento (nudos) en el descodificador. Además, la carga de cálculo en el proceso de descodificación, específicamente las operaciones de nodo de comprobación, plantea un problema.

Por ello, existe la necesidad para un sistema de comunicación de LDPC que emplea procesos de codificación y descodificación simples. Existe también una necesidad para usar códigos LDPC eficientemente para soportar altas tasas de datos, sin introducir mayor complejidad. Existe también una necesidad para mejorar las prestaciones de los codificadores y descodificadores de LDPC. Existe también una necesidad para minimizar los requisitos de almacenamiento para poner en práctica la codificación de LDPC. Existe otra necesidad para un esquema que simplifique la comunicación entre nudos de tratamiento en el descodificador LDPC.

“Sistemas de Kirkman y su aplicación en grabación magnética perpendicular” de Vasic.B (Transacciones de la IEEE sobre Dispositivos Magnéticos, vol. 38, nº 4, Julio de 2002) describe usar matrices de comprobación de paridad estructurada de códigos LPDC y procesos de codificación que usan las matrices de comprobación de paridad estructurada. Los bits de información son acumulados en acumuladores de bit de paridad en los que cada bit de paridad corresponde a un acumulador de bit de paridad.

El documento WO-A2-02/099976, publicado el 12 de diciembre de 2002, describe usar matrices de comprobación de paridad estructurada de códigos LPDC y procesos de codificación que usan las matrices de comprobación de paridad estructurada. Los bits de información son acumulados en acumuladores de bit de paridad en los que cada bit de paridad corresponde a un acumulador de bit de paridad.

Resumen del invento

A estas y otras necesidades está dirigido el presente invento que está definido en las reivindicaciones adjuntas.

Breve descripción de los dibujos

El presente invento está ilustrado a modo de ejemplo, y no a modo de limitación, en las figuras de los dibujos adjuntos y en los que los números de referencia similares se refieren a elementos similares y en los que:

La fig. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de Baja Densidad (LDPC), de acuerdo con una realización del presente invento.

Las figs. 2A y 2B son diagramas de codificadores de LDPC ejemplares desplegados en el transmisor de la fig. 1;

La fig. 3 es un diagrama de un receptor ejemplar en el sistema de la fig. 1;

La fig. 4 es un diagrama de una matriz de comprobación de paridad poco densa, de acuerdo con una realización del presente invento;

La fig. 5 es un diagrama de un gráfico bipartito de un código de LDPC de la matriz de la fig. 4;

La fig. 6 es un diagrama de una sub-matriz de una matriz de comprobación de paridad poco densa, en la que la sub-matriz contiene valores de comprobación de paridad restringidos a la región triangular inferior, de acuerdo con una realización del presente invento;

5 La fig. 7 es una gráfica que muestra las prestaciones entre códigos que utilizan una matriz de comprobación de paridad no restringida (matriz H) frente a una matriz H restringida que tiene una sub-matriz como en la fig. 6;

Las figs. 8A y 8B son, respectivamente, un diagrama de un esquema de modulación no de Gray 8-PSK, y una modulación Gray 8-PSK, cada una de los cuales puede ser usada en el sistema de la fig. 1;

10 La fig. 9 es un gráfico que muestra las prestaciones entre códigos que utilizan el etiquetado Gray frente al etiquetado no de Gray;

15 La fig. 10 es un diagrama de flujo de la operación del decodificador de LDPC que usa cartografiado no de Gray, de acuerdo con una realización del presente invento;

La fig. 11 es un diagrama de flujo de la operación del decodificador de LDPC de la fig. 3 que usa cartografiado Gray, de acuerdo con una realización del presente invento;

20 Las figs. 12A-12C son diagramas de las interacciones entre los nudos de comprobación y los nudos de bit en un proceso de decodificación, de acuerdo con una realización del presente invento;

25 Las figs. 13A y 13B son diagramas de flujo de procesos para calcular mensajes salientes entre los nudos de comprobación y los nudos de bit usando, respectivamente, una aproximación hacia delante y hacia atrás y una aproximación paralela, de acuerdo con distintas realizaciones del presente invento;

Las figs. 14A-14B son gráficos que muestran resultados de simulación de códigos de LDPC generados de acuerdo con distintas realizaciones del presente invento.

30 Las figs. 15A y 15B son diagramas del borde superior y del borde inferior, respectivamente, de memoria organizada para soportar el acceso estructurado de modo que se realice la aleatoriedad en la codificación LDPC, de acuerdo con una realización del presente invento; y

35 La fig. 16 es un diagrama de un sistema de ordenador que puede realizar los procesos de codificación y decodificación de códigos LDPC, de acuerdo con realizaciones del presente invento.

Descripción de la realización preferida

40 Están descritos un sistema, método y software para decodificar eficientemente códigos de Comprobación de Paridad de Baja Densidad (LDPC). En la siguiente descripción, con propósitos de explicación, se han descrito numerosos detalles específicos a fin de proporcionar una total comprensión del presente invento. Es evidente, sin embargo, para un experto en la técnica que el presente invento puede ser puesto en práctica sin estos detalles específicos o con una disposición equivalente. En otros casos, estructuras y dispositivos bien conocidos están mostrados en forma de diagrama de bloques a fin de evitar oscurecer de modo innecesario el presente invento.

45 La fig. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de Baja Densidad (LDPC), de acuerdo con una realización del presente invento. Un sistema 100 de comunicaciones digitales incluye un transmisor 101 que genera formas de onda de señal a través de un canal de comunicación 103 a un receptor 105. En este sistema 100 discreto de comunicaciones, el transmisor 101 y tiene una fuente de mensajes que produce un conjunto discreto de mensajes posibles; cada uno de los mensajes posibles tiene una forma de onda de señal correspondiente. Estas formas de onda de señal son atenuadas, o alteradas de otro modo, mediante el canal 103 de comunicaciones. Para combatir el canal de ruido 103, son utilizados códigos de LDPC.

50 Los códigos de LDPC que son generados por el transmisor 101 habilitan una puesta en práctica de alta velocidad sin incurrir en ninguna pérdida de prestaciones. Estos códigos de LDPC estructurados emitidos desde el transmisor 101 evitan la asignación de un pequeño número de nudos de comprobación a los nudos de bit ya vulnerables a errores de canal en virtud del esquema de modulación (por ejemplo, 8 PSK).

60 Tales códigos de LDPC tienen un algoritmo de decodificación que puede utilizarse en paralelo, (distinto de los turbocódigos), que ventajosamente implica operaciones simples tales como suma, comparación y una búsqueda en tabla. Además, los códigos de LDPC diseñados cuidadosamente no exhiben ningún signo de piso de error.

De acuerdo con una realización del presente invento, el transmisor 101 genera, usando una técnica de codificación relativamente simple, códigos de LDPC basados en matrices de comprobación de paridad (que facilitan el acceso eficiente a la memoria durante la decodificación) para comunicar con el receptor 105. El transmisor 101 emplea códigos de LDPC que pueden superar códigos concatenados de turbo+RS (Reed-Solomon), siempre que la longitud del bloque sea suficientemente grande.

ES 2 282 671 T3

Las figs. 2A y 2B son diagramas de codificadores de LDPC ejemplares desplegados en el transmisor de la fig. 1. Como se ha visto en la fig. 2A, un transmisor 200 está equipado con un codificador de LDPC 203 que acepta entrada desde una fuente de información 201 y emite una corriente codificada de mayor redundancia adecuada para el tratamiento de corrección de error en el receptor 105. La fuente de información 201 genera k señales desde un alfabeto discreto, X. Los códigos de LDPC son especificados con matrices de comprobación de paridad. Por otro lado, la codificación de códigos de LDPC requiere, en general, especificar las matrices generadoras. Incluso aunque sea posible obtener matrices generadoras a partir de las matrices de comprobación de paridad utilizando la eliminación Gaussiana, la matriz resultante no es ya poco densa y almacenar una gran matriz generadora puede ser complejo.

El codificador 203 genera señales desde el alfabeto Y a un modulador 205 usando una simple técnica de codificación que hace uso sólo de la matriz de comprobación de paridad imponiendo estructura sobre la matriz de comprobación de paridad. Específicamente, se plantea una restricción sobre la matriz de comprobación de paridad construyendo cierta parte de la matriz para que sea triangular. La construcción de tal matriz de comprobación de paridad está descrita más completamente a continuación en la fig. 6. Tal restricción da como resultado una pérdida de prestaciones despreciable, y por ello, constituye una compensación atractiva.

El modulador 205 cartografía los mensajes codificados desde el codificador 203 a formas de onda de señal que son transmitidas a una antena de transmisión 207, que emite estas formas de onda sobre el canal de comunicación 103. Consiguientemente, los mensajes codificados son modulados y distribuidos a una antena de transmisión 207. Las transmisiones desde la antena de transmisión 207 se propagan a un receptor, como se ha descrito a continuación.

La fig. 2B muestra un codificador de LDPC utilizado con un codificador de Bose Chaudhuri Hocquenghem (BCH) y un codificador de comprobación de redundancia cíclico (CRC), de acuerdo con una realización del presente invento. Bajo este escenario, los códigos generados por el codificador 203 de LDPC, junto con el codificador 209 de CRC y el codificador 211 de BCH, tienen un código exterior de BCH concatenado y un código de comprobación de paridad de baja densidad interior. Además, la detección de error es conseguida usando códigos de comprobación de redundancia cíclica (CRC). El codificador 209 de CRC, en una realización ejemplar, codifica usando un código CRC de 8 bits con generador polinómico $(x^5+x^4+x^3+x^2+1)(x^2+x+1)(x+1)$.

El codificador 203 de LDPC codifica sistemáticamente un bloque de información de tamaño k_{ldpc} , $i=(i_0, i_1, \dots, i_{k_{ldpc}-1})$ sobre una palabra de código de tamaño n_{ldpc} , $c=(i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$. La transmisión de la palabra de código empieza en la orden dada desde i_0 y termina con $p_{n_{ldpc}-k_{ldpc}-1}$. Los parámetros (n_{ldpc}, k_{ldpc}) de código de LDPC están dados en la Tabla 1 siguiente.

TABLA 1

Parámetros de Código de LDPC (n_{ldpc}, k_{ldpc})		
Tasa de Código	Longitud de Bloque Sin Codificar LDPC	Longitud de Bloque Codificado LDPC
	k_{ldpc}	n_{ldpc}
$1/2$	32400	64800
$2/3$	43200	64800
$3/4$	48600	64800
$4/5$	51840	64800
$5/6$	54000	64800
$3/5$	38880	64800
$8/9$	57600	64800
$9/10$	58320	64800

ES 2 282 671 T3

La tarea del codificador 203 de LDPC es determinar los bits de paridad ($p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1}$) de $n_{ldpc}-k_{ldpc}$ para cada bloque de bits de información k_{ldpc} , ($i_0, i_1, \dots, i_{k_{ldpc}-1}$). El procedimiento es el siguiente. En primer lugar son inicializados los bits de paridad; $p_0=p_1=p_2=\dots=p_{n_{ldpc}-k_{ldpc}-1}=0$. El primer bit de información, i_0 , es acumulado en las direcciones de bit de paridad especificadas en la primera fila de las Tablas 3 a 10. Por ejemplo, para una tasa 2/3 (Tabla 3), resulta lo siguiente:

$$p_0 = p_0 \oplus i_0$$

$$p_{10491} = p_{10491} \oplus i_0$$

$$p_{16043} = p_{16043} \oplus i_0$$

$$p_{506} = p_{506} \oplus i_0$$

$$p_{12826} = p_{12826} \oplus i_0$$

$$p_{8065} = p_{8065} \oplus i_0$$

$$p_{8226} = p_{8226} \oplus i_0$$

$$p_{2767} = p_{2767} \oplus i_0$$

$$p_{240} = p_{240} \oplus i_0$$

$$p_{18673} = p_{18673} \oplus i_0$$

$$p_{9279} = p_{9279} \oplus i_0$$

$$p_{10579} = p_{10579} \oplus i_0$$

$$p_{20928} = p_{20928} \oplus i_0$$

(Todas las ediciones están en GF(2)).

Luego, para los siguientes 359 bits de información, i_m , $m=1,2,\dots,359$, estos bits son acumulados en direcciones de bit de paridad $\{x+m \bmod 360xq\} \bmod (n_{ldpc}-k_{ldpc})$, donde x indica la dirección del acumulador de bit de paridad correspondiente al primer bit i_0 , y q es una tasa de código dependiente constante especificado en la tabla 2. Continuando con el ejemplo, $q=60$ para tasa 2/3. A modo de ejemplo, para el bit i_1 de información, son realizadas las siguientes operaciones:

$$p_{60} = p_{60} \oplus i_1$$

$$p_{10551} = p_{10551} \oplus i_1$$

$$p_{16103} = p_{16103} \oplus i_1$$

$$p_{566} = p_{566} \oplus i_1$$

$$p_{12886} = p_{12886} \oplus i_1$$

$$p_{8125} = p_{8125} \oplus i_1$$

$$p_{8286} = p_{8286} \oplus i_1$$

$$p_{2827} = p_{2827} \oplus i_1$$

$$p_{300} = p_{300} \oplus i_1$$

$$p_{18733} = p_{18733} \oplus i_1$$

$$p_{9339} = p_{9339} \oplus i_1$$

$$p_{10639} = p_{10639} \oplus i_1$$

$$p_{20988} = p_{20988} \oplus i_1$$

ES 2 282 671 T3

Para el 361° bit de información I_{360} , las direcciones de los acumuladores de bit de paridad están dadas en la segunda fila de las tablas 3 a 10. De una manera similar a las direcciones de los acumuladores de bit de paridad para los siguientes 359 bits de información I_m , $m=361, 362, \dots, 719$ son obtenidas usando la fórmula $\{x+m \bmod 360xq\} \bmod (n_{ldpc}-k_{ldpc})$ donde x indica las direcciones del acumulador de bit de paridad correspondientes al bit de información, es decir, las entradas en la segunda fila de las tablas 3-10. De modo similar, para cada grupo de 360 nuevos bits de información, se usa una nueva fila de las tablas 3-10 para encontrar las direcciones de los acumuladores de bit de paridad.

Después de que todos los bits de información son evacuados, los bits de paridad final son obtenidos como sigue. En primer lugar se realizan las siguientes operaciones, empezando con $i = 1$.

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

El contenido final de p_i , $i=0, 1, \dots, n_{ldpc}-k_{ldpc}-1$ es igual al bit de paridad p_i .

TABLA 2

Tasa de Código	q
2/3	60
5/6	30
1/2	90
3/4	45
4/5	36
3/5	72
8/9	20
9/10	18

TABLA 3

Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)														
0	10491	16043	506	12826	8065	8226	2767	240	18673	9279	10579	20928		
1	17819	8313	6433	6224	5120	5824	12812	17187	9940	13447	13825	18483		
2	17957	6024	8681	18628	12794	5915	14576	10970	12064	20437	4455	7151		
3	19777	6183	9972	14536	8182	17749	11341	5556	4379	17434	15477	18532		
4	4651	19689	1608	659	16707	14335	6143	3058	14618	17894	20684	5306		
5	9778	2552	12096	12369	15198	16890	4851	3109	1700	18725	1997	15882		
6	486	6111	13743	11537	5591	7433	15227	14145	1483	3887	17431	12430		
7	20647	14311	11734	4180	8110	5525	12141	15761	18661	18441	10569	8192		
8	3791	14759	15264	19918	10132	9062	10010	12786	10675	9682	19246	5454		
9	19525	9485	7777	19999	8378	9209	3163	20232	6690	16518	716	7353		
10	4588	6709	20202	10905	915	4317	11073	13576	16433	368	3508	21171		
11	14072	4033	19959	12608	631	19494	14160	8249	10223	21504	12395	4322		
12	13800	14161												
13	2948	9647												
14	14693	16027												
15	20506	11082												

ES 2 282 671 T3

TABLA 3 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)
5	16 1143 9020
	17 13501 4014
	18 1548 2190
10	19 12216 21556
	20 2095 19897
	214189 7958
	22 15940 10048
15	23 515 12614
	24 8501 8450
	25 17595 16784
	26 5913 8495
20	27 16394 10423
	28 7409 6981
	29 6678 15939
	30 20344 12987
25	31 2510 14588
	32 17918 6655
	33 6703 19451
	34 496 4217
30	35 7290 5766
	36 10521 8925
	37 20379 11905
	38 4090 5838
35	39 19082 17040
	40 20233 12352
	41 19365 19546
	42 6249 19030
40	43 11037 19193
	44 19760 11772
	45 19644 7428
	46 16076 3521
45	47 11779 21062
	48 13062 9682
	49 8934 5217
50	50 11087 3319
	51 18892 4356
	52 7894 3898
	53 5963 4360
	54 7346 11726
55	55 5182 5809
	56 2412 17295
	57 9845 20494
	58 6687 1864
60	59 20564 5216
	0 18226 17207
	1 9380 8266
	2 7073 3065
65	3 18252 13437
	4 9161 15642
	5 10714 10153

ES 2 282 671 T3

TABLA 3 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)
5	6 11585 9078
	7 5359 9418
	8 9024 9515
10	9 1206 16354
	10 14994 1102
	11 9375 20796
	12 15964 6027
15	13 14789 6452
	14 8002 18591
	15 14742 14089
	16 253 3045
20	17 1274 19286
	18 14777 2044
	19 13920 9900
	20 452 7374
25	21 18206 9921
	22 6131 5414
	23 10077 9726
	24 12045 5479
30	25 4322 7990
	26 15616 5550
	27 15561 10661
	28 20718 7387
35	29 2518 18804
	30 8984 2600
	31 651617909
	32 11148 98
40	33 20559 3704
	34 75101569
	35 16000 11692
	36 9147 10303
45	37 16650 191
	38 15577 18685
	39 17167 20917
	40 4256 3391
50	41 20092 17219
	42 9218 5056
	43 18429 8472
	44 12093 20753
55	45 16345 12748
	46 16023 11095
	47 5048 17595
	48 18995 4817
60	49 16483 3536
	50 1439 16148
	51 3661 3039
	52 19010 18121
65	53 8968 11793
	54 13427 18003
	55 5303 3083

ES 2 282 671 T3

TABLA 3 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)	
5653116668	
57 4771 8722	
58 5695 7960	
59 3589 14630	

TABLA 4

Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)	
0 4362 416 8909 4156 3218 3112 2560 2912 6405 8593 4969 6723	
1 2479 1786 8978 30114339 9313 6397 2957 7288 5484 6031 10217	
2 10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716	
3 9052 4795 3924 3370 10058 1128 9896 10165 9360 4297 434 5138	
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311	
5 3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780	
6 3917 31113476 1304 10331 5939 5199 1611 1991 699 8316 9960	
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4814 1567	
8 10587 2195 1689 2968 5420 2580 2883 6496 111 8023 1024 4449	
9 3786 8583 2074 33215057 1450 3840 5444 6572 3094 9892 1512	
10 8548 1848 10372 4585 7313 8536 6379 1766 9462 2456 5606 9975	
11 8204 10593 7935 3636 3882 394 5968 85612395 7289 9267 9978	
12 7795 74 1633 9542 6867 7352 6417 7568 10623 725 25319115	
13 71512482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755	
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520	
15 6304 7621	
16 6498 9209	
17 7293 6786	
18 5950 1708	
19 8521 1793	
20 6174 7854	
21 9773 1190	
22 9517 10268	
23 2181 9349	
24 1949 5560	
25 1556 555	
26 8800 3827	
27 5072 1057	
28 7928 3542	
29 3226 3762	
0 7045 2420	
1 9645 2641	
2 2774 2452	
3 5331 2031	
4 9400 7503	
5 1850 2338	
6 10456 9774	
7 1692 9276	
8 10037 4038	
9 3964 338	
10 2640 5087	

ES 2 282 671 T3

TABLA 4 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)
5	11 858 3473
	12 5582 5683
	13 9523 916
10	14 4107 1559
	15 4506 3491
	16 8191 4182
	17 10192 6157
15	18 5668 3305
	19 3449 1540
	20 4766 2697
	21 4069 6675
20	22 1117 1016
	23 5619 3085
	24 8483 8400
	25 8255 394
25	26 6338 5042
	27 6174 5119
	28 7203 1989
	29 1781 5174
30	0 1464 3559
	1 3376 4214
	2 7238 67
	3 10595 8831
35	4 1221 6513
	5 5300 4652
	6 1429 9749
	7 78785131
40	8 4435 10284
	9 6331 5507
	10 6662 4941
	11 9614 10238
45	12 8400 8025
	13 9156 5630
	14 7067 8878
	15 9027 3415
50	16 1690 3866
	17 2854 8469
	18 6206 630
	19 363 5453
55	20 4125 7008
	21 1612 6702
	22 9069 9226
	23 5767 4060
60	24 3743 9237
	25 7018 5572
	26 8892 4536
	27 853 6064
65	28 8069 5893
	29 2051 2885
	0 10691 3153

ES 2 282 671 T3

TABLA 4 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)
5	1 3602 4055
	2 328 1717
	3 2219 9299
	4 1939 7898
10	5 617 206
	6 8544 1374
	7 10676 3240
	8 6672 9489
15	931707457
	10 7868 5731
	11 6121 10732
	12 4843 9132
20	13 580 9591
	14 6267 9290
	15 3009 2268
	16 195 2419
25	17 8016 1557
	18 1516 9195
	19 8062 9064
	20 2095 8968
30	21 753 7326
	22 6291 3833
	23 2614 7844
	24 2303 646
35	25 2075 611
	26 4687 362
	27 8684 9940
40	28 4830 2065
	29 7038 1363
	0 1769 7837
	1 3801 1689
45	2 10070 2359
	3 3667 9918
	4 1914 6920
	5 4244 5669
50	6 10245 7821
	7 7648 3944
	8 3310 5488
	9 6346 9666
55	10 7088 6122
	11 1291 7827
	12 10592 8945
	13 3609 7120
60	14 9168 9112
	15 6203 8052
	16 3330 2895
	17 4264 10563
65	18 10556 6496
	19 8807 7645
	20 1999 4530

ES 2 282 671 T3

TABLA 4 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)	
21	9202 6818
22	3403 1734
23	2108 9023
24	6881 3883
25	3895 2171
26	4062 6424
27	3755 9536
28	4683 2131
29	7347 8027

TABLA 5

Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)	
54	9318 14392 27561 26909 10219 2534 8597
55	7263 4635 2530 28130 3033 23830 3651
56	2473123583 2603617299 5750 792 9169
57	58112615418653 11551 15447 13685 16264
58	12610 11347 28768 2792 3174 29371 12997
59	16789 16018 21449 6165 21202 15850 3186
60	31016 21449 17618 6213 12166 8334 18212
61	22836 14213 11327 5896 718 11727 9308
62	20912494129966 23634 9013 15587 5444
63	22207 3983 16904 28534 21415 27524 25912
64	25687 450122193 14665 14798 16158 5491
65	4520 17094 23397 4264 22370 16941 21526
66	10490 6182 32370 9597 30841 25954 2762
67	22120 22865 29870 15147 13668 14955 19235
68	6689 18408 18346 9918 25746 5443 20645
69	29982 12529 13858 4746 30370 10023 24828
70	1262 28032 29888 13063 24033 219517863
71	6594 29642 31451 14831 9509 9335 31552
72	1358 6454 16633 20354 24598 624 5265
73	19529 295 18011 3080 13364 8032 15323
74	11981 1510 7960 21462 9129 11370 25741
75	9276 29656 4543 30699 20646 2192128050
76	15975 25634 5520 31119 13715 21949 19605
77	18688 4608 31755 30185 13103 10706 29224
78	21514 23117 12245 26035 31656 25631 30699
79	9674 24966 31285 29908 17042 24588 31857
80	21856 27777 29919 27000 14897 11409 7122
81	29773 23310 263 4877 28622 20545 22092
82	15605 5651 21864 3967 14419 22757 15896
83	30145 1759 10139 29223 26086 10556 5098
84	18815 16575 2936 24457 26738 6030 505
85	30326 22298 27562 20131 26390 6247 24791
86	928 29246 21246 12400 15311 32309 18608
87	20314 6025 26689 16302 2296 3244 19613
88	6237 11943 22851 15642 23857 1511220947
89	26403 25168 19038 18384 888212719 7093

ES 2 282 671 T3

TABLA 5 (continuación)

5	Dirección de Acumuladores de Bit de Paridad (Tasa 1/2)
	0 14567 24965
	1 3908 100
	2 10279 240
10	3 24102 764
	4 123834173
	5 13861 15918
	6 21327 1046
15	7 5288 14579
	8 28158 8069
	9 16583 11098
	10 1668128363
20	11 13980 24725
	12 32169 17989
	13 10907 2767
	14 21557 3818
25	15 26676 12422
	16 7676 8754
	17 14905 20232
	18 15719 24646
30	19 31942 8589
	20 19978 27197
	21 27060 15071
	22 6071 26649
35	23 10393 11176
	24 9597 13370
	25 7081 17677
	26 1433 19513
40	27 26925 9014
	28 19202 8900
	29 18152 30647
	30 20803 1737
45	31 11804 25221
	32 31683 17783
	33 29694 9345
	34 12280 26611
50	35 6526 26122
	36 26165 11241
	37 7666 26962
	38 16290 8480
55	39 11774 10120
	40 3005130426
	41 1335 15424
	42 6865 17742
60	43 31779 12489
	44 32120 21001
	45 14508 6996
	46 979 25024
65	47 4554 21896
	48 7989 21777
	49 4972 20661

ES 2 282 671 T3

TABLA 5 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 1/2)	
50	6612 2730
51	12742 4418
52	29194 595
53	19267 20113

TABLA 6

Dirección de Acumuladores de Bit de Paridad (Tasa 3/4)	
0	6385 7901 14611 13389 11200 3252 5243 2504 2722 8217374
1	11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2	7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3	1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4	7626 11407 14599 9689 1628 2113 10809 9283 1230 152414870
5	1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6	4059 8836 3405 7853 799215336 5970 10368 10278 9675 4651
7	44413963 9153 2109 12683 7459 12030 12221 629 15212 406
8	6007 84115771 3497 543 14202 875 9186 6235 13908 3563
9	3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10	8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11	1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12	3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13	8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14	144634852 15733 3041 11193 12860 13673 8152 8551 15108 8758
15	3149 11981
16	13418 6906
17	13098 13352
18	2009 14460
19	2072074314
20	3312 3945
21	4418 6248
22	2669 13975
23	7571 9023
24	14172 2967
25	7271 7138
26	6135 13670
27	7490 14559
28	8657 2466
29	8599 12834
30	3470 3152
31	13917 4365
32	6024 13730
33	10973 14182
34	2464 13167
35	5281 15049
36	1103 1849
37	2058 1069
38	9654 6095
39	143117667
40	15617 8146

ES 2 282 671 T3

TABLA 6 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3M)
5	414588 11218
	42 13660 6243
	43 8578 7874
	44 11741 2686
10	0 1022 1264
	1 12604 9965
	2 8217 2707
	3315611793
15	4 354 1514
	5 6978 14058
	6 7922 16079
	7 15087 12138
20	8 5053 6470
	9 12687 14932
	10 15458 1763
	11 8121 1721
25	12 12431 549
	13 4129 7091
	14 1426 8415
	15 9783 7604
30	16 6295 11329
	17 1409 12061
	18 8065 9087
	19 2918 8438
35	20 1293 14115
	21 3922 13851
	2238514000
	23 5865 1768
40	24 2655 14957
	25 5565 6332
	26 4303 12631
	27 11653 12236
45	28 16025 7632
	29 4655 14128
	30 9584 13123
	31 13987 9597
50	32 15409 12110
	33 8754 15490
	34 7416 15325
55	35 2909 15549
	36 2995 8257
	37 9406 4791
	38 111114854
60	39 2812 8521
	40 8476 14717
	41 7820 15360
	42 1179 7939
65	43 2357 8678
	44 7703 6216
	0 3477 7067

ES 2 282 671 T3

TABLA 6 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3M)
5	1 3931 13845
	2 7675 12899
	317548187
	4 7785 1400
10	5 9213 5891
	6 2494 7703
	7 2576 7902
	8 4821 15682
15	9 10426 11935
	10 1810 904
	11 11332 9264
	12 11312 3570
20	13 14916 2650
	14 7679 7842
	15 6089 13084
	16 3938 2751
25	17 8509 4648
	18 12204 8917
	19 5749 12443
	20 12613 4431
30	21 1344 4014
	22 8488 13850
	23 1730 14896
	24 14942 7126
35	25 14983 8863
	26 6578 8564
	27 4947 396
	28 297 12805
40	29 13878 6692
	30 11857 11186
	31 14395 11493
	32 16145 12251
45	33 13462 7428
	34 14526 13119
	35 2535 11243
	36 6465 12690
50	37 6872 9334
	38 1537114023
	39 8101 10187
	40 11963 4848
55	41 15125 6119
	42 8051 14465
	43 11139 5167
60	44 2883 14521

65

ES 2 282 671 T3

TABLA 7

	Dirección de Acumuladores de Bit de Paridad (Tasa 4/5)
5	0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
	1 5237 490 10677 4998 3889 3734 3092 3509 7703 10305
	2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
10	3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
	4 12067 1351 11992 12191 11267 5161 537 6166 4248 2363
	5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
	6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
15	7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
	8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
	9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
	10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
20	11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
	12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
	13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
	14 15414525 7976 3457 9536 7725 3788 2982 6307 5997
25	15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
	16 6070 17614627 6534 7913 373011866 1813 12306 8249
	17 12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
	18 10155 4210
30	19 1010 10483
	20 8900 10250
	21 10243 12278
	22 70704397
35	23 12271 3887
	24 11980 6836
	25 9514 4356
	26 7137 10281
40	27 118812526
	28 1969 11477
	29 3044 10921
	30 2236 8724
45	31 9104 6340
	32 7342 8582
	33 11675 10405
	34 6467 12775
50	35 3186 12198
	0 9621 11445
	1 7486 5611
	2 4319 4879
55	3 2196 344
	4 7527 6650
	5 10693 2440
	6 6755 2706
60	7 5144 5998
	8 11043 8033
	9 4846 4435
	10 4157 9228
65	11 12270 6562
	12 11954 7592

ES 2 282 671 T3

TABLA 7 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 4/5)
5	13 7420 2592
	14 8810 9636
	15 689 5430
	16 920 1304
10	17 1253 11934
	18 9559 6018
	19 312 7589
	20 4439 4197
15	21 4002 9555
	22 12232 7779
	23 1494 8782
	24 10749 3969
20	25 4368 3479
	26 6316 5342
	27 2455 3493
	28 12157 7405
25	29 6598 11495
	30 11805 4455
	31 9625 2090
	32 4731 2321
30	33 3578 2608
	34 8504 1849
	35 4027 1151
	0 5647 4935
35	1 4219 1870
	2 10968 8054
	3 6970 5447
40	4 3217 5638
	5 8972 669
	6 5618 12472
	7 1457 1280
45	8 8868 3883
	9 8866 1224
	10 8371 5972
	11 266 4405
50	12 3706 3244
	13 6039 5844
	14 7200 3283
	15 1502 11282
55	16 12318 2202
	17 4523 965
	18 9587 7011
	19 2552 2051
60	20 12045 10306
	21 11070 5104
	22 6627 6906
	23 9889 2121
65	24 829 9701
	252201 1819
	26 6689 12925

ES 2 282 671 T3

TABLA 7 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 4/5)
5	27 2139 8757
	28 12004 5948
	29 8704 3191
10	30 8171 10933
	31 6297 7116
	32 616 7146
	33 5142 9761
15	34 10377 8138
	35 7616 5811
	0 7285 9863
20	17 764 10867
	2 12343 9019
	3 4414 8331
	4 3464 642
25	5 6960 2039
	6 786 3021
	7 710 2086
	8 7423 5601
30	9 8120 4885
	10 12385 11990
	11 9739 10034
35	12 424 10162
	13 1347 7597
	14 1450 112
	15 7965 8478
40	16 8945 7397
	17 6590 8316
	18 6838 9011
45	19 6174 9410
	20 255 113
	21 6197 5835
	22 12902 3844
50	23 4377 3505
	24 5478 8672
	25 4453 2132
55	26 9724 1380
	27 12131 11526
	28 12323 9511
	29 8231 1752
60	30 497 9022
	31 9288 3080
	32 2481 7515
	33 2696 268
65	34 4023 12341
	35 7108 5553

ES 2 282 671 T3

TABLA 8

Dirección de Acumuladores de Bit de Paridad (Tasa 3/5)	
5	22422 10282 11628 19997 11161 2922 3122 99 5625 17064 8270 179
	25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
	11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
10	1658122225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
	16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
	5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
	18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
15	8433 4694 5524 14216 3685 1972125420 9937 23813 9047 25651 16826
	21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
	22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
	1770 4636 20900 149319247 12340 11008 12966 4471 2731 16445 791
20	6635 14556 18865 22421 2212412697 9803 25485 7744 18254 11313 9004
	19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
	756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8281 22944
	9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
25	7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
	3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
	15627 15290 4198 22748 584213395 23918 16985 14929 3726 25350 24157
	24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
30	3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
	16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
	1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
	25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
35	377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
	13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
	20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
	18839 2113220119 15214 14705 7096 10174 5663 18651 19700 12524 14033
40	4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
	1065124471 14325 40817258 4949 7044 1078 797 22910 20474 4318
	21374 1323122985 5058 382123718 14178 9978 19030 23594 8895 25358
45	6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
	7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
	20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
	8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
50	16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
	3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
	0 18539 18661
	1 10502 3002
55	2 9368 10761
	3 12299 7828
	4 15048 13362
	5 18444 24640
60	6 20775 19175
	7 18970 10971
	8 5329 19982
	9 11296 18655
65	10 15046 20659
	11 7300 22140
	12 22029 14477

ES 2 282 671 T3

TABLA 8 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 3/5)	
5	1311129742
	14 13254 13813
	15 19234 13273
	16 6079 21122
10	17 22782 5828
	18 19775 4247
	19 1660 19413
	20 4403 3649
15	21 13371 25851
	22 22770 21784
	23 10757 14131
	24 1607121617
20	25 6393 3725
	26 597 19968
	27 5743 8084
	28 6770 9548
25	29 4285 17542
	30 13568 22599
	31 1786 4617
	32 23238 11648
30	33 19827 2030
	34 13601 13458
	35 13740 17328
35	36 25012 13944
	37 22513 6687
	38 4934 12587
	39 21197 5133
40	40 22705 6938
	41 7534 24633
	42 24400 12797
	43 21911 25712
45	44 12039 1140
	45 24306 1021
	46 14012 20747
	47 11265 15219
50	48 4670 15531
	49 9417 14359
	50 2415 6504
	51 24964 24690
55	52 14443 8816
	53 6926 1291
	54 6209 20806
	55 13915 4079
60	56 24410 13196
	57 13505 6117
	58 9869 8220
	59 1570 6044
65	60 25780 17387
	61 20671 24913
	62 24558 20591

ES 2 282 671 T3

TABLA 8 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 3/5)	
63	12402 3702
64	8314 1357
65	20071 14616
66	17014 3688
67	19837 946
68	15195 12136
69	7758 22808
70	3564 2925
71	3434 7769

TABLA 9

Dirección de Acumuladores de Bit de Paridad (Tasa 8/9)	
0	6235 2848 3222
1	5800 3492 5348
2	2757 927 90
3	89614516 4739
4	1172 3237 6264
5	1927 2425 3683
6	3714 6309 2495
7	3070 6342 7154
8	2428 613 3761
9	2906 264 5927
10	1718 1950 4273
11	14613 6179 3491
12	4865 3286 6005
13	1343 5923 3529
14	4589 4035 2132
15	1579 3920 6737
16	1644 1191 5998
17	1482 23814620
18	6791 6014 6596
19	2738 5918 3786
0	5156 6166
1	1504 4356
2	1301904
3	8027 3187
4	6718 759
5	6240 2870
6	2343 1311
7	1039 5465
8	6817 2513
9	1588 5222
10	6661 535
11	4765 2054
12	5966 6892
13	1969 3869
14	3571 2420
15	4632 981

ES 2 282 671 T3

TABLA 9 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 349)
5	16 3215 4163
	179733117
	18 3802 6198
	19 3794 3948
10	0 3196 6126
	1 573 1909
	2 850 4034
	3 5622 1601
15	4 6005 524
	6 52615783
	6 172 2032
	7 1875 2475
20	8 497 1291
	9 2566 3430
	10 1249 740
	11 2944 1948
25	12 6528 2899
	13 2243 3616
	14 867 3733
	15 1374 4702
30	16 4698 2285
	17 4760 3917
	18 1859 4058
	19 6141 3527
35	0 2148 5066
	1 1306 145
	2 2319 871
40	3 3463 1061
	4 5554 6647
	5 5837 339
	6 5821 4932
45	7 6356 4756
	8 3930 418
	9 211 3094
	10 1007 4928
50	11 3584 1235
	12 6982 2869
	13 1612 1013
	14 953 4964
55	15 4555 4410
	16 4925 4842
	17 5778 600
	18 6509 2417
60	19 1260 4903
	0 3369 3031
	1 3557 3224
	2 3028 583
65	3 3258 440
	4 6226 6655
	5 4895 1094

ES 2 282 671 T3

TABLA 9 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 8/9)
5	6 1481 6847
	7 4433 1932
	8 2107 1649
	9 2119 2065
10	10 4003 6388
	11 6720 3622
	12 3694 4521
	13 1164 7050
15	14 1965 3613
	15 433 166
	16 29701796
	17 4652 3218
20	18 1762 4777
	19 5736 1399
	0 970 2572
	1 2062 6599
25	2 4597 4870
	3 1228 6913
	4 4159 1037
	5 2916 2362
30	6 395 1226
	7 69114548
	8 4618 2241
	9 4120 4280
35	10 5825 474
	11 2154 5558
	12 3793 5471
	13 5707 1595
40	14 1403 325
	15 6601 5183
	16 6369 4569
	17 4846 896
45	18 7092 6184
	19 6764 7127
	0 6358 1951
	1 3117 6960
50	2 2710 7062
	3 1133 3604
	4 3694 657
	5 1355 110
55	6 3329 6736
	7 2505 3407
	8 2462 4806
	9 4216 214
60	10 5348 5619
	11 6627 6243
	12 2644 5073
	13 4212 5088
65	14 3463 3889
	15 5306 478

ES 2 282 671 T3

TABLA 9 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3/9)
5	16 4320 6121
	17 3961 1125
	18 5699 1195
	19 6511 792
10	0 3934 2778
	1 3238 6587
	2 1111 6596
	3 1457 6226
15	4 1446 3885
	5 3907 4043
	6 6839 2873
	7 1733 5615
20	8 5202 4269
	9 3024 4722
	10 5445 6372
	11 370 1828
25	12 4695 1600
	13 6802074
	14 1801 6690
	15 2669 1377
30	16 2463 1681
	17 5972 5171
	18 5728 4284
35	19 1696 1459

TABLA 10

	Dirección de Acumuladores de Bit de Paridad (Tasa 9/18)
40	0 5611 2563 2900
	1 5220 3143 4813
	2 2481 834 81
45	3 6265 4064 4265
	4 1055 2914 5638
	5 1734 2182 3315
	6 3342 5678 2246
50	7 2185 552 3385
	8 2615 236 5334
	9 1546 1755 3846
	10 4154 5561 3142
55	114382 2957 5400
	12 1209 5329 3179
	13 1421 3528 6063
	14 1480 1072 5398
60	15 3843 1777 4369
	16 1334 2145 4163
	17 2368 5055 260
	0 6118 5405
65	1 2994 4370
	2 3405 1669

ES 2 282 671 T3

TABLA 10 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 9/10)
5	3 4640 5550
	4 1354 3921
	5 117 1713
	6 5425 2866
10	7 6047 683
	8 5616 2582
	9 2108 1179
	10 933 4921
15	11 5953 2261
	12 1430 4699
	13 5905 480
	14 4289 1846
20	15 5374 6208
	16 1775 3476
	17 3216 2178
	0 4165 884
25	1 2896 3744
	2 874 2801
	3 3423 5579
	4 3404 3552
30	5 2876 5515
	6 516 1719
	7 765 3631
	8 5059 1441
35	9 5629 598
	10 5405 473
	11 4724 5210
	12 155 1832
40	13 1689 2229
	14 449 1164
	15 2308 3088
	16 1122 689
45	17 2268 5758
	0 5878 2609
	1 782 3359
	2 1231 4231
50	3 4225 2052
	4 4286 3517
	5 5531 3184
	6 1935 4560
55	7 1174 131
	8 3115 956
	9 3129 1088
	10 5238 4440
60	11 5722 4280
	12 3540 375
	13 191 2782
	14 906 4432
65	15 3225 1111
	16 6296 2583

ES 2 282 671 T3

TABLA 10 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 9/10)
5	17 1457 903
	0 855 4475
	1 4087 3970
	2 4433 4361
10	3 5198 541
	4 11464426
	5 3202 2902
	6 2724 525
15	7 1083 4124
	8 2326 6003
	9 5605 5990
	10 4376 1579
20	11 4407 984
	12 1332 6163
	13 5359 3975
	14 1907 1854
25	15 3601 5748
	16 6056 3266
	17 3322 4085
	0 1768 3244
30	1 2149 144
	2 1589 4291
	3 5154 1252
	4 1855 5939
35	5 4820 2706
	6 1475 3360
	7 4266 693
	8 4156 2018
40	9 2103 752
	10 3710 3853
	11 5123 931
	12 6146 3323
45	13 1939 5002
	14 5140 1437
	15 1263 293
	16 5949 4665
50	17 4548 6380
	0 3171 4690
	1 5204 2114
	2 6384 5565
55	3 5722 1757
	4 2805 6264
	5 1202 2616
	6 1018 3244
60	7 4018 5289
	8 2257 3067
	9 2483 3073
	10 1196 5329
65	11 649 3918
	12 3791 4581

ES 2 282 671 T3

TABLA 10 (continuación)

5	Dirección de Acumuladores de Bit de Paridad (Tasa 9410)
	13 5028 3803
	14 3119 3506
10	15 4779 431
	16 3888 5510
	17 4387 4084
	0 5836 1692
15	1 5126 1078
	2 5721 6165
	3 3540 2499
20	4 2225 6348
	5 1044 1484
	6 6323 4042
	7 1313 5603
25	8 1303 3496
	9 3516 3639
	10 51612293
30	11 4682 3845
	12 3045 643
	13 2818 2616
	14 3267 649
35	15 6236 593
	16 646 2948
	17 4213 1442
40	0 5779 1596
	1 2403 1237
	2 2217 1514
	3 5609 716
45	4 5155 3858
	5 1517 1312
	6 2554 3158
	7 5280 2643
50	8 4990 1353
	9 5648 1170
	10 1152 4366
55	11 3561 5368
	12 3581 1411
	13 5647 4661
60	14 1542 5401
	15 5078 2687
	16 3161 755
65	17 3392 1991

ES 2 282 671 T3

En lo que se refiere al codificador 211 de BCH, los parámetros de código de BCH están enumerados en la tabla 11.

TABLA 11

Índice de Código LDPC	Longitud de Bloque Sin Codificar BCH	Longitud de Bloque Codificado BCH	Corrección de error BCH (bits)
	k_{bch}	n_{bch}	
1/2	32208	32400	12
2/3	43040	43200	10
3/4	48408	48600	12
4/5	51648	51840	12
5/6	53840	54000	10
3/5	38688	38880	12
8/9	57472	57600	8
9/10	58192	58320	8

Se ha observado que en la tabla anterior, $n_{bch} = k_{ldpc}$

El generador de polinomios del error t que corrige el codificador 211 BCH es obtenido multiplicando los primeros polinomios t en la siguiente lista de la Tabla 12.

TABLA 12

$g_1(x)$	$1+x^2+x^3+x^5+x^{16}$
$g_2(x)$	$1+x+x^4+x^5+x^6+x^8+x^{16}$
$g_3(x)$	$1+x^2+x^3+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{11}+x^{16}$
$g_4(x)$	$1+x^2+x^4+x^6+x^9+x^{11}+x^{12}+x^{14}+x^{16}$
$g_5(x)$	$1+x+x^2+x^3+x^5+x^8+x^9+x^{10}+x^{11}+x^{12}+x^{16}$
$g_6(x)$	$1+x^2+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{12}+x^{13}+x^{14}+x^{15}+x^{16}$
$g_7(x)$	$1+x^2+x^5+x^6+x^8+x^9+x^{10}+x^{11}+x^{13}+x^{15}+x^{16}$
$g_8(x)$	$1+x+x^2+x^5+x^6+x^8+x^9+x^{12}+x^{13}+x^{14}+x^{16}$
$g_9(x)$	$1+x^5+x^7+x^9+x^{10}+x^{11}+x^{16}$
$g_{10}(x)$	$1+x+x^2+x^5+x^7+x^8+x^{10}+x^{12}+x^{13}+x^{14}+x^{16}$
$g_{11}(x)$	$1+x^2+x^3+x^5+x^9+x^{11}+x^{12}+x^{13}+x^{16}$
$g_{12}(x)$	$1+x+x^5+x^6+x^7+x^9+x^{11}+x^{12}+x^{16}$

La codificación de BCH de los bits de información $m=(m_{kbch-1}, m_{kbch-2}, \dots, m_1, m_0)$ sobre una palabra código $c = (m_{kbch-1}, m_{kbch-2}, \dots, m_1, m_0, d_{nbch-kbch-1}, d_{nbch-kbch-2}, \dots, d_1, d_0)$ es conseguida como sigue. El mensaje polinómico $m(x) = m_{kbch-1}x^{kbch-1} + m_{kbch-2}x^{kbch-2} + \dots + m_1x + m_0$ es multiplicado por $x^{nbch-kbch}$. A continuación, $x^{nbch-kbch}m(x)$ es dividido por $g(x)$. Con $d(x) = d_{nbch-kbch-1}x^{nbch-kbch-1} + \dots + d_1x + d_0$ como el resto, la palabra de código polinómica es ajustada como sigue: $c(x) = x^{nbch-kbch}m(x) + d(x)$.

Los códigos de LDPC anteriores, en una realización ejemplar, pueden ser usados en una variedad de aplicaciones de vídeo digital, tales como transmisión de paquetes de MPEG (Grupo Experto de Imágenes en Movimiento).

La fig. 3 es un diagrama de un receptor ejemplar en el sistema de la fig. 1. En el lado de la recepción, el receptor 300 incluye un desmodulador 301 que realiza la desmodulación de señales recibidas desde el transmisor 200. Estas señales son recibidas en una antena de recepción 303 para desmodulación. Después de la desmodulación, las señales recibidas son avanzadas a un descodificador 305, que intenta reconstruir los mensajes de fuente original generando mensajes, X', en unión con un generador métrico 307 de bits. Con cartografiado no de Gray, el generador métrico 307 de bits intercambia información de probabilidad con el descodificador 305 hacia atrás y hacia delante (de modo iterativo) durante el proceso de descodificación, que está detallado en la fig. 10. Alternativamente, si es usado cartografiado Gray (de acuerdo con una realización del presente invento) una pasada del generador métrico de bits es suficiente, en el que otros intentos de generación métrica de bits después cada iteración del descodificador de LDPC es probable que produzcan mejoras de prestaciones limitadas; esta aproximación está descrita más completamente con respecto a la fig. 11. Para apreciar las ventajas ofrecidas por el presente invento, es instructivo examinar cómo son generados los códigos de LDPC, como se ha descrito en la fig. 4.

La fig. 4 es un diagrama de una matriz de comprobación de paridad poco densa, de acuerdo con una realización del presente invento. Los códigos de LDPC son códigos de bloque lineal, largos con matriz de comprobación de paridad $H_{(n-k) \times n}$ poco densa. Típicamente la longitud del bloque, n, oscila desde miles a cientos de miles de bits. Por ejemplo, una matriz de comprobación de paridad para un código de LDPC de longitud n=8 y tasa 1/2 está mostrada en la fig. 4. El mismo código puede ser representado de manera equivalente por el gráfico bipartito, por la fig. 5.

La fig. 5 es un diagrama de un gráfico bipartito de un código de LDPC de la matriz de la fig. 4. Las ecuaciones de comprobación de paridad implican que para cada nodo de comprobación, la suma (sobre GF (Campo de Galois) (2)) de todos los nudos de bits adyacentes es igual a cero. Como se ha visto en la figura, los nudos de bits ocupan el lado izquierdo del gráfico y están asociados con uno o más nudos de comprobación, de acuerdo con una relación predefinida. Por ejemplo, correspondiendo al nodo de comprobación, m_1 , existe la siguiente expresión $n_1 + n_4 + n_5 + n_8 = 0$ con respecto a los nudos de bit.

Volviendo al receptor 303, el descodificador 305 de LDPC es considerado un descodificador para pasar mensajes, por lo que el descodificador 305 intenta encontrar los valores de nudos de bits. Para cumplir esta tarea, los nudos de bits y los nudos de comprobación se comunican de modo iterativo entre sí. La naturaleza de esta comunicación es descrita a continuación.

Desde los nudos de comprobación a los nudos de bits, cada nodo de comprobación proporciona a un nodo de bit adyacente una estimación ("opinión") relativa al valor de ese nodo de bit basada en la información que llega desde otros nudos de bit adyacentes. Por ejemplo, en el ejemplo anterior si la suma de n_4 , n_5 y n_8 "se parece como" 0 a m_1 , entonces m_1 indicaría a n_1 que el valor de n_1 se cree que es 0 (ya que $n_1 + n_4 + n_5 + n_8 = 0$); de otro modo m_1 indica a n_1 que el valor de n_1 se cree que es 1. Adicionalmente, para la descodificación de decisión de software, es añadida una medida de fiabilidad.

Desde los nodos de bit a los nodos de comprobación, cada nodo de bit retransmite a un nodo de comprobación adyacente una estimación acerca de su propio valor basada en la realimentación que llega desde sus otros nodos de comprobación adyacentes. En el ejemplo anterior n_1 tiene sólo dos nodos de comprobación adyacentes m_1 y m_3 . Si la realimentación que llega desde m_3 a n_1 indica que el valor de n_1 es probablemente 0, entonces n_1 notificaría a m_1 que una estimación del propio valor de n_1 es 0. Para el caso en que el nodo de bit tiene más de dos nodos de comprobación adyacente, el nodo de bit realiza un voto de mayoría (decisión de software) sobre la realimentación que llega desde otros nodos de comprobación adyacentes antes de informar que la decisión al nodo de comprobación lo comunica. El proceso anterior es repetido hasta que todos los nodos de bit se considera que están correctos (es decir, son satisfechas todas las ecuaciones de comprobación de paridad) o hasta que es alcanzado un número máximo predeterminado de iteraciones, por lo que es declarado un fallo de descodificación.

La fig. 6 es un diagrama de una submatriz de una matriz de comprobación de paridad poco densa, en que la submatriz contiene valores de comprobación de paridad restringidos a la región triangular inferior, de acuerdo con una realización del presente invento. Como se ha descrito previamente, el codificador 203 (de las figs. 2A y 2B) puede emplear una técnica de codificación simple restringiendo los valores del área triangular inferior de la matriz de comprobación de paridad. De acuerdo con una realización del presente invento, la restricción impuesta en la matriz de comprobación de paridad es de la forma:

$$H_{(n-k) \times n} = \begin{bmatrix} A_{(n-k) \times k} & B_{(n-k) \times (n-k)} \end{bmatrix}$$

donde B es triangular inferior.

Cualquier bloque de información $i=(i_0, i_1, \dots, i_{k-1})$ es codificado a una palabra de código $c=(i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ usando $Hc^T = 0$, y resolviendo de modo recursivo para bits de paridad; por ejemplo,

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \Rightarrow \text{Resuelve } p_0 ,$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \Rightarrow \text{Resuelve } p_1$$

y de manera similar para $p_2, p_3, \dots, p_{n-k-1}$.

La fig. 7 es un gráfico que muestra rendimientos entre códigos que utilizan la matriz de comprobación de paridad sin restringir (matriz H) frente a la matriz H restringida de la fig. 6. El gráfico muestra la comparación de prestaciones entre dos códigos LDPC: uno con una matriz de comprobación de paridad general y el otro con una matriz de comprobación de paridad restringida para ser triangular inferior para simplificar la codificación. El esquema de modulación, para esta simulación, es 8-PSK. La pérdida de prestaciones está adentro de 0,1 dB. Por ello, la pérdida de prestaciones es despreciable basado en la restricción de las matrices H triangulares inferiores, mientras que la ganancia en simplicidad de la técnica de codificación es significativa. Consiguientemente, cualquier matriz de comprobación de paridad que sea equivalente a una triangular inferior o triangular superior bajo la permutación de fila y/o columna puede ser utilizada para el mismo propósito.

Las figs. 8A y 8B son, respectivamente, un diagrama de un esquema de modulación no de Gray 8-PSK, y una modulación Gray 8-PSK, cada uno de los cuales puede ser usado en el sistema de la fig. 1. El esquema no de Gray 8 PSK de la fig. 8A puede ser utilizado en el receptor de la fig. 3 para proporcionar un sistema que requiere una Tasa de Borrado De Marco (FER) muy baja. Este requisito puede también ser satisfecho usando un esquema Gray 8-PSK, como se ha mostrado en la fig. 8B, en unión con un código exterior, tal como código de Bose, Chaudhuri, y Hocquenghem (BCH), Hamming, o Reed-Solomon (RS).

Bajo este esquema, no hay necesidad para iterar entre el descodificador 305 de LDPC (fig. 3) y el generador métrico 307 de bits, que puede emplear modulación 8-PSK. En ausencia de un código exterior, el descodificador 305 de LDPC que usa etiquetado Gray exhibe un suelo de error temprano, como se ha mostrado después en la fig. 9.

La fig. 9 es un gráfico que muestra las prestaciones entre códigos que utilizan etiqueta Gray contra los que utilizan etiqueta no de Gray de las figs. 8A y 8B. El suelo de error proviene del hecho de que suponiendo una realimentación correcta desde el descodificador 305 de LDPC, la regeneración de métricas de bit de 8-PSK es más exacta con el etiquetado no de Gray ya que los dos símbolos 8-PSK con dos bits conocidos están además separados con etiquetado no de Gray. Esto puede ser visto de manera equivalente como funcionando a una Relación de Señal a Ruido (SNR) más elevada. Por ello, incluso aunque asíntotas de error del mismo código LDPC que usan etiquetado Gray o no de Gray tienen la misma pendiente (es decir, paralelas entre sí), la que tiene etiquetado no de Gray pasa a través del FER inferior a cualquier SNR.

Por otro lado, para sistemas que no requieren un FER muy bajo, el etiquetado Gray sin ninguna iteración entre el descodificador 305 de LDPC, y el generador métrico 307 de bits de 8-PSK puede ser más adecuado debido a que la regeneración de métricas de bit de 8-PSK antes de cada iteración del descodificador LDPC provoca una complejidad tradicional. Además, cuando el etiquetado Gray es usado, la regeneración de métricas de bit de 8-PSK antes de cada iteración del descodificador LDPC rinde solo una mejora de prestaciones muy ligera. Como se ha mencionado previamente, el etiquetado Gray sin iteración puede ser usado para sistemas que requieren muy bajo FER, siempre que haya implantado un código exterior.

La elección entre etiquetado Gray y etiquetado no de Gray, depende también de las características del código LDPC. Típicamente, cuanto mayores son los grados de nodo de bit o de comprobación, mejor es para el etiquetado Gray, debido a que para mayores grados de nodo, la realimentación inicial desde el descodificador 305 de LDPC al generador métrico 307 de bits de 8-PSK (o modulación de orden similar más elevada) se deteriora más con el etiquetado no de Gray.

Cuando la modulación 8-PSK (u orden más elevada similar) es utilizada con un descodificador binario, es reconocido que los tres bits (o más) de un símbolo no son recibidos "igualmente ruidosos". Por ejemplo con el etiquetado Gray 8-PSK, el tercer bit de un símbolo es considerado más ruidoso para el descodificador que los otros dos bits. Por ello, el diseño de código LDPC no asigna un número pequeño de bordes a aquellos nodos de bits representados por terceros bits "más ruidosos" del símbolo 8-PSK de manera que aquellos bits no son penalizados dos veces.

La fig. 10 es un diagrama de flujo del funcionamiento del descodificador LDPC que usa cartografiado no de Gray, de acuerdo con una realización del presente invento. Bajo esta aproximación, el descodificador LDPC y el generador métrico de bit iteran uno después del otro. En este ejemplo, es utilizada la modulación 8-PSK; sin embargo, los mismos principios se aplican a otros esquemas de modulación más elevada también. Bajo este escenario, se ha supuesto que el desmodulador 301 emite un vector de distancia, d, que indica las distancias entre puntos de símbolo ruidosos recibidos y puntos de símbolo 8-PSK al generador métrico 307 de bits, por lo que los componentes de vector son como sigue:

$$d_i = -\frac{E_s}{N_0} \left\{ (r_x - s_{i,x})^2 + (r_y - s_{i,y})^2 \right\} \quad i=0, 1, \dots, 7$$

ES 2 282 671 T3

El generador métrico 307 de bits de 8-PSK comunica con el decodificador 305 de LDPC para intercambiar una información de probabilidad *a priori* y una información de probabilidad *a posteriori*, que respectivamente son representados como u y a . Es decir, los vectores u y a representan respectivamente probabilidades *a priori* y *a posteriori* de las relaciones de probabilidad de logaritmo de bits codificados.

El generador métrico 307 de bits de 8-PSK genera las relaciones de probabilidad *a priori* para cada grupo de tres bits como sigue. En primer lugar, es obtenida información extrínseca sobre los bits codificados:

$$e_j = a_j - u_j \quad j = 0, 1, 2.$$

A continuación, las probabilidades del símbolo 8-PSK, $p_i, i=0,1,\dots,7$, son determinadas.

$$*y_j = -f(0, e_j) \quad j = 0, 1, 2.$$

donde $f(a,b)=\max(a,b)+LUT_f(a,b)$ con $LUT_f(a,b)=\ln(1+e^{-|a-b|})$

$$*x_j = y_j + e_j \quad j = 0, 1, 2.$$

$$*p_0 = x_0 + x_1 + x_2 \quad p_4 = y_0 + x_1 + x_2$$

$$p_1 = x_0 + x_1 + y_2 \quad p_5 = y_0 + x_1 + y_2$$

$$p_2 = x_0 + y_1 + x_2 \quad p_6 = y_0 + y_1 + x_2$$

$$p_3 = x_0 + y_1 + y_2 \quad p_7 = y_0 + y_1 + y_2$$

A continuación, el generador métrico 307 de bits determina relaciones de probabilidad logarítmicas *a priori* de los bits codificados como entrada al decodificador 305 de LDPC, como sigue:

$$U_0=f(d_0+p_0,d_1+p_1,d_2+p_2,d_3+p_3)-f(d_4+p_4,d_5+p_5,d_6+p_6,d_7+p_7)-e_0$$

$$U_1=f(d_0+p_0,d_1+p_1,d_4+p_4,d_5+p_5)-f(d_2+p_2,d_3+p_3,d_6+p_6,d_7+p_7)-e_1$$

$$U_2=f(d_0+p_0,d_2+p_2,d_4+p_4,d_6+p_6)-f(d_1+p_1,d_3+p_3,d_5+p_5,d_7+p_7)-e_2$$

se ha observado que la función $f(\cdot)$ con más de dos variables puede ser evaluada de manera recurrente; por ejemplo $f(a,b,c)=f(f(a,b),c)$.

El funcionamiento del decodificador 305 de LDPC que utiliza cartografiado no de Gray está descrito a continuación. En la operación 1001, el decodificador 305 de LDPC inicializa las relaciones de probabilidad logarítmica de los bits codificados, v , antes de la primera iteración de acuerdo con lo siguiente (y como se ha mostrado en la fig. 12A):

$$v_{n \rightarrow k1} = u_n \quad n = 0, 1, \dots, N-1 \quad i = 1, 2, \dots, \text{grado}(\text{nodo } n \text{ de bit})$$

Aquí, $v_{n \rightarrow k1}$ indica el mensaje que va desde el nodo de bit n a su nodo de comprobación adyacente k_j , u_n indica la salida del desmodulador para el bit n y N es el tamaño de la palabra de código.

En la operación 1003, un nodo de comprobación, k , es actualizado, por lo que la entrada v produce la salida w . Como se ha visto en la fig. 12B, los mensajes entrantes al nodo de comprobación k desde sus nodos de bit adyacente d_c son indicados por $v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k}$. El objetivo es calcular los mensajes salientes desde el nodo de comprobación k de nuevo a los nodos de bit adyacentes d_c . Estos mensajes están indicados por $w_{k \rightarrow n1}, w_{k \rightarrow n2}, \dots, w_{k \rightarrow ndc}$, donde

$$w_{k \rightarrow n1} = g(v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{n1-1 \rightarrow k}, v_{n1+1 \rightarrow k}, \dots, v_{ndc \rightarrow k})$$

La función $g()$ es definida como sigue:

$$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \{\min(|a|, |b|) + LUT_g(a, b),$$

donde $LUT_g(a,b)=\ln(1+e^{-|a+b|})-\ln(1+e^{-|a-b|})$. Similar a la función f, la función g con más de dos variables puede ser evaluada de modo recurrente.

A continuación el decodificador 305, por la operación 1205, emite una información de probabilidad *a posteriori* (fig. 12C), de tal manera que:

$$a_n = u_n + \sum_j w_{kj \rightarrow n}$$

Por la operación 1007, se determina si son satisfechas todas las ecuaciones de comprobación de paridad. Si estas ecuaciones de comprobación de paridad no son satisfechas, entonces el decodificador 305, como en la operación 1009, vuelve a derivar las métricas de bit de 8-PSK y la entrada del canal u_n . A continuación, el nodo de bit es actualizado, como en la operación 1011. Como se ha mostrado en la fig. 14C, los mensajes entrantes al nodo de bit n desde sus nodos de comprobación adyacentes d_v son indicados por $w_{k1 \rightarrow n}, w_{k2 \rightarrow n}, \dots, w_{kd_v \rightarrow n}$. Los mensajes salientes desde el nodo de bit n son calculados de nuevo a los nodos de comprobación adyacentes d_v ; tales mensajes están indicados por $v_{n \rightarrow k1}, v_{n \rightarrow k2}, \dots, v_{n \rightarrow kd_v}$, y son calculados como sigue:

$$v_{n \rightarrow k1} = u_n + \sum_j w_{kj \rightarrow n}$$

En la operación 1013, el decodificador 305 emite la decisión de hardware (en el caso de que sean satisfechas todas las ecuaciones de comprobación de paridad):

$$\hat{c}_n = \begin{cases} 0, & a_n \geq 0 \\ 1, & a_n < 0 \end{cases} \quad \text{Detenerse si } H\hat{c}^T = 0$$

La aproximación anterior es apropiada cuando es utilizado el etiquetado no de Gray. Sin embargo, cuando es implantado el etiquetado Gray, se ejecuta el proceso de la fig. 11.

La fig. 11 es un diagrama de flujo del funcionamiento del decodificador de LDPC de la fig. 3 que usa cartografiado Gray, de acuerdo con una realización del presente invento. Cuando es usado el etiquetado Gray, son generadas ventajosamente las métricas de bit solo una vez antes de que el decodificador de LDPC, ya que regenerar métricas de bit después de cada iteración del decodificador de LDPC puede producir una mejora de prestaciones nominal. Como con las operaciones 1001 y 1003 de la fig. 10, la inicialización de las relaciones de probabilidad logarítmica de bits codificados, v, son realizadas, y el nodo de comprobación es actualizado, por las operaciones 1101 a 1103. A continuación, el nodo de bit n es actualizado, como en la operación 1105. Después de ello, el decodificador emite la información de probabilidad *a posteriori* (operación 1107). En la operación 1109, se ha hecho una determinación de si son satisfechas todas las ecuaciones de comprobación de paridad; si es así, el decodificador emite la decisión de hardware (operación 1111). De otro modo, se repiten las operaciones 1103 a 1107.

La fig. 13A es un diagrama de flujo del proceso para calcular los mensajes salientes entre los nodos de comprobación y los nodos de bit usando una aproximación hacia delante y hacia atrás, de acuerdo con una realización del presente invento. Para un nodo de comprobación con bordes adyacentes d_c , se realizan el cálculo de $d_c(d_c-1)$ y numerosas funciones $g(\dots)$. Sin embargo, la aproximación hacia delante y hacia atrás reduce la complejidad del cálculo a 3 (d_c-2), en que están almacenadas d_c-1 variables.

Con referencia a la fig. 12B, los mensajes entrantes al nodo de comprobación k desde los d_c nodos de bit están indicados por $v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k}$. Se ha deseado que los mensajes salientes sean calculados desde el nodo de comprobación k hacia atrás a los d_c nodos de bit adyacentes; estos mensajes salientes están indicados por $w_{k \rightarrow n1}, w_{k \rightarrow n2}, \dots, w_{k \rightarrow ndc}$.

Bajo la aproximación hacia delante y hacia atrás para calcular estos mensajes salientes, las variables avanzadas, $f_1, f_2, \dots, f_{d_c}$, son definidas como sigue:

$$f_1 = v_{1 \rightarrow k}$$

$$f_2 = g(f_1, v_{2 \rightarrow k})$$

$$f_3 = g(f_2, v_{3 \rightarrow k})$$

...

...

$$f_{d_c} = g(f_{d_c-1}, v_{d_c \rightarrow k})$$

En la operación 1301, estas variables avanzadas son calculadas, y almacenadas, por la operación 1303.

ES 2 282 671 T3

De manera similar, las variables atrasadas, $b_1, b_2, \dots, b_{dc}$ son definidas como sigue:

$$b_{dc} = v_{dc \rightarrow k}$$

$$b_{dc-1} = g(b_{dc}, v_{dc-1 \rightarrow k})$$

...

...

$$b_1 = g(b_2, v_{1 \rightarrow k})$$

En la operación 1305, estas variables atrasadas son a continuación calculadas. Después de ello, son calculados los mensajes salientes, como en la operación 1307, basado en las variables avanzadas almacenadas y las variables atrasadas calculadas. Los mensajes salientes son calculados como sigue:

$$W_{k \rightarrow 1} = b_2$$

$$W_{k \rightarrow i} = g(f_{i-1}, b_{i+1}) \quad i = 2, 3, \dots, d_c - 1$$

$$W_{k \rightarrow dc} = f_{dc-1}$$

Bajo esta aproximación, solo las variables avanzadas, $f_2, f_3, \dots, f_{dc}$, son requeridas para ser almacenadas. Como las variables atrasadas b_i son calculadas, los mensajes salientes $W_{k \rightarrow i}$, son calculados simultáneamente, negando por ello la necesidad de almacenar las variables atrasadas.

La carga del cálculo puede ser además mejorada por una aproximación paralela, como se ha descrito a continuación.

La fig. 13B es un diagrama de flujo del proceso para calcular mensajes salientes entre los nodos de comprobación y los nodos de bit usando una aproximación paralela, de acuerdo con una realización del presente invento. Para un nodo de comprobación k con entradas $v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k}$ desde los d_c nodos de bit adyacentes, es calculado el siguiente parámetro, como en la operación 1311:

$$\gamma_k = g(v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k})$$

Se ha observado que la función $g(.,.)$ puede ser expresada también como sigue:

$$g(a, b) = \ln \frac{1 + e^{a+b}}{e^a + e^b}$$

Explotando la naturaleza recurrente de la función $g(.,.)$, resulta la siguiente expresión:

$$\gamma_k = \ln \frac{1 + e^{g(v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k}) + v_{nl \rightarrow k}}}{e^{g(v_{n1 \rightarrow k}, v_{n2 \rightarrow k}, \dots, v_{ndc \rightarrow k})} + e^{v_{nl \rightarrow k}}} = \ln \frac{1 + e^{w_{k \rightarrow nl} + v_{nl \rightarrow k}}}{e^{w_{k \rightarrow nl}} + e^{v_{nl \rightarrow k}}}$$

Consiguientemente, $w_{k \rightarrow nl}$ puede ser resuelto de la siguiente manera:

$$w_{k \rightarrow nl} = \ln \frac{e^{v_{nl \rightarrow k} + \gamma_k} - 1}{e^{v_{nl \rightarrow k} - \gamma_k} - 1} - \gamma_k$$

El término $\ln(.)$ de la anterior ecuación puede ser obtenido usando una tabla de búsqueda LUT_x que representa la función $\ln|e^x - 1|$ (operación 1313). De modo distinto a las otras tablas de búsqueda LUT_f o LUT_g , la tabla LUT_x requeriría probablemente tantas entradas como número de niveles de cuantificación. Una vez que se ha obtenido γ_k el cálculo de $w_{k \rightarrow nl}$ para todos los n_l puede ocurrir en paralelo usando la anterior ecuación, por la operación 1315.

La latencia de cálculo de γ_k es ventajosamente $\log_2(d_c)$.

Las figs. 14A-14C son gráficos que muestran resultados de simulación de códigos LDPC generados de acuerdo con distintas realizaciones del presente invento. En particular las figs. 14A-14C, muestran las prestaciones de códigos LDPC con modulación de mayor orden y tasas de código de 3/4 (QPSK, 1485 bits/símbolo), 2/3 (8-PSK, 1980 bits/símbolo), y 5/6 (8-PSK, 2474 bits/símbolo).

Existen dos aproximaciones generales para realizar las interconexiones entre nodos de comprobación y nodos de bit: (1) una aproximación completamente paralela, y (2) una aproximación parcialmente paralela. En arquitectura completamente paralela, todos los nodos y sus interconexiones son puestos en práctica físicamente. La ventaja de esta arquitectura es la velocidad.

La arquitectura completamente paralela, sin embargo, puede implicar mayor complejidad al realizar todos los nodos y sus conexiones. Por ello con la arquitectura completamente paralela, puede requerirse un tamaño de bloque menor para reducir la complejidad. En ese caso, para la misma frecuencia de reloj, puede resultar una reducción proporcional en la salida total y alguna degradación en prestaciones de FER frente a E_s/N_0 .

La segunda aproximación para poner en práctica códigos LDPC es realizar físicamente sólo un subconjunto del número total de los nodos y usar solamente este número limitado de nodos “físicos” para procesar todos los nodos “funcionales” del código. Incluso aunque las operaciones del descodificador LDPC pueden ser hechas extremadamente simples y pueden ser realizadas en paralelo, el desafío adicional en el diseño es cómo es establecida la comunicación entre nodos de bit y nodos de comprobación distribuidos “aleatoriamente”. El descodificador 305 (de la fig. 3), de acuerdo con una realización del presente invento, accede a este problema accediendo a la memoria de un modo estructurado, como para realizar un código similarmente aleatorio. Esta aproximación es explicada con respecto a las figs. 15A y 15B.

Las figs. 15A y 15B son diagramas del borde superior y borde inferior, respectivamente, de la memoria organizada para soportar el acceso estructurado de modo que realice una aleatoriedad en la codificación LDPC, de acuerdo con una realización del presente invento. El acceso estructurado puede ser conseguido sin comprometer las prestaciones de un código verdaderamente aleatorio focalizando sobre la generación de la matriz de comprobación de paridad. En general, una matriz de comprobación de paridad puede ser especificada por las conexiones de los nodos de comprobación con los nodos de bit. Por ejemplo, los nodos de bits pueden ser divididos en grupos de un tamaño fijo, que con propósitos ilustrativos es 392. Adicionalmente, suponiendo los nodos de comprobación conectados al primer grado de bit de grado 3, por ejemplo, son numerados como a, b y c a continuación los nodos de comprobación conectados al segundo nodo de bit son numerados como a+p, b+p y c+p, los nodos de comprobación conectados al tercer nodo de bit son numerados como a+2p, b+2p, c+2p, etc.; donde $p=(\text{número de nodos de comprobación})/392$. Para el siguiente grupo de 392 nodos de bit, los nodos de comprobación conectados al primer nodo de bit son diferentes de a, b y c de modo que con una elección adecuada de p, todos los nodos de comprobación tienen el mismo grado. Una búsqueda aleatoria es realizada sobre las constantes libres de tal modo que el código resultante LDPC es de ciclo 4 y de ciclo 6 libres. Debido a las características estructurales de la matriz de comprobación de paridad del presente invento, la información de borde puede ser almacenada para permitir el acceso concurrente a un grupo de valores de borde relevantes durante la descodificación.

En otras palabras, la aproximación del presente invento facilita el acceso a la memoria durante el tratamiento del nodo de comprobación y del nodo de bit. Los valores de los bordes en el gráfico bipartito pueden ser almacenados en un medio de almacenamiento, tal como una memoria de acceso aleatorio (RAM). Se ha observado que para un código LDPC verdaderamente aleatorio durante el tratamiento del nodo de comprobación y del nodo de bit, los valores de los bordes necesitarían ser accedidos uno por uno de una manera aleatoria. Sin embargo, tal esquema de acceso tradicional sería demasiado lento para una aplicación de tasa de datos elevada. Las RAM de las figs. 15A y 15B están organizadas de una manera, por lo que un gran grupo de bordes relevantes puede ser recogido en un ciclo de reloj; consiguientemente estos valores son colocados “juntos” en la memoria, de acuerdo con un esquema o disposición predeterminado. Se ha observado que, en realidad, incluso con un código verdaderamente aleatorio, para un grupo de nodos de comprobación (y respectivamente nodos de bit), los morder relevantes pueden ser colocados a continuación uno de otro en la RAM, pero entonces los bordes relevantes adyacentes a un grupo de nodos de bit (respectivamente nodos de comprobación) serán dispersados aleatoriamente en la RAM. Por ello, la “simultaneidad”, bajo el presente invento, proviene del diseño de las propias matrices de comprobación de paridad. Es decir, el diseño de la matriz de comprobación asegura que los bordes relevantes para un grupo de nodos de bit y nodos de comprobación son simultáneamente colocados juntos en la RAM.

Como se ha visto en las figs. 15A y 15B, cada caja contiene el valor de un borde, que es de múltiples bits (por ejemplo 6). La RAM del borde de acuerdo con una realización del presente invento está dividida en dos partes: RAM 1501 de borde superior (fig. A) y RAM 1503 de borde inferior (fig. 15B). La RAM 1503 del borde inferior contiene los bordes entre los nodos de bit de grado 2, por ejemplo, y nodos de comprobación. La RAM de borde superior contiene los bordes entre nodos de bit de grado mayor de 2 y nodos de comprobación. Por ello, para cada nodo de comprobación, 2 bordes adyacentes son almacenados en la RAM 1503 inferior, y el resto de los bordes son almacenados en la RAM 1501 de borde superior. Por ejemplo, los tamaños de la RAM 1501 de borde superior y de la RAM 1503 de borde inferior para distintas tasas de código están dados en la tabla 14:

TABLA 14

	1/2	2/3	3/4	5/6
RAM de Borde Superior	400 x 392	440 x 392	504 x 392	520 x 392
RAM de Borde Inferior	160 x 392	110 x 392	72 x 392	52 x 392

Basado en la tabla 14, una RAM de borde de tamaño 576 x 392 es suficiente para almacenar las métricas de borde para todas las tasas de código de 1/2, 2/3, 3/4 y 5/6.

Como se ha observado, bajo este escenario ejemplar, un grupo de 392 nodos de bit y 392 nodos de comprobación son seleccionados para tratar al mismo tiempo. Para tratar 392 nodos de comprobación, $q=d_c-2$ filas consecutivas son accedidas desde la RAM 1501 de borde superior, y 2 filas consecutivas desde la RAM 1503 de borde inferior. El valor de d_c depende del código específico, por ejemplo $d_c=7$ para tasa 1/2, $d_c=10$ para tasa 2/3, $d_c=16$ para tasa 3/4 y $d_c=22$ para tasa 5/6 para los códigos anteriores. Desde luego son posibles otros valores de d_c para otros códigos. En este caso, $q+2$ es el grado de cada nodo de comprobación.

Para el tratamiento del nodo de bit, si el grupo de 392 nodos de bit tiene grado 2, sus bordes están situados en 2 filas consecutivas de la RAM 1503 de borde inferior. Si los nodos de bit tienen grado $d>2$, sus bordes están situados en algunas d filas de la RAM 1501 de borde superior. La dirección de estas d filas puede ser almacenada en una memoria no volátil, tal como una Memoria Sólo de Lectura (ROM). Los bordes en una de las filas corresponden a los primeros bordes de 392 nodos de bits, los bordes de otra fila corresponden a los segundos bordes de 392 nodos de bit, etc. Además para cada fila, el índice de columna del borde que pertenece al primer nodo de bit en el grupo de 392 puede ser también almacenado en la ROM. Los bordes que corresponden al segundo, tercero, etc., nodos de bit siguen el índice de la columna de comienzo de una manera "envuelta alrededor". Por ejemplo, si el borde de orden j de la fila pertenece al primer nodo de bit entonces el borde de orden $(j+1)$ pertenece al segundo nodo de bit y el borde de orden $(j+2)$ pertenece al tercer nodo de bit, ..., y el borde de orden $(j-1)$ pertenece al nodo de bit de orden 392.

Con la organización mostrada en las figs. 15A y 15B, la velocidad de acceso de memoria es muy mejorada durante la codificación LDPC.

La fig. 16 ilustra un sistema de ordenador sobre el que puede ser puesta en práctica una realización de acuerdo con el presente invento. El sistema de ordenador 1600 incluye una línea de transmisión o bus 1601 u otro mecanismo de comunicación para comunicar información, y un procesador 1603 acoplado a la línea de transmisión 1601 para tratar la información. El sistema de ordenador 1600 también incluye memoria principal 1605, tal como una memoria de acceso aleatorio (RAM) u otro dispositivo de almacenamiento dinámico, acoplado a la línea de transmisión 1601 para almacenar información e instrucciones que han de ser ejecutadas por el procesador 1603. La memoria principal 1605 puede también ser usada para almacenar temporalmente variables u otra información intermedia durante la ejecución de instrucciones que han de ser ejecutadas por el procesador 1603. El sistema de ordenador 1600 incluye además una memoria sólo de lectura (ROM) 1607 u otro dispositivo de almacenamiento estático acoplado a la línea de transmisión 1601 para almacenar información e instrucciones estáticas para el procesador 1603. Un dispositivo de almacenamiento 1609, tal como un disco magnético o disco óptico, está acoplado adicionalmente a la línea de transmisión 1601 para almacenar información e instrucciones.

El sistema de ordenador 1600 puede estar acoplado a través de la línea de transmisión 1601 a una pantalla de presentación 1611, tal como un tubo de rayos catódicos (CRT), una pantalla de cristal líquido, una pantalla de matriz activa, o una pantalla de plasma, para presentar información a un usuario del ordenador. Un dispositivo de entrada 1613, tal como un teclado que incluye teclas alfanuméricas y otras, está acoplado a la línea de transmisión 1601 para comunicar información y mandar u ordenar selecciones al procesador 1603. Otro tipo de dispositivo de entrada de usuario es el control por cursor 1615, tal como un ratón, una bola, o teclas de dirección del cursor para comunicar información de dirección y ordenar selecciones al procesador 1603 para controlar el movimiento del cursor sobre la pantalla de presentación 1611.

De acuerdo con una realización del invento, la generación de códigos LDPC es proporcionada por el sistema de ordenador 1600 en respuesta al procesador 1603 que ejecuta una disposición de instrucciones contenidas en la memoria principal 1605. Tales instrucciones pueden ser leídas en la memoria principal 1605 desde otro medio legible por ordenador, tal como el dispositivo de almacenamiento 1609. La ejecución de la disposición de instrucciones contenidas en la memoria principal 1605 hace que el procesador 1603 realice las operaciones del proceso descritas aquí. Uno o más procesadores en una disposición de tratamiento múltiple pueden también ser empleados para ejecutar las instrucciones contenidas en la memoria principal 1605. En realizaciones alternativas, pueden usarse circuitos cableados de hardware

en lugar de o en combinación con instrucciones de software para poner en práctica la realización del presente invento. Así, realizaciones del presente invento no están limitadas a ninguna combinación específica de circuitos de hardware y software.

5 El sistema de ordenador 1600 también incluye un enlace de comunicación 1617 acoplado a la línea de transmisión 1601. El enlace de comunicación 1617 proporciona una comunicación de datos de dos sentidos que se acopla a un enlace de red 1619 conectado a una red local 1621. Por ejemplo, el enlace de comunicación 1617 puede ser una tarjeta o módem de línea de abonado digital (DSL), una tarjeta de red digital de servicios integrados (ISDN), un módem por cable, o un módem telefónico para proporcionar una conexión de comunicación de datos a un tipo correspondiente de línea telefónica. Como otro ejemplo, el enlace de comunicación 1617 puede ser una tarjeta de red de área local (LAN) (por ejemplo para Ethernet™ o una red de Modelo de Transferencia Asíncrona (ATM)) para proporcionar una conexión de comunicación de datos a una LAN compatible. Los enlaces inalámbricos pueden también ser utilizados. En cualquiera de tales puestas en práctica, el enlace de comunicación 1617 envía y recibe señales eléctricas, electromagnéticas u ópticas que transportan corrientes de datos digitales que representan distintos tipos de información. 10 Además, el enlace de comunicación 1617 puede incluir dispositivos de enlace periféricos, tales como un enlace de Línea de Transmisión o Bus en Serie Universal (USB), un enlace de (Asociación Internacional de Tarjeta de Memoria de Ordenador Personal) PCMCIA, etc.

El enlace de red 1619 proporciona típicamente comunicación de datos a través de una o más redes a otros dispositivos de datos. Por ejemplo, el enlace de red 1619 puede proporcionar una conexión a través de una red local 1621 a un ordenador anfitrión 1623, que tiene conectividad con una red 1625 (por ejemplo una red de área amplia (WAN) o la red de comunicación global de paquetes de datos corrientemente denominada ahora como "Internet") o con un equipo de datos accionado por el proveedor de servicios. La red local 1621 y la red 1625 usan ambas señales eléctricas, electromagnéticas u ópticas para transportar información e instrucciones. Las señales a través de las distintas redes y las señales en el enlace de red 1619 y a través del enlace de comunicación 1617, que comunica datos digitales con el sistema de ordenador 1600, son formas ejemplares de ondas portadoras que soportan la información e instrucciones. 25

El sistema de ordenador 1600 puede enviar mensajes y recibir datos, incluyendo código de programa, a través de la red o redes, el enlace de red 1619, y el enlace de comunicación 1617. En el ejemplo de Internet, un servidor (no mostrado) podría transmitir el código requerido que pertenece a un programa de aplicación para poner en práctica una realización del presente invento a través de la red 1625, la red local 1621 y el enlace de comunicación 1617. El procesador 1603 puede ejecutar el código transmitido mientras está siendo recibido y/o almacenar el código en el dispositivo de almacenamiento 169, u otro almacenamiento no volátil para posterior ejecución. De esta manera, el sistema de ordenador 1600 puede obtener un código de aplicación en forma de una onda portadora. 35

El término "medio legible por ordenador" como es usado aquí se refiere a cualquier medio que participa en proporcionar instrucciones al procesador 1603 para su ejecución. Tal medio puede tener muchas formas, incluyendo pero no estando limitado a medios no volátiles, medios volátiles, y medios de transmisión. Los medios no volátiles incluyen, por ejemplo, discos ópticos o magnéticos, tales como el dispositivo de almacenamiento 1609. Los medios volátiles incluyen memoria dinámica, tal como la memoria principal 1605. Los medios de transmisión incluyen cables coaxiales, hilos de cobre y fibra óptica, incluyendo los hilos que comprende la línea de transmisión 1601. Los medios de transmisión pueden también tener la forma de ondas acústicas, ópticas o electromagnéticas, tales como las generadas durante las comunicaciones de datos a frecuencia de radio (RF) e infrarrojos (IR). Formas comunes de medios legibles por ordenador incluyen, por ejemplo, un disquete, un disco flexible, disco duro, cinta magnética, cualquier otro medio magnético, un CD-ROM, CDRW, DVD, cualquier otro medio óptico, tarjetas perforadas, cinta de papel, láminas de marca óptica, cualquier otro medio físico con diseños de agujeros o otros índices ópticamente reconocibles, una RAM, una PROM, una EPROM, una FLASH_EPROM, cualquier otro chip o cartucho de memoria, una onda portadora, cualquier otro medio a partir del cual pueda leer un ordenador. 45

Distintas formas de medios legibles por ordenador puede estar implicadas en proporcionar instrucciones a un procesador para su ejecución. Por ejemplo, las instrucciones para llevar a la práctica al menos parte del presente invento pueden ser originadas inicialmente en un disco magnético de un ordenador remoto. En tal escenario, el ordenador remoto carga las instrucciones en la memoria principal y envía las instrucciones sobre una línea telefónica usando un módem. Un módem de un sistema de ordenador local recibe los datos en la línea telefónica y usa un transmisor de infrarrojos para convertir los datos en una señal infrarroja y transmitir la señal infrarroja a un dispositivo informático portátil, tal como una agenda digital personal (PDA) y un portátil. Un detector de infrarrojos en el dispositivo informático portátil recibe la información e instrucciones nacidas mediante la señal infrarroja y sitúa los datos en una línea de transmisión o bus. La línea de transmisión transporta los datos a la memoria principal, desde la cual el procesador recupera y ejecuta las instrucciones. Las instrucciones recibidas por la memoria principal pueden ser almacenadas opcionalmente en un dispositivo de almacenamiento bien antes o bien después de la ejecución por el procesador. 50 55 60

Consiguientemente, las distintas realizaciones del presente invento proporcionan una aproximación para codificar códigos de Comprobación de Paridad de Baja Densidad (LDPC) estructurados. La estructura de los códigos LDPC es proporcionada restringiendo parte de la matriz de comprobación de paridad para que sea triangular inferior y/o satisfaciendo otros requisitos tales como que la comunicación entre nodos de bit y nodos de comprobación del descodificador es simplificada. La memoria de almacenamiento de información que respetar que representa la abate de comprobación La claridad estructurada es accedida. La información es organizada en forma tabular, en la que cada fila representa ocurrencias de valores de uno dentro de una primera columna de un grupo de columnas de la matriz de comprobación 65

de paridad. Las filas corresponden a grupos de columna de la matriz de comprobación de paridad, en la que columnas subsiguientes dentro de cada uno de los grupos son derivadas de acuerdo con una operación predeterminada (por ejemplo desplazamiento cíclico, suma, etc.). Una señal codificada LDPC basada en la información almacenada representa la matriz de comprobación de paridad. De acuerdo con una realización del presente invento, un codificador de Bose Chaudhuri Hocquenghem (BCH) es utilizado por el transmisor para codificar una señal de entrada que usa códigos BCH, en los que la señal codificada de LDPC correspondiente a la señal de entrada representa un código que tiene un código BCH exterior y un código LDPC interior. Además, un codificador de comprobación de redundancia cíclica (CRC) es suministrado para codificar la señal de entrada de acuerdo con un código CRC. La anterior aproximación produce una complejidad reducida sin sacrificar prestaciones.

Aunque el presente invento ha sido descrito en conexión con varias realizaciones y puestas en práctica, el presente invento no está así limitado a ello sino que cubre varias modificaciones y disposiciones equivalentes obvias, que caen dentro del propósito de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un método de codificar que comprende: acceder a la memoria ((1605, 1607) que almacena información que representa una matriz de comprobación de paridad estructurada de códigos de Comprobación de Paridad de Baja Densidad (LDPC), estando la información organizada en forma tabular, representando cada fila de la información en memoria, ocurrencias de valores de uno dentro de una primera columna de un grupo de columnas de la matriz de comprobación de paridad, correspondiendo las filas a grupos de columnas de la matriz de comprobación de paridad, y siendo derivadas columnas subsiguientes dentro de cada uno de los grupos de acuerdo a una operación predeterminada; inicializar acumuladores de bit de paridad a cero, en que los acumuladores de bit de paridad corresponden a bits de paridad; acumular el primer bit de información con índice jM del grupo de orden j de M bits de información en el acumulador de bit de paridad en la dirección i especificada si la entrada de orden j en la columna de orden (jM) de la matriz de comprobación de paridad es 1, donde $j=0,1,2,3,...,k_{ldpc}/M-1$; y emitir una señal codificada de LDPC basada en la información almacenada que representa la matriz de comprobación de paridad, **caracterizado** por, después de la operación de acumular el primer bit de información, las siguientes operaciones: acumular cada uno de los $(M-1)$ bits de información restantes con índice $m = jM+1, jM+2, jM+3, ..., (j+1)M-1$ del grupo de orden j en uno o más acumuladores de bit de paridad, relacionado a cada acumulador de bit de paridad en el que el primer bit de información con índice jM en el grupo fue acumulado, en una dirección $\{x+m \bmod Mxq\} \bmod (n_{ldpc}-k_{ldpc})$, donde n_{ldpc} representa el tamaño de palabra de código, k_{ldpc} representa el tamaño del bloque de información, x indica la dirección de cada acumulador de bit de paridad en la que el primer bit de información con índice jM en el grupo fue acumulada, y q es una constante dependiente de la tasa de código; y después de que todos los bits de información son evacuados, realizar operaciones, comenzando con $i=1$ de acuerdo a, $i=1,2,...,n_{ldpc}-k_{ldpc}-1$, para obtener bits de paridad final $p_i, i=0,1,2,...,n_{ldpc}-k_{ldpc}-1$, en los que p_i indica el contenido del acumulador de bit de paridad en la dirección i .

2. Un método según la reivindicación 1ª, en el que el funcionamiento predeterminado especifica la operación de: realizar un desplazamiento cíclico por q posiciones en la primera columna de cada una del grupo de columnas.

3. Un método según la reivindicación 1ª, en el que $M=360$.

4. Un método según la reivindicación 1ª, en el que la constante q dependiente del código es 60, 30, 90, 45, 36, 72, 20 y 18 para tasas de código 2/3, 5/6, 1/2, 3/4, 4/5, 3/5, 8/9, y 9/10, respectivamente.

5. Un método según la reivindicación 1ª, que comprende además: modular la señal codificada LDPC de acuerdo con una constelación de señal que incluye uno de entre Codificado de Desfase de 8-PSK, Modulación de Amplitud en Cuadratura de 16-QAM, Codificado de Desfase en Cuadratura QPSK, Codificado de Desfase en Amplitud de 16-APSK y 32-APSK.

6. Un método según la reivindicación 1ª, en el que los bits de información son obtenidos codificando una señal de entrada de acuerdo con códigos de Bose Chaudhuri Hocquenghem (BCH).

7. Un método según la reivindicación 6ª, en el que el número de bits de BCH redundante es $n_{BCH}-k_{BCH}=16*t$ en el que t representa la capacidad de corregir error del código BCH, n_{BCH} es el tamaño de la palabra de código del código BCH y k_{BCH} es el tamaño del bloque de información del código BCH.

8. Un método según la reivindicación 6ª, en el que la capacidad de corrección de error del código BCH es 12 bits cuando es usado en concatenación con códigos LDPC de tasa 1/2, 3/4, 4/5 y 3/5, es 10 bits cuando es usado en concatenación con códigos LDPC de tasa 2/3 y 5/6, y es 8 bits cuando es usado en concatenación con códigos LDPC de tasa 8/9 y 9/10.

9. Un método según la reivindicación 1ª, en el que $M=360$ y los índices de fila de 1 en la columna de orden (jM) , $j=0,1,2,3,...,(k_{ldpc}/360)-1$, de la matriz de comprobación de paridad están dados en la fila de orden j de acuerdo con una de las Tablas 1-8:

ES 2 282 671 T3

TABLA 1

5
10
15
20
25
30
35
40
45
50
55
60
65

Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)															
0	10491	16043	506	12826	8065	8226	2767	240	18873	9279	10579	20928			
1	17819	8313	6433	6224	5120	5824	12812	17187	9940	13447	13825	18433			
2	17957	8024	8681	18628	12794	5915	14576	10970	12064	20437	4455	7151			
3	19777	8183	9972	14536	8182	17749	11341	5556	4379	17434	15477	18532			
4	4651	19689	1608	659	16707	14335	6143	3058	14818	17894	20684	5306			
5	9778	2552	12096	12369	15198	16890	4851	3109	1700	18725	1997	15882			
6	486	6111	13743	11537	55917433	15227141451483	3887	17431	12430						
7	20647	14311	11734418081105525	12141	15761	18661	18441	10569	8192						
8	3791	14759	15264	19918	10132	9062	10010	12786	10675	9682	19246	5454			
9	19525	9485	7777	19999	8378	9209	3163	20232	6690	16518	716	7353			
10	4588	6709	2020210905	915	4317	11073	13576	16433	368	3508	21171				
11	14072	4033	1995912808	631	19494	14160	824910223	21504	12395	4322					
12	13800	14161													
13	2948	9647													
14	14693	16027													
15	20506	11082													
16	1143	9020													
17	13501	4014													
18	1548	2190													
19	12216	21558													
20	2095	19897													
21	4189	7858													
22	15940	10048													
23	1512614														
24	8501	8450													
25	17595	16784													
26	5913	8495													
27	16394	10423													
28	7409	6981													
29	6678	15939													
30	20344	12987													
31	2510	14588													
32	17918	6655													
33	6703	19451													
34	496	4217													
35	7290	5766													
36	10521	8925													
37	20379	11905													
38	4090	5838													
39	19082	17040													
40	20233	12352													
41	19365	19546													
42	6249	19030													
43	11037	19193													
44	19760	11772													
45	19644	7428													
46	18076	3521													
47	11779	21062													
48	13062	9682													

ES 2 282 671 T3

TABLA 1 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)
5	49 8934 5217
	50 11087 3319
	51 18892 4356
	52 7894 3898
10	53 5963 4360
	54 7346 11726
	55 1825809
	56 2412 17295
15	57 9845 20494
	58 6687 1864
	59 20564 5216
	0 18226 17207
20	1 9380 8266
	2 7073 3065
	3 18252 13437
	4 9161 15642
25	5 10714 10153
	6 115859078
	7 5359 9418
	8 9024 9515
30	9 120616354
	10 14994 1102
	11 9375 20796
	12 15964 6027
35	13 14789 6452
	14 8002 18591
	15 14742 14089
	16 2533045
40	17 1274 19286
	18 14777 2044
	19 13920 9900
	20 452 7374
45	21 18206 9921
	22 6131 5414
	23 10077 9726
	24 12045 5479
50	25 4322 7990
	26 15616 5550
	27 15561 10661
	28 20718 7387
55	29 2518 18804
	30 8984 2600
	31 6516 17909
	32 11148 98
60	33 20559 3704
	34 75101569
	35 16000 11692
	36 9147 10303
65	37 16650 191
	38 15577 18685

ES 2 282 671 T3

TABLA 1 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 2/3)	
39 17167 20917	
40 4256 3391	
41 20092 17219	
42 9218 5056	
43 18429 8472	
44 12093 20753	
45 16345 12748	
46 16023 11095	
47 5048 17595	
48 18995 4817	
49 16483 3536	
50 1439 16148	
51 3661 3039	
52 19010 18121	
53 8968 11793	
54 13427 18003	
55 5303 3083	
56 531 16668	
57 4771 6722	
58 5695 7960	
59 3589 14630	

TABLA 2

Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)	
0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723	
12479 1786 8978 30114339 9313 6397 2957 7288 5484 6031 10217	
2 10175 9009 9889 30914985 7267 4092 8874 56712777 2189 8716	
3 9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138	
4 2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311	
5 3435 7871348 3693 1878 8585 10340 7144 5870 2084 4052 2780	
6 3917 31113476 1304 103315939 5199 1611 1991 699 8316 9960	
7 6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567	
8 10587 2195 1889 2968 5420 2580 2883 6496 111 6023 1024 4449	
9 3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512	
10 8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975	
11 8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978	
12 7795 741633 9542 6867 7352 6417 7568 10623 725 2531 9115	
13 7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755	
14 3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520	
15 6304 7621	
16 6498 9209	
17 7293 6786	
18 59501708	
19 8521 1793	
20 6174 7854	
21 8773 1190	
22 9517 10268	
23 2181 9349	

ES 2 282 671 T3

TABLA 2 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)
5	24 1949 5560
	25 1556 555
	26 8600 3827
	27 5072 1057
10	28 7928 3542
	29 3226 3762
	0 7045 2420
	1 9645 2641
15	2 2774 2452
	353312031
	4 9400 7503
	5 1850 2338
20	6 10456 9774
	7 1692 9276
	8 10037 4038
	9 3964 338
25	10 2640 5087
	11 858 3473
	12 5582 5683
	13 9523 916
30	14 4107 1559
	15 4506 3491
	16 8191 4182
	17 10192 6157
35	18 5668 3305
	19 3449 1540
	20 4766 2697
	214069 6675
40	2211171016
	23 5619 3085
	24 8483 8400
	25 8255 394
45	26 6338 5042
	27 6174 5119
	28 7203 1989
	291781 5174
50	0 1464 3559
	1 3376 4214
	2 7238 67
	3 10595 8831
55	4 1221 6513
	5 5300 4652
	6 1429 9749
	7 7878 5131
60	8 4435 10284
	9 6331 5507
	10 6662 4941
	119614 10238
65	12 8400 8025
	13 9156 5630

ES 2 282 671 T3

TABLA 2 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)
5	14 7067 8878
	15 9027 3415
	16 1690 3868
	17 2854 8469
10	18 6206 630
	19 363 5453
	20 4125 7008
	21 1612 6702
15	22 9069 9226
	23 5767 4060
	24 3743 9237
	25 7018 5572
20	26 8892 4536
	27 853 6064
	28 8069 5893
	29 2051 2885
25	010691 3153
	1 3602 4055
	23281717
	3 2219 9299
30	4 1939 7898
	5 617 206
	6 8544 1374
	7 10676 3240
35	8 6672 9489
	931707457
	1078685731
40	11 6121 10732
	12 4843 9132
	13 580 9591
	14 6267 9290
45	15 3009 2268
	16 195 2419
	17 8016 1557
	18 1516 9195
50	19 8062 9064
	20 2095 8968
	21 753 7326
	22 6291 3833
55	23 2614 7844
	24 2303 648
	25 2075 611
	26 4687 362
60	27 8684 9940
	28 4830 2065
	29 7038 1363
	0 1769 7837
65	1 3801 1689
	2 10070 2359
	3 3667 9918

ES 2 282 671 T3

TABLA 2 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 5/6)	
4 1914 6920	
5 4244 5669	
6 10245 7821	
7 7648 3944	
8 3310 5488	
9 6346 9666	
10 7088 6122	
11 12917827	
12 10592 8945	
13 3609 7120	
14 9168 9112	
15 6203 8052	
16 3330 2895	
17 4264 10563	
18 10556 6496	
19 8807 7645	
20 1999 4530	
21 9202 8818	
22 3403 1734	
23 2106 9023	
24 6881 3883	
25 3895 2171	
26 4062 6424	
27 3755 9536	
28 4683 2131	
29 7347 8027	

TABLA 3

Dirección de Acumuladores de Bit de Paridad (Tasa 1/2)	
54 9318 14392 27561 26909 10219 2534 8597	
55 7263 4635 2530 28130 3033 23830 3651	
56 24731 23583 26038 17299 5750 792 9169	
57 5811 26154 18653 11551 15447 13685 16264	
58 12610 11347 28768 2792 3174 29371 12997	
59 16789 18018 21449 6165 21202 15850 3186	
60 31016 21449 17618 6213 12166 8334 18212	
61 22836 14213 11327 5896 718 11727 9308	
62 2091 24941 29966 23834 9013 15587 5444	
63 22207 3983 16904 28534 21415 27524 25912	
64 25687 4501 22193 14665 14798 16158 5491	
65 4520 17094 23397 4264 22370 16941 21526	
66 10490 6182 32370 9597 30841 25954 2762	
67 22120 22865 29870 15147 13668 14955 19235	
68 6689 18408 18346 9918 25746 5443 20645	
69 29982 12529 13858 4746 30370 10023 24828	
70 1262 28032 29888 13063 24033 21951 7863	
71 8594 29642 31451 14831 9509 9335 31552	
72 1358 6454 16633 20354 24598 624 5265	

ES 2 282 671 T3

TABLA 3 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 1/2)
5	73 19529 295 18011 3080 13364 8032 15323
	74 11981 1510 7960 21462 9129 11370 25741
	75 9276 29656 4543 30899 20648 21921 28050
10	76 15975 25634 5520 31119 13715 21949 19605
	77 18688 4608 31755 30165 13103 10708 29224
	78 21514 23117 12245 26035 31658 25631 30699
	79 9674 24966 31285 29908 17042 24588 31857
15	80 21856 27777 29919 27000 14897 11409 7122
	81 29773 23310 263 4877 28622 20545 22092
	82 15605 5651 21864 3967 14419 22757 15896
	83 30145 1759 10139 29223 26086 10556 5098
20	84 18815 16575 2936 24457 26738 6030 505
	85 30326 22298 27562 20131 26390 6247 24791
	86 928 29246 21246 12400 15311 32309 18608
	87 20314 6025 26689 16302 2296 3244 19613
25	88 6237 11943 22851 15642 23857 15112 20947
	89 26403 25168 19038 18384 8882 12719 7093
	0 14567 24965
	1 3908 100
30	2 10279 240
	324102764
	4 12383 4173
	5 13861 15918
35	6 21327 1046
	7 5288 14579
	8 28158 8069
	9 16583 11098
40	10 16681 28363
	11 13980 24725
	12 32169 17989
	13 10907 2767
45	14 21557 3818
	15 26676 12422
	16 7676 8754
	17 14905 20232
50	18 15719 24646
	19 31942 8589
	20 19978 27197
	21 27060 15071
55	22 6071 26649
	23 10393 11176
	24 9597 13370
	25 7081 17677
60	26 1433 19513
	27 28925 9014
	28 19202 8900
	29 18152 30647
65	30 20803 1737
	31 11804 25221
	32 31683 17783

ES 2 282 671 T3

TABLA 3 (continuación)

5
10
15
20
25
30

Dirección de Acumuladores de Bit de Paridad (Tasa 1/2)	
33	29694 9345
34	12280 26611
35	6526 26122
36	26165 11241
37	7666 26962
38	16290 8480
39	11774 10120
40	30051 30426
41	1335 15424
42	8865 17742
43	31779 12489
44	32120 21001
45	14508 6996
46	979 25024
47	4554 21896
48	7989 21777
49	4972 20661
50	6612 2730
51	12742 4418
52	29194 595
53	19267 20113

TABLA 4

35
40
45
50
55
60
65

Dirección de Acumuladores de Bit de Paridad (Tasa 3/4)	
0	6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1	11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2	7862 7977 8321 13612 12197 14449 15137 13860 1708 6399 13444
3	1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4	7626 11407 14599 9689 1628 2113 10809 9283 1230 152414870
5	1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6	4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7	4441 3963 9153 2109 12683 7459 12030 12221 629 15212406
8	6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9	3232 6625 4795 546 9781 20717312 3399 7250 4932 12652
10	8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11	1903 10818 119 215 7558 11046 10615 11545 14784 7981 15619
12	3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13	8316 3820 505 8923 6757 806 7957 4216 15569 13244 2622
14	14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15	3149 11981
16	13416 6906
17	13098 13352
18	2009 14460
19	7207 4314
20	3312 3945
21	4418 6248
22	2669 13975
23	7571 9023

ES 2 282 671 T3

TABLA 4 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3H)
5	24 14172 2967
	25 7271 7138
	26 8135 13670
	27 7490 14559
10	28 8657 2466
	29 8599 12834
	3034703152
	31 13917 4365
15	32 6024 13730
	33 10973 14182
	34 2464 13167
	35 5281 15049
20	36 1103 1849
	37 2058 1069
	38 9654 6095
	39 143117687
25	40 15617 8146
	414588 11218
	42 13660 6243
	43 8578 7874
30	44 117412686
	0 1022 1264
	1 12604 9965
	2 8217 2707
35	3 3156 11793
	4 354 1514
	5 6978 14058
	6 7922 16079
40	7 15087 12138
	8 5053 6470
	9 12687 14932
	10 15458 1763
45	11 8121 1721
	12 12431 549
	13 4129 7091
	14 1426 8415
50	15 9783 7604
	16 6295 11329
	17 1409 12061
	18 8065 9087
55	19 2918 8438
	20 1293 14115
	21 3922 13851
	22 3851 4000
60	23 5865 1768
	24 2655 14957
	25 5565 6332
	26 4303 12631
65	27 11653 12236
	28 16025 7632

ES 2 282 671 T3

TABLA 4 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3H)
5	29 4655 14128
	30 9584 13123
	31 13987 9597
	32 15409 12110
	33 8754 15490
10	34 7418 15325
	35 2909 15549
	36 2995 8257
	37 9406 4791
	38 111114854
15	39 2812 8521
	40 8476 14717
	417820 15360
	42 1179 7939
	43 2357 8678
20	44 7703 6216
	0 3477 7067
	13931 13845
	2 7675 12899
25	3 1754 8187
	4 7785 1400
	5 9213 5891
	6 2494 7703
	7 2576 7902
30	8 4821 15682
	9 10426 11936
	10 1810 904
	11 11332 9264
	12 11312 3570
35	13 14916 2650
	1476797842
	15 8089 13084
	1639382751
40	17 8509 4648
	18 12204 8917
	19 5749 12443
	20 12613 4431
	21 1344 4014
45	22 8488 13850
	23 1730 14896
	24 14942 7126
	25 14983 8863
	26 6578 8564
50	27 4947 396
	28 297 12805
	29 13878 6692
	30 11857 11186
	3114395 11493
55	32 16145 12251
	33 13462 7428
	34 14526 13119
	35 2535 11243
	36 6465 12690
60	37 6872 9334
	38 1537114023
	39 8101 10187
	40 11963 4848
	41 15125 6119
65	42 8051 14465
	43 11139 5167
	44 2883 14521

ES 2 282 671 T3

TABLA 5

	Dirección de Acumuladores de Bit de Paridad (Tasa 4/5)
5	0 149 11212 5575 6360 12559 8108 8505 408 10026 12828
	1 5237 490 10677 4998 3889 3734 3092 3509 7703 10305
	2 8742 5553 2820 7085 12116 10485 564 7795 2972 2157
10	3 2699 4304 8350 712 2841 3250 4731 10105 517 7516
	4 12067 1351 11992 12191 11267 5161 537 6166 4246 2363
	5 6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
	6 11259 1216 9526 1466 10816 940 3744 2815 11506 11573
15	7 4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
	8 8430 4115 9440 413 4455 2262 7915 12402 8579 7052
	9 3885 9126 5665 4505 2343 253 4707 3742 4166 1556
20	10 1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
	11 11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
	12 7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
	13 4418 1467 2490 5841 817 11453 533 11217 11962 5251
25	14 15414525 7976 3457 9536 7725 3788 2982 6307 5997
	15 11484 2739 4023 12107 6516 551 2572 6628 8150 9852
	16 6070 17614827 6534 7913 373011866 1813 12306 8249
	17 12441 548987487837 76602102 11341 2936671211977
30	18 10155 4210
	19 1010 10483
	20 8900 10250
	21 10243 12278
35	2270704397
	23 12271 3887
	24 11980 6836
	25 9514 4356
40	26 7137 10281
	27 118812526
	28 1969 11477
	29 3044 10921
45	30 2236 8724
	31 9104 6340
	32 7342 8582
	33 11675 10405
50	34 6467 12775
	35 3186 12198
	0 9621 11445
	1 7486 5611
55	2 4319 4879
	3 2196 344
	4 7527 6650
60	5 10693 2440
	6 6755 2706
	7 5144 5998
	8 11043 8033
	9 4846 4435
65	10 4157 9228
	11 12270 6562
	12 11954 7592

ES 2 282 671 T3

TABLA 5 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 4/5)
5	13 7420 2592
	14 8810 9636
	15 689 5430
	16 920 1304
10	17 1253 11934
	18 9559 6016
	19 312 7589
	20 4439 4197
15	21 4002 9555
	22 12232 7779
	23 1494 8782
	24 10749 3969
20	25 4368 3479
	26 6316 5342
	27 2455 3493
	28 12157 7405
25	29 6598 11495
	30 11805 4455
	31 9625 2090
	32 4731 2321
30	33 3578 2608
	34 8504 1849
	35 4027 1151
35	0 5647 4935
	1 4219 1870
	2 10968 8054
	3 6970 5447
40	4 3217 5638
	5 8972 669
	6 5618 12472
	7 1457 1280
45	8 8868 3883
	9 8866 1224
	10 8371 5972
	11 266 4405
50	12 3706 3244
	13 6039 5844
	14 7200 3283
	15 1502 11282
55	16 12318 2202
	17 4523 965
	18 9587 7011
	19 2552 2051
60	20 12045 10306
	21 11070 5104
	22 6627 6906
	23 9889 2121
65	24 828 9701
	252201 1819
	26 6689 12925

ES 2 282 671 T3

TABLA 5 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 4/5)
5	27 2139 8757
	28 12004 5948
	29 8704 3191
10	30 8171 10933
	31 6297 7116
	32 616 7146
	33 5142 9761
15	34 10377 8138
	35 7616 5811
	0 7285 9863
20	17 764 10867
	2 12343 9019
	3 4414 8331
	4 3464 642
25	5 6960 2039
	6 786 3021
	7 710 2086
	8 7423 5601
30	9 8120 4885
	10 12385 11990
	11 9739 10034
35	12 424 10162
	13 1347 7597
	14 1450 112
	15 7965 8478
40	16 8945 7397
	17 6590 8316
	18 6838 9011
45	19 6174 9410
	20 255 113
	21 6197 5835
	22 12902 3844
50	23 4377 3505
	24 5478 8672
	25 4453 2132
55	26 9724 1380
	27 12131 11526
	28 12323 9511
	29 8231 1752
60	30 497 9022
	31 9288 3080
	32 2481 7515
65	33 2696 268
	34 4023 12341
	35 7108 5553

ES 2 282 671 T3

TABLA 6

	Dirección de Acumuladores de Bit de Paridad (Tasa 3/5)
5	22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
	25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
	11049 22853 25706 14388 5500 18245 8732 2177 13555 11346 17265 3069
10	1658122225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
	16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
	5340 8636 18693 1434 5635 6516 9482 20189 1066 15013 25361 14243
	18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
15	8433 4694 5524 14216 3685 1972125420 9937 23813 9047 25651 16826
	21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
	22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
	1770 4636 20900 149319247 12340 11008 12966 4471 2731 16445 791
20	6635 14556 18865 22421 2212412697 9803 25485 7744 18254 11313 9004
	19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
	756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
	9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
25	7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
	3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
	15627 15290 4198 22748 584213395 23918 16985 14929 3726 25350 24157
	24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
30	3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
	16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
	1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
	25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
35	377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
	13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
	20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
40	18839 2113220119 15214 14705 7096 10174 5663 18651 19700 12524 14033
	4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
	1065124471 14325 40817258 4949 7044 1078 797 22910 20474 4318
	21374 1323122985 5056 382123718 14178 9978 19030 23594 8895 25358
45	6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
	7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
	20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
	8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
50	16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
	3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
	0 18539 18661
	1 10502 3002
55	2 9368 10761
	3 12299 7828
	4 15048 13362
60	5 18444 24640
	6 20775 19175
	7 18970 10971
	8 5329 19982
	9 11298 18655
65	10 15046 20659
	11 7300 22140
	12 22029 14477

ES 2 282 671 T3

TABLA 6 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3/5)
5	1311129742
	14 13254 13813
	15 19234 13273
	16 6079 21122
10	17 22782 5828
	18 19775 4247
	19 1660 19413
	20 4403 3649
15	21 13371 25851
	22 22770 21784
	23 10757 14131
	24 1607121617
20	25 6393 3725
	26 597 19968
	27 5743 8084
25	28 6770 9548
	29 4285 17542
	30 13568 22599
	31 1786 4617
30	32 23238 11648
	33 19627 2030
	34 13601 13458
	35 13740 17328
35	36 25012 13944
	37 22513 6687
	38 4934 12587
	39 21197 5133
40	40 22705 6938
	417534 24633
	42 24400 12797
45	43 21911 25712
	44 12039 1140
	45 24306 1021
	46 14012 20747
50	47 11265 15219
	48 4670 15531
	49 9417 14359
	50 2415 6504
	51 24964 24690
55	52 14443 8816
	53 6926 1291
	54 6209 20806
	55 13915 4079
	56 24410 13196
60	57 13505 6117
	58 9869 8220
	59 1570 6044
	60 25780 17387
65	61 20671 24913
	62 24558 20591

ES 2 282 671 T3

TABLA 6 (continuación)

Dirección de Acumuladores de Bit de Paridad (Tasa 3/5)	
5	63 12402 3702
	64 8314 1357
	65 20071 14616
10	66 17014 3688
	67 19837 946
	68 15195 12136
	69 7758 22808
15	70 3564 2925
	71 3434 7769

TABLA 7

Dirección de Acumuladores de Bit de Paridad (Tasa 8/9)	
20	0 6235 2848 3222
	1 5800 3492 5348
25	2 2757 927 90
	3 89614516 4739
	4 1172 3237 6264
	5 1927 2425 3683
30	6 3714 6309 2495
	7 3070 6342 7154
	8 2428 613 3761
	9 2906 264 5927
35	10 1716 1950 4273
	11 4613 6179 3491
	12 4865 3286 6005
40	13 1343 5923 3529
	14 4589 4035 2132
	15 1579 3920 6737
	16 1644 1191 5998
45	17 1482 23814620
	18 6791 6014 6596
	19 2738 5918 3786
	0 5156 6166
50	1 1504 4356
	2 1301904
	3 6027 3187
	4 6718 759
55	5 6240 2870
	6 2343 1311
	7 1039 5465
	8 6617 2513
60	9 1588 5222
	10 6561 535
	11 4765 2054
	12 5966 6892
	13 1969 3869
65	14 3571 2420
	15 4632 981

ES 2 282 671 T3

TABLA 7 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3/9)
5	16 3215 4163
	179733117
	18 3802 6198
	19 3794 3948
10	0 3196 6126
	1 573 1909
	2 850 4034
	3 5622 1601
15	4 6005 524
	6 52515783
	6 172 2032
	7 1875 2475
20	8 497 1291
	9 2566 3430
	10 1249 740
	11 2944 1948
25	12 6528 2899
	13 2243 3616
	14 867 3733
	15 1374 4702
30	16 4698 2285
	17 4760 3917
	18 1859 4058
	19 6141 3527
35	0 2148 5066
	1 1306 145
	2 2319 871
40	3 3463 1061
	4 5554 6647
	5 5837 339
	6 5821 4932
45	7 6356 4756
	8 3930 418
	9 211 3094
	10 1007 4928
50	11 3584 1235
	12 6982 2869
	13 1612 1013
	14 953 4964
55	15 4555 4410
	16 4925 4842
	17 5778 600
	18 6509 2417
60	19 1260 4903
	0 3369 3031
	1 3557 3224
	2 3028 583
65	3 3258 440
	4 6228 6655
	5 4895 1094

ES 2 282 671 T3

TABLA 7 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 8/9)
5	6 1481 6847
	7 4433 1932
	8 2107 1649
	9 2119 2065
10	10 4003 6388
	11 6720 3622
	12 3694 4521
	13 1164 7050
15	14 1965 3613
	15 433 166
	16 2970 1796
	17 4652 3218
20	18 1762 4777
	19 5736 1399
	0 970 2572
	1 2062 6599
25	2 4597 4870
	3 1228 6913
	4 4159 1037
	5 2916 2362
30	6 395 1226
	7 6911 4548
	8 4618 2241
	9 4120 4280
35	10 5825 474
	11 2154 5558
	12 3793 5471
	13 5707 1595
40	14 1403 325
	15 6601 5183
	16 6369 4569
	17 4846 896
45	18 7092 6184
	19 6764 7127
	0 6358 1951
	1 3117 6960
50	2 2710 7062
	3 1133 3604
	4 3694 657
	5 1355 110
55	6 3329 6736
	7 2505 3407
	8 2462 4806
	9 4216 214
60	10 5348 5619
	11 6627 6243
	12 2644 5073
	13 4212 5088
65	14 3463 3889
	15 5306 478

ES 2 282 671 T3

TABLA 7 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 3/9)
5	16 4320 6121
	17 3961 1125
	18 5699 1195
	19 6511 792
10	0 3934 2778
	1 3238 6587
	2 1111 6596
	3 1457 6226
15	4 1446 3885
	5 3907 4043
	6 6839 2873
20	7 1733 5615
	8 5202 4269
	9 3024 4722
	10 5445 6372
25	11 370 1828
	12 4695 1600
	13 6802074
	14 1801 6690
30	15 2669 1377
	16 2463 1681
	17 5972 5171
	18 5728 4284
35	19 1696 1459

TABLA 8

	Dirección de Acumuladores de Bit de Paridad (Tasa 9/10)
40	0 5611 2563 2900
	1 5220 3143 4813
	2 2481 834 81
45	3 6265 4064 4265
	4 1055 2914 5638
	5 1734 2182 3315
	6 3342 5678 2246
50	7 2185 552 3385
	8 2615 236 5334
	9 1546 1755 3846
55	10 4154 5561 3142
	11 4382 2957 5400
	12 1209 5329 3179
	13 1421 3528 6063
60	14 1480 1072 5398
	15 3843 1777 4369
	16 1334 2145 4163
	17 2368 5055 260
65	0 6118 5405
	1 2994 4370
	2 3405 1669

ES 2 282 671 T3

TABLA 8 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 9M0)
5	3 4640 5550
	4 1354 3921
	5 117 1713
	6 5425 2866
10	7 6047 683
	8 5616 2582
	9 2108 1179
	10 933 4921
15	11 5953 2261
	12 1430 4699
	13 5905 480
	14 4289 1846
20	15 5374 6208
	16 1775 3476
	17 3216 2178
	0 4165 884
25	1 2896 3744
	2 874 2801
	3 3423 5579
	4 3404 3552
30	5 2876 5515
	6 516 1719
	7 765 3631
	8 5059 1441
35	9 5629 598
	10 5405 473
	11 4724 5210
	12 155 1832
40	13 1689 2229
	14 449 1164
	15 2308 3088
	16 1122 669
45	17 2268 5758
	0 5878 2609
	1 782 3359
	2 1231 4231
50	3 4225 2052
	4 4286 3517
	5 5531 3184
	6 1935 4560
55	7 1174 131
	8 3115 956
	9 3129 1088
	10 5238 4440
60	11 5722 4280
	12 3540 375
	13 191 2782
	14 906 4432
65	15 3225 1111
	16 6296 2583

ES 2 282 671 T3

TABLA 8 (continuación)

	Dirección de Acumuladores de Bit de Paridad (Tasa 9710)
5	17 1457 903
	0 855 4475
	1 4097 3970
10	2 4433 4361
	3 5198 541
	4 11464426
	5 3202 2902
15	6 2724 525
	7 1083 4124
	8 2326 6003
	9 5605 5990
20	10 4376 1579
	11 4407 984
	12 1332 6163
	13 5359 3975
25	14 1907 1854
	15 3601 5748
	16 6056 3266
	17 3322 4085
30	0 1768 3244
	1 2149 144
	2 1589 4291
	3 5154 1252
35	4 1855 5939
	5 4820 2706
	6 1475 3360
	7 4266 693
40	8 4156 2018
	9 2103 752
	10 3710 3853
	11 5123 931
45	12 6146 3323
	13 1939 5002
	14 5140 1437
	15 1263 293
50	16 5949 4665
	17 4548 6380
	0 3171 4690
	1 5204 2114
55	2 6384 5565
	3 5722 1757
	4 2805 6264
	5 1202 2616
60	6 1018 3244
	7 4018 5289
	8 2257 3067
	9 2483 3073
65	10 1196 5329
	11 649 3918
	12 3791 4581

ES 2 282 671 T3

TABLA 8 (continuación)

5	Dirección de Acumuladores de Bit de Paridad (Tasa 9710)
	13 5028 3803
	14 3119 3506
	15 4779 431
10	16 3888 5510
	17 4387 4084
	0 5836 1692
	1 5126 1078
15	2 5721 6165
	3 3540 2499
	4 2225 6348
20	5 1044 1484
	6 8323 4042
	7 1313 5603
	8 1303 3496
25	9 3516 3639
	10 51612293
	11 4882 3845
	12 3045 643
30	13 2818 2616
	14 3267 649
	15 6236 593
35	16 646 2948
	17 4213 1442
	0 5779 1598
	1 2403 1237
40	2 2217 1514
	3 5609 716
	4 5155 3858
	5 1517 1312
45	6 2554 3158
	7 5280 2643
	8 4990 1353
	9 5648 1170
50	10 1152 4366
	11 3561 5368
	12 3581 1411
55	13 5647 4661
	14 1542 5401
	15 5078 2687
	16 3161 755
60	17 3392 1991
65	

10. Un método según la reivindicación 9ª, en el que los índices de fila de 1 en otros índices m de columna, m módulo $360 \neq 0$ y $m < k_{ldpc}$ de la matriz de comprobación de paridad están dados por $\{x+m \bmod 360xq\} \bmod (n_{ldpc}-k_{ldpc})$ donde $q=60$ para código LDPC de tasa 2/3, $q=30$ para código LDPC de tasa 5/6, $q=90$ para código LDPC de tasa 1/2, $q=45$ para código LDPC de tasa 3/4, $q=36$ para código LDPC de tasa 4/5, $q=72$ para código LDPC de tasa 3/5, $q=20$ para código LDPC de tasa 8/9, $q=18$ para código LDPC de tasa 9/10, en el que x indica una entrada en la fila de orden j de las Tablas 1-8, donde $j=\text{int}\{m/360\}$, e $\text{int}\{\cdot\}$ indica la función entero, estando dados los índices de fila de 1 en el índice de columna $m=k_{ldpc}+j$, $j=0,1,2,\dots,n_{ldpc}-k_{ldpc}-2$, de la matriz de comprobación de paridad por j y $j+1$, estando dados el índice de fila de 1 en el índice de columna $n_{ldpc}-1$ de la matriz de comprobación de paridad por $n_{ldpc}-k_{ldpc}-1$.
11. Un medio legible por ordenador que soporta instrucciones para codificar, estando dispuestas, dichas instrucciones, al producirse su ejecución, para hacer que uno o más procesadores realicen el método de cualquiera de las reivindicaciones 1ª a 10ª.
12. Un codificador para generar palabras de código de Comprobación de Paridad de Baja Densidad (LDPC), que comprende memoria (1605, 1607) que almacena información que representa una matriz de comprobación de paridad estructurada de los códigos LDPC, estando la información organizada en forma tabular, representando cada fila de la información en memoria, ocurrencias de valores de uno dentro de una primera columna de un grupo de columnas de la matriz de comprobación de paridad, correspondiendo las filas a grupos de columnas de la matriz de comprobación de paridad, y siendo derivadas columnas subsiguientes dentro de cada uno de los grupos a una operación predeterminada; medios para recuperar la información almacenada que representa la matriz de comprobación de paridad para emitir una señal codificada LDPC; y medios para inicializar los acumuladores de bit de paridad a cero, en el que el primer bit de información con índice jM del grupo de orden j de M bits de información es acumulada en el acumulador de bit de paridad en la dirección i especificada si la entrada de orden j en la columna de orden (jM) de la matriz de comprobación de paridad es 1, donde $j=0,1,2,3,\dots,k_{ldpc}/M-1$; **caracterizado** por: medios para acumular cada uno de los $(M-1)$ bits de información restantes con índice $m=jM+1, jM+2, jM+3, \dots, (j+1)M-1$ del grupo de orden j en uno o más acumuladores de bit de paridad, relacionado a cada acumulador de bit de paridad en el que el primer bit de información con índice jM en el grupo fue acumulado, en una dirección $\{x+m \bmod Mxq\} \bmod (n_{ldpc}-k_{ldpc})$, donde n_{ldpc} representa el tamaño de palabra de código, k_{ldpc} representa el tamaño del bloque de información, x indica la dirección de cada acumulador de bit de paridad en la que el primer bit de información con índice jM en el grupo fue acumulada, y q es una constante dependiente de la tasa de código; y medios para realizar operaciones, después de que todos los bits de información son evacuados, comenzando con $i=1$ de acuerdo a $p_i = p_i \oplus p_{i-1}$, $i=1,2,\dots,n_{ldpc}-k_{ldpc}-1$, para obtener bits de paridad final p_i , $i=0,1,2,\dots,n_{ldpc}-k_{ldpc}-1$, en el que p_i indica el contenido del acumulador de bit de paridad en la dirección i .
13. Un codificador según la reivindicación 12ª, en el que la operación predeterminada especifica un desplazamiento cíclico por q posiciones en la primera columna de cada una del grupo de columnas.
14. Un codificador según la reivindicación 12ª, en el que $M=360$.
15. Un codificador según la reivindicación 12ª, en el que la constante q dependiente del código es 60, 30, 90, 45, 36, 72, 20 y 18 para tasas de código 2/3, 5/6, 1/2, 3/4, 4/5, 3/5, 8/9, y 9/10, respectivamente.
16. Un codificador según la reivindicación 12ª, en el que la señal codificada LDPC es modulada de acuerdo con una constelación de señal que incluye uno de entre Codificado de Desfase de 8-PSK, Modulación de Amplitud en Cuadratura de 16-QAM, Codificado de Desfase en Cuadratura QPSK, Codificado de Desfase en Amplitud de 16-APSK y 32-APSK.
17. Un codificador según la reivindicación 12ª, que comprende además un codificador de Bose Chaudhuri Hocquenghem (BCH), en el que los bits de información son obtenidos a partir del codificador BCH que está configurado para codificar una señal de entrada usando códigos de (BCH).
18. Un codificador según la reivindicación 17ª, en el que el número de bits de BCH redundantes es $n_{BCH}-k_{BCH}=16*t$ en el que t representa la capacidad de corregir error del código BCH, n_{BCH} es el tamaño de la palabra de código del código BCH y k_{BCH} es el tamaño del bloque de información del código BCH.
19. Un codificador según la reivindicación 17ª, en el que la capacidad de corrección de error del código BCH es 12 bits cuando es usado en concatenación con códigos LDPC de tasa 1/2, 3/4, 4/5 y 3/5, es 10 bits cuando es usado en concatenación con códigos LDPC de tasa 2/3 y 5/6, y es 8 bits cuando es usado en concatenación con códigos LDPC de tasa 8/9 y 9/10.
20. Un transmisor para transmitir palabras de código de Comprobación de Paridad de Baja Densidad (LDPC), que comprende el codificador de cualquiera de las reivindicaciones 12ª a 19ª.

FIG. 1

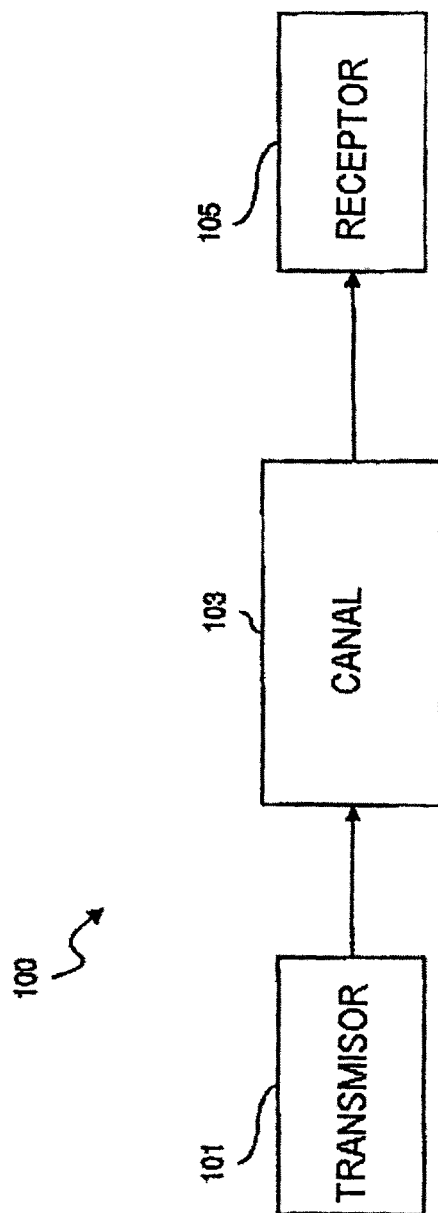


FIG. 2A x

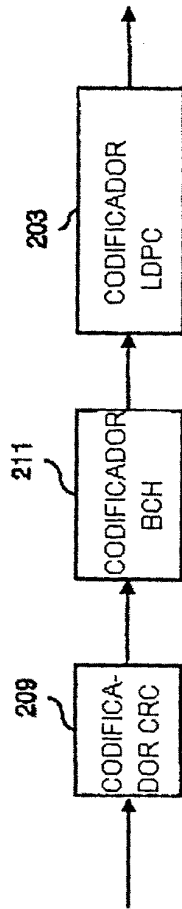
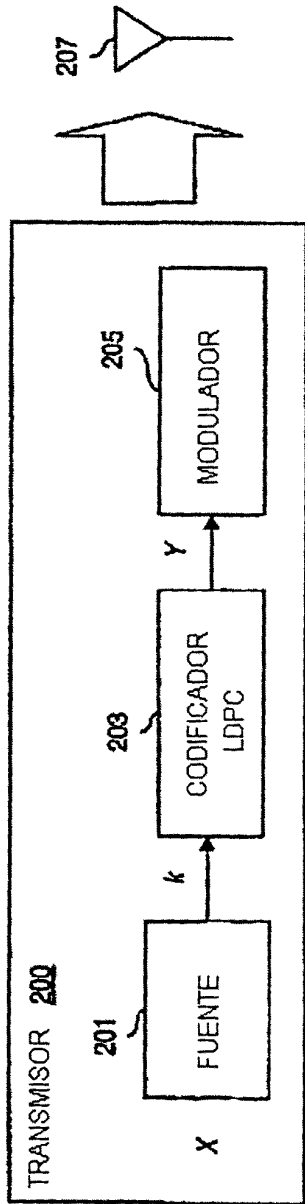


FIG. 2B

FIG. 3

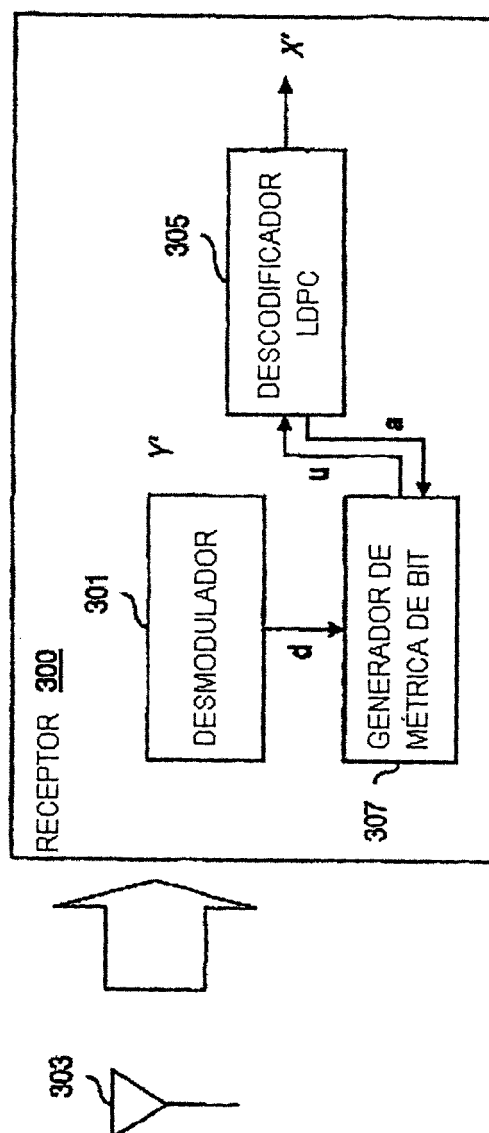


FIG. 4

$$H = \begin{matrix} & n_1 & n_2 & n_3 & n_4 & n_5 & n_6 & n_7 & n_8 \\ \begin{matrix} m_1 \\ m_2 \\ m_3 \\ m_4 \end{matrix} & \begin{bmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} \end{matrix}$$

FIG. 5

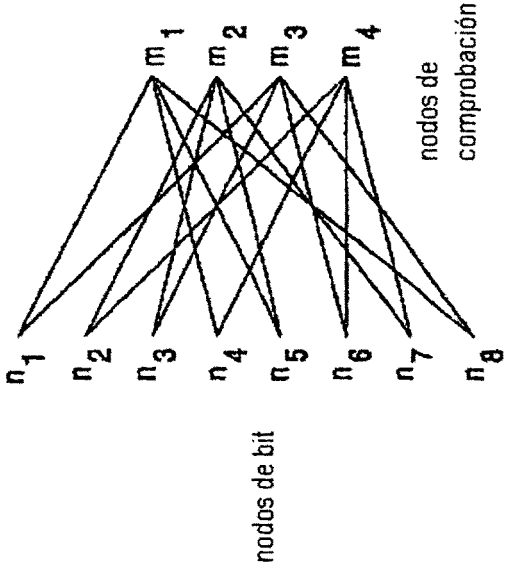


FIG. 6

$$B = \begin{bmatrix} 1 & & & & & & & \\ x & 1 & & & & & & \\ x & x & 1 & & & & & \\ x & x & x & 1 & & & & \\ x & x & x & x & 1 & & & \\ x & x & x & x & x & 1 & & \\ x & x & x & x & x & x & 1 & \end{bmatrix}$$

FIG. 7

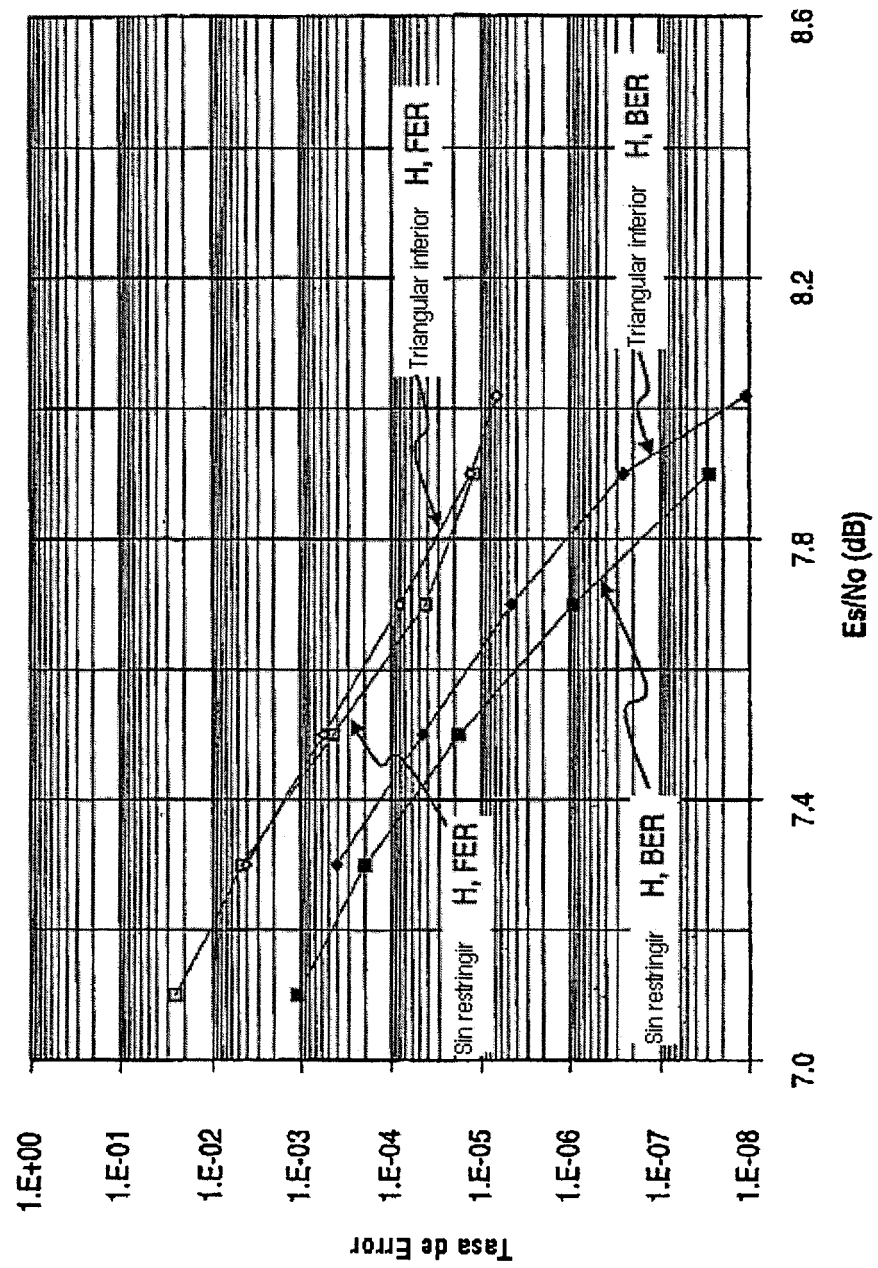


FIG. 8A

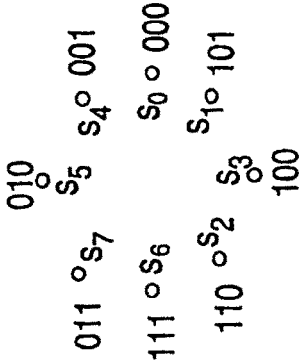
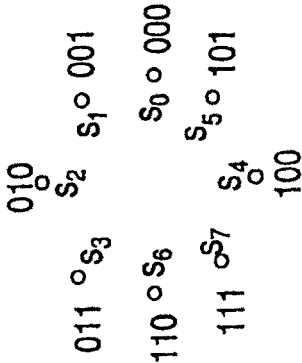
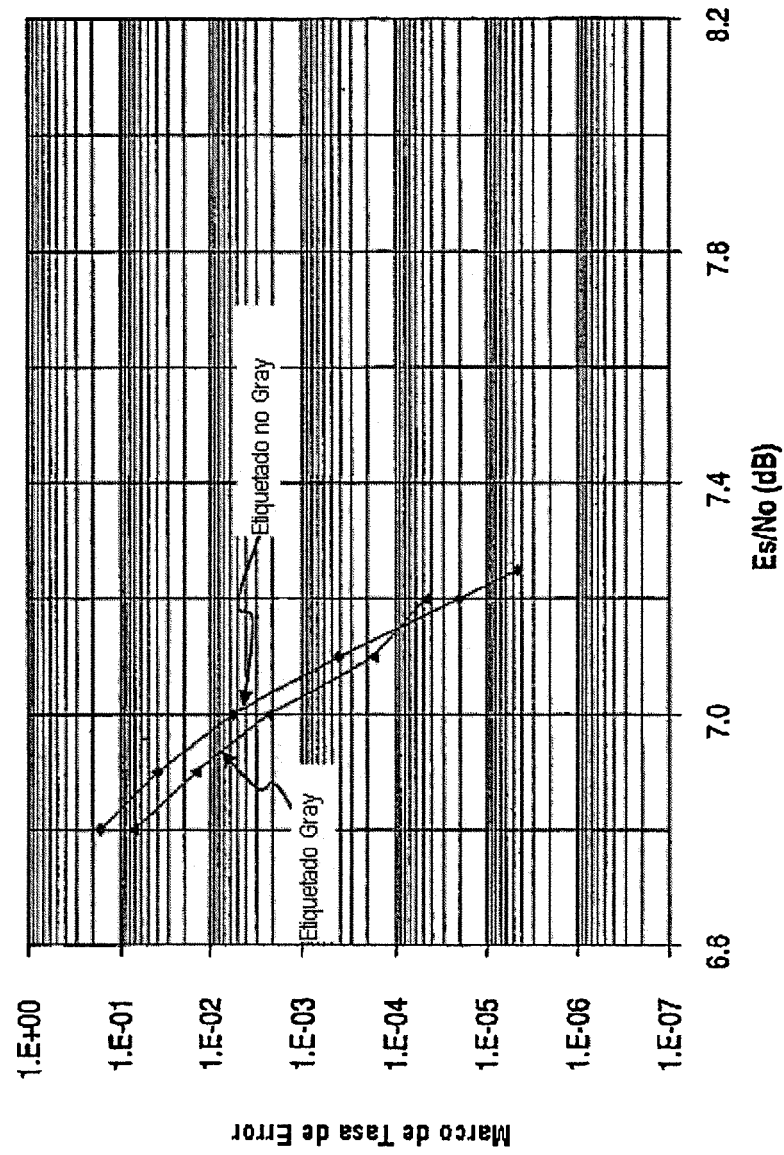
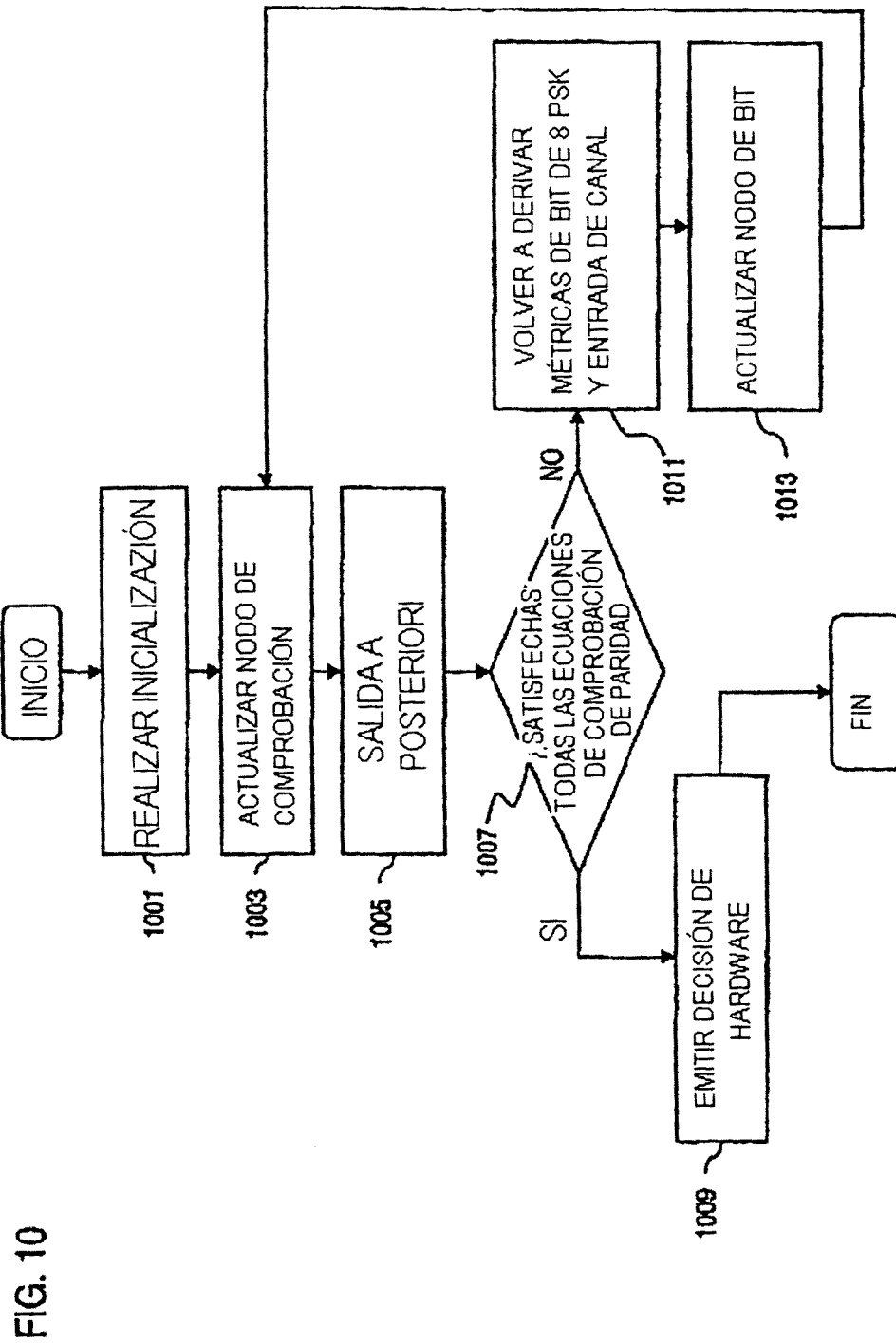


FIG. 8B

FIG. 9





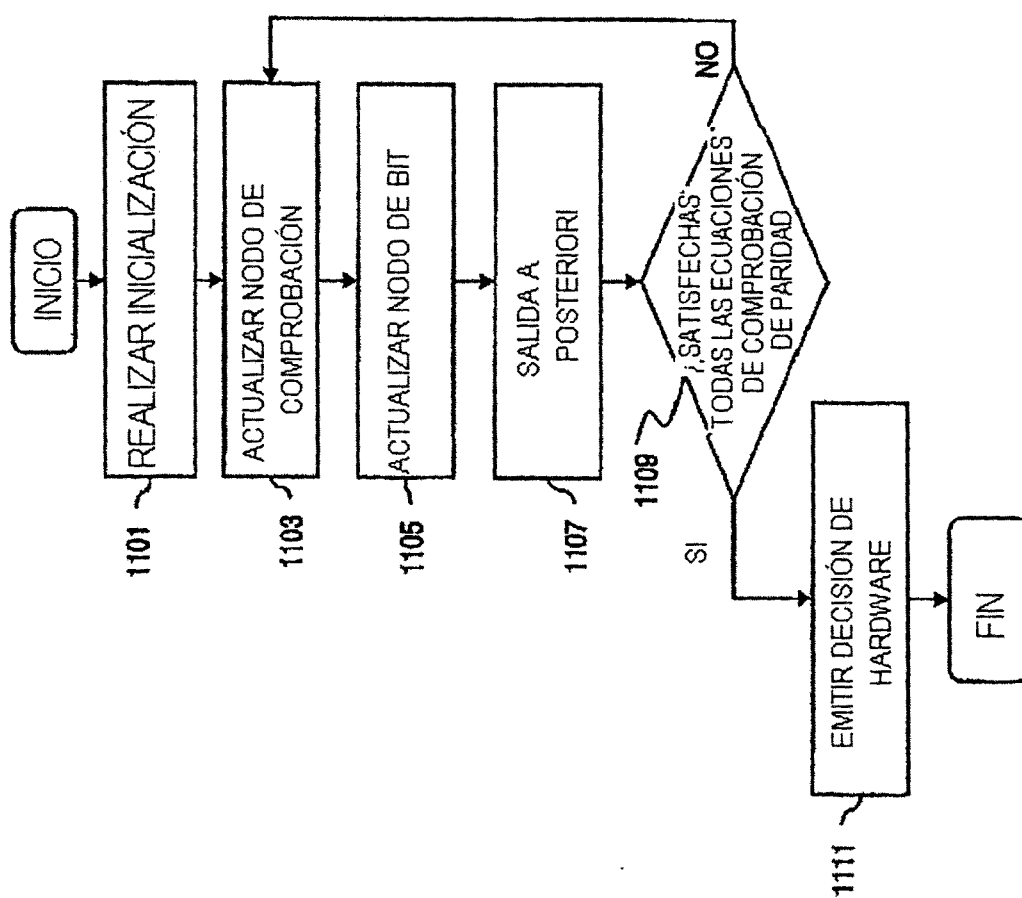


FIG. 12A

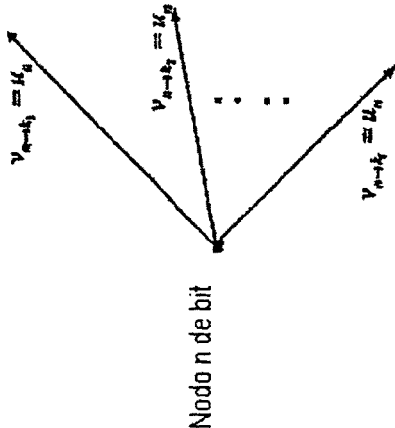


FIG. 12C

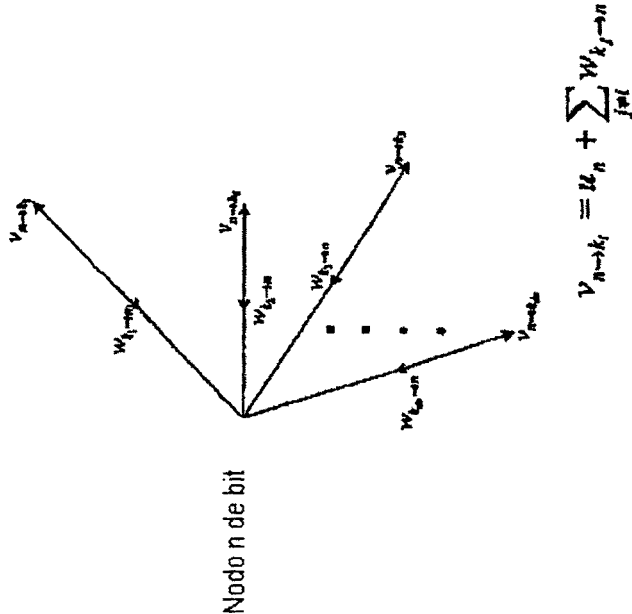


FIG. 12B

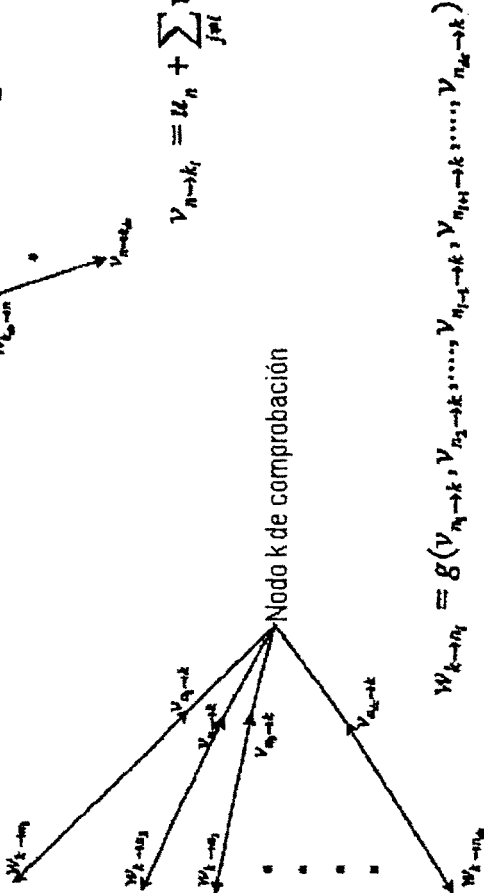


FIG. 13A

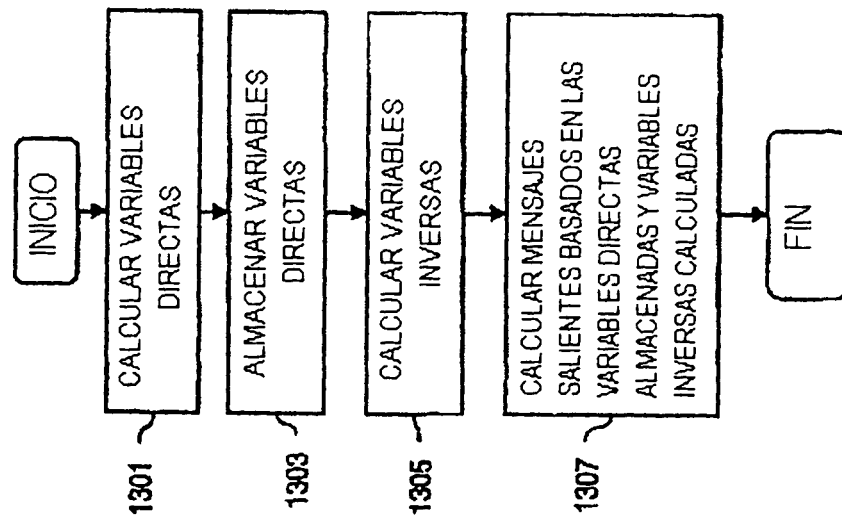


FIG. 13B

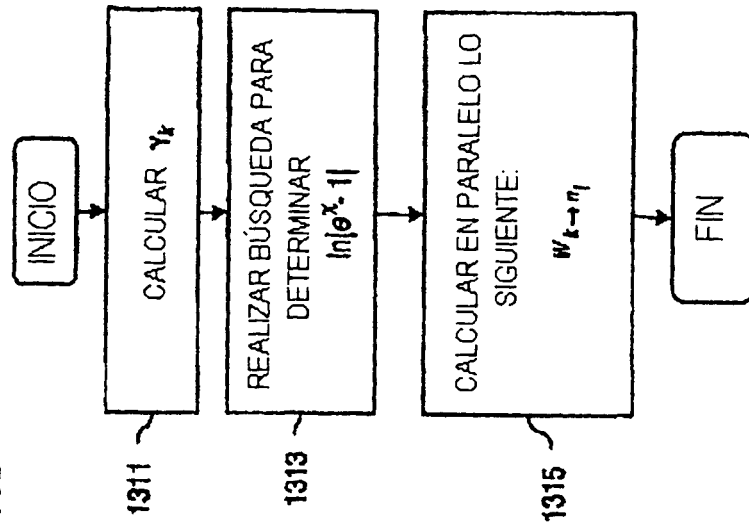


FIG. 14A

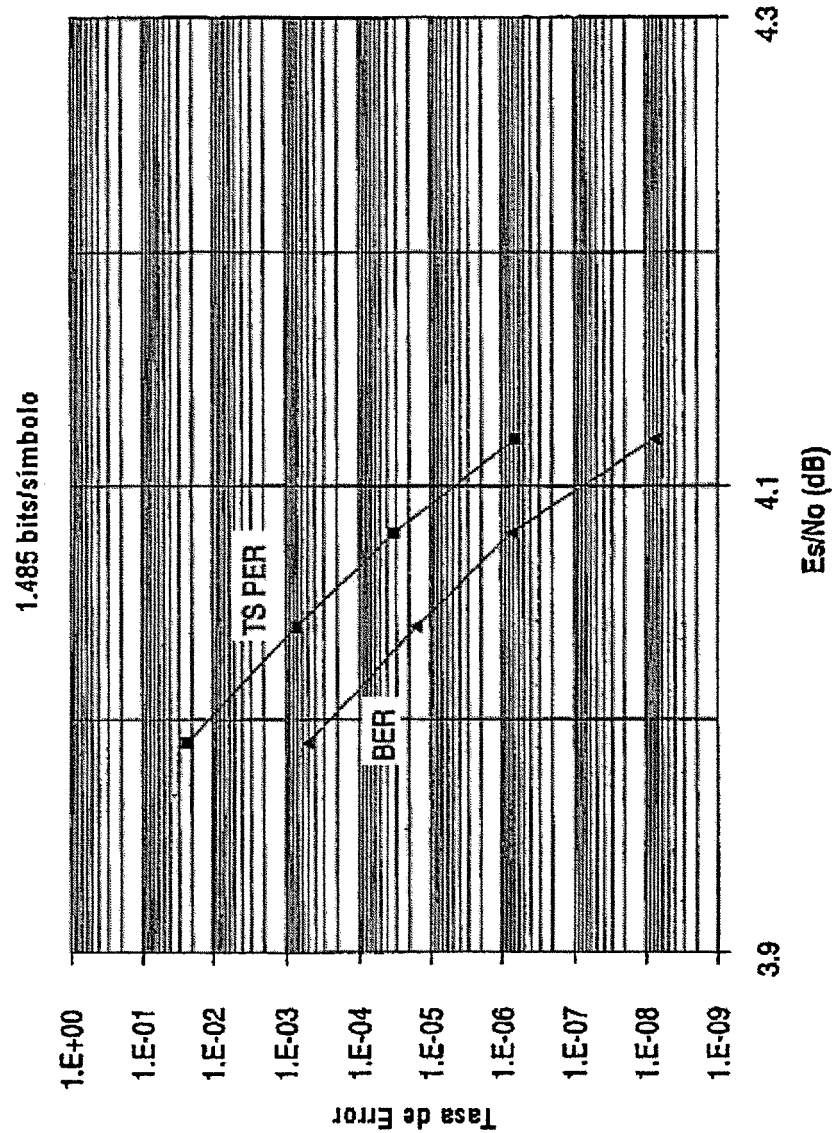


FIG. 14B

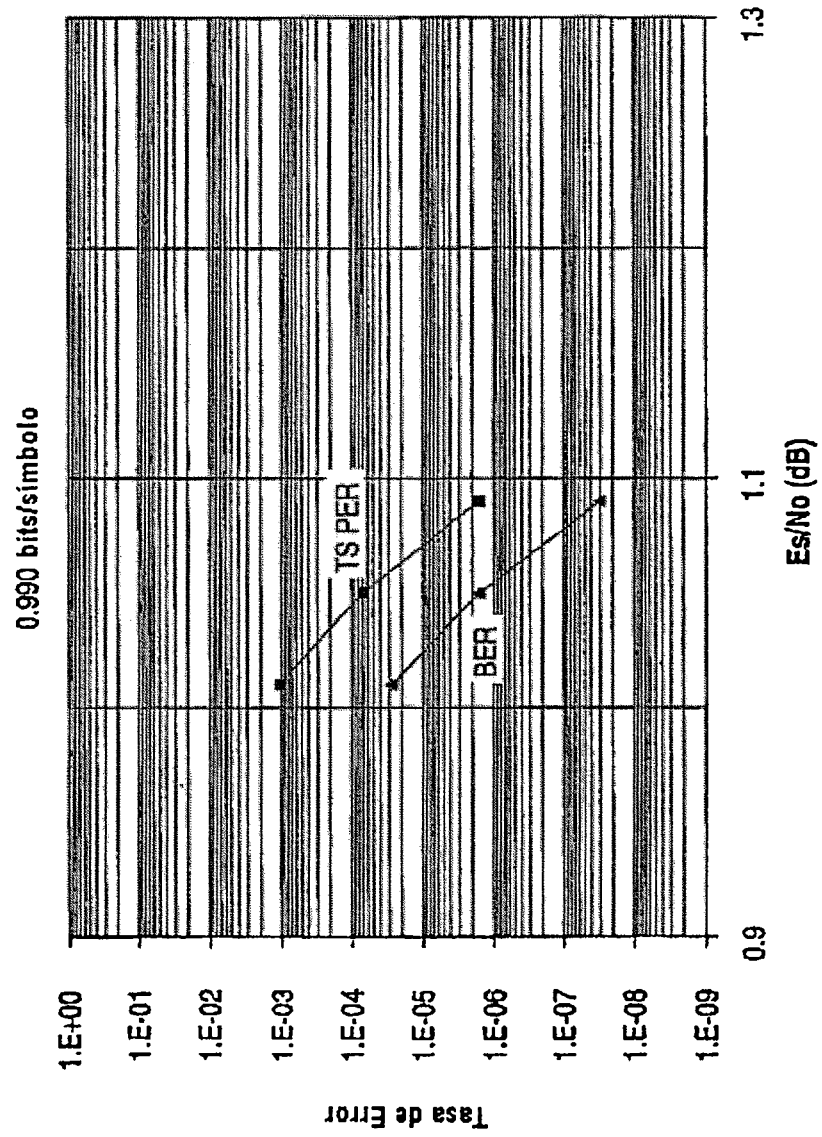


FIG. 14C

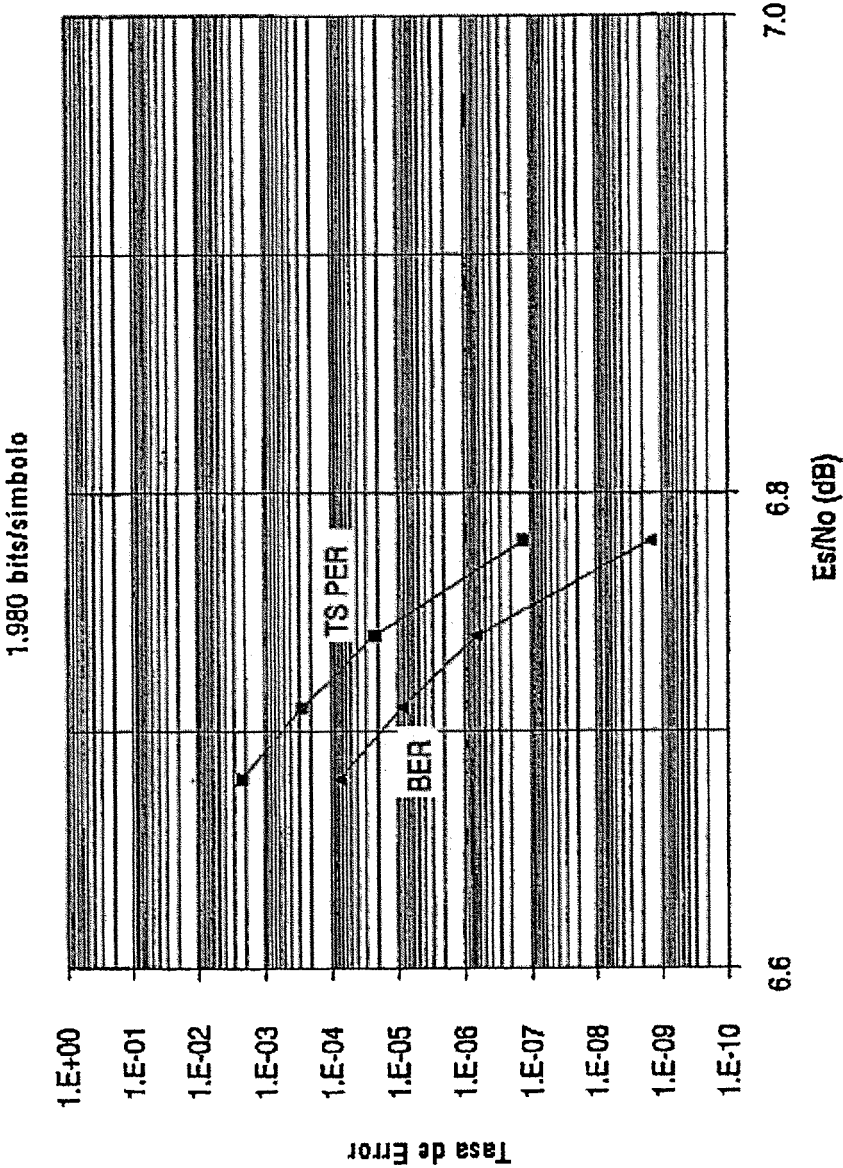


FIG. 15A

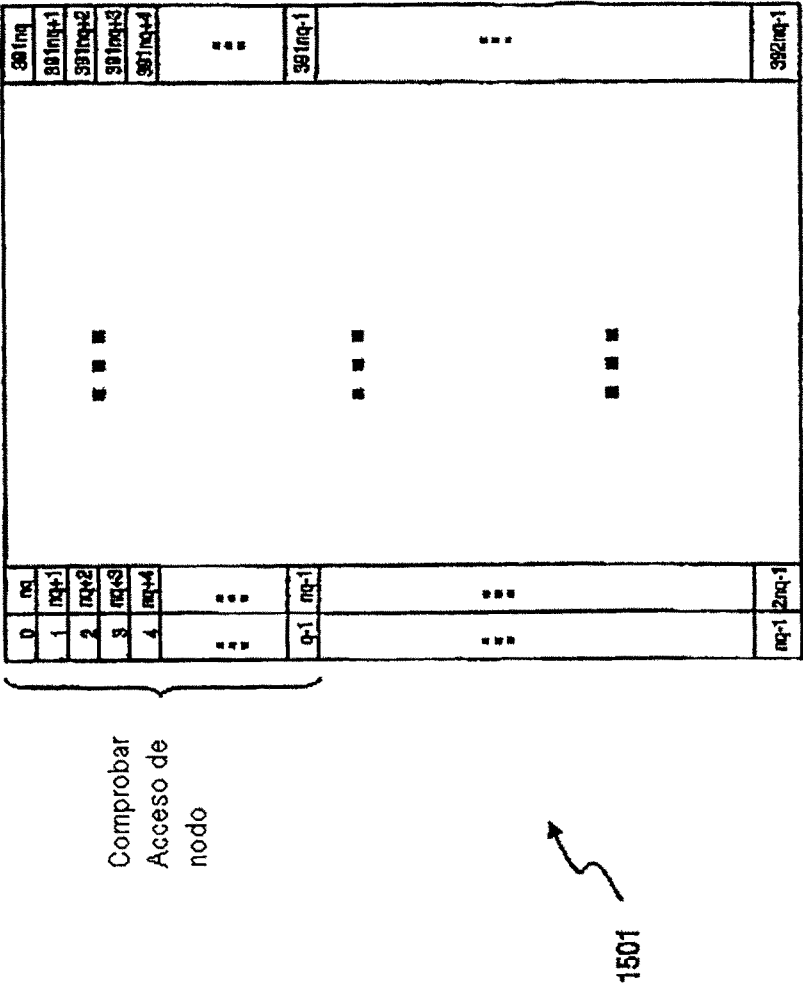


FIG. 15B

