

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 10 月 18 日 (18.10.2012)



(10) 国际公布号
WO 2012/139356 A1

- (51) 国际专利分类号:
H03M 3/00 (2006.01)
- (21) 国际申请号: PCT/CN2011/079023
- (22) 国际申请日: 2011 年 8 月 28 日 (28.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110096156.0 2011 年 4 月 15 日 (15.04.2011) CN
- (71) 申请人 (对除美国外的所有指定国): **深圳大学 (SHENZHEN UNIVERSITY)** [CN/CN]; 中国广东省深圳市南山区南海大道 3688 号信息工程学院谢宁, Guangdong 518060 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): **谢宁 (XIE, Ning)** [CN/CN]; 中国广东省深圳市南山南海大道 3688 号深圳大学信息工程学院, Guangdong 518060 (CN)。
王晖 (WANG, Hui) [CN/CN]; 中国广东省深圳市南山南海大道 3688 号深圳大学信息工程学院, Guangdong 518060 (CN)。
张宇 (ZHANG, Yu) [CN/CN]; 中国广东省深圳市南山南海大道 3688 号深圳大学信息工程学院, Guangdong 518060 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SIGMA-DELTA MODULATOR

(54) 发明名称: 一种 SIGMA-DELTA 调制器

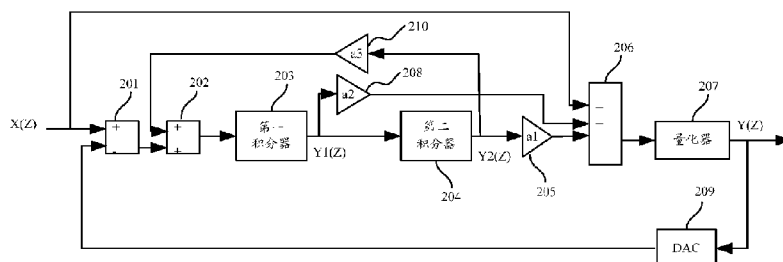


图 2 / Fig. 2

203 FIRST INTEGRATOR
204 SECOND INTEGRATOR
207 QUANTIZER

(57) Abstract: This invention is applied to signal processing field, and it provides a sigma-delta modulator, which comprises: a second gain amplifier, a third gain amplifier, a digital to analog converter, and sequentially connected subtracter, a first adder, a first integrator, a second integrator, a first gain amplifier, a second adder, a quantizer; the positive input of the subtracter connects to the other input of the second adder through the second gain amplifier, and output of the first integrator connects to another input of the second adder through the second gain amplifier, and the output of the quantizer connects to the inverting input of the subtracter through the digital to analog converter, and the output of the second integrator also connects to the other input of the first adder through the third gain amplifier. In the invention, integrators only process quantization noise, and enable a sigma-delta modulator to reduce distortion, and improve stability and dynamic range of the input signal.

(57) 摘要:

[见续页]

WO 2012/139356 A1



本发明适用于信号处理领域，提供了一种 sigma-delta 调制器，包括：第二增益放大器、第三增益放大器、数模转换器，以及顺序连接的减法器、第一加法器、第一积分器、第二积分器、第一增益放大器、第二加法器、量化器；所述减法器的正向输入端接所述第二加法器的另一输入端，所述第一积分器的输出端还经所述第二增益放大器后接所述第二加法器的再一输入端，所述量化器的输出端经所述数模转换器接所述减法器的反向输入端，所述第二积分器的输出端还经所述第三增益放大器后接所述第一加法器的另一输入端。在本发明中，通过各积分器只处理量化噪声，实现了一种 sigma-delta 调制器，能减少了失真、提高稳定性及输入信号的动态范围。

说明书

发明名称: 一种sigma-delta调制器

技术领域

- [1] 本发明属于信号处理领域，尤其涉及一种 sigma-delta 调制器。

背景技术

- [2] 模数转换器（Analog-to-Digital Converter，ADC）在信号处理中起了一个非常重要的作用，在数字音频、数字电视、图像编码及频率合成等领域都需要大量的数模转换器。由于超大规模集成电路的尺寸和偏压不断减少，模拟器件的精度和动态范围也不断降低，实现高分辨率的 ADC 是一种挑战。而高阶多位 sigma-delta ADC 由于不需要采样保持电路，电路规模小，可以实现较高的分辨率，因此在实际中得到广泛的应用。
- [3] sigma-delta 调制技术自二十世纪六十年代诞生以来，经过若干年的发展，现已成为超大规模集成电路系统中实现高性能模数转换接口电路的主流技术之一。简而言之，sigma-delta 调制器用以将一连续时间，连续幅度的输入信号转换成为一离散时间，离散幅度的输出序列。基于 sigma-delta 调制技术的 sigma-delta 调制器（sigma-delta modulator，SDM），结合应用过采样技术和噪声整形技术相结合，把量化噪声推到高频端，对量化噪声进行双重抑制，从而能显著的提高数据转换器的信噪比、实现高精度模数转换。
- [4] sigma-delta 调制器主要由一个 A/D 转换器、一个 D/A 转换器和一系列串联积分器组成。积分器的个数决定了 sigma-delta 调制器的阶数。如：单环路调制器中有三个积分器串联，则此单环路 sigma-delta 调制器就称为单环路三阶 sigma-delta 调制器。Sigma-delta 调制器的主要性能指标有：动态范围（Dynamic Range, DR）、信噪比（Signal-to-Noise Ratio，SNR）、信噪失真比（Signal-to-Noise Distortion Ratio，SNDR）、有效位数（Effective Number of Bit, ENOB）、以及过载度（Overload Level, OL）。
- [5] 传统单环路三阶多比特 sigma-delta 调制器的结构示意图如图 1 所示。其中，输入的模拟信号馈送到第一减法器 101 的一个输入端口；第一减法器 101 的输出

端口与第一积分器 102 的输入端口进行相连；第一积分器 101 的输出端口与第二减法器 103 的一个输入端口相连；第二减法器 103 的输出端口与第二积分器 104 的输入端口相连；第二积分器 104 的输出端口与第三减法器 105 的一个输入端口相连；第三减法器 105 的输出端口与第三积分器 106 的输入端口相连；第三积分器 106 的输出端口与量化器 107 的输入端口相连；量化器 107 的一路输出作为数字信号输出，而另一路输出则送入到 DAC108；DAC108 把转换后的模拟信号分为三路；一路模拟信号反馈回到第一减法器 101 的另一个输入端口；一路模拟信号通过增益系数为 a_5 的增益放大器 109 后反馈回第二减法器 103 的另一个输入端口；一路模拟信号通过增益系数为 a_6 的增益放大器 110 后反馈回第三减法器 105 的另一个输入端口。

[6] 第一积分器 102、第二积分器 104 和第三积分器 106 输出信号的 Z 域表达式分别如下述 (1)、(2)、(3) 式：

[7]

$$Y_1(z) = \frac{1}{z-1} \left[X(z) \left(1 - \frac{1}{(z-1)^3 + a_6(z-1)^2 + a_5(z-1) + 1} \right) - E(z) \frac{(z-1)^3}{(z-1)^3 + a_6(z-1)^2 + a_5(z-1) + 1} \right]$$

(1)

[8]

$$Y_2(z) = -\frac{a_5}{z-1} X(z) + \frac{2-z}{(z-1)^2} \left[X(z) \left(1 - \frac{1}{(z-1)^3 + a_6(z-1)^2 + a_5(z-1) + 1} \right) - E(z) \frac{(z-1)^3}{(z-1)^3 + a_6(z-1)^2 + a_5(z-1) + 1} \right]$$

(2)

[9]

$$Y_3(z) = X(z) \frac{1}{(z-1)^3 + a_6(z-1)^2 + a_5(z-1) + 1} + E(z) \left[\frac{(z-1)^3}{(z-1)^3 + a_6(z-1)^2 + a_5(z-1) + 1} - 1 \right]$$

(3)

[10] 其中， $x(z)$ 为输入信号的 Z 域表达式； a_5 、 a_6 分别为增益放大器 109 和增益放大器 110 的反馈增益系数。 $E(z)$ 为量化误差的 Z 域表达式。

[11] 从上述表达式中可以看出，第一积分器 102、第二积分器 104 和第三积分器 106 的输出不仅与量化误差有关，还与输入信号 $x(z)$ 有关。当输入信号较大时，会严重影响调制的稳定性，从而大大限制了输入信号的动态范围。

对发明的公开

技术问题

- [12] 现有技术存在的 sigma-delta 调制器在输入信号较大时，会增加电路的功耗、严重影响调制的稳定性，输入信号的动态范围较窄。

技术解决方案

- [13] 本发明实施例的目的旨在解决现有技术存在的 sigma-delta 调制器在输入信号较大时，会增加电路的功耗、严重影响调制的稳定性，输入信号的动态范围较窄的问题，在于提供一种 sigma-delta 调制器，能减少了失真、提高稳定性及输入信号的动态范围。

- [14] 本发明实施例是这样实现的，一种 sigma-delta 调制器，包括：

- [15] 第二增益放大器、第三增益放大器、数模转换器，以及顺序连接的减法器、第一加法器、第一积分器、第二积分器、第一增益放大器、第二加法器、量化器

；

- [16] 所述减法器的正向输入端接所述第二加法器的另一输入端，所述第一积分器的输出端还经所述第二增益放大器后接所述第二加法器的再一输入端，所述量化器的输出端经所述数模转换器接所述减法器的反向输入端，所述第二积分器的输出端还经所述第三增益放大器后接所述第一加法器的另一输入端。

有益效果

- [17] 在本发明中，通过 第二增益放大器、第三增益放大器、数模转换器，以及顺序连接的减法器、第一加法器、第一积分器、第二积分器、第一增益放大器、第二加法器、量化器，减法器的正向输入端接第二加法器的另一输入端，第一积分器的输出端还经第二增益放大器后接第二加法器的再一输入端，量化器的输出端经数模转换器接减法器的反向输入端，第二积分器的输出端还经第三增益放大器后接第一加法器的另一输入端，实现了一种 sigma-delta 调制器，各积分器只处理量化噪声，能减少了失真、提高稳定性及输入信号的动态范围。

附图说明

- [18] 图 1 是现有技术提供的三阶 sigma-delta 调制器的结构示意图；
- [19] 图 2 是本发明 实施例提供的 二阶 sigma-delta 调制器的结构示意图；
- [20] 图 3 是本发明 实施例提供的 三阶 sigma-delta 调制器的结构示意图；
- [21] 图 4 是本发明实施例提供的三阶 sigma-delta 调制器的第三积分器、第一积分器

和第二积分器输出的电压范围仿真示意图；

[22] 图 5 是图 1 所示的传统三阶 sigma-delta 调制器的第一积分器、第二积分器和第三积分器输出的电压范围仿真示意图；

[23] 图 6 是本发明实施例提供的三阶 sigma-delta 调制器在输入模拟信号幅度比较大的情况下输出的数字信号的信噪比的仿真示意图；

[24] 图 7 是图 1 所示的传统三阶 sigma-delta 调制器在输入模拟信号幅度比较大的情况下输出的数字信号的信噪比的仿真示意图；

[25] 图 8 是本发明实施例提供的延时积分器的结构示意图；

[26] 图 9 是本发明 实施例提供的 四阶 sigma-delta 调制器的结构示意图。

本发明的实施方式

[27] 为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

[28] 在本发明实施例中，通过第二增益放大器、第三增益放大器、数模转换器，以及顺序连接的减法器、第一加法器、第一积分器、第二积分器、第一增益放大器、第二加法器、量化器，减法器的正向输入端接第二加法器的另一输入端，第一积分器的输出端还经第二增益放大器后接第二加法器的再一输入端，量化器的输出端经数模转换器（DAC）接减法器的反向输入端，第二积分器的输出端还经第三增益放大器后接第一加法器的另一输入端，实现了一种 sigma-delta 调制器，各积分器只处理量化噪声。

[29] 图 2 示出了本发明实施例提供的二阶 sigma-delta 调制器的结构，为了便于说明仅示出了与本发明实施例相关的部分。

[30] 该 sigma-delta 调制器可以用于数据处理设备，例如数字音频处理设备、数字电视、图像编码设备、频率合成设备等，可以是运行于这些设备内的软件单元、硬件单元或者软硬件相结合的单元，也可以作为独立的挂件集成到这些数据处理设备中或者运行于这些数据处理设备的应用系统中。其中，该 sigma-delta 调制器包括第二增益放大器 208、第三增益放大器 210、数模转换器 209，以及顺序连接的减法器 201、第一加法器 202、第一积分器 203、第二积分器 204

、第一增益放大器 205、第二加法器 206、量化器 207，减法器 201 的正向输入端接第二加法器 206 的另一输入端，第一积分器 203 的输出端还经第二增益放大器 208 后接第二加法器 206 的再一输入端，量化器 207 的输出端经数模转换器（DAC）209 接减法器 201 的反向输入端，第二积分器 204 的输出端还经第三增益放大器 210 后接第一加法器 202 的另一输入端。这里，第二加法器 206 的输入端为 3 个。

[31] 这样，即将实现了：

[32] 1、将模拟输入信号前馈到量化器 207 前的第二加法器 206 的输入端；

[33] 2、将第一积分器 203 和第二积分器 204 的输出经增益放大器 208、205 后前馈到量化器 207 前的第二加法器 206 的另外两个输入端；

[34] 3、将最后一个积分器（即第二放大器）的输出经第三增益放大器 210 后反馈到上一个积分器（即第一放大器）前的第一加法器 202 的输入端；

[35] 4、通过第二加法器 206 将所有的前馈信号进行累加，并把累加后的信号送入到量化器 207 进行量化；量化后的信号一路作为输出，另一路则经过数模转换器 209 把数字信号转换为模拟信号；转换后的模拟信号反馈回减法器 201 的反向输入端，与原模拟输入信号相减。

[36] 在本发明实施例中，量化器 207 为均匀量化器 207，即把输入信号的取值域按等距离分割。假如，量化器 207 为 n 比特量化器 207，那么输入信号的取值域则按 n 等份进行等距离分割。

[37] 数模转换器 209 将数字信号转换为模拟信号，然后把转换后的模拟信号反馈回减法器 201 的反向输入端。数模转换器 209 可以为电压定标型数模转换器 209、电荷定标型数模转换器 209 或电流定标型数模转换器 209。

[38] 由于电荷定标型数模转换器 209 的精度较高，作为本发明的一个优选实施例，可以采用的电荷定标型数模转换器 209，以进一步提高 sigma-delta 调制器的精度。

[39] 对于三阶及以上的 sigma-delta 调制器，还包括至少一个增益放大器，以及分别对应各增益放大器的连接于减法器 201 与第一加法器 202 之间的至少一个积分器，各积分器的输出端还分别经增益放大器后接第二加法器 206 的一输入端。

[40] 图 3 示出了本发明实施例提供的三阶 sigma-delta 调制器的结构，为了便于说明仅示出了与本发明实施例相关的部分。

[41] 在二阶 sigma-delta 调制器的基础上，在减法器 201 与第一加法器 202 之间增加了第三积分器 211，且第三积分器 211 的输出端还经第四增益放大器 212 后接第二加法器 206 的一输入端。这里，第二加法器 206 的输入端为 4 个。第三积分器 211、第一积分器 203 和第二积分器 204 输出的 Z 域表达式如下：

$$[42] \quad Y_3(z) = \frac{-[(z-1)^2 - a_4]E(z)}{(z-1)[(z-1)^2 - a_4] + a_3 + a_2(z-1) + a_1[(z-1)^2 - a_4]} \quad (4)$$

$$[43] \quad Y_1(z) = \frac{-(Z-1)E(z)}{(Z-1)[(z-1)^2 - a_4] + a_3 + a_2(z-1) + a_1[(z-1)^2 - a_4]} \quad (5)$$

$$[44] \quad Y_2(z) = \frac{-E(z)}{(Z-1)[(z-1)^2 - a_4] + a_3 + a_2(z-1) + a_1[(z-1)^2 - a_4]} \quad (6)$$

[45] 其中，X(z) 为输入信号的 Z 域表达式。

a_1, a_2, a_3

分别为前馈增益系数，

a_4

为反馈增益系数；E(z) 分别为量化误差的 Z 域表达式。

[46] 从表达式 (4)、(5)、(6) 中可以看出，第一积分器 203、第二积分器 204 和第三积分器 211 的输出并不包含输入信号 X(z)，只与量化误差有关，即各积分器只处理量化噪声，这大大降低了各积分器的电压输出范围，能有效防止由于过载问题而产生的系统不稳定性。

[47] 另外，本发明实施例提供的 sigma-delta 调制器能有效解决当模拟输入信号较大时量化器 207 过载的问题，使系统处于稳定状态，从而有效的扩大了模拟输入信号的动态范围。

- [48] 图 4 示出了本发明实施例提供的三阶 sigma-delta 调制器的第三积分器 211、第一积分器 203 和第二积分器 204 输出的电压范围仿真示意图；图 5 示出了图 1 所示的传统三阶 sigma-delta 调制器的第一积分器 203、第二积分器 204 和第三积分器 211 输出的电压范围仿真示意图。其中，仿真条件具体为：过采样率为 16，过采样频率为 24MHz，满度相对电平（dB full scale，dBFS）为 -3dB，信号频带为 1MHz，信号输入频率为 146480Hz；仿真示意图中的横坐标为积分器的输出电压，纵坐标为相应输出电压出现的次数。从图 4、5 中可以看出，本发明实施例提供的三阶 sigma-delta 调制器的各积分器输出的电压范围明显小于图 1 所示的传统三阶 sigma-delta 调制器的各积分器输出的电压范围。同样，对于其他阶 sigma-delta 调制器也可以得到类似的仿真结果。
- [49] 同样，在本发明实施例中，量化器 207 为均匀量化器 207；数模转换器 209 可以为电压定标型数模转换器 209、电荷定标型数模转换器 209 或电流定标型数模转换器 209。
- [50] 图 6、7 分别示出了本发明实施例提供的三阶 sigma-delta 调制器与图 1 所示的传统三阶 sigma-delta 调制器在输入模拟信号幅度比较大的情况下，输出的数字信号的信噪比的仿真示意图。图 6、7 的仿真条件与图 4、5 的仿真条件相同；通过把调制器的最后输出加汉明窗后做快速傅里叶变换（Fast Fourier Transform，FFT）后取模值的平方，再取对数，即可得到图 6、7 所示的频率与功率谱密度的关系。从图 6、7 可以看出：传统三阶 sigma-delta 调制器由于输入信号幅度过大，而导致调制器不稳定，从而使调制器的性能急剧下降；然而本发明实施例提供的三阶 sigma-delta 调制器，克服了不稳定性问题，使输入信号的动态范围扩大，信噪比得到提升。一般来说，当输入信号使调制器过载时，则认为输入信号比较大。同样，对于其他阶 sigma-delta 调制器也可以得到类似的仿真结果。
- [51] 为了进一步提高 sigma-delta 调制器的稳定性，作为本发明的一个优选实施例，sigma-delta 调制器中的第一积分器 203、第二积分器 204 和第三积分器 211 等积分器为延时积分器。
- [52] 具体地，如图 8 所示，延时积分器由顺序连接的加法器 801、单位延时器 802

和限幅器 803 组成。

[53] 限幅器 803 的作用是将积分器的输出电压限制在某个特定的范围内，以防止 sigma-delta 调制器中量化器 207 的输入幅度过大，而导致量化器 207 过载。

[54] 所需处理的输入信号首先传送到加法器 801 的一个输入端口；加法器 801 的输出端口与单位延时单元 802 的输入端口进行连接；单位延时单元 802 的输出信号直接输入到限幅器 803；限幅器 803 的一路输出信号反馈回加法器 801 的另一个端口，而另一路输出则作为单位延时器 802 的输出信号。这个闭环回路就组成了一个积分器，积分器的系统传输函数为：

[55]
$$\frac{Y(Z)}{X(Z)} = \frac{Z^{-1}}{1-Z^{-1}}$$

(7)

[56] 其中，X(Z) 为输入信号，Y(Z) 为输出信号。

[57] 图 9 示出了本发明实施例提供的四阶 sigma-delta 调制器的结构，为了便于说明仅示出了与本发明实施例相关的部分。

[58] 在三阶 sigma-delta 调制器的基础上，在减法器 201 与第一加法器 202 之间增加了第四积分器 213，且第四积分器的输出端还经第五增益放大器 214 后接第二加法器 206 的一输入端。这里，第二加法器 206 的输入端为 5 个。该第四积分器 213 可以连接于减法器 201 与第三积分器 211 之间，即如图 9 所示，也可以连接于第三积分器 211 与第一加法器 202 之间，即图 9 中的第三积分器 211 与第四积分器 213 交换位置即可。各积分器、量化器 207、数模转换器 209 等的实现如上所述，不再赘述。

[59] 在本发明实施例中，通过第二增益放大器、第三增益放大器、数模转换器，以及顺序连接的减法器、第一加法器、第一积分器、第二积分器、第一增益放大器、第二加法器、量化器，减法器的正向输入端接第二加法器的另一输入端，第一积分器的输出端还经第二增益放大器后接第二加法器的再一输入端，量化器的输出端经数模转换器接减法器的反向输入端，第二积分器的输出端还经第三增益放大器后接第一加法器的另一输入端，实现了一种 sigma-delta 调制器，各积分器只处理量化噪声，能减少了失真、提高稳定性及输入信号的动态范围

。

- [60] 进一步地，sigma-delta 调制器还包括至少一个增益放大器以及分别对应各增益放大器的连接于减法器与第一加法器之间的至少一个积分器，各积分器的输出端还分别经增益放大器后接第二加法器的一输入端，以实现三阶及以上的 sigma-delta 调制器。
- [61] 以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权利要求书

- [权利要求 1] 一种 sigma-delta 调制器，其特征在于，所述 sigma-delta 调制器包括：
- 第二增益放大器、第三增益放大器、数模转换器，以及顺序连接的减法器、第一加法器、第一积分器、第二积分器、第一增益放大器、第二加法器、量化器；
- 所述减法器的正向输入端接所述第二加法器的另一输入端，所述第一积分器的输出端还经所述第二增益放大器后接所述第二加法器的再一输入端，所述量化器的输出端经所述数模转换器接所述减法器的反向输入端，所述第二积分器的输出端还经所述第三增益放大器后接所述第一加法器的另一输入端。
- [权利要求 2] 如权利要求 1 所述的 sigma-delta 调制器，其特征在于，所述的 sigma-delta 调制器还包括至少一个增益放大器，以及分别对应各所述增益放大器的连接于所述减法器与所述第一加法器之间的至少一个积分器，各所述积分器的输出端还分别经增益放大器后接第二加法器的一输入端。
- [权利要求 3] 如权利要求 2 所述的 sigma-delta 调制器，其特征在于，所述至少一个增益放大器为第四增益放大器，所述至少一个积分器为第三积分器，所述第三积分器的输出端还经所述第四增益放大器后接所述第二加法器的一输入端。
- [权利要求 4] 如权利要求 3 所述的 sigma-delta 调制器，其特征在于，sigma-delta 调制器还包括第五增益放大器和第四积分器，第四积分器连接于所述减法器与所述第一加法器之间，且所述第四积分器的输出端还经所述第五增益放大器后接所述第二加法器的一输入端。
- [权利要求 5] 如权利要求 1 至 4 任一项所述的 sigma-delta 调制器，其特征在于，所述量化器为均匀量化器。
- [权利要求 6] 如权利要求 1 至 4 任一项所述的 sigma-delta 调制器，其特征在于

，所述数模转换器为电压定标型数模转换器、电荷定标型数模转换器或电流定标型数模转换器。

- [权利要求 7] 如权利要求 1 所述的 sigma-delta 调制器，其特征在于，所述第一积分器、第二积分器为延时积分器。
- [权利要求 8] 如权利要求 2 所述的 sigma-delta 调制器，其特征在于，所述至少一个积分器为至少一个延时积分器。
- [权利要求 9] 如权利要求 7 或 8 所述的 sigma-delta 调制器，其特征在于，所述延时积分器由顺序连接的加法器、单位延时器和限幅器组成。

说明书附图

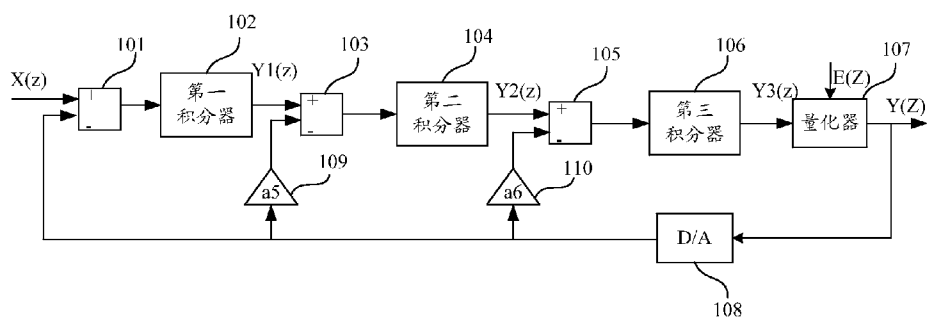


图 1

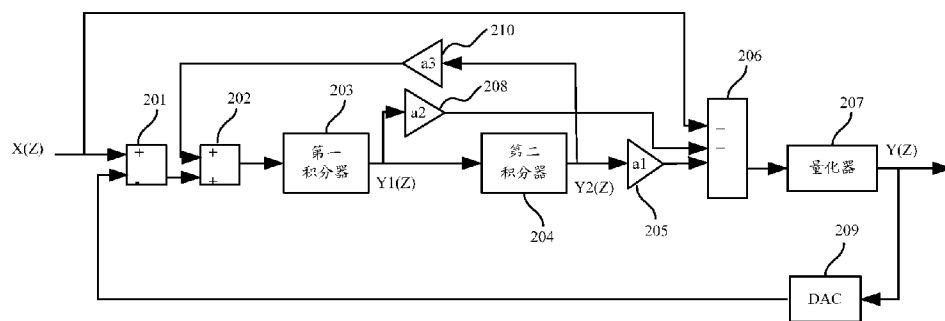


图 2

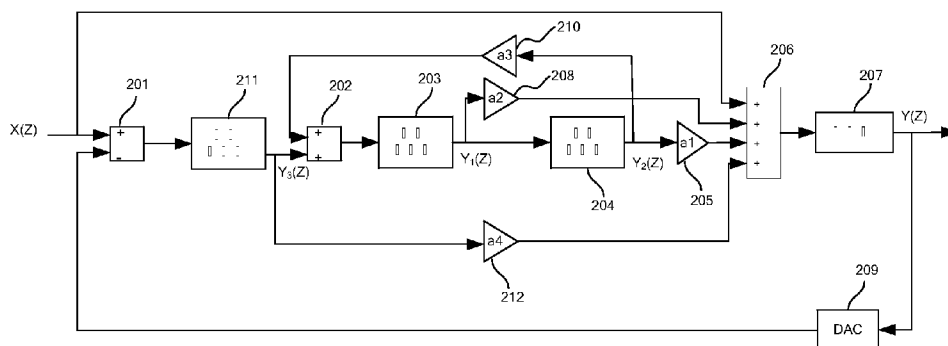


图 3

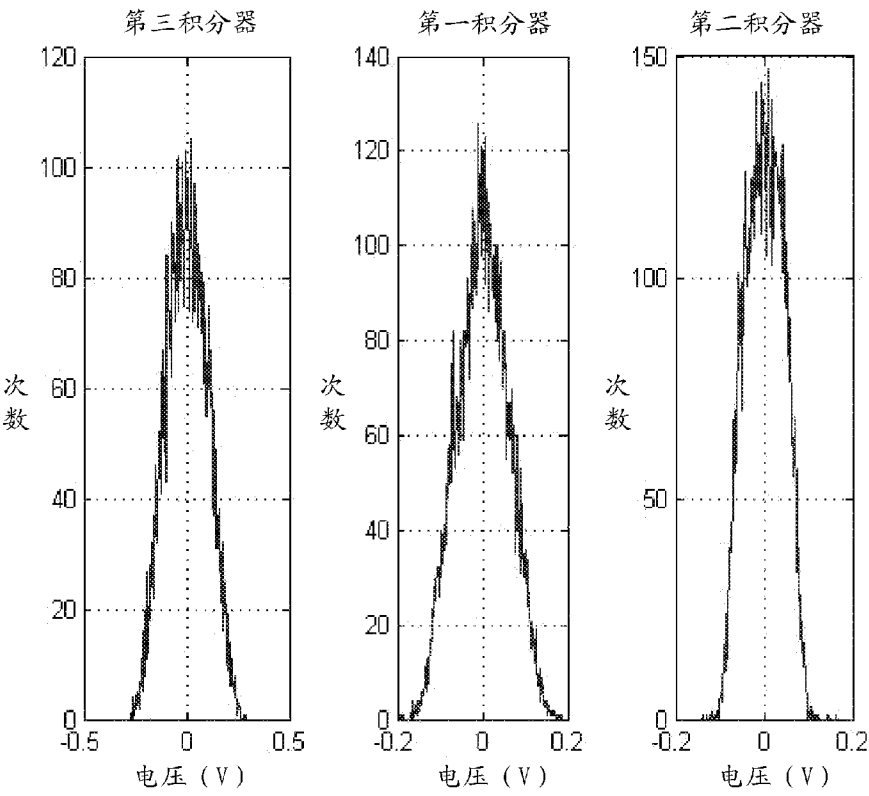


图 4

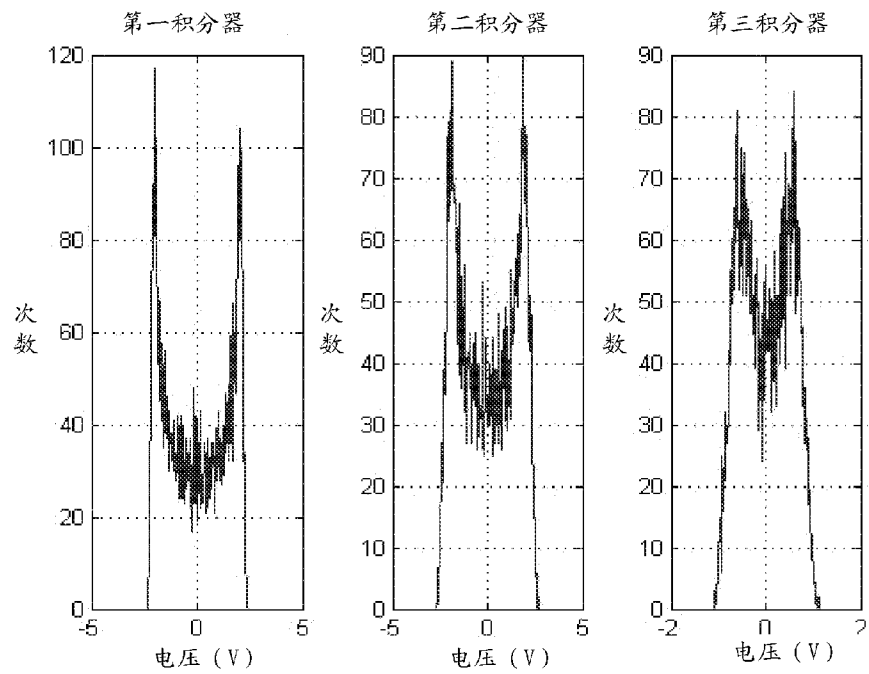


图 5

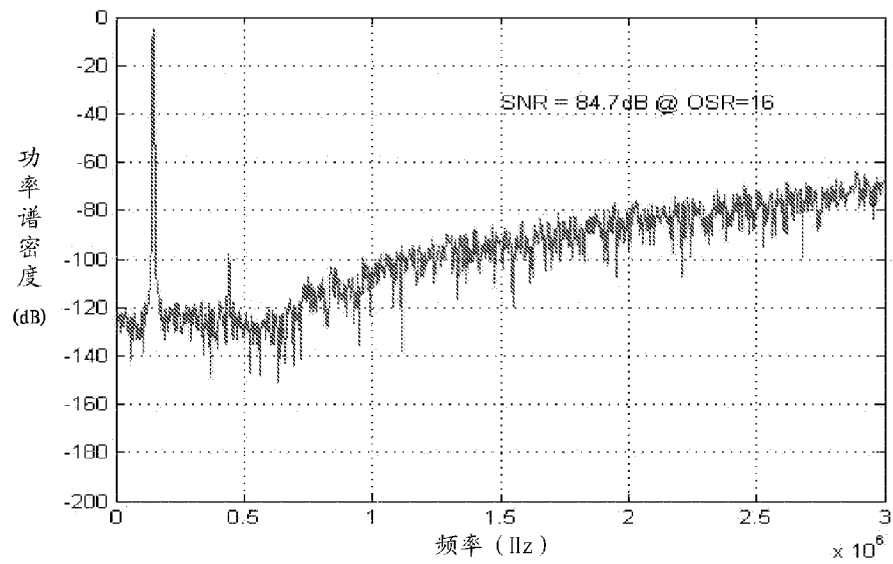


图 6

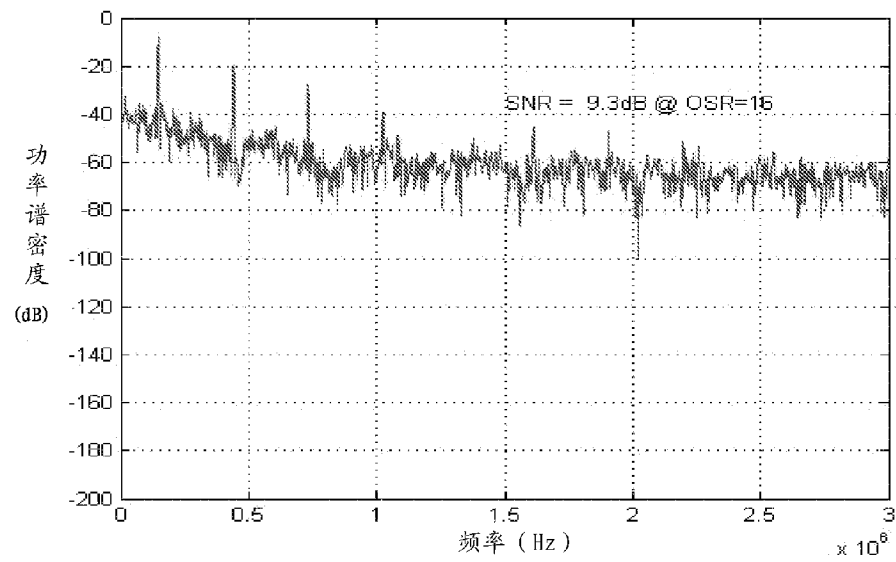


图 7

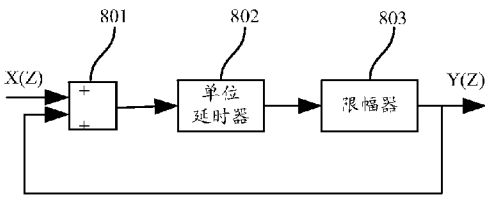


图 8

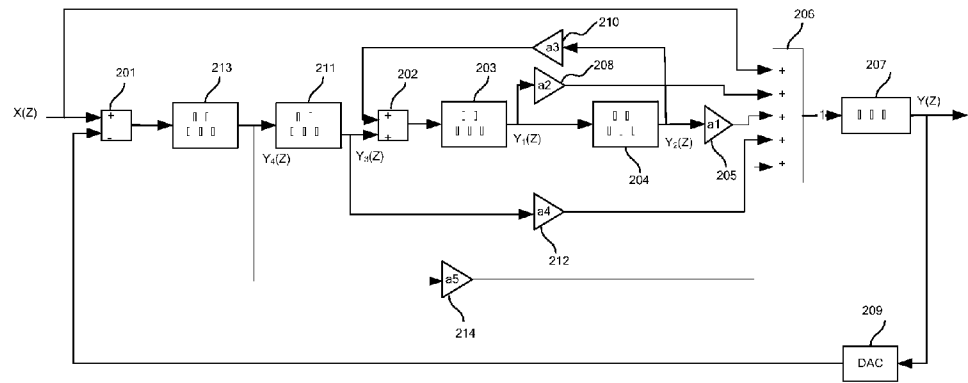


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/079023

A. CLASSIFICATION OF SUBJECT MATTER

H03M 3/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H03M 3/00; H03M 3/04; H03M 3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: SDM subtractor adder circuit subtraction circuit integrating circuit
sigma delta modulator adder subtract integrator quantizer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1612485 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.), 04 May 2005 (04.05.2005), the whole document	1-9
A	CN 101667834 A (MEDIATEK INC.), 10 March 2010 (10.03.2010), the whole document	1-9
A	JP 2001-345704 A (MITSUBISHI ELECTRIC CORP.), 14 December 2001 (14.12.2001), the whole document	1-9
A	US 7450047 B1 (NATIONAL SEMICONDUCTOR CORPORATION), 11 November 2008 (11.11.2008), the whole document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 November 2011 (21.11.2011)	Date of mailing of the international search report 29 December 2011 (29.12.2011)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Guangda Telephone No.: (86-10) 82245848

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/079023

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1612485 A	04.05.2005	US 2005/0088327 A1	28.04.2005
		US 7084797 B2	01.08.2006
		CN 100472968 C	25.03.2009
		JP 2005-136450 A	26.05.2005
		JP 3718706 B2	24.11.2005
CN 101667834 A	10.03.2010	US 2010/0052959 A1	04.03.2010
		US 7675448 B1	09.03.2010
		TW 201012078 A1	16.03.2010
JP 2001-345704 A	14.12.2001	US 6300890 B1	09.10.2001
		JP 4357083 B2	04.11.2009
US 7450047 B1	11.11.2008	None	

国际检索报告

国际申请号
PCT/CN2011/079023

A. 主题的分类

H03M3/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H03M3/00;H03M3/04;H03M3/02

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;CNKI;WPI;EPODOC: SDM 调制器 解调器 加法器 减法器 加法电路 减法电路 积分器 积分电路
量化器 量子化器 sigma delta modulator adder subtract integrator quantizer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN1612485A(松下电器产业株式会社)04.5 月 2005(04.05.2005)全文	1-9
A	CN101667834A(联发科技股份有限公司)10.3 月 2010(10.03.2010)全文	1-9
A	JP2001-345704A(三菱电机株式会社)14.12 月 2001(14.12.2001)全文	1-9
A	US7450047B1(NATIONAL SEMICONDUCTOR CORPORATION)11.11 月 2008(11.11.2008)全文	1-9

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
21.11 月 2011(21.11.2011)

国际检索报告邮寄日期
29.12 月 2011 (29.12.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员

刘广达
电话号码: (86-10) **82245848**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/079023

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1612485A	04.05.2005	US2005/0088327A1	28.04.2005
		US7084797B2	01.08.2006
		CN100472968C	25.03.2009
		JP2005-136450A	26.05.2005
		JP3718706B2	24.11.2005
CN101667834A	10.03.2010	US2010/0052959A1	04.03.2010
		US7675448B1	09.03.2010
		TW201012078A1	16.03.2010
JP2001-345704A	14.12.2001	US6300890B1	09.10.2001
		JP4357083B2	04.11.2009
US7450047B1	11.11.2008	无	