



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200945048 A1

(43)公開日：中華民國 98 (2009) 年 11 月 01 日

(21)申請案號：098106572 (22)申請日：中華民國 98 (2009) 年 02 月 27 日
(51)Int. Cl. : **G06F13/16 (2006.01)** **G06F9/44 (2006.01)**
(30)優先權：2008/04/15 美國 12/103,250
(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國
(72)發明人：培利 沛瑞H 三世 PELLEY, PERRY H., III(US)；霍克斯塔 喬治P HOEKSTRA,
GEORGE P. (US)；派索亞 路西歐F C PESSOA, LUCIO F. C. (US)
(74)代理人：陳長文
申請實體審查：無 申請專利範圍項數：20 項 圖式數：5 共 38 頁

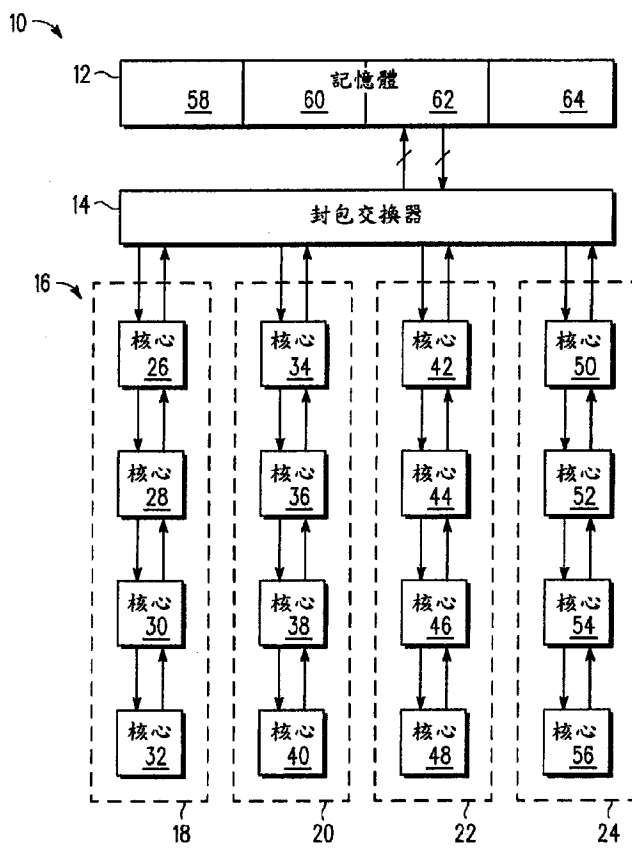
(54)名稱

多核心處理系統

MULTI-CORE PROCESSING SYSTEM

(57)摘要

本發明揭示一種具有於一第一連貫性群組(18)中的第一複數個核心(16)之系統(10)。每一核心(26、28、30、32)以封包傳輸資料。該等核心經直接序列地耦合用以形成一序列路徑。沿該序列路徑傳輸該等資料封包。該序列路徑係在一端耦合至一封包交換器(14)。該封包交換器係耦合至一記憶體(12)。該第一複數個核心與該封包交換器係在一積體電路上。該記憶體可在或不在該積體電路上。在另一態樣中，於一第二連貫性群組(20)中的第二複數個核心係耦合至該封包交換器。該第一複數個核心與該第二複數個核心可經重新組態用以形成或變成不同於第一連貫性群組與第二連貫性群組的連貫性群組之部分。



- 10：多核心系統
- 12：記憶體
- 14：封包交換器
- 16：陣列
- 18：連貫性群組
- 20：連貫性群組
- 22：連貫性群組
- 24：連貫性群組
- 26：核心
- 28：核心
- 30：核心
- 32：核心
- 34：核心
- 36：核心
- 38：核心
- 40：核心
- 42：核心
- 44：核心
- 46：核心
- 48：核心
- 50：核心
- 52：核心
- 54：核心
- 56：核心
- 58：分割區
- 60：分割區
- 62：分割區
- 64：分割區



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200945048 A1

(43)公開日：中華民國 98 (2009) 年 11 月 01 日

(21)申請案號：098106572 (22)申請日：中華民國 98 (2009) 年 02 月 27 日
(51)Int. Cl. : **G06F13/16 (2006.01)** **G06F9/44 (2006.01)**
(30)優先權：2008/04/15 美國 12/103,250
(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國
(72)發明人：培利 沛瑞H 三世 PELLEY, PERRY H., III(US)；霍克斯塔 喬治P HOEKSTRA,
GEORGE P. (US)；派索亞 路西歐F C PESSOA, LUCIO F. C. (US)
(74)代理人：陳長文
申請實體審查：無 申請專利範圍項數：20 項 圖式數：5 共 38 頁

(54)名稱

多核心處理系統

MULTI-CORE PROCESSING SYSTEM

(57)摘要

本發明揭示一種具有於一第一連貫性群組(18)中的第一複數個核心(16)之系統(10)。每一核心(26、28、30、32)以封包傳輸資料。該等核心經直接序列地耦合用以形成一序列路徑。沿該序列路徑傳輸該等資料封包。該序列路徑係在一端耦合至一封包交換器(14)。該封包交換器係耦合至一記憶體(12)。該第一複數個核心與該封包交換器係在一積體電路上。該記憶體可在或不在該積體電路上。在另一態樣中，於一第二連貫性群組(20)中的第二複數個核心係耦合至該封包交換器。該第一複數個核心與該第二複數個核心可經重新組態用以形成或變成不同於第一連貫性群組與第二連貫性群組的連貫性群組之部分。

六、發明說明：

【發明所屬之技術領域】

此揭示內容一般係關於處理系統，且更明確而言，係關於具有複數個核心之處理系統。

本申請案已於2008年4月15日在美國提出申請，其專利申請案號為12/103,250。

【先前技術】

已發現在利用複數個核心的情況下處理資料更有效率。一多核心系統允許同時處理不同任務。複雜操作傾向於能夠加以劃分為多個任務，因此該多核心系統傾向於針對複雜操作而工作較佳。非常複雜的操作可具有許多任務以使得其可有益於具有許多核心。必須協調該等操作以使得亦必須協調該等不同核心之結果。此包括之使用的該記憶體必須能夠保持連貫。也就是說，該等核心必須能夠使用來自一主記憶體之資訊，因為可與每一核心一起之該快取記憶體並不足夠。記憶體連貫性在使用一快取記憶體之任一系統中較難加以維持，而且其隨核心之數目的增加而變得更加複雜。

因此，在採用多核心系統解決或改良現有問題時，需要係多核心之一系統。

【發明內容】

在一態樣中，一系統具有於一第一連貫性群組中之第一複數個核心。每一核心以封包傳輸資料。該等核心經直接序列地耦合用以形成一序列路徑。沿該序列路徑傳輸該等

資料封包。該序列路徑係在一端耦合至一封包交換器。該封包交換器係耦合至一記憶體。該第一複數個核心與該封包交換器係在一積體電路上。該記憶體可或不可在該積體電路上。在另一態樣中，於一第二連貫性群組中的第二複數個核心係耦合至該封包交換器。該第一複數個核心與該第二複數個核心可經重新組態用以形成或變成不同於第一連貫性群組與第二連貫性群組的連貫性群組之部分。參考下文說明及圖式可較佳瞭解本發明。

【實施方式】

圖1中顯示一多核心系統10，其包含一記憶體12、一封包交換器14、以及一陣列16，其經耦合用以形成一連貫性群組18、一連貫性群組20、一連貫性群組22、以及一連貫性群組24的核心。連貫性群組18包含耦合至封包交換器14之一核心26、耦合至核心26之一核心28、耦合至核心28之一核心30、以及耦合至核心30之一核心32。連貫性群組20包含耦合至封包交換器14之一核心34、耦合至核心34之一核心36、耦合至核心36之一核心38、以及耦合至核心38之一核心40。連貫性群組22包含耦合至封包交換器14之一核心42、耦合至核心42之一核心44、耦合至核心44之一核心46、以及耦合至核心46之一核心48。連貫性群組24包含耦合至封包交換器14之一核心50、耦合至核心50之一核心52、耦合至核心52之一核心54、以及耦合至核心54之一核心56。序列地耦合核心26、28、30及32以使得連貫性群組18序列傳輸資料之封包。同樣地，連貫性群組20、22及24

各序列地耦合沿一序列資料路徑傳輸資料之核心。記憶體12具有分別與連貫性群組18、20、22及24相關聯之分割區58、60、62及64。資料之一封包包括該資料本身以及同樣關於該封包之額外資訊。額外資訊可包括錯誤校正、封包順序、目標ID、源ID、優先權及大小。用於傳播封包之一協定的一範例係快速IO™(飛思卡爾半導體公司的商標)協定。一封包可包括除例如控制資訊之資料外的資訊之其他種類。

圖2中更詳細顯示代表圖1之所有核心的核心26。核心26具有一快取記憶體74以及至少兩個埠66與70。在連貫性群組18中，核心26具有耦合至封包交換器14之一埠以及耦合至核心28之一埠的另一埠。每一連貫性群組具有耦合至封包交換器14之一第一端子。每一連貫性群組亦具有其中存在僅係耦合至一另一核心之一核心之一第二端子。因此，連貫性群組20、22及24之第一端子係核心34、42及50分別耦合至封包交換器14之位置。連貫性群組18、20、22及24之第二端子係分別在核心32、40、48及56處。核心26係顯示為具有總共四個埠中之兩個額外埠72與68以及回應於一重新組態線69上之一信號的一重新組態暫存器73。額外埠72與68以及重新組態暫存器73係用於重新組態系統10。

在一範例性操作中，自核心30傳輸(亦可稱為傳播)資料之一封包至記憶體12。在此操作中包括常駐於核心30中之該快取記憶體的寫入。將該封包自核心30傳輸至核心28。核心28將該封包傳遞至核心26。核心26將該封包傳遞至封

包交換器 14。封包交換器 14 接著將該封包寫入至記憶體 12 之分割區 58。核心 30 亦將該封包傳遞至核心 32。核心之間資料的傳輸極快速地發生，因此存在最小的延遲。此甚至可在光學上藉由射頻或低電壓差動信號傳送達成。在射頻的情況下，超寬頻無線通信之積極發展正顯示可靠製造的允諾。此外，每一核心將需要在寫入該封包的位置至少讀取該位址。若該位址係一快取命中，則將該快取記憶體中之此項目標記為係無效的。快取記憶體常規具有可經設定以指示在此位置之資料係有效或無效之有效位元。或者，但以稍微放慢傳輸為代價，亦可讀取該資料而且更新該快取記憶體。在任一情況下，每一核心之快取記憶體保持連貫。使用快取記憶體 76 作為一範例，核心 26 將自核心 28 接收該封包並快速將其傳輸至封包交換器 14，同時亦至少讀取該或該等位址。若在該位址或該等位址之一將資料儲存於快取記憶體 74 中，則其係一快取命中。接著設定用於其中該命中出現的此位置之有效位元以指示無效或將資料寫入該位置。在此範例中，允許連貫性群組 18 寫入至僅分割區 58 以確保維持連貫性。針對連貫性群組 18 自分割區 60、62 或 64 讀取問題較少，但在如此進行時仍必須防止核心 26、28、30 及 32 之快取記憶體更新。針對核心 32 的情況，核心 30 不一定需要傳送整個封包以便提供需要的寫入連貫性資訊。簡單傳送該或該等位址可係足夠的而且無論其係一讀取還係一寫入以便提供必要的寫入連貫性資訊以使得核心 32 可在其快取記憶體中維持連貫性。

圖3中顯示使用一群組控制器75自圖1中顯示的系統重新組態之系統10。群組控制器75序列地傳送一信號至陣列16的所有核心以重新組態該等核心之埠而且因此重新組態陣列16並且因此重新組態系統10。此線亦可用於除錯。群組控制器75亦透過一埠而可外部存取至該積體電路。群組控制器75係耦合至該封包交換器14用於控制封包交換器14及存取記憶體12。亦可重新組態記憶體12。記憶體12之重新組態係顯示為具有分割區84、86、88及90。如藉由圖3顯示，分割區84、86、88及90可具有不同大小。在圖3之組態中，核心26、28、30、32、40及38形成連貫性群組76；核心34與36形成連貫性群組78；核心42、44及46形成連貫性群組80；以及核心48、50、52、54及56形成連貫性群組82。以列及行來配置陣列16以使得每一核心具有至少兩個鄰近核心並可具有四個鄰近核心。例如，核心26具有鄰近核心34與28，而且核心38具有鄰近核心30、36、40及46。如圖2中針對核心26顯示，每一核心具有四個埠。兩個埠可經組態用以係耦合至一鄰近核心。在此範例中，核心40經重新組態用以係耦合至核心32而非係一連貫性群組的第二端子。如在圖3之連貫性群組的情況下，連貫性群組76、78、80及82具有耦合至封包交換器14之一核心作為一第一端子以及作為序列地耦合核心中之最後核心的第二端子。在此情況下，耦合至封包交換器14之該等核心係分別作為連貫性群組76、78、80及82之第一端子的核心26、34、42及50。連貫性群組76、78、80及82之第二端子分別

係核心38、36、46及48。如針對圖1之系統10說明，一封包序列地行進至一連貫性群組內之所有核心。同樣地，使用自核心30傳輸一封包至記憶體12作為一範例，將該封包傳輸至其中該封包係傳輸至核心26之核心28。核心26耦合至將寫入引導至記憶體12之分割區84的封包交換器14。核心30亦傳輸該封包至核心32。核心32傳輸該封包至核心40。核心40傳輸該封包至核心38。不一定將整個封包傳輸至核心32、40及38。可僅需要該位址以使得可將核心32、40及38之快取記憶體中的有效位元在存在一命中的情況下設定為無效狀態。

圖4中顯示一種系統100，其包含一記憶體102、一封包交換器104、一封包交換器106、以及核心之一陣列108。陣列108包含連貫性群組142、144、146及148。記憶體102具有分別與連貫性群組142、144、146及148相關聯之分割區150、152、154及156。連貫性群組142包含包括四個以上核心的複數個核心。顯示四個核心。構成連貫性群組142的所顯示該四個核心包含耦合至封包交換器104之一核心110、耦合至核心110之一核心112、耦合至封包交換器106之一核心116、以及耦合至核心116之一核心114。構成連貫性群組144的所顯示該四個核心包含耦合至封包交換器104之一核心118、耦合至核心118之一核心120、耦合至封包交換器106之一核心124、以及耦合至核心124之一核心122。構成連貫性群組146的所顯示該四個核心包含耦合至封包交換器104之一核心126、耦合至核心126之一核心

128、耦合至封包交換器 106 之一核心 132、以及耦合至核心 132 之一核心 130。除存在針對該等連貫性群組中顯示的此等係額外核心外，可存在除顯示的此等外之其他連貫性群組。封包交換器 104 與 106 係耦合至記憶體 102。該操作係類似於具有額外特徵的圖 1 之系統 10 的操作，該額外特徵係提供該封包之最接近該核心的封包交換器係寫入該記憶體之一者。一範例性操作係針對傳輸一封包至記憶體 102 之核心 114。在此類情況下，核心 114 傳輸該封包至核心 116。核心 116 傳輸該封包至封包交換器 106。封包交換器 106 將該資料自該封包交換器寫入至記憶體 102 之分割區 150。此外，核心 114 傳輸該封包或該封包之至少該或該等位址朝向核心 112 與 110。在一連貫性群組中之所有該等封包接著能夠保持其快取記憶體連貫。系統 100 接著允許該封包藉由具有在一封包交換器結束之連貫性群組的兩個端子而經歷最短的距離至該連貫性群組的末端。

圖 5 中顯示具有重新組態核心之系統 10。系統 10 此外具有一群組控制器 109，其具有穿過所有核心之一輸出。此輸出係類似於圖 2 中顯示的線 69 並提供組態資訊至該等核心。群組控制器 109 係類似於圖 3 中顯示的群組控制器 75 而且具有至封包交換器 104 及 106 之一連接以及至一外部埠之一連接。在此範例中，群組控制器提供導致系統 100 重新組態以使得將來自連貫性群組 146 與 148 之該等核心重新組態至連貫性群組 155 與 157 之組態資訊。連貫性群組 155 包含耦合至封包交換器 104 之核心 134、耦合至核心 134 之核

心126、耦合至核心136之核心128、耦合至核心138之核心136、以及耦合至核心140之核心138。在核心136與138之間存在至少一核心。連貫性群組157包含耦合至封包交換器106之核心132以及耦合至核心132之核心130。連貫性群組157係耦合至封包交換器106但並非封包交換器104。

系統10與100在其中存在較大數目之核心的情況下特別有用。封包之序列地耦合尤其藉由具有係限於僅寫入該記憶體之某些區域之不同的連貫性群組而對於維持連貫性係有效率的。藉由一連貫性群組內之該等核心的序列地連接以及藉由分離維持該等連貫性群組而容易維持連貫性。此外，可將該等連貫性群組重新組態為不同大小。變得有缺陷之核心甚至可被阻止在任一連貫性群組中。隨著核心之數目的增加，高速序列路徑之效用將在能力中提供更多效率以利用多核心並維持其連貫性。

眾多應用可受益於所提議之方法及裝置。例如，該等核心可包括可提供回授至該群組控制器之一失效偵測電路，該群組控制器可使用此回授以重新組態其餘核心以克服錯誤核心。該等核心可包括(例如)可提供回授至該群組控制器之溫度偵測電路，該群組控制器可使用此回授以重新組態該等核心以在一處理系統中較佳分佈熱消耗。該等核心可包括可提供回授至該群組控制器之磨損位準電路，該群組控制器可使用此回授以重新組態該等核心以較佳分佈該等核心之磨損位準。在操作期間，可將任務動態分配至不同核心及個別連貫性群組，因此允許改良使用具有複數個

核心之一處理系統。

到目前為止，應瞭解已提供一種用於操作一積體電路內之一資訊系統的方法。該方法包括藉由該積體電路之一多處理器核心電路之一第一處理器核心來產生資訊之一第一封包，其中資訊之該第一封包係引導至一記憶體。該方法進一步包括自該第一處理器核心傳播資訊之該第一封包至該記憶體，其中該傳播包括經由該多處理器核心電路之一第二處理器核心來傳播該第一封包，其中該經由一第二處理器核心來傳播該第一封包包括藉由該第二處理器核心來接收該第一封包而且藉由該第二處理器核心來發送該第一封包。該方法之進一步特徵可為：該至該記憶體的傳播包括經由一封包交換電路傳播至該記憶體，該第二處理器核心發送該封包至該封包交換電路。該方法之進一步特徵可為：該多處理器核心電路包括一第三處理器核心，其中該第三處理器核心不接收該第一封包之寫入連貫性資訊。該方法之進一步特徵可為。該方法可進一步包含藉由該第一處理器核心發送寫入連貫性資訊至該多處理器核心電路之一第四處理器核心，其中該第四處理器核心自該第一處理器核心接收該寫入連貫性資訊，其中該第四處理器核心使用該寫入連貫性資訊以決定該第一封包是否在於該第四處理器核心中加以快取之一位置處正修改該記憶體中之資料。該方法可進一步包含藉由該第四處理器核心發送該寫入連貫性資訊至該多處理器核心電路之一第五處理器核心，其中該第五處理器核心使用該寫入連貫性資訊以決定

該第一封包是否在於該第五處理器核心中加以快取之一位置處正修改該記憶體中之資料。該方法可進一步包含藉由該第三處理器核心產生資訊之一第二封包，其中資訊之該第二封包係引導至該記憶體；以及傳播資訊之該第二封包至該記憶體，其中該傳播包括經由該多處理器核心電路之一第四處理器核心及一封包交換電路傳播該第二封包，其中該經由一第四處理器核心傳播該封包包括藉由該第四處理器核心接收該資訊封包而且藉由該第四處理器核心發送該封包。該方法之進一步特徵可為：該第一處理器核心及該第二處理器核心不接收該第二封包之寫入連貫性資訊，而且該第四處理器核心不接收該第一封包之寫入連貫性資訊。該方法之進一步特徵可為：該傳播資訊之該第一封包至該記憶體包括傳播該第一封包至該記憶體之一第一分割區，該記憶體之該第一分割區係可藉由該第一處理器核心及該第二處理核心存取且不可藉由該第三處理器核心及該第四處理核心存取；以及該傳播資訊之該第二封包至該記憶體包括傳播該第二封包至一第二分割區，該第二分割區係可藉由該第三處理器核心及該第四處理核心存取且不可藉由該第一處理器核心及該第二處理核心存取。該方法之進一步特徵可為：該第一分割區與該第二分割區具有非重疊位址。該方法之進一步特徵可為：在該傳播期間，該多處理器核心電路包括一第一連貫性群組，其中該第一連貫性群組包括該多處理器核心電路之第一複數個處理器核心，其包括該第一處理器核心及該第二處理核心，該第一

連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，該第一連貫性群組之每一處理器核心接收藉由該第一連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊。該方法之進一步特徵可為：在該傳播期間，該多處理器核心電路包括一第二連貫性群組，其中該第二連貫性群組包括該多處理器核心電路之第二複數個處理器核心，該第二連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，該第二連貫性群組之每一處理器核心接收藉由該第二連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第一連貫性群組之該等處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。該方法之進一步特徵可為：在該傳播期間，該多處理器核心電路包括一第三連貫性群組，其中該第三連貫性群組包括該多處理器核心電路之一第三複數個處理器核心，該第三連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，該第三連貫性群組之每一處理器核心接收藉由該第三連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第一連貫性群組之該等處理器核心以及藉由該第二連貫性群組之該等處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。該方法之進一步特徵可為：在另一時間期間，該多處理器核心電路包括該多處理器核心電路之處理器核心的一第三連貫性群組以及該多處理器核心電路之處理器核

心的一第四連貫性群組，其中該第三連貫性群組包括該第一複數個處理器核心之至少一處理器核心以及該第二複數個處理器核心之至少一處理器核心，該第三連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，該第三連貫性群組之每一處理器核心接收藉由該第三連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第四連貫性群組之處理器核心產生、藉由未在該第三連貫性群組中之該第一連貫性群組之處理器核心產生以及藉由未在該第三連貫性群組中之該第二連貫性群組之處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊，而且該第四連貫性群組包括該第一複數個處理器核心之至少一處理器核心，該第四連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，該第四連貫性群組之每一處理器核心接收藉由該第四連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第三連貫性群組之處理器核心產生、藉由未在該第四連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第四連貫性群組中之該第二連貫性群組之處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。該方法可進一步包含將該封包之資料寫入至該記憶體中之一位置，其中在該封包中指示該位置之一位址。該方法之進一步特徵可為：該傳播資訊之該第一封包包括藉由具有支援流量控制及多個優先交易之有序封包的一基於封包協定來傳播

該第一封包。

亦說明一種裝置，其包括一積體電路，該積體電路包括一多處理器核心電路。該多處理器核心電路係可操作以包括一第一連貫性群組，其中該第一連貫性群組包括該多處理器核心電路之第一複數個處理器核心，該第一連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，其中該第一連貫性群組之每一處理器核心接收藉由該第一連貫性群組之其他處理器核心產生的至一記憶體之來自寫入封包之快取連貫性資訊。該多處理器核心電路係可操作以進一步包括一第二連貫性群組，其中該第二連貫性群組包括該多處理器核心電路之第二複數個處理器核心，該第二連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，其中該第二連貫性群組之每一處理器核心接收藉由該第二連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第一連貫性群組之該等處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。該裝置係藉由以下進一步特徵化：該第一連貫性群組之每一處理器核心不接收藉由該第二連貫性群組之該等處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。該積體電路可進一步包含一封包交換電路並可藉由該記憶體而進一步特徵化，該多處理器核心電路透過該封包交換電路而通信耦合至該記憶體。該積體電路可進一步包含係耦合至該多處理器核心電路之處理器核心的一控制器，該控制器提供用於將該多處

理器核心電路之該等處理器核心分群為連貫性群組的連貫性控制資訊。該多處理器核心電路係可操作以包括該多處理器核心電路之處理器核心的一第三連貫性群組以及該多處理器核心電路之處理器核心的一第四連貫性群組，其中該第三連貫性群組包括該第一複數個處理器核心之至少一處理器核心以及該第二複數個處理器核心之至少一處理器核心，該第三連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，其中該第三連貫性群組之每一處理器核心接收藉由該第三連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第四連貫性群組之處理器核心產生、藉由未在該第三連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第三連貫性群組中之該第二連貫性群組之處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊，而且該裝置之進一步特徵可為：該第四連貫性群組包括該第一複數個處理器核心之至少一處理器核心，該第四連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，其中該第四連貫性群組之每一處理器核心接收藉由該第四連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第三連貫性群組之處理器核心產生、藉由未在該第四連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第四連貫性群組中之該第二連貫性群組之處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。

該連貫性群組之進一步特徵可為：其經由該第一連貫性群組之該等處理器核心之間的通信鏈路而序列地通信耦合，其中該等通信鏈路包括由光學通信鏈路、無線射頻通信鏈路、以及一低電壓差動信號通信鏈路構成的該群組之至少一者。

雖然本文中參考特定具體實施例說明本發明，但可進行各種修改與改變而不脫離如下面申請專利範圍所提出的本發明之範疇。例如，一單線經繪製自該群組控制器序列通過該等核心繪製一單線，此可採用來自該群組控制器之多線或不同線而達到。因此，說明書與圖式應視為解說性，而不應視為限制性，並且所有此類修改皆旨在包括於本發明之範疇內。本文中關於特定具體實施例說明的任何利益、優點或針對問題解決方案皆非旨在視為任何或所有請求項之一關鍵、所需或基本的特徵或元件。

本文所用的術語「耦合」非旨在限於一直接耦合或一機械耦合。

此外，本文中所用的術語「一」或「一個」係定義為一或一個以上。同樣，在申請專利範圍中使用介紹性辭令，例如「至少一」與「一或多個」，不應視為意味著，藉由不定冠詞「一」或「一個」對另一請求項元件之介紹將包含此類所介紹請求項元件之任何特定請求項限於包含僅一此類元件之發明，即使在此相同請求項包括該等介紹性辭令「一或多個」或「至少一」及不定冠詞(例如「一」或「一個」)時亦如此。同樣適用於定冠詞的使用。

除非另外說明，諸如「第一」與「第二」之類術語係用於任意區分此類術語說明的元件之間。因而，此等術語不一定係旨在指示此類元件的時間或其他優先。

【圖式簡單說明】

本發明係藉由舉例來解說並且不受附圖限制，其中相同參考指示類似元件。圖式中之元件係為簡化及清楚起見來解說而不一定係按比例繪製。

圖1係依據一具體實施例之一系統之一方塊圖；

圖2係用於圖1之該系統中的一核心之一方塊圖；

圖3係於一替代組態中的圖1之該系統的一方塊圖；

圖4係依據另一具體實施例之該系統的一方塊圖；

圖5係於一替代組態中的圖4之該系統的方塊圖。

【主要元件符號說明】

10	多核心系統
12	記憶體
14	封包交換器
16	陣列
18	連貫性群組
20	連貫性群組
22	連貫性群組
24	連貫性群組
26	核心
28	核心
30	核心

32	核 心
34	核 心
36	核 心
38	核 心
40	核 心
42	核 心
44	核 心
46	核 心
48	核 心
50	核 心
52	核 心
54	核 心
56	核 心
58	分 割 區
60	分 割 區
62	分 割 區
64	分 割 區
66	埠
68	埠
69	重 新 組 態 線
70	埠
72	埠
73	重 新 組 態 暫 存 器
74	快 取 記 憶 體

75	群組控制器
76	快取記憶體、連貫性群組
78	連貫性群組
80	連貫性群組
82	連貫性群組
84	分割區
86	分割區
88	分割區
90	分割區
100	系統
102	記憶體
104	封包交換器
106	封包交換器
108	陣列
109	群組控制器
110-116	核心
118-124	核心
126-132	核心
134-140	核心
142	連貫性群組
144	連貫性群組
146	連貫性群組
148	連貫性群組
150	分割區

152	分割區
154	分割區
155	連貫性群組
156	分割區
157	連貫性群組

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

98106572

※申請日：

98.2.27

※IPC 分類：~~G06F~~

(2006.01)
G06F13/16
(2006.05)
G06F9/44

一、發明名稱：(中文/英文)

多核心處理系統

MULTI-CORE PROCESSING SYSTEM

二、中文發明摘要：

本發明揭示一種具有於一第一連貫性群組(18)中的第一複數個核心(16)之系統(10)。每一核心(26、28、30、32)以封包傳輸資料。該等核心經直接序列地耦合用以形成一序列路徑。沿該序列路徑傳輸該等資料封包。該序列路徑係在一端耦合至一封包交換器(14)。該封包交換器係耦合至一記憶體(12)。該第一複數個核心與該封包交換器係在一積體電路上。該記憶體可在或不在該積體電路上。在另一態樣中，於一第二連貫性群組(20)中的第二複數個核心係耦合至該封包交換器。該第一複數個核心與該第二複數個核心可經重新組態用以形成或變成不同於第一連貫性群組與第二連貫性群組的連貫性群組之部分。

三、英文發明摘要：

A system (10) has a first plurality of cores (16) in a first coherency group (18). Each core (26, 28, 30, 32) transfers data in packets. The cores are directly coupled serially to form a serial path. The data packets are transferred along the serial path. The serial path is coupled at one end to a packet switch (14). The packet switch is coupled to a memory (12). The first plurality of cores and the packet switch are on an integrated circuit. The memory may or may not be on the integrated circuit. In another aspect a second plurality (20) of cores in a second coherency group is coupled to the packet switch. The cores of the first and second pluralities may be reconfigured to form or become part of coherency groups different from the first and second coherency groups.

七、申請專利範圍：

1. 一種用於操作一積體電路內之一資訊系統之方法，該方法包含：

藉由該積體電路之一多處理器核心電路之一第一處理器核心來產生資訊之一第一封包，其中資訊之該第一封包係引導至一記憶體；以及

自該第一處理器核心傳播資訊之該第一封包至該記憶體，其中該傳播包括經由該多處理器核心電路之一第二處理器核心來傳播該第一封包，其中該經由一第二處理器核心來傳播該第一封包包括藉由該第二處理器核心來接收該第一封包而且藉由該第二處理器核心來發送該第一封包。

2. 如請求項1之方法，其中該至該記憶體的傳播包括：經由一封包交換電路傳播至該記憶體，該第二處理器核心發送該封包至該封包交換電路。
3. 如請求項1之方法，其中該多處理器核心電路包括一第三處理器核心，其中該第三處理器核心不接收該第一封包之寫入連貫性資訊。
4. 如請求項3之方法，其進一步包含：

藉由該第一處理器核心發送寫入連貫性資訊至該多處理器核心電路之一第四處理器核心，其中該第四處理器核心自該第一處理器核心接收該寫入連貫性資訊，其中該第四處理器核心使用該寫入連貫性資訊以決定該第一封包是否在於該第四處理器核心中加以快取之一位置處

正修改該記憶體中之資料。

5. 如請求項4之方法，其進一步包含：

藉由該第四處理器核心發送該寫入連貫性資訊至該多處理器核心電路之一第五處理器核心，其中該第五處理器核心使用該寫入連貫性資訊以決定該第一封包是否在該第五處理器核心中加以快取之一位置處正修改該記憶體中之資料。

6. 如請求項3之方法，其進一步包含：

藉由該第三處理器核心產生資訊之一第二封包，其中資訊之該第二封包係引導至該記憶體；以及

傳播資訊之該第二封包至該記憶體，其中該傳播包括經由該多處理器核心電路之一第四處理器核心及一封包交換電路傳播該第二封包，其中該經由一第四處理器核心傳播該封包包括藉由該第四處理器核心接收該資訊封包而且藉由該第四處理器核心發送該封包。

7. 如請求項6之方法，其中：

該第一處理器核心及該第二處理器核心不接收該第二封包之寫入連貫性資訊；

該第四處理器核心不接收該第一封包之寫入連貫性資訊。

8. 如請求項6之方法，其中：

該傳播資訊之該第一封包至該記憶體包括傳播該第一封包至該記憶體之一第一分割區，該記憶體之該第一分割區係可藉由該第一處理器核心及該第二處理核心存取

且不可藉由該第三處理器核心及該第四處理核心存取；
以及

該傳播資訊之該第二封包至該記憶體包括傳播該第二封包至該記憶體之一第二分割區，該記憶體之該第二分割區係可藉由該第三處理器核心及該第四處理核心存取且不可藉由該第一處理器核心及該第二處理核心存取。

9. 如請求項8之方法，其中該第一分割區與該第二分割區具有非重疊位址。

10. 如請求項1之方法，其中在該傳播期間，該多處理器核心電路包括一第一連貫性群組，其中該第一連貫性群組包括該多處理器核心電路之第一複數個處理器核心，其包括該第一處理器核心及該第二處理核心，該第一連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，該第一連貫性群組之每一處理器核心接收藉由該第一連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊。

11. 如請求項10之方法，其中在該傳播期間，該多處理器核心電路包括一第二連貫性群組，其中該第二連貫性群組包括該多處理器核心電路之第二複數個處理器核心，該第二連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，該第二連貫性群組之每一處理器核心接收藉由該第二連貫性群組之其他處理器核心產生的至該記憶體之來自各寫入封包之快取連貫性資訊而且
不接收藉由該第一連貫性群組之該等處理器核心產生的

至該記憶體之各寫入封包的快取連貫性資訊。

12. 如請求項11之方法，其中在該傳播期間，該多處理器核心電路包括一第三連貫性群組，其中該第三連貫性群組包括該多處理器核心電路之一第三複數個處理器核心，該第三連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，該第三連貫性群組之每一處理器核心接收藉由該第三連貫性群組之其他處理器核心產生的至該記憶體之來自各寫入封包之快取連貫性資訊而且不接收藉由該第一連貫性群組之該等處理器核心以及藉由該第二連貫性群組之該等處理器核心產生的至該記憶體之各寫入封包的快取連貫性資訊。

13. 如請求項11之方法，其中：

在另一時間期間，該多處理器核心電路包括該多處理器核心電路之處理器核心的一第三連貫性群組以及該多處理器核心電路之處理器核心的一第四連貫性群組，其中該第三連貫性群組包括該第一複數個處理器核心之至少一處理器核心以及該第二複數個處理器核心之至少一處理器核心，該第三連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，該第三連貫性群組之每一處理器核心接收藉由該第三連貫性群組之其他處理器核心產生的至該記憶體之來自各寫入封包之快取連貫性資訊而且不接收藉由該第四連貫性群組之處理器核心產生、藉由未在該第三連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第三連貫性

群組中之該第二連貫性群組之處理器核心產生的至該記憶體之各寫入封包的快取連貫性資訊。

其中該第四連貫性群組包括該第一複數個處理器核心之至少一處理器核心，該第四連貫性群組之該等處理器核心經序列地通信耦合用以傳播資訊封包，該第四連貫性群組之每一處理器核心接收藉由該第四連貫性群組之其他處理器核心產生的至該記憶體之來自寫入封包之快取連貫性資訊而且不接收藉由該第三連貫性群組之處理器核心產生、藉由未在該第四連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第四連貫性群組中之該第二連貫性群組之處理器核心產生的至該記憶體之寫入封包的快取連貫性資訊。

14. 如請求項1之方法，其進一步包含：

將該封包之資料寫入至該記憶體中之一位置，其中在該封包中指示該位置之一位址。

15. 如請求項1之方法，其中該傳播資訊之該第一封包包括藉由具有支援流量控制及多個優先交易之若干有序封包的一基於封包協定來傳播該第一封包。

16. 一種裝置，其包含：

一積體電路，其包括一多處理器核心電路，其中該多處理器核心電路係可操作以包括：

一第一連貫性群組，其中該第一連貫性群組包括該多處理器核心電路之第一複數個處理器核心，該第一連貫性群組之該等處理器核心經序列地通信耦合用以

傳播若干資訊封包，其中該第一連貫性群組之每一處理器核心接收藉由該第一連貫性群組之其他處理器核心產生的至一記憶體之來自各寫入封包之快取連貫性資訊；

一第二連貫性群組，其中該第二連貫性群組包括該多處理器核心電路之第二複數個處理器核心，該第二連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，其中該第二連貫性群組之每一處理器核心接收藉由該第二連貫性群組之其他處理器核心產生的至該記憶體之來自各寫入封包之快取連貫性資訊而且不接收藉由該第一連貫性群組之該等處理器核心產生的至該記憶體之各寫入封包的快取連貫性資訊；

其中該第一連貫性群組之每一處理器核心不接收藉由該第二連貫性群組之該等處理器核心產生的至該記憶體之各寫入封包的快取連貫性資訊。

17. 如請求項16之裝置，其中該積體電路進一步包含：

一封包交換電路；以及

該記憶體，該多處理器核心電路透過該封包交換電路通信耦合至該記憶體。

18. 如請求項16之裝置，其中該積體電路進一步包含：

一控制器，其係耦合至該多處理器核心電路之處理器核心，該控制器提供用於將該多處理器核心電路之該等處理器核心分群為若干連貫性群組的連貫性控制資訊。

19. 如請求項16之裝置，其中該多處理器核心電路係可操作以包括：

該多處理器核心電路之處理器核心的一第三連貫性群組以及該多處理器核心電路之處理器核心的一第四連貫性群組，其中該第三連貫性群組包括該第一複數個處理器核心之至少一處理器核心以及該第二複數個處理器核心之至少一處理器核心，該第三連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，其中該第三連貫性群組之每一處理器核心接收藉由該第三連貫性群組之其他處理器核心產生的至該記憶體之來自各寫入封包之快取連貫性資訊而且不接收藉由該第四連貫性群組之處理器核心產生、藉由未在該第三連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第三連貫性群組中之該第二連貫性群組之處理器核心產生的至該記憶體之各寫入封包的快取連貫性資訊；

其中該第四連貫性群組包括該第一複數個處理器核心之至少一處理器核心，該第四連貫性群組之該等處理器核心經序列地通信耦合用以傳播若干資訊封包，其中該第四連貫性群組之每一處理器核心接收藉由該第四連貫性群組之其他處理器核心產生的至該記憶體之來自各寫入封包之快取連貫性資訊而且不接收藉由該第三連貫性群組之處理器核心產生、藉由未在該第四連貫性群組中之該第一連貫性群組之處理器核心產生、以及藉由未在該第四連貫性群組中之該第二連貫性群組之處理器核心

產生的至該記憶體之各寫入封包的快取連貫性資訊。

20. 如請求項16之裝置，其中該第一連貫性群組經由該第一連貫性群組之該等處理器核心之間的通信鏈路而序列地通信耦合，其中該等通信鏈路包括由光學通信鏈路、無線射頻通信鏈路、以及一低電壓差動信號通信鏈路構成的該群組之至少一者。

八、圖式：

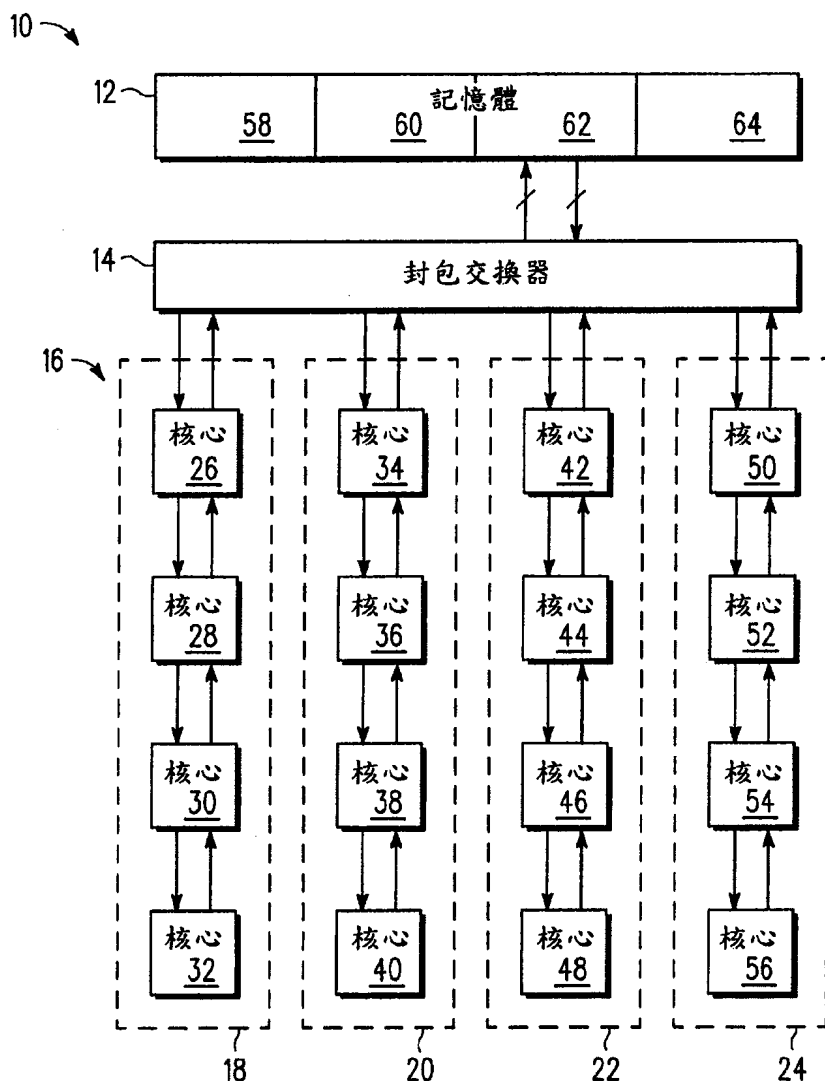


圖 1

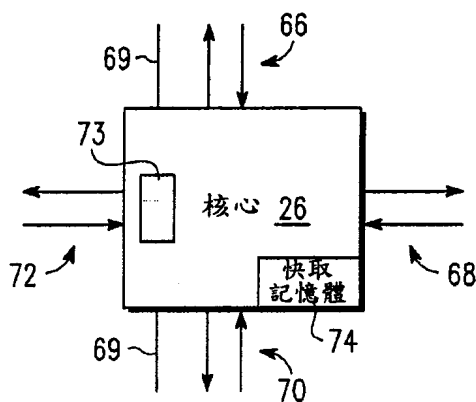


圖 2

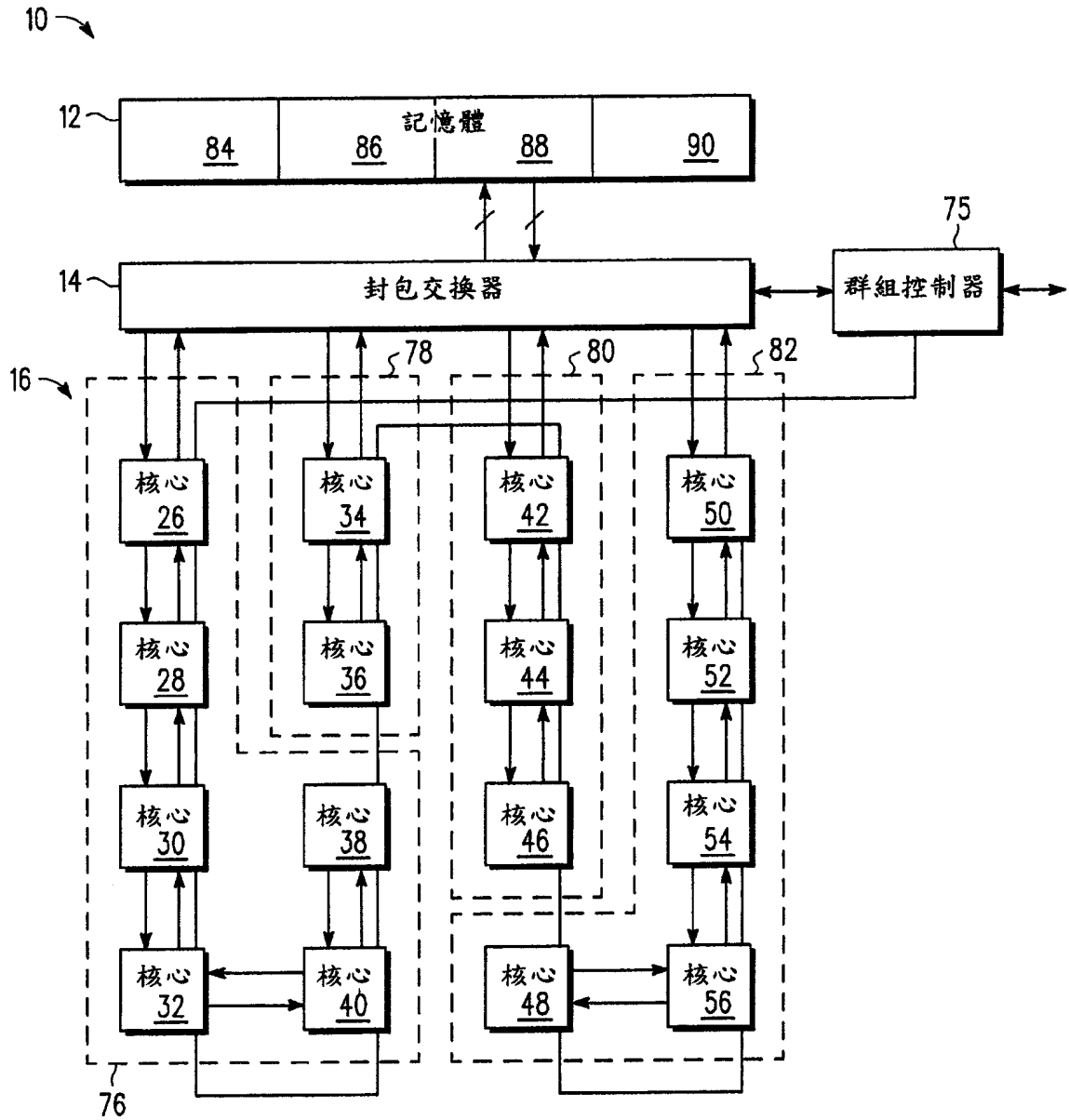


圖3

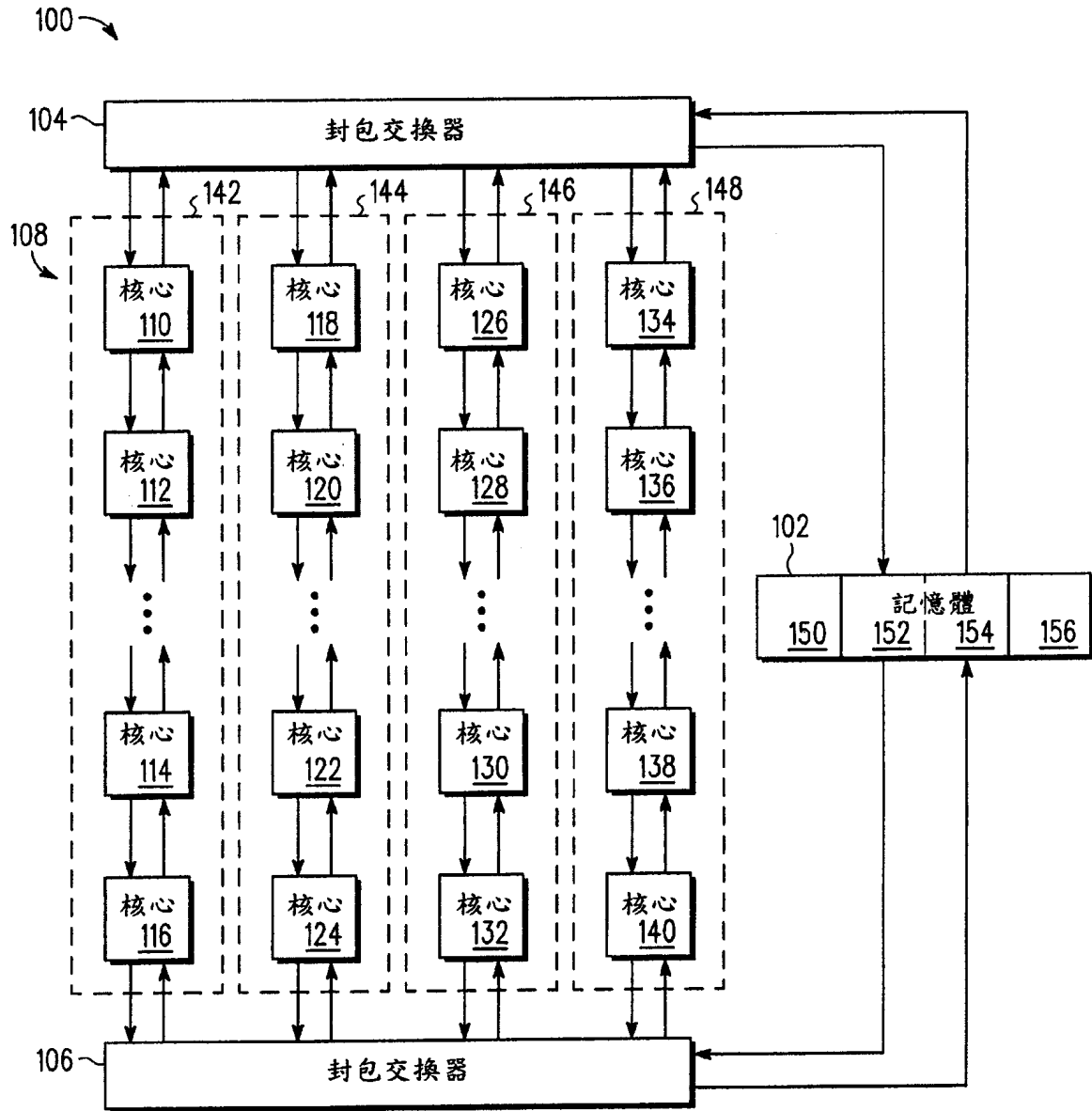


圖 4

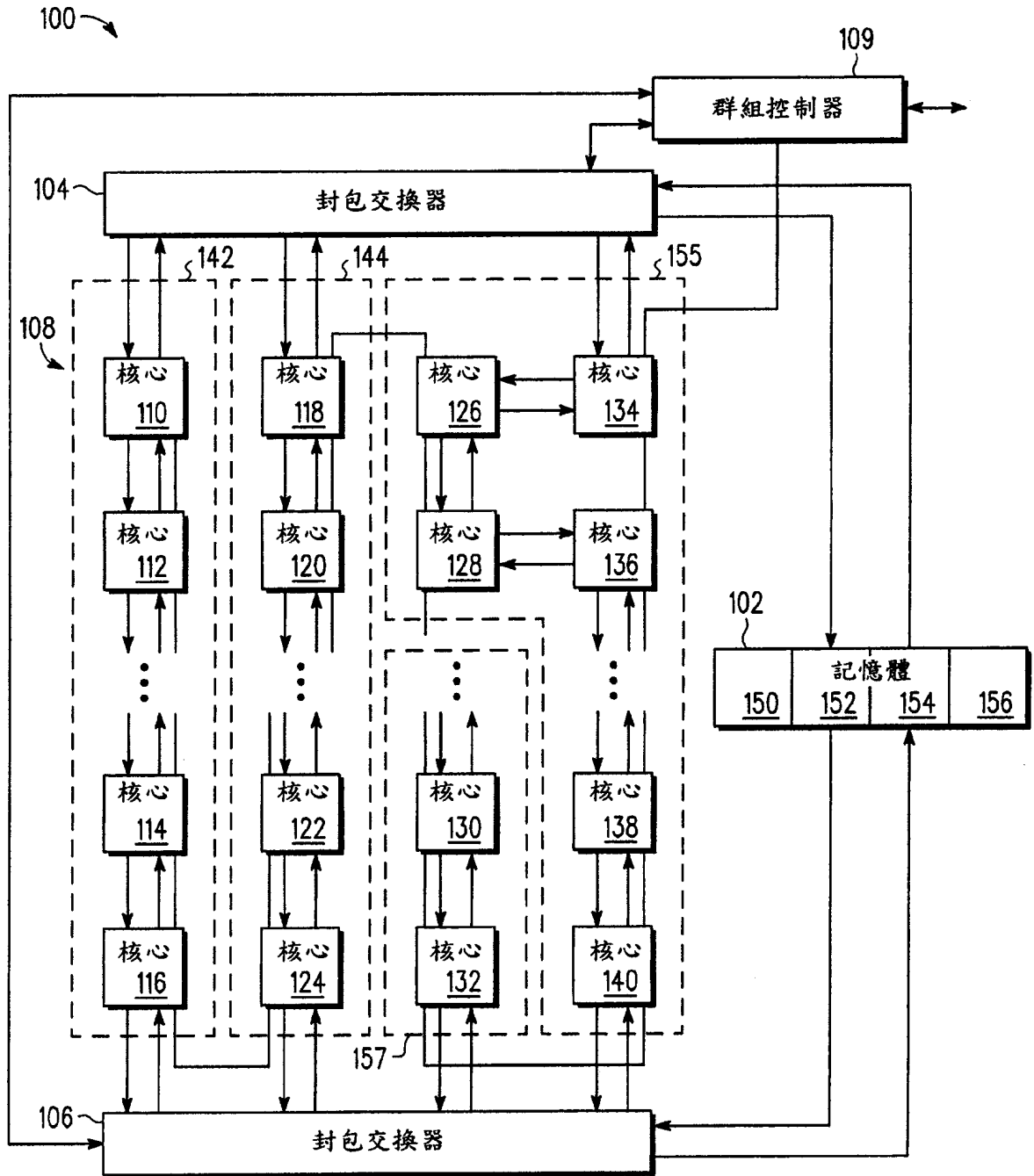


圖5

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	多核心系統
12	記憶體
14	封包交換器
16	陣列
18	連貫性群組
20	連貫性群組
22	連貫性群組
24	連貫性群組
26	核心
28	核心
30	核心
32	核心
34	核心
36	核心
38	核心
40	核心
42	核心
44	核心
46	核心
48	核心
50	核心

52	核 心
54	核 心
56	核 心
58	分 割 區
60	分 割 區
62	分 割 區
64	分 割 區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)