(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
H03M 1/20

(45) 공고일자 1993년07월23일
(11) 공고번호 특1993-0006745

(21) 출원번호	특1985-0008582	(65) 공개번호	특1986-0005496
(22) 출원일자	1985년11월16일	(43) 공개일자	1986년07월23일

(30) 우선권주장 US.A.677,523 1984년12월03일 미국(US)

(71) 출원인 알 씨 에이 라이센싱 코포레이션 글렌 에이취.브르스틀
미합중국, 뉴져지, 프린스턴, 피. 오. 박스 2023, 투 인디펜던스 웨이

(72) 발명자 도날드 헨리 윌리스
미합중국, 인디아나, 인디아나폴리스, 이스트 74 플레이스 5175

(74) 대리인 이병호

심사관 : 정연용 (책자공보 제3345호)

(54) 아날로그 신호 처리 시스템

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

아날로그 신호 처리 시스템

[도면의 간단한 설명]

제1도는 본 발명의 실시예를 설명하기 위해 사용되는 비디오 신호 파형도.

제2도는 본 발명의 실시예와 협동으로된 디지탈 텔레비젼 신호 처리 시스템의 부분블록 다이어그램.

제3도는 제2도에 도시된 회로에 사용되는 위상 검출기의 블록다이어 그램.

제4도는 제2도에 도시된 회로에 사용될 수 있는 ADC의 부분 블록다이어그램도해도.

제5도는 제2도에 도시된 회로에 사용될 수 있는 ADC의 변형 실시예.

제6a 내지 제6e도는 제2도에 도시된 시스템 작동을 설명하기 위한 파형도.

* 도면의 주요부분에 대한 부호의 설명

10 : 합성 비디오 신호원	12 : 버퍼 증폭기
14 : 아날로그/디지탈 콘버터(ADC)	16 : 콤필터
20 : 가산기	22 : 지연기
24 : 감산기	26 : 대역통과필터
28 : 색도 신호 복조기	30 : 위상검출기
32 : 저주파 통과 필터	34 : 디지탈/아날로그 콘버터(DAC)
36 : 전압 제어 발진기	38 : 타이밍 프로세서
510 : 3비트 카운터	519 : 2의 보수기
522 : 멀티플렉서	

[발명의 상세한 설명]

본 발명은 협대역폭 아날로그 신호를 양자화하는 아날로그-디지탈 변환 시스템의 정확성을 증진시키

기 위한 장치에 관한 것이다.

A/D콘버터(ADC'S)는 해상도의 비트수가 증가하며 변환비가 증가함에 따라 설치가 더욱 어려워진다. 따라서, 높은 해상도 및 높은 변환비를 가지는 ADC는 비교적 가격이 비싸다. 디지탈 텔레비젼 수상기와 같은 소비재에 있어서, ADC의 가격은 제품 가격의 대부분을 차지한다. 따라서, 비교적 가격이 싸고 높은 변환비를 가지는 ADC가 요구된다. 상기 ADC는 요구되는 해상도보다 낮은 해상도를 가진다.

가격이 비싸지 않는 상기 ADC를 사용함으로 야기되는 해상도 손실은 공지된 신호 처리 기술에 의해 부분적으로 가끔 회복될 수 있다. ADC의 의견상의 해상도를 증가시키는 한 기술은 디더(dither) 신호라 불리는 작은 교란신호에 아날로고 입력신호를 부가시키는 것이다. 상기 디더 신호는 디지탈 샘플을 아날로그 신호값보다 적거나 큰 양자화 값 사이에서 변환되게 한다. 상기 샘플이 필터링 시스템에 의해 평균화될 때, 양자화 값에서의 디더로 인한 변화는 필터된 디지탈 샘플이 ADC에 의해 제공될 수 있는 양자화 레벨 값사이의 값을 가지도록 한다. 평균화된 샘플이 평균화된 샘플의 해상도를 가질 수 있는 가능한 값의 수는 평균화시켜 샘플을 생성하게 하는 값이 증가함에 따라 증가한다. 비교적 큰수의 값 사이에서 순환되는 디더 신호가 큰 샘플의 수를 평균화시키는 필터와 함께 사용될 때, 해상도를 상당히 증진시킬 수 있다. 비록 디더가 인가되는 전 시간 주기 동안에 아날로그 신호의 진폭이 일정하더라도 해상도를 증진시킬 수 있다.

통상, 디더 신호는 ADC의 단위 양자화 레벨보다 적은 즉, 최소 디지탈 코드워드의 비트로 나타나는 값보다 적은 진폭을 가진다. 상기 크기의 디더값은 디더 신호를 사용함으로 나타나는 어떤 잡음 생성물이 최소가 되도록 선택된다. 다중 레벨 디더 신호의 값은 ADC양자화 레벨을 대등하게 세분하여 통상 선택된다.

디더 신호를 협대역 신호가 추출되는 신호에 부가시키는 것에는 어떤 제한이 있다. 협대역폭 신호를 추출하는 시스템은 밴드 잡음에 의해 감쇠되는 필터를 통상 포함한다. 다중레벨 디더 신호는 필터를 약하게 하는 상기 잡음에 의해 감쇠되는 주파수에서 어떤 성분을 가진다. 적절하게 웨이트 되어 지연된 샘플을 합하므로 디지탈 필터가 작동하기 때문에, 잡음 감쇠 필터는 평균화 필터로도 사용될 수 있다. 그러나, 평균화 필터로 작동되기 위해, 잡음 감쇠 필터는 필터되는 샘플의 해상도를 적절하게 유지시킨다. 예로서, H비트 해상도를 가진 샘플의 쌍을 평균화시키는 필터는 상기 샘플에 인가되는 디더 신호 성분을 상당히 감쇠시키며, 출력단에 8비트 샘플을 제공해야만 한다.

디지탈 칼라 텔레비젼 수상기는 협대역폭 신호의 해상도를 증가시키는 ADC가 유용하게 사용될 수 있는 시스템의 한 실시예이다. 합성 비디오 신호는 광대역폭 휘로 성분 신호 및 협대역폭 색도 성분 신호를 포함한다. 색도 신호는 칼라차 신호 성분에 관련된 두직작 위상 및 실제로 0인 대역폭에서 유용한 정보를 가지는 성분을 포함한다. 상기 성분은 칼라 동기화 버스트 신호이다. 버스트 신호는 버스트 인터벌 동안에 합성비디오 신호에 포함되어 있는 색도 서브 캐리어 신호의 8 내지 11사이클을 가진다. 색도 서브 캐리어 신호의 주파수 및 위상은 거의 일정하므로, 버스트 신호의 색도 서브 캐리어 성분의 대역폭은 실제로 0이 된다.

버스트 신호는 샘플링 클럭을 동기화시키는 디지탈 칼라 텔레비젼 수상기에 사용된다. 합성 비디오 신호는 다중 버스트 주파수(fsc)와 동일한 비로 샘플화되어 서브 캐리어 변조 색도 신호로부터의 칼라차 신호 성분에 관련된 두 직각 위상을 간단하게 추출한다.

예로서, 버스트 신호의 색도 서브캐리어 성분에 대한 주파수 및 위상이 동기화되는 4fsc클럭에 의해 합성비디오 신호가 샘플화될 때, 종래의 색도 분리 기술에 의해 얻어지는 색도 샘플은 칼라차 신호 (R-Y) 및 (B-Y) (즉,+(R-Y), +(B-Y), -(R-Y), -(B-Y)…등, 여기서 +, -는 샘플 극성을 나타내는 것이 아니고 샘플링 위상을 나타낸다)에 관련된 두 직각 위상을 나타내는 인터리브된 샘플로서 나타날 수 있다.

샘플링 클럭 신호의 위상 및 주파수는 칼라 왜곡을 최소화하기 위해 버스트 신호에 동기화 되도록 하는 것이 요망된다. 적절하게, 샘플링 클럭의 위상은 버스트 신호의 위상에 대해 5° 이하로 변화되어야만 한다.

가격이 비싸지 않은 ADC의 제한된 양자화 해상도 때문에, 5° 내외의 위상 정확성은 얻기 힘들다. 합성비디오 신호의 진폭은 전휘도에서의 +100IRE에서 수평 동기 펄스에서의 -40IRE 사이의 범위가 된다. 상기 140IRE범위는 128이산스테이트를 가진 7비트 ADC에 의해 통상 디지탈화 된다. 따라서, ADC의 양자화 레벨은 최소한 1.1IRE가 된다.

디지탈 텔레비젼 수상기에 있어서는 강신호와 마찬가지로 약신호를 처리하는 것도 바람직하다. 특히, 상술한 공칭값에 대해 18dB만큼 감쇠되는 색도 및 버스트 성분을 가진 합성 비디오 신호는 여전히 칼라 영상을 형성시켜야만 한다. 40IRE 피크 대 피크의 공칭 진폭을 가진 버스트 신호가 18dB만큼 감쇠될 때, 5IRE피크 대 피크 신호가 얻어진다. 양자화 레벨이 1.1IRE이므로, 디지탈화된 버스트 진폭 값은 정확하게 ±5.5IRE이거나 또는 -18dB 버스트 신호의 2.5IRE 피크치의 22%와 동등하게 된다. 샘플링 클럭 신호에 대해 10° 위상차를 가진 5IRE 피크대 피크 버스트 신호는 샘플링 포인트에서 0.44IRE의 아날로그값을 가진다. 상기 샘플링 포인트에서 샘플링클럭에 대해 위상차가 없는 버스트 신호는 0IRE값을 가진다. 7비트 ADC는 -0.55IRE 및 +0.55IRE 사이의 모든 아날로그 값에서 동일한 디지탈 값을 가진다. 따라서, ADC에 의해 제공되는 샘플의 양자화 해상도가 증가될 수 없으면, 10° 또는 그 이하의 위상 에러는 검출될 수 없다. 버스트 성분의 양자화는 버스트 신호내에 의사 저주파 신호 성분이 나타남으로 더욱 복잡해진다. 상기 신호는 버스트 신호에 첨가되는 어떤 디더 신호의 효율을 감소시킬 수 있다.

제1도는 전형적인 비디오 증폭기에 의해 증폭되는 합성 비디오 신호 파형을 도시한 것이다. 상기 증폭기의 주파수 응답은 약 30Hz로 평평하게 다운된다. 30Hz이하의 응답에서의 롤-오프는 점선(101)으로 표시된 바와 같이 버스트 신호의 절대값에서의 경사를 야기시킨다. 상기 저주파 왜곡을 야기시키는 증폭기는 신호 전송 통로의 한 종단상에 놓여질 수 있다. 저주파 왜곡 성분은 비디오 신호 처리

회로에 있어서의 부적절한 AC결합 또는 텔레비젼 신호 프로세서에 사용되는 블랙 레벨 클램핑 회로에 의해 합성 비디오 신호에 첨가되어 버스트 신호에 첨가된다. 이러한 종류의 저주파 왜곡 성분은 텔레비젼 수상기의 색도신호 처리 회로에서의 대역 통과 필터에 의해 제거된다.

상기 문제점의 해결책이 "위상 고정 회로"라는 제목으로 미합중국 특허 제4,291,332호에 기술되어 있다. 상기 특허는 위상 고정 루프에 관한 것이며, 계단형 디더 신호는 디지탈화 되기 전에 합성 비디오 신호의 칼라 동기화 버스트 성분에 부가된다. 버스트 간격의 각 사이클은 다른 디더 값에 할당된다. 디더된 아날로그 시호는 ADC에 의해 샘플링 클럭 주파수로 샘플화된다. 처리된 모든 버스트 사이클의 각 샘플링 포인트는 디지탈 위상에서 검출기 에러 평균화된다. 수신된 버스트 신호와 위상 고정 루프에 의해 발생되는 샘플링클럭 신호 사이의 위상차를 결정하기 위해 상기 평균화 샘플의 연산 작용이 이행된다.

외견상, 상기 시스템은 버스트 신호의 저주파 왜곡이 무시될 수 있을 때 양자화 버스트 신호의 해상도를 증진시킨다. 제1도의 파형과 유사한 버스트 신호가 처리될 때, 계단형 디더 신호의 저주파 성분은 버스트를 경사지게 하는 저주파 왜곡 성분에 의해 부분적으로 오프셋된다. 상기 오프셋 디더 신호는 버스트 신호의 양자화에러를 감소시키기 위해 본래의 계단형 디더 신호보다는 효과적이 아니다. 왜냐하면 디더 신호의 값은 양자화 레벨을 정확하게 더이상 세분시키지 못하기 때문이다.

본 발명은 아날로그 입력 신호와 양자화 샘플사이의 관계를 변화시키기 위한 수단을 포함하는 A/D변환시스템에 관한 것이다. 상기 관계에서의 변화는 예정된 주파수와 거의 동일한 비로 상대적인 양의 값과 음의 값 사이에서 교번되어 변환된다. 상기 관계에서의 변환 크기는 예정 주파수보다 크지 않는 비로 예정된 샘플수 이상으로 일정하게 증가한다.

이하, 첨부된 도면으로 본 발명을 더욱 상세하게 설명하기로 한다.

도면에 있어서, 넓은 화살표는 다중 비트 병렬 디지탈 신호용 버스를 나타낸다. 상기 버스는 8비트 신호를 이송하며 그렇지 않으면 버스를 횡단하는 슬래쉬 및 인접하는 수로 표시되어 있다.

라인 화살표는 아날로그 신호 또는 단일 비트 디지탈 신호를 이송하는 접속점을 나타낸다. 논리 소자의 입력 단자에서의 작은 원은 소자가 단자에 인가되는 신호의 논리 보수에 응답하는 것을 나타낸다. 장치의 처리속도에 의해, 보상 지연기가 어떤 신호 통로에 요구될 수 있다. 디지탈 회로 설계 기술에 숙련된 사람은 상기 지연기가 특정 시스템의 어느 장소에 필요한 것인가를 알 수 있다.

제2도의 비디오 신호 처리 시스템에 있어서, 합성 비디오 신호원(10)으로부터의 아날로그 합성 비디오 신호는 버퍼 증폭기(12)에 인가된다. 신호원(10)은 튜너, 중간 주파수 증폭기 및 종래의 칼라 텔레비젼 수상기의 비디오 검출기를 포함한다. 버퍼 증폭기(12)는 30Hz에서 40MHz까지 평평한 주파수 응답곡선을 가진 종래의 비디오 증폭기가 될 수 있다. 제1도에 대해 상술한 바와 같이 저주파 왜곡 성분을 도입시키는 전송에 앞서서 신호를 처리하는 것은 비디오 증폭기이다. 증폭된 합성 비디오 신호는 증폭기(12)에 의해 ADC(14)로 제공된다.

ADC(14)는 다더 신호를 증폭기(12)로부터의 아날로그 합성 비디오 신호에 분가하여 디더된 아날로그 신호를 디지탈 샘플로 변환시킨다. ADC(14)는 색도 서브 캐리어(4fsc) 주파수의 4배의 주파수를 가진 샘플링 클럭에 의해 제어된다. 상기 샘플링 클럭 신호는 타이밍 프로세서(38)에 의해 제공된다. 또, 프로세서(38)는 수평 라인을 fH, $\frac{1}{2}$ 수평 라인율, $\frac{fH}{2}$, 칼라 서브 캐리어 주파수, fsc' 및 버스트 인터벌 동안에만 논리 하이 상태에 있는 버스트 게이트 신호, BG로서 클럭신호를 제공된다. 신호 BG'는 또한 ADC(14)에 인가되며, 상기 신호는 4FSC 클럭의 한 주기만큼 지연되는 게이트 신호 BG이다. 디더 신호 및 디더 신호를 아날로그 합성 비디오 신호에 부가하는 ADC(14)에서의 장치는 제4도 내지 6도를 참조로 하여 후술하기로 한다. 시스템의 일반적인 작동을 이해하기 위해 디더 신호는 다음의 성분을 가진다고 가정한다. 즉, 전 합성 비디오 신호에 첨가되는 $\frac{fH}{2}$ 디더 신호 및 버스트 신호에만 첨가되는 다중값을 가진 $\frac{fH}{2}$ 디더 신호를 가진다고 가정한다.

디더 신호의 다른 값이 버스트 신호에 $\frac{fsc}{2}$ 율로 인가되므로, 디더 신호의 단지 한 값만이 버스트신호의 각 사이클에 인가된다. 따라서, 상기 디더 신호에 의해 야기되는 양자화 레벨 전이는 비대칭적이 될 수 있다. 예로서, 버스트 사이클의 양의 부분에서 취해진 샘플에서 다른 양자화 레벨로의 디더 유도 전이는 버스트 사이클의 음의 부분에서 취해진 관련 샘플에서의 유사한 전이와 매치될 수 없다. 상기 비대칭에 의해 디더된 아날로그 버스트 신호를 나타내는 디지탈 신호는 2fsc율로 크기가 변환되는 디더 유도 성분을 역시 포함할 수 있다.

ADC(14)는 디더된 아날로그 합성 비디오 신호를 나타내는 7비트 샘플을 발생한다. 종래의 1콤필터가 될수 있는 콤필터(16)는 인접라인으로부터 관련 샘플을 평균화시킨 합성 비디오 샘플로부터 휘도 및 색도 성분을 분리시킬 수 있다. 상기 평균화 프로세서는 $\frac{fH}{2}$ 에서의 디더 신호의 성분을 감쇠시키며, 8비트 해상도를 가지는 휘도 및 색도 샘플을 제공한다. 콤필터 색도 샘플은 저주파 통과 필터(18)에 인가되며, 상기 필터는 저주파 휘도 수직 세부 정보를 추출한다.

저주파 통과 필터(18)로부터의 수직 세부 샘플은 가산기(20)에 의해 콤필터(16)로부터 휘도 신호 샘플과 결합된다. 가산기(20)에 의해 제공되는 샘플(20)은 종래의 휘도 신호 처리 회로(도시되어 있지 않음)에 인가될 수 있으며, 상기 회로는 신호를 제공하여 영상재생 장치(도시되어 있지 않음)를 구동시키기 위한 신호를 제공한다.

저주파 통과 필터(18)로부터의 샘플은 감산기(24)에 의해서 필터(16)로부터의 콤필터 색도 샘플로부터 역시 감산된다. 저주파 통과 필터(18)를 통과하는 처리 시간이 서로 동일한 콤필터(16)로부터의 샘플에 지연소자(22)는 보상지연을 제공한다.

색도 샘플의 고주파 통과 필터링에 있어서의 샘플 평균화는 9비트 해상도를 가지는 색도 샘플을 제공하며, $\frac{fsc}{2}$ 디더 신호 성분을 감쇠시킨다.

감산기(24)로부터의 샘플은 대역 통과 필터(26)에 인가되며, 상기 필터는 색도 샘플의 하이 및 로우 주파수 잡음을 더욱 감쇠시킨다. NTSC시스템에 있어서, 필터(26)는 1MHz폭을 가지며, fsc주위에서 집중되는 통과대역을 가진다. 본 실시예에 있어서, 필터(26)는 $\frac{fsc}{2}$ 및 2fsc와 거의 동일한 주파수를 가지는 신호를 포착하는 소자를 포함한다. 상기 실시예에 사용될 수 있는 색도 대역 통과 필터는 피셔, 티의 1981년 8월 11일자 pp 97-103의 "차세대 TV 수상기를 개량한 디지탈 대규모 집적회로"의 제4도에 낱나 있다. 4샘플링 인터벌로 분리되는 4fsc 샘플은 상기 필터에 의해 평균화 된다.

상기 평균화는 $\frac{fsc}{2}$ 주파수를 가지는 버스트 디더 신호의 성분을 감쇠시키며 2fsc 주파수를 가지는 디더 유도 성분을 역시 감쇠시킨다. 디더 신호에 의해 제공되는 양자화 해상도가 증진되는 것을 막기 위해, 대역 통과 필터에 의해 처리되는 2개의 9비트 샘플의 평균값을 나타내는 10비트 샘플 코드워드가 필터에 의해 제공된다.

필터(26)로부터의 10비트 샘플은 색도 신호 복조기(28)에 인가된다. 2fsc 클럭 신호에 관련되는 두 직각 위상 및 R-Y클럭 및 B-Y클럭은 디지탈 타이밍 프로세서(38)에 의해 색도 복조기(28)에 인가된다. 복조기(28)는 종래의 디지탈 칼라차 신호 복조기가 될 수 있다. 상기 복조기는 색도 샘플의 4fsc시퀀스를 2fsc율을 가진 R-Y 및 B-Y칼라차 신호 샘플의 분리 시퀀스로 분리시키기 위해 R-Y 및 B-Y클럭 신호에 응답하는 디멀티플렉서를 포함한다. 복조기는 R-Y 및 B-Y 시퀀스로부터 칼라 서브캐리어를 제거하기 위한 회로를 또 포함할 수 있다. 복조기에 의해 제공되는 샘플은 베이스밴드 R-Y 및 B-Y 칼라차 신호를 나타낸다. 상기 샘플의 시퀀스의 가장 중요한 8비트는 칼라차 신호 처리 회로(도시되어 있지 않음)에 인가될 수 있으며 상기 회로는 영상 재생 장치(도시되어 있지 않음)를 구동시키기 위한 신호를 제공한다.

10비트 R-Y 샘플은 색도 복조기(28)에 의해 위상 검출기(30)에 제공된다. R-Y클럭신호, 버스트 게이트 신호, BG 및 $\frac{FH}{2}$ 클럭 신호는 디지탈 타이밍 프로세서(38)에 의해 위상 검출기(30)에 인가된다. 위상검출기(30)는 제3도에 상세하게 도시되어 있다. 복조기(28)로부터 10비트 R-Y 샘플은 래치(310)에 인가된다. R-Y코드워드는 앤드 게이트(312)에 의해 래치에 인가되는 클럭펄스의 선단 에지상의 래치(310)에 적재된다. 게이트(312)에 의해 제공되는 클럭 신호는 디지탈 타이밍 프로세서(38)에 의해 제공되는 R-Y클럭의 논리 앤드 및 버스트 게이트 신호 BG이다. 래치(310)에 기억되는 코드워드는 버스트 성분의 R-Y위상 샘플에 대응한다. 상기 샘플은 가산기(314) 및 래치(316)를 포함하는 누산기에 인가된다. 가산기(314)에 의해 제공되는 샘플은 지연소자(318)에 의해 제공되는 클럭펄스의 선단 가장자리상의 래치(316)에 적재된다. 앤드 게이트(312)로부터의 클럭신호는 지연소자(318)를 통해 래치(316)에 인가된다. 상기 소자는 가산기(314)를 통과하는 처리시간을 보상한다. 래치(316)에 의해 제공되는 15비트 샘플은 래치(322)에 인가되며 두 버스트 인터벌 동안에 취해진 32개의 10비트 R-Y샘플의 누산된 합에 대응한다. 15비트 샘플은 타이밍 프로세서(38)에 의해 래치(322)의 클럭 입력단에 인가되는 $\frac{FH}{2}$ 클럭펄스의 선단 가장자리상의 래치(322)에 적재된다. 따라서 누산된 버스트 샘플은 두 수평라인 주기 동안에 래치(322)내에 기억된다. $\frac{FH}{2}$ 클럭 펄스도 지연소자(320)를 통해 누산기 래치(316)의 리세트 입력에 인가된다.

지연소자(320)는 충분한 지연을 제공하여 래치(316)내에 기억되는 샘플을 래치(316)가 리세트 되기 전에 래치(322)에 이송되는 것을 허용한다.

래치(316)가 $\frac{Fsc}{2}$ 클럭 신호에 의해 리세트되므로, 래치(316)에서 래치(322)로 이송되는 샘플은 두 버스트 인터벌 이상에서 R-Y칼라차 신호 샘플의 값의 누산된 합을 나타낸다. 위상 검출기(30)로부터의 샘플은 저주파 통과 필터(32)의 입력단에 인가된다.

$\frac{FH}{2}$ 클럭 신호는 타이밍 프로세서(38)에 의해 필터(32)에 인가된다. 필터(32)는 위상 검출기(30)에 의해 제공되는 샘플을 평균화시켜 천천히 변화되는 15비트 디지탈 신호를 디지탈/아날로그 콘버터(DAC,34)에 인가한다. DAC(34)는 상기 디지탈 신호를 아날로그 제어 신호로 변환시키며, 여기서 상기 아날로그 제어 신호는 전압 제어 발진기(VCO,36)에 인가된다.

VCO(36)는 4fsc 사인파 신호를 발생하는 발진기를 제어한다. 상기 신호의 주파수 및 위상은 DAC(34)에서 발생되는 제어 포텐셜에 의해 fsc버스트 신호의 주파수 및 위상에 대해 고정되어 있다. VCD(36)는 입력신호를 디지탈 타이밍 프로세서(38)에 제공한다. 7비트 합성 비디오 샘플은 ADC(14)에 의해 타이밍 프로세서(38)에 인가된다. 타이밍 프로세서(38)는 VCO(36)로부터의 4fsc 사인파 신호를 사각파 4Fsc 클럭신호로 변환시키기 위한 회로를 포함할 수 있으며, 상기 신호의 주파수를 분리시키기 위해, 2fsc'에서 각각 R-Y 및 B-Y 클럭 신호를 제공하며 $\frac{Fsc}{2}$ 클럭 신호를 제공한다. 또, 타이밍 프로세서(38)는 FH 및 $\frac{FH}{2}$ 클럭 신호를 발생시키며 버스트 게이트 신호, BG를 발생시키기 위해 합성 비디오 샘플에 있어서의 수평 동기화 펄스에 응답하는 회로를 포함할 수 있다.

BG는 지연소자(39)에 인가되며, 상기 소자는 버스트게이트 신호 BG'를 제공하며, 상기 신호는 BG에 대해 4Fsc 클럭신호의 한 주기 만큼 지연된다. 타이밍 프로세서(38)는 상세하게는 도시되어 있지 않다. 왜냐하면 상기 프로세서는 본 발명의 한 부분으로 고려되지 않기 때문이다. 이것은 본 기술에 숙련된 사람이라면 종래의 장치로서 쉽게 설치할 수 있다.

상술한 실시예에 있어서, 디더된 아날로그 합성비디오 신호를 나타내는 디지탈화된 샘플은 위상 검

출기(30)에 의해 처리되기 전에 콤필터(16), 저역 통과 필터(18) 및 대역 통과 필터(26)에 의해 처리된다. 그러나 해상도를 상당히 증가시킬 수 있는 것은 위상 검출기(30)이다. 왜냐하면 상기 검출기는 32개의 버스트 샘플을 합하기 때문이다.

제6a도는 버스트 인터벌을 도시한 것이다. 제6b도는 일치하는 버스트 게이트 펄스(BG)를 제6c도는 R-Y클럭 신호를 도시한 것이다. 제6d 및 e도는 연속하는 두 수평 라인의 버스트 인터벌에 부가될 수 있는 디더 신호를 도시한 것이다. 버스트 게이트 펄스는 8사이클 버스트 신호 만큼의 간격을 가지며 R-Y클럭 신호의 선단 가장자리는 버스트 신호의 제로 크로싱과 실제로 일치한다. 상술한 바와 같이, 디더 신호는 전수평 라인에 인가되는 성분 및 버스트 인터벌에만 인가되는 성분을 포함한다. 제6d 및 e도에서 점선(601) 및 (603)으로 도시된 파형은 전 수평 라인에 인가되는 디더 성분을 각각 나타낸다.

상기 성분은 $\frac{fH}{2}$ 주파수를 가지며 $+\frac{1}{4}$ 및 $-\frac{1}{4}$ 양자화 레벨 사이에서 교번한다. 본 실시예에 있어서 양자화 레벨은 1.1IRE이므로 상기 신호는 0.28IRE 및 -0.28IRE사이에서 교번한다.

본 실시예에 사용된 버스트에 유일한 디더 신호는 제6d 및 e도의 파형(602) 및 (604)으로 표시되어 있다. 상기 신호는 $\frac{fsc}{2}$ 에서 $\frac{1}{16}$ 크기의 양자화 레벨만큼 변환된다. 그러나 표시에 있어서는 fsc에서 변환된다. 버스트 디더의 최소치는 0이며 최대치는 양자화 레벨의 $\frac{1}{4}$ 이다. 버스트에 유일한 디더 및 $\frac{FH}{2}$ 디더 성분의 조합은 양자화 레벨을 정확하게 세분하며 16레벨을 가지는 디더 신호를 발생한다. 제6d 및 e도의 디더 파형은 IRE레벨 용어로 표시되어 있으며 제6a도에 도시된 버스트 파형과 비교가 된다. 본 발명의 디더 신호는 특별한 IRE 값을 가져야 한다는 제한은 없으나 ADC에 의해 생성되며 가장 무의미한 비트에 의해 나타나는 값을 세분하는 상대적인 양의 값 및 음의 값의 어떤 조합을 가질 수 있다.

상기 디더 신호의 1차 성분은 $\frac{FH}{2}$ 및 $\frac{fsc}{2}$ 이다. 상술한 바와 같이, 상기 디더신호 성분은 2fsc율에서 발생되는 디지탈화된 버스트 신호에 있어서의 크기 변화를 유발시킬 수도 있다.디더된 버스트 신호의 $\frac{fH}{2}$ 및 $\frac{fsc}{2}$ 성분은 콤필터(16) 및 저역 통과 필터(18)에 의해 형성되는 고역 통과 필터 및 지연소자(22) 및 감산기(24)에 의해 감쇠된다. 콤필터는 7비트 샘플을 평균화시켜 8비트 샘플을 발생시키며 고역 통과 필터는 8비트 샘플을 평균화시켜 9비트 샘플은 발생시킨다. 디지탈화된 버스트 신호의 $\frac{fsc}{2}$ 및 2fsc성분은 대역 통과 필터(26)에 있어서의 샘플 평균화에 의해 감쇠된다. 필터(26)는 고역 통과 필터로부터 9비트 샘플의 쌍을 평균화시킴으로 10비트 해상도를 가진 샘플을 발생시킨다.

색도 복조기(28)는 R-Y버스트 샘플을 위상 검출기(30)로 통과시킨다. 제6a 및 b도에 도시된 바와 같이, 칼라 버스트 신호의 R-Y샘플은 버스트 파형의 제로 크로싱 포인트에서 이상적이다. 위상 검출기(30)는 두 버스트 샘플이상의 상기 샘플을 평균화시켜 루프가 고정될 때 제로 크로싱 샘플이 될 수 있는 샘플의 값을 나타내는 샘플을 제공한다. 샘플링 클럭신호와 버스트 사이의 위상차가 제로일때 상기 값은 제로이므로, 위상 검출기(30)에 의해 제공되는 샘플은 VCO의 위상 에러를 나타낸다.

디더 신호는 ADC의 양자화 레벨을 정확하게 세분하며 버스트 신호의 디더 신호 성분은 신호 처리 시스템에서의 필터에 적절하게 매치되며, 상기 시스템에 의해 0.5° 또는 그 이상의 위상 정확성을 얻을 수 있다. 요구되는 위상 에러가 5° 또는 그 이하이므로, 상기 시스템에 사용되는 값에 있어서 비교적 큰 여유를 가질 수 있다.

저역 통과 필터(18), 지연소자(22) 및 감산기(24) 및 대역 통과 필터(26)에 의해 형성되는 고역 통과 필터는 단일 대역 통과 필터(26)에 의해 대체될 수 있다. 예로서, $1-Z^{-2}$ 및 $1+Z^{-4}$ (Z변환 표시법)의 각각의 변환 함수를 가지는 두 필터의 케스케이드 조합은 상술한 고역 통과 필터 및 대역 통과 필터로서 동일한 작동을 수행하는 $1-Z^{2}$ 필터에 있어서, 4Fsc클럭 주기에 의해 지연되는 샘플은 지연되지 않은 샘플로부터 감산된다.

상기 필터는 더 높고 더 낮은 주파수 성분에 대해 디더된 버스트 샘플의 fsc 성분이 피크치를 가지게 하는 경향이 있으며 2fsc에서의 성분을 트랩하는 경향이 있다. 따라서, $1-Z^{-2}$ 필터는 fsc성분에 대한 버스트 신호의 $\frac{fsc}{2}$ 및 2fsc 디더 유도 성분을 감쇠시킨다. $1+Z^{-4}$ 필터에 있어서, 4Fsc클럭 주기에 의해 지연되는 샘플은 비지연 샘플에 첨가된다. 상기 필터는 디더된 버스트 신호의 $\frac{fsc}{2}$ 성분을 제거시키는 경향이 있는 노치 필터이다.

상기 필터 각각은 디더 신호의 디더 유도 성분을 감쇠시키므로, 시스템의 양자화 해상도를 증가시킨다. 따라서, 필터의 입력단에 인가되는 8비트 색도 샘플은 출력단에서 10비트 샘플이 된다.

상술한 실시예에 있어서, 디더 신호 성분을 상당히 감쇠시키는 어떤 필터링 단계는 입력단에 인가되는 코드워드보다 1비트가 더 넓은 코드워드를 출력단에 제공하므로 샘플의 해상도를 증가시킨다. 상기 방법으로 작동되는 필터는 시스템의 해상도의 증진을 간단하게 설명하기 위해 도시되어 있다. 그러나, 각 필터에 의해 처리되는 코드워드에 있어서의 비트수는 시스템에 있어서의 자동 색도 제어(ACC)회로를 포함하므로 감소될 수 있다. 예로서, ACC시스템은 샘플을 표준화시켜 약한 버스트 신호를 나타내는 샘플의 진폭을 증가시킨다.

상기 샘플의 해상도는 상기 표준화에 의해 증가되지 않는다. 예로서, 7비트 코드워드에 있어서 저차수 6비트만을 차지하는 샘플은 한 비트만큼 샘플을 더욱 중요한 비트 위치로 이동시킴으로 두 요소에 의해 스케일화될 수 있다. 그러나, 상기 이동 작용은 샘플의 양자화 해상도를 변경시키지 않는다. 비록 샘플은 7비트를 점유하지만, 여전히 6비트 양자화 해상도를 가진다. 그러나, 디더 처리에 의한 상기 두 7비트 샘플의 필터 평균이 샘플의 해상도를 한 비트 만큼 증가시킬 때, 해상도에 있어서의 증진을 유지시키기 위해서는 7비트 코드워드에 여분의 비트가 첨가될 필요가 없다.

상술한 실시예에 ACC시스템이 삽입되면, 위상 검출기(30)는 11비트 샘플을 제공함으로 등가샘플 해상도를 제공할 수 있다. 상기 ACC시스템은 위상 고정 루프에 있어서의 여러 포인트에서 포함될 수 있다. ACC시스템은 상세하게 설명되어 있지않다. 왜냐하면 이것은 본 발명의 한 분야로서 고려되지 않기 때문이다.

본 발명에 사용되기에 적절한 ADC는 제4도 및 제5도에 도시되어 있다. 제4도는 디더 신호가 ADC(14)의 기준 전압 레벨을 변경시키기 위해 사용되는 실시예를 도시한 것이다. 다수의 레지스터가 기준 전위원(V_R)과 대지 사이에서 직렬로 접속되어 있다. 상호 결합점에서 다수의 기준 레벨을 나타내기 위해 직렬 연결을 통해 결합되어 있는 전위를 할당시킨다. 저항값 R을 각각 가지는 레지스터 R_1, R_2,…R_{P-1}를 가지며 ADC(14)에 의해 생성되는 디지탈 샘플의 한 LSB에 의해 나타나는 전압과 등가인 전압을 나타내게 한다. 상기 전압은 양자화 해상도를 결정한다.

상기 저항 /R_1, R_2, …R_{P-1}의 상호 접속점은 차동 비교기 C_1, C_2, C_3,…C_P 각각의 입력에 결합되어 있다. 비교기 C_1 내지 C_P는 제2입력단을 가지며, 상기 입력단은 노드 IN에서 나타나는 아날로그 합성 비디오 신호를 수신한다(상기 신호는 본 실시예에서 디더 되지 않는다).

레지스터(418) 및 (419)는 R_1, R_2, …R_{P-1} 레지스터 체인의 대향 종단상에 위치하여 각각의 분지스위치 S_1 및 S_2에 의해 레지스터 체인에 선택적으로 스위치 인 및 스위치 아웃트된다. 본 실시예의 ADC에 사용되는 상기 스위치 및 다른 스위치 S_3 내지 S_8은 논리 로우 또는 논리하이 제어 신호에 각각 응답하여 스위치가 오픈 또는 클로우즈될 수 있다.

FH/2클럭 신호는 제어 스위치 S_1에 인가되며 인버터(454)를 통해 제어 스위치 S_2에 인가된다. 어떤 주어진 순간에, 스위치 S_1 및 S_2의 하나는 오픈되고 나머지 하나는 클로우즈된다. 레지스터(418) 및 (419)는 저항 $\frac{R}{2}$ 을 가지도록 선택되어 어느 것도 스위치 S_1 및 S_2에 의해 단락되지 않도록 하여 양자화 레벨의 $\frac{1}{2}$ 에 전압 등가가 되게 한다. 상기 레지스터는 각 비교기 C_1 내지 C_P의 기준 전압 입력단에 $\pm\frac{1}{4}LSB$ 크기의 디더링 변화를 제공한다. 상기 디더 신호는 전 수평 라인 주기 동안에 인가된다.

버스트에 유일한 디더 신호는 유사한 수단에 의해 발생된다. 레지스터(415) 내지 (417)는 레지스터 체인종단에서 직렬로 연결된다. 상기 체인은 기준전위 V_R에 결합되어 있으며 레지스터(420) 내지 (422)는 대지 전위에 결합되어 있는 종단부에 직렬로 접속되어 있다. 레지스터(417)는 스위치 S_3, 레지스터(416), 스위치 S_4, 및 레지스터(415), 스위치 S_5에 의해 분기되어 있다. 유사하게, 레지스터(420), (421) 및 (422)는 스위치 S_6, S_7 및 S_8에 의해 각각 분리되어 있다.

스위치 S_3 내지 S_8은 Fsc클럭신호 및 지연소자(39)를 통한 타이밍 프로세서(38)에 의해 제공되는 버스트 게이트 신호 BG'로부터 제어된다. BG' 및 Fsc 클럭신호는 앤드 게이트(442)의 입력 단자에 인가되며, 앤드 게이트는 지연된 버스트 간격 동안에만 Fsc클럭신호를 출력시키며, 수평라인 인터벌의 나머지 부분 동안에 논리 로우상태를 제공한다. 상기 신호는 토글 플립-플롭(444)에 인가되며, 상기 플립-플롭은 플립-플롭(444), (446) 및 (448)에 의해 형성되는 3비트 카운터의 제2스테이지이다.

플립-플롭(444) 내지 (448) 및 플립-플롭(452) 각각은 토글 입력단자, T, 리세트 입력단자 R 및 보충 출력 단자 Q 및 $\bar{Q}$ 를 가진다. 플립-플롭(444)의 Q출력 단자는 플립-플롭(446)의 T입력단자에 접속되며 플립-플롭(446)의 Q출력단자는 플립-플롭(448)의 T입력단자에 접속되어 있다. 플립-플롭(444)의 Q출력 단자는 제어 신호를 스위치 S_3에 제공하며 인버터(445)를 통해 스위치 S_6에 제공한다.

유사하게, 플립-플롭(446)의 $\bar{Q}$ 출력 단자는 제어신호를 스위치 S_5 에 제공하며, 인버터(447)를 통해 스위치 S_8에 제공한다. 플립-플롭(444) 및 (446)의 $\bar{Q}$ 출력 단자 및 플립-플롭(448)의 Q 출력단자는 3개의 입력 앤드 게이트(450)의 입력 단자에 접속된다. 앤드 게이트(450)는 플립-플롭(452)의 토글 입력 단자 T에 신호를 제공한다. 플립-플롭(452)의 출력 단자 Q는 배타적 오어 게이트(456)의 한 입력 단자에 접속되어 있으며, 상기 게이트의 제2입력 단자는 플립-플롭(444)의 Q출력 단자에 접속되어 있다. 배타적 오어 게이트(456)는 제어 입력 신호를 스위치 S_7에 제공하며 인버터(458)를 통해 스위치 S_4 에 인가한다. 플립-플롭(444), (446), (448) 및 (452)의 리세트 입력 단자는 지연 소자(39)에 의해 제공되는 BG' 신호에 접속되어 있다. 상술한 바와 같이, S_1 내지 S_8 스위치 각각은 레지스터(415) 내지 (422)의 다른 하나를 분기한다. 레지스터(415) 내지 (422)의 값은 제6d 및 e도에 도시된 디더 신호를 첨가시킴으로 각각의 비교기에 인가되는 기준 신호의 레벨이 변화게 선택된다. 레지스터(415) 및 (422)는 R_1/16저항을 레지스터(416) 및 (421)는 R/8저항을 레지스터(417) 및 (420)는 $\frac{R}{4}$ 저항을, 레지스터(418) 및 (419)는 R/2저항을 가진다.

스위치 S_1 및 S_2는 스위치 S_3 및 S_6, 스위치 S_4 및 S_7과 스위치 S_5 및 S_8과 같이 상보성 스위치 쌍을

형성한다. 상보성 쌍중의 한 스위치가 개발될때마다, 다른 스위치는 폐쇄되며 그 역도 가능하다. 스위치 S_1 및 S_2는 각 수평 라인상의 상태를 변환시켜서 제6d 및 e도의 점선 파형(601) 및 (603)에 의해 나타나는 전 수평 라인상에 디더 신호를 제공한다. 레지스터(415) 내지 (417) 및 레지스터(420) 내지 (440) 통해 발생되는 버스트 디더 신호는 수평 라인 디더 신호에 첨가되어 제6d 및 e도의 파형(602) 및 (604)으로 나타는 합성 디더 신호를 형성한다. 표 1은 한 LSB에 의해 나타낸 부분값으로서 버스트에 유일한 디더 신호 및 스위치 S_3 내지 S_8의 상태 및 직렬 저항(415) 내지 (417) 및 (420) 내지 (440)의 합성값을 나타낸다.

[표 1]

디더신호의 버스트에 유일한 성분	스위치상태 O=개방 C=폐쇄			레지스터 415, 416, 417 레지스터 420, 421, 422 440의 합성저항
	S_3/S_6	S_4/S_7	S_5/S_8	
0	C/O	C/O	C/O	1/4R ; 1/4R
+1/16	C/O	C/O	C/O	3/16R ; 5/16R
−1/16	C/O	C/O	C/O	5/16R ; 3/16R
+1/8	C/O	C/O	C/O	1/8R ; 3/8R
−1/8	C/O	C/O	C/O	3/8R ; 1/8R
+3/16	C/O	C/O	C/O	1/16R ; 7/16R
−3/16	C/O	C/O	C/O	7/16R ; 1/16R
+1/4	C/O	C/O	C/O	OR ; 1/2R

제5도는 ADC(14)의 변형 실시예의 블럭 다이어그램이다. 아날로그 합성 비디오 신호는 아날로그 신호가산기(524)의 한 입력 단자에 인가된다. 버스트에 유일한 디더 신호는 DAC(523)에 의해 가산기(524)의 다른 단자에 인가된다. 가산기(524)는 디더된 합성 비디오 신호를 ADC(514)에 제공한다. 상기 ADC는 $f_H/2$ 디더 신호를 내부에 인가하며 콤필터(16)에 인가되는 샘플을 형성하기 위해 결과로 나타나는 신호를 디지탈화한다.

Fsc클럭신호 및 지연소자(39)를 통해 타이밍 프로세서(38)에 의해 제공되는 지연된 버스트 게이트 신호 BG'는 버스트 디더 신호를 발생하는 회로의 입력 단자에 인가된다. 클럭 신호 Fsc는 주파수 분할기(511)에 인가된다. 분할기(511)는 FSC/2 클럭신호를 앤드 게이트(512)의 한 입력 단자에 제공한다.

버스트 게이트 신호 BG'는 앤드 게이트(512)의 다른 입력 단자에 인가된다. 상기 앤드 게이트는 버스트 인터벌 동안에만 카운터(510)는 리세트 입력 단자를 가진 종래의 3비트 카운트가 될 수 있다. 카운터(510)는 인버터(516)에 의해 리세트 입력 단자에 제공되는 각 버스트 인터벌 종단에서 제로에 리세트된다. 따라서 각 버스트 주기 동안에 카운터의 개시값은 0이다. 카운트에서의 값은 Fsc/2클럭신호의 각 펄스 동안에 하나씩 증가된다. 버스트 게이트 신호에 의해 둘러 싸여지는 8개의 버스트 사이클 인터벌 이상에서, 카운터(510)는 디지탈 값 0 내지 4를 2의 보수기(519) 및 지연소자(520)에 인가한다. 2의 보수기(519)는 4비트 디지탈 코드워드를 멀티플렉서(522)에 제공한다.

여기서 상기 코드워드는 표 2에 도시된 바와 같이 3비트 입력 코드 워드의 2의 보수이다.

[표 2]

3비트 코드워드	4비트 2의 보수 코드워드
000	0000
001	1111
010	1110
011	1101
100	1101

지연소자(520)는 2의 보수기(519)를 통해 처리시간과 동일한 보상지연을 제공한다. 지연소자(520)를 통과하는 3비트는, 가장 중요한 비트가 0인 4비트 신호로서 멀티 플렉서(522)에 인가된다. 버스트 게이트 신호 BG° 및 주파수 분할기(511)로부터의 클럭 신호는 앤드 게이트(518)에 인가된다. 게이트(518)는 제어신호를 발생시켜 멀티 플렉서(522)에 인가한다. 상기 제어 신호가 논리 로우 상태이면, 지연소자(520)에 의해 제공되는 샘플은 DAC(523)에 인가되며 제어신호가 논리 하이 상태이면, 2의 보수기(519)에 의해 제공되는 샘플은 DAC(523)에 인가된다. DAC(523)는 -3과 +4사이의 범위의 값을 가진 코드워드를 $\frac{1}{16}$ LSB 의 입상으로된 $\frac{-3}{16}$ LSB와 $+\frac{1}{4}$ LSB 사이의 값을 가진 아날로그 신호를 변환시킨다. DAC(523)에 의해 생성되는 상기 값은 입력 코드워드의 값이 승산되어 LSB로 나타내는 값의 1/16이다. 상기 회로 및 ADC(514)에 의해 제공되는 디더 신호는 제6d 및 e도에서 도시된 파형과 실질적으로 동일하다.

(57) 청구의 범위

청구항 1

기준 주파수를 포함하여 예정된 주파수 대역을 점유하는 성분을 가진 아날로그 신호를 처리하기 위한 시스템에 있어서, 기준 신호원(VR)과, 상기 기준 신호원 및 상기 아날로그 신호를 나타내는 디지탈 샘플을 발생시키기 위해 상기 아날로그 신호에 결합되어 있는 아날로그/디지탈 변환기(514)와, 예정된 샘플 인터벌 수 이상의 다수의 연속 레벨을 가진 디지탈 제어신호를 발생시키며, 여기서 상기 레벨은 일정하게 변하는 크기 및 예정된 기준레벨에 대해 교번되는 극성을 가지는 제1수단(511 내지 522)과, 상기 아날로그/디지탈 콘버터에 결합되며 상기 아날로그 신호중의 한 신호의 크기를 변환시키며 상기 디지탈 제어신호의 레벨에 비례하는 양만큼 상기 기준 신호를 변환시키기 위해 상기 디지탈 제어 신호에 응답하는 제2수단(523,524)을 구비하는 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 2

제1항의 시스템에 있어서, 상기 제1수단은 상기 디지탈 제어 신호의 레벨을 상기 기준 주파수와 거의 동일한 율로 변환시키기 위한 수단을 구비하는 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 3

제1항에 있어서, 상기 제1수단은 제1율로 상기 디지탈 제어신호의 크기를 변환시키기 위한 수단과, 상기 제1율보다 낮지 않는 제2율로 상기 기준 레벨에 대해 상기 디지탈 제어 신호의 극성을 변환시키기 위한 수단을 구비하는 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 4

제3항에 있어서, 상기 제1율은 상기 기준 주파수의 서브하모닉 주파수인 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 5

제4항에 있어서, 상기 디지탈 샘플의 양자화 해상도를 증가시키기 위한 상기 예정된 주파수 대역에 대해 서브하모닉 주파수를 가지는 상기 디지탈 샘플의 성분을 감쇠시키기 위해 필터가 아날로그/디지탈 변환기에 결합되어 있는 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 6

제4항에 있어서, 상기 아날로그/디지탈 콘버터는 저항 수단을 통과하는 상기 기준 신호를 수신하기 위해 직렬 연결된 다수의 저항 수단과, 제1 및 제2입력단 각각을 가지는 다수의 비교기와, 상기 제1입력단 각각을 연속적으로 상호 결합된 상기 다수의 저항 수단에 결합시키기 위한 수단과, 상기 아날로그 신호를 상기 다수의 비교기의 상기 제2입력단에 결합시키기 위한 수단을 구비하며, 상기 제1수단은, 상기 제1율과 거의 동일한 율을 가진 제1클러킹 신호원과, 상기 제2율과 거의 동일한 율을 가진 제2클로킹 신호원과, 상기 다수의 직렬로 접속된 저항 수단과 상기 기준 신호원 사이에 결합되어 있으며, 직렬로 접속된 또다른 제1 및 제2저항 수단을 구비하는 상기 제2수단과, 또다른 상기 제1저항 수단에 결합되어 있으며, 상기 저항 수단을 통한 접속을 선택적으로 제공하기 위해 상기 제1클러킹 신호에 응답하는 제1제어 가능 스위칭수단과, 또다른 상기 제2저항 수단에 결합되어 있으며, 상기 저항 수단을 통한 접속을 선택적으로 제공하기 위해 상기 제12클러킹 신호에 응답하는 제2제어 가능 스위칭 수단을 구비하는 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 7

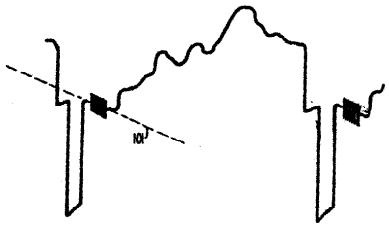
제4항에 있어서, 상기 제1수단은, 상기 기준 주파수의 서브 하모닉과 거의 동일한 주파수를 가지는 클러킹 신호원과, 상기 카운터에 인가되는 클럭 펄스수를 나타내는 디지탈 값을 발생시키기 위해 상기 클러킹 신호에 응답하는 카운터를 구비하며, 상기 제2수단은, 상기 상보성 수단에 의해 제공되는 디지탈 값을 나타내는 디더 신호를 발생시키기 위해 상기 상보성 수단에 결합되어 있는 디지탈/아날로그 변환 수단과, 상기 디지탈/아날로그 변환 수단 및 상기 디더신호를 상기 아날로그 신호에 부가시키기 위해 상기 아날로그/디지탈 변환기에 결합되어 있는 수단을 구비하는 것을 특징으로 하는 아날로그 신호 처리 시스템.

청구항 8

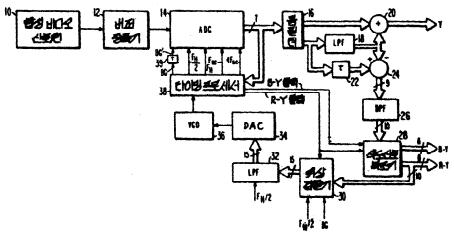
제1항에 있어서, 칼라 기준 버스트 신호 성분을 포함하는 휘도 및 색도 신호 성분을 가진 아날로그 합성 비디오 신호원을 포함하는 디지탈 텔레비젼 수상기는, 예정된 샘플 인터벌수 이사의 다수의 연속 레벨을 가진 디더 신호를 발생시키기 위해 상기 =레벨은 일정하게 바뀌는 크기 및 예정된 기준 레벨에 대해 교번하는 극성을 가진 연속 레벨을 가지며, 상기 레벨은 상기 칼라 버스트 기준 신호의 주파수와 거의 동일한 율로 변환되는 수단과, 샘플링 클럭 신호원과 상기 아날로그 신호의 샘플을 발생시키며 상기 아날로그 샘플의 진폭에 관련된 디지탈 샘플을 제공하기 위해 상기 샘플링 클럭 신호에 응답하는 아날로그/디지탈 변환기와, 상기 디더 신호의 크기에 비례하는 양만큼 상기 디지탈 샘플 크기와 상기 아날로그 샘플 크기 사이의 관계를 변환시키기 위해 상기 디더 신호 발생 수단 및 상기 아날로그/디지탈 변환기에 결합되어 있는 수단과, 상기 칼라 기준 버스트 신호에 대해 서브 하모닉 주파수를 가지는 상기 디지탈 샘플의 성분을 감쇠시키며 상기 디지탈 샘플의 양자화 해상도를 증가시키기 위해 상기 디지탈 샘플의 예정된 샘플을 평균화시키기 위한 상기 아날로그/디지탈 콘버터에 결합되어 있는 필터링 수단을 구비하는 것을 특징으로 하는 아날로그 신호 처리 시스템.

도면

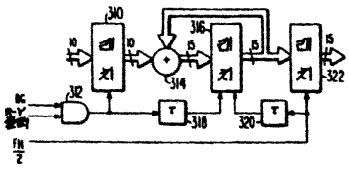
도면1



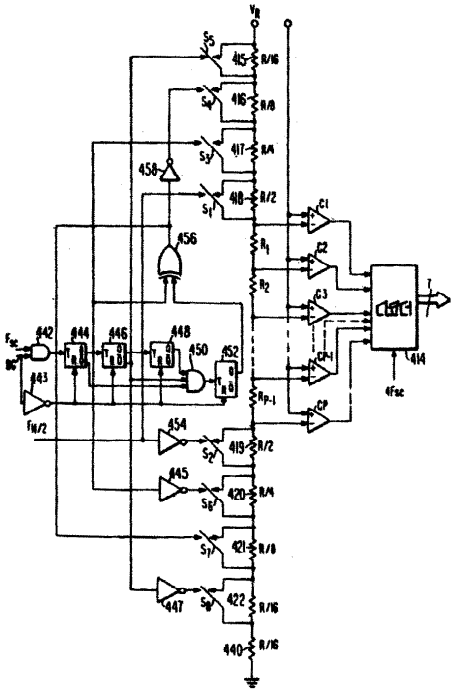
도면2



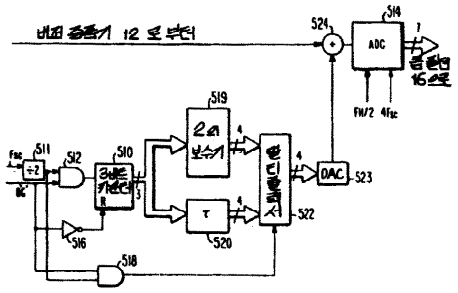
도면3



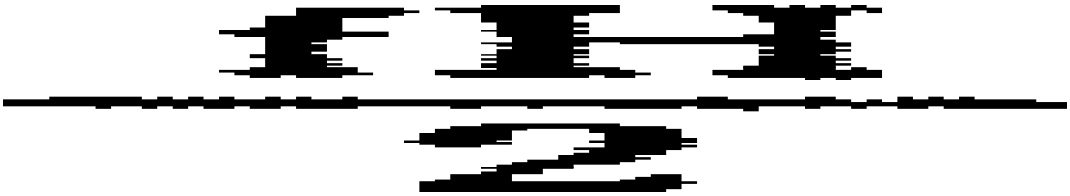
도면4



도면5



도면6E



도면6D



도면6C



도면6B



도면6A

