

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610100261.6

[45] 授权公告日 2009年11月11日

[11] 授权公告号 CN 100559565C

[22] 申请日 2006.7.5

[21] 申请号 200610100261.6

[30] 优先权

[32] 2005.7.6 [33] JP [31] 197938/2005

[73] 专利权人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 堀田胜彦 屈原乡子

[56] 参考文献

CN1518075A 2004.8.4

JP2003-163265A 2003.6.6

JPA2003-124307A 2003.4.25

审查员 张 健

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

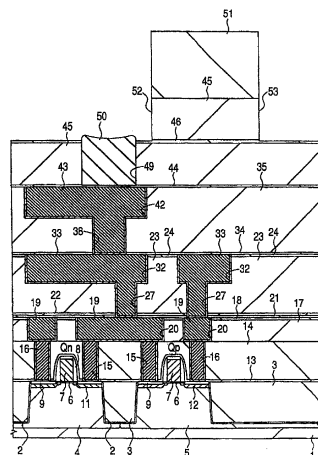
权利要求书 10 页 说明书 18 页 附图 29 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

为了简化多级 Cu 互连的双大马士革形成步骤，省略了在光致抗蚀剂膜之下形成抗反射膜的步骤。具体地描述，利用形成在层间绝缘膜上方的光致抗蚀剂膜作为掩膜，干法蚀刻层间绝缘膜，以及通过在层间绝缘膜中形成的停止膜的表面处终止蚀刻，形成互连沟槽。停止膜由具有低的光学反射率的 SiCN 膜制成，由此使得当对光致抗蚀剂膜进行曝光时将停止膜用作抗反射膜。



1. 一种半导体集成电路器件的制造方法，包括以下步骤：

(a) 在半导体衬底的主表面上方形成半导体元件，以及在所述半导体元件上方形成至少一个第一级互连；

(b) 在所述第一级互连上方形成第一层间绝缘膜，以及在所述第一层间绝缘膜中形成第一停止膜；

(c) 在所述第一层间绝缘膜上方形成第一抗反射膜，以及在所述第一抗反射膜上方形成第一光致抗蚀剂膜；

(d) 利用所述第一光致抗蚀剂膜作为掩膜，蚀刻所述第一抗反射膜、所述第一层间绝缘膜和所述第一停止膜，以在所述第一层间绝缘膜中形成第一过孔；

(e) 去除所述第一光致抗蚀剂膜和第一抗反射膜，以及然后在所述第一过孔的内部填充第一填料；

(f) 在所述步骤(e)之后，在所述第一层间绝缘膜上方形成第二光致抗蚀剂膜，而不使用抗反射膜；

(g) 利用所述第二光致抗蚀剂膜作为掩膜，对在包括形成了所述第一过孔的区域的区域中的所述第一层间绝缘膜进行蚀刻，由此在所述第一停止膜上方的所述第一层间绝缘膜中形成第一互连沟槽；以及

(h) 去除所述第二光致抗蚀剂膜和第一填料，以及然后在所述第一互连沟槽和第一过孔中填充金属膜，以形成第二级互连，

其中，所述第一停止膜由具有低的光学反射率的材料制成，并且当对所述第一层间绝缘膜上方形成的所述第二光致抗蚀剂膜进行曝光以及将所述第一互连沟槽的图形转移到所述第二光致抗蚀剂膜时，将所述第一停止膜用作抗反射膜。

2. 根据权利要求1的半导体集成电路器件的制造方法，其中形成所述第一级互连的步骤包括以下步骤：

(i) 在所述第一级互连之下的互连层上方形成第二层间绝缘膜；

(j) 在所述第二层间绝缘膜上方形成第二抗反射膜, 以及在所述第二抗反射膜上方形成第三光致抗蚀剂膜;

(k) 利用所述第三光致抗蚀剂膜作为掩膜, 蚀刻所述第二抗反射膜和第二层间绝缘膜, 由此在所述第二层间绝缘膜中形成第二过孔;

(l) 在去除所述第三光致抗蚀剂膜和第二抗反射膜之后, 在所述第二过孔中填充第二填料;

(m) 在所述步骤(l)之后, 在所述第二层间绝缘膜上方形成第三抗反射膜, 以及在所述第三抗反射膜上方形成第四光致抗蚀剂膜;

(n) 利用所述第四光致抗蚀剂膜作为掩膜, 对在包括形成了所述第二过孔的区域的区域中的所述第二层间绝缘膜进行蚀刻, 同时留下所述第二层间绝缘膜的下部而不蚀刻, 由此在所述第二层间绝缘膜中形成第二互连沟槽; 以及

(o) 在去除所述第四光致抗蚀剂膜和第二填料之后, 在所述第二互连沟槽和第二过孔中填充金属膜, 以形成所述第一级互连。

3. 根据权利要求1的半导体集成电路器件的制造方法, 其中所述第一停止膜是 SiCN 膜。

4. 根据权利要求1的半导体集成电路器件的制造方法, 其中在所述第一级互连和所述第一层间绝缘膜之间, 形成用于防止构成所述第一级互连的金属的扩散的阻挡绝缘膜。

5. 根据权利要求4的半导体集成电路器件的制造方法, 其中所述阻挡绝缘膜是 SiCN 膜。

6. 根据权利要求4的半导体集成电路器件的制造方法, 其中所述第一层间绝缘膜是具有氧化硅作为主要成分的绝缘膜, 以及所述阻挡绝缘膜是 SiCN 膜或者通过在 SiCN 膜上方层叠 SiCO 膜所获得的两层膜。

7. 根据权利要求2的半导体集成电路器件的制造方法, 其中所述第一过孔的直径大于所述第二过孔的直径。

8. 根据权利要求2的半导体集成电路器件的制造方法, 其中所

述第一层间绝缘膜比所述第二层间绝缘膜厚。

9. 根据权利要求 2 的半导体集成电路器件的制造方法，其中所述金属膜具有作为主要成分的铜。

10. 一种半导体集成电路器件的制造方法，包括以下步骤：

(a) 在半导体衬底的主表面上方形成第一级互连；

(b) 在所述第一级互连上方形成第一层间绝缘膜；

(c) 在所述第一层间绝缘膜中，形成用于连接到所述第一级互连的第一过孔；

(d) 在包括形成了所述第一过孔的区域的区域中的所述第一层间绝缘膜中，形成第一互连沟槽；

(e) 在所述第一互连沟槽和第一过孔中填充金属膜，以形成第二级互连；

(f) 在所述第二级互连上方，形成具有第一绝缘膜的第二层间绝缘膜；

(g) 在所述第二层间绝缘膜中，形成用于连接到所述第二级互连的第二过孔；

(h) 在包括形成了所述第二过孔的区域的区域中的所述第二层间绝缘膜中，形成第二互连沟槽；以及

(i) 在所述第二互连沟槽和第二过孔中填充金属膜，以形成第三级互连；

其中，所述第二层间绝缘膜比所述第一层间绝缘膜厚，

其中，在所述步骤 (h) 中，通过使用所述第一绝缘膜作为蚀刻停止膜，来形成所述第二互连沟槽，以及

其中，在所述步骤 (d) 中，在不使用蚀刻停止膜的情况下，形成所述第一互连沟槽。

11. 根据权利要求 10 的半导体集成电路器件的制造方法，

其中在所述步骤 (d) 中，通过控制所述第一层间绝缘膜的蚀刻时间，来形成所述第一互连沟槽。

12. 根据权利要求 10 的半导体集成电路器件的制造方法，其中

所述第一互连沟槽比所述第一过孔浅，同时所述第二互连沟槽比所述第二过孔浅。

13. 根据权利要求 10 的半导体集成电路器件的制造方法，其中所述第二过孔比所述第一过孔深，同时所述第二互连沟槽比所述第一互连沟槽深。

14. 一种半导体集成电路器件，包括：

- (a) 第一级互连，形成在半导体衬底的主表面上方；
- (b) 第一层间绝缘膜，形成在所述第一级互连上方，
- (c) 第一过孔，形成在所述第一层间绝缘膜中并且连接到所述第一级互连；
- (d) 第一互连沟槽，形成在包括形成了所述第一过孔的区域的区域中的所述第一层间绝缘膜中；
- (e) 第二级互连，通过在所述第一互连沟槽和第一过孔中填充金属膜而形成；
- (f) 第二层间绝缘膜，形成在所述第二级互连上方；
- (g) 第二过孔，形成在所述第二层间绝缘膜中并且连接到所述第二级互连；
- (h) 第二互连沟槽，形成在包括形成了所述第二过孔的区域的区域中的所述第二层间绝缘膜中；以及
- (i) 第三级互连，通过在所述第二互连沟槽和第二过孔中填充金属膜而形成，

其中，所述第二层间绝缘膜比所述第一层间绝缘膜厚，以及在所述第二层间绝缘膜中形成第一蚀刻停止膜。

15. 根据权利要求 14 的半导体集成电路器件，其中在所述第一层间绝缘膜中没有形成蚀刻停止膜。

16. 根据权利要求 14 的半导体集成电路器件，其中所述第二过孔比所述第一过孔深，以及所述第二互连沟槽比所述第一互连沟槽深。

17. 根据权利要求 14 的半导体集成电路器件，其中所述金属膜

具有作为主要成分的铜。

18. 一种半导体集成电路器件，包括：

- (a) 第一互连，形成在半导体衬底上方；
- (b) 第一层间绝缘膜，形成在所述第一互连上方；
- (c) 第一过孔，形成在所述第一层间绝缘膜中，用于与所述第一互连连连接；
- (d) 第一互连沟槽，形成在所述第一层间绝缘膜中，用于与所述第一过孔连接；
- (e) 第二互连和第一连接部分，形成在一起并且通过所述第一过孔中和在所述第一互连沟槽中填充第一金属膜而形成；
- (f) 第二层间绝缘膜，形成在所述第二互连上方；
- (g) 第二过孔，形成在所述第二层间绝缘膜中，用于与所述第二互连连连接；
- (h) 第二互连沟槽，形成在所述第二层间绝缘膜中，用于与所述第二过孔连接；以及
- (i) 第三互连和第二连接部分，形成在一起并且通过所述第二过孔中和在所述第二互连沟槽中填充第二金属膜而形成；

其中所述第二层间绝缘膜的厚度大于所述第一层间绝缘膜的厚度，

其中所述第二互连沟槽的深度深于所述第一互连沟槽的深度，

其中所述第二层间绝缘膜包括由不同于所述第二层间绝缘膜的材料制成的第一停止膜，

其中所述第三互连的底部布置在所述第一停止膜上，以及

其中所述第二互连的底部布置在所述第一层间绝缘膜上。

19. 根据权利要求 18 的半导体集成电路器件，

其中所述第一层间绝缘膜的介电常数低于所述第二层间绝缘膜的介电常数。

20. 根据权利要求 18 的半导体集成电路器件，

其中所述第二过孔的深度深于所述第一过孔的深度。

21. 根据权利要求 18 的半导体集成电路器件，
还包括第一阻挡金属，形成在所述第一过孔和所述第一互连沟槽的内部并且形成在所述第一层间绝缘膜和所述第一金属膜之间。
22. 根据权利要求 18 的半导体集成电路器件，
还包括第二阻挡金属，形成在所述第二过孔和所述第二互连沟槽的内部并且形成在所述第二层间绝缘膜和所述第二金属膜之间。
23. 根据权利要求 18 的半导体集成电路器件，
其中所述第一层间绝缘膜由作为主要成分的 SiOC 膜形成。
24. 根据权利要求 18 的半导体集成电路器件，
其中所述第二层间绝缘膜由作为主要成分的氧化硅膜形成。
25. 根据权利要求 24 的半导体集成电路器件，
其中所述第二层间绝缘膜由添加有氟的氧化硅膜形成。
26. 根据权利要求 18 的半导体集成电路器件，
其中第一停止膜由 SiCN 膜形成。
27. 根据权利要求 18 的半导体集成电路器件，
其中所述第一停止膜由 SiN 膜或 SiON 膜形成。
28. 根据权利要求 18 的半导体集成电路器件，
其中所述第一和第二金属膜具有作为主要成分的铜。
29. 一种半导体集成电路器件的制造方法，包括以下步骤：
(a) 在半导体衬底上方形成第一互连；
(b) 在所述第一互连上方形成第一层间绝缘膜；
(c) 在所述第一层间绝缘膜中形成第一过孔，用于与所述第一互连连接；
(d) 在所述第一层间绝缘膜中形成第一互连沟槽，用于与所述第一过孔连接；
(e) 在所述第一过孔中和在所述第一互连沟槽中填充第一金属膜，以一起形成第二互连和第一连接部分；
(f) 在所述第二互连上方形成第二层间绝缘膜；
(g) 在所述第二层间绝缘膜中形成第二过孔，用于与所述第二

互连连接;

(h) 在所述第二层间绝缘膜中形成第二互连沟槽, 用于与所述第二过孔连接; 以及

(i) 在所述第二过孔中和在所述第二互连沟槽中填充第二金属膜, 以一起形成第三互连和第二连接部分;

其中所述第二层间绝缘膜的厚度大于所述第一层间绝缘膜的厚度,

其中所述第二互连沟槽的深度深于所述第一互连沟槽的深度,

其中所述第二层间绝缘膜包括由不同于所述第二层间绝缘膜的材料制成的第一停止膜,

其中在所述步骤(h)中, 利用所述第一停止膜作为蚀刻停止层来形成所述第二互连沟槽, 以及

其中在所述步骤(d)中, 在没有蚀刻停止层的情况下形成所述第一互连沟槽。

30. 根据权利要求29的半导体集成电路器件的制造方法,

其中所述第一层间绝缘膜的介电常数低于所述第二层间绝缘膜的介电常数。

31. 根据权利要求29的半导体集成电路器件的制造方法,

其中在所述步骤(d)中, 通过控制所述第一层间绝缘膜的蚀刻时间来形成所述第一互连沟槽。

32. 根据权利要求29的半导体集成电路器件的制造方法,

其中所述第二过孔的深度深于所述第一过孔的深度。

33. 根据权利要求29的半导体集成电路器件的制造方法,

在所述步骤(e)之前还包括步骤: 在所述第一过孔和第一互连沟槽的内部形成第一阻挡金属。

34. 根据权利要求29的半导体集成电路器件的制造方法,

在所述步骤(i)之前还包括步骤: 在所述第二过孔和第二互连沟槽的内部形成第二阻挡金属。

35. 根据权利要求29的半导体集成电路器件的制造方法,

其中所述第一层间绝缘膜由作为主要组分的 SiOC 膜形成。

36. 根据权利要求 29 的半导体集成电路器件的制造方法，其中所述第二层间绝缘膜由作为主要成分的氧化硅膜形成。

37. 根据权利要求 36 的半导体集成电路器件的制造方法，其中所述第二层间绝缘膜由添加有氟的氧化硅膜形成。

38. 根据权利要求 29 的半导体集成电路器件的制造方法，其中所述第一停止膜由 SiCN 膜形成。

39. 根据权利要求 29 的半导体集成电路器件的制造方法，其中所述第一停止膜由 SiN 膜或 SiON 膜形成。

40. 根据权利要求 29 的半导体集成电路器件的制造方法，其中所述第一和第二金属膜具有作为主要成分的铜。

41. 一种半导体集成电路器件的制造方法，包括以下步骤：

(a) 在半导体衬底上方形成第一互连；

(b) 在所述第一互连上方形成第一层间绝缘膜；

(c) 在所述第一层间绝缘膜上方形成第一抗反射膜，并在所述第一抗反射膜上方形成第一抗蚀剂图形；

(d) 利用所述第一抗蚀剂图形作为掩膜，蚀刻所述第一抗反射膜和第一层间绝缘膜，以在所述第一层间绝缘膜中形成第一过孔；

(e) 去除所述第一抗蚀剂图形和第一抗反射膜；

(f) 在所述第一过孔的内部填充第一填充剂；

(g) 在所述步骤 (e) 之后，在所述第一层间绝缘膜上方形成第二抗反射膜，并在所述第二抗反射膜上方形成第二抗蚀剂图形；

(h) 利用所述第二抗蚀剂图形作为掩膜，蚀刻在包括其中已形成所述第二过孔的区域的区域中的所述第一层间绝缘膜，由此在所述第一层间绝缘膜中形成第一互连沟槽；

(i) 去除所述第二抗蚀剂图形、第二抗反射膜和第一填充剂；

(j) 在所述第一过孔中和在所述第一互连沟槽中填充第一金属膜，以一起形成第二互连和第一连接部分；

(k) 在所述第二互连上方形成第二层间绝缘膜，其中所述第二

层间绝缘膜包括第一停止膜;

(1) 在所述第二层间绝缘膜上方形成第三抗反射膜, 并在所述第三抗反射膜上方形成第三抗蚀剂图形;

(m) 利用所述第三抗蚀剂图形作为掩膜, 蚀刻所述第三抗反射膜、第二层间绝缘膜和第一停止膜, 以在所述第二层间绝缘膜中形成第二过孔;

(n) 去除所述第三抗蚀剂图形和第三抗反射膜;

(o) 在所述第二过孔的内部填充第二填充剂;

(p) 在所述步骤(e)之后, 在不使用抗反射膜的情况下, 在所述第二层间绝缘膜上方形成第四抗蚀剂图形;

(q) 利用所述第四抗蚀剂图形作为掩膜并利用所述第一停止膜作为蚀刻停止层, 蚀刻在包括其中已形成所述第二过孔的区域的区域中的所述第二层间绝缘膜, 由此在所述第一停止膜上方的所述第二层间绝缘膜中形成第二互连沟槽;

(r) 去除所述第四抗蚀剂图形和第二填充剂; 以及

(s) 在所述第二过孔中和在所述第二互连沟槽中填充第二金属膜, 以一起形成第三互连和第二连接部分;

其中所述第二层间绝缘膜的厚度大于所述第一层间绝缘膜的厚度,

其中所述第二互连沟槽的深度深于所述第一互连沟槽的深度,

其中所述第二过孔的直径大于所述第一过孔的直径, 以及

其中所述第一停止膜由具有比所述第二层间绝缘膜低的光学反射系数的材料制成, 由此当形成所述第四抗蚀剂图形时所述第一停止膜用作抗反射膜。

42. 根据权利要求41的半导体集成电路器件的制造方法,

其中所述第一层间绝缘膜的介电常数低于所述第二层间绝缘膜的介电常数。

43. 根据权利要求41的半导体集成电路器件的制造方法,

其中所述第一层间绝缘膜由作为主要成分的SiOC膜形成。

44. 根据权利要求 41 的半导体集成电路器件的制造方法，其中所述第二层间绝缘膜由作为主要成分的氧化硅膜形成。
45. 根据权利要求 44 的半导体集成电路器件的制造方法，其中所述第二层间绝缘膜由添加有氟的氧化硅膜形成。
46. 根据权利要求 41 的半导体集成电路器件的制造方法，其中所述第一停止膜由 SiCN 膜形成。
47. 根据权利要求 41 的半导体集成电路器件的制造方法，其中所述第一停止膜由 SiN 膜或 SiON 膜形成。
48. 根据权利要求 41 的半导体集成电路器件的制造方法，其中在所述第一互连和所述第一层间绝缘膜之间形成用于防止构成所述第一互连的金属的扩散的阻挡绝缘膜。
49. 根据权利要求 48 的半导体集成电路器件的制造方法，其中所述阻挡绝缘膜为 SiCN 膜。
50. 根据权利要求 41 的半导体集成电路器件的制造方法，其中所述金属膜具有作为主要成分的铜。

半导体器件及其制造方法

相关申请的交叉引用

本申请要求于 2005 年 7 月 6 日提交的日本专利申请 No.2005-197938 的优先权，据此将其内容通过参考引入本申请。

技术领域

本发明涉及一种半导体集成电路器件的制造技术，特别地涉及一种当应用于使用双大马士革（damascene）工艺形成互连中时有效的技术。

背景技术

近年来，被称为大马士革工艺的精细间距互连形成方法正在成为制造微型半导体集成电路器件的领先方法。

大马士革工艺包括：在半导体衬底上方的层间绝缘膜中形成精细互连沟槽；在包括该互连沟槽内部的互连绝缘膜上方淀积金属膜；通过化学机械抛光去除互连沟槽外部的金属膜；以及在互连沟槽中形成微细嵌入互连。

被称为“双大马士革工艺”的工艺是上述大马士革工艺，但是具有较少的步骤。它包括以下步骤：在形成于层间绝缘膜中的互连沟槽之下，形成将连接到下级互连的过孔；以及在互连沟槽和过孔中同时填充金属膜，以形成互连。在过孔中预先形成金属栓塞（plug）以及然后在互连沟槽中形成嵌入互连的工艺被称为单大马士革工艺。

通常采用 Cu（铜）作为用于嵌入互连的金属材料，因为即使形成精细互连也不会使可靠性降低。当通过大马士革工艺在层间绝缘膜中形成嵌入互连时，通常的做法是通过低介电绝缘材料制作层间绝缘膜，以便降低在两个相邻互连之间产生的电容。例如，在日本

未审专利公开 No.2004-221275 或者日本未审专利公开 No.2003-124307 中，描述了一种通过大马士革工艺在由低介电材料制成的层间绝缘膜中形成嵌入互连的技术。

在日本未审专利公开 No.2003-163265 中，公开了一种通过单大马士革工艺制造互连层的方法，包括使用 SiCN 膜作为抗蚀剂图形的抗反射膜来形成过孔。

发明内容

接下来将描述本发明人研究的通过双大马士革工艺形成多级 Cu 互连的步骤的概要。

(步骤 1) 根据传统已知工艺，在半导体衬底上方形成半导体元件以及在半导体元件上方形成下级互连。

(步骤 2) 在下级互连上方淀积层间绝缘膜以及在层间绝缘膜上方形成抗反射膜之后，在抗反射膜上方形成光致抗蚀剂膜。该光致抗蚀剂膜是这样一种膜，已经通过利用在其中形成有过孔图形的光掩膜进行曝光以及然后显影，将在其中形成有过孔形成区域的图形转移到该膜上。形成抗反射膜，以便防止光致抗蚀剂膜的曝光分辨率的降低，其中由于曝光光线从下级互连的表面反射并且入射到光致抗蚀剂膜上而会发生上述曝光分辨率的降低。在光致抗蚀剂膜之下形成的抗反射膜也被称为 BARC (底部抗反射涂层)。

(步骤 3) 利用光致抗蚀剂膜作为掩膜，干法蚀刻抗反射膜和层间绝缘膜，以在层间绝缘膜中形成过孔。然后，去除光致抗蚀剂膜和抗反射膜，并且将填料填充在过孔中。填料由具有与抗反射膜基本相似的成分的绝缘材料制成。按下面的方式将填料填充在过孔中。在包括过孔内部的层间绝缘膜上方淀积填料，以及然后通过回蚀刻 (etch back) 去除过孔外部的填料。通过该回蚀刻，在过孔中填充的填料的表面变得几乎平坦，并且变成与层间绝缘膜的表面基本在同一平面上。

(步骤 4) 在层间绝缘膜上方形成第二抗反射膜，以及在该抗反

射膜上方形成第二光致抗蚀剂膜。该第二光致抗蚀剂膜是这样一种膜，即已经通过利用在其中形成有互连沟槽图形的光掩膜进行曝光以及然后显影，将在其中形成有互连沟槽区域的图形转移到该膜上。利用第二光致抗蚀剂膜作为掩膜，干法蚀刻第二抗反射膜，以及然后干法蚀刻层间绝缘膜同时留下其下部而不蚀刻，由此在过孔上方形成互连沟槽。

(步骤5)在去除第二光致抗蚀剂膜之后，也去除第二抗反射膜。当去除第二抗反射膜时，也去除填充在过孔中的填料，以从过孔的底部露出下级互连的表面。然后在互连沟槽和过孔中形成Cu互连。通过溅射或镀覆，在包括互连沟槽和过孔的内部的层间绝缘膜上方淀积Cu膜，以及然后通过化学机械抛光，去除互连沟槽外部的Cu膜，由此来形成Cu互连。通过重复上述步骤2到5，在半导体衬底上方形成多级Cu互连。

在形成在半导体衬底上方的多级Cu互连中，上级互连通常具有较大的宽度和厚度。因而，在上部层间绝缘膜中形成的过孔具有比在下部层间绝缘膜中形成的过孔更大的直径和深度。

但是，当过孔具有较大直径和宽度时，在上述步骤3中，变得难以在过孔中完全填充填料。作为结果，当在包括过孔内部的层间绝缘膜上方淀积填料之后通过回蚀刻去除过孔外部的填料时，在过孔中填充的填料的表面没有变得平坦，并且在填料的表面和层间绝缘膜的表面之间存在差异，这导致在步骤4中不能在层间绝缘膜上方均匀地形成抗反射膜的问题。

本发明的一个目的是提供一种通过双大马士革工艺以高生产率来形成多级Cu互连的技术。

本发明的另一个目的是提供一种能够简化通过双大马士革工艺形成多级Cu互连的步骤的技术。

通过在此的描述和附图，本发明的上述和其他目的以及新颖特征将变得明显。

接下来，将简要描述本申请所公开的发明的典型发明的概述。

本发明的半导体集成电路器件的制造方法包括以下步骤：（a）在半导体衬底的主表面上方形成半导体元件，以及在半导体元件上方形成包括一层或者多层的第₁级互连；（b）在第₁级互连上方形成第₁层间绝缘膜，以及在第₁层间绝缘膜的一部分中形成第₁停止膜；（c）在第₁层间绝缘膜上方形成第₁抗反射膜，以及在第₁抗反射膜上方形成第₁光致抗蚀剂膜；（d）利用第₁光致抗蚀剂膜作为掩膜蚀刻第₁抗反射膜、第₁层间绝缘膜和第₁停止膜，以在第₁层间绝缘膜中形成第₁过孔；（e）去除第₁光致抗蚀剂膜和第₁抗反射膜，以及然后在第₁过孔中填充第₁填料；（f）在步骤（e）之后，在第₁层间绝缘膜上方形成第₂光致抗蚀剂膜，而不使用抗反射膜；（g）通过利用第₂光致抗蚀剂膜作为掩膜进行蚀刻，从包括已经形成第₁过孔的区域的区域中去除第₁层间绝缘膜，由此在第₁停止膜上方的第₁层间绝缘膜中形成第₁互连沟槽；以及（h）去除第₂光致抗蚀剂膜和第₁填料，以及然后在第₁互连沟槽和第₁过孔中填充金属膜，以形成第₂级互连，其中第₁停止膜由具有低的光学反射率的材料制成，使得当对第₁层间绝缘膜上方形成的第₂光致抗蚀剂膜进行曝光以将第₁互连沟槽的图形转移到第₂光致抗蚀剂膜时将其用作抗反射膜。

接下来，将简要描述可由本申请所公开的发明的典型发明所获得的优点。

本发明使得能够通过双大马士革工艺以高生产率形成多级 Cu 互连。另外，本发明使得能够简化多级 Cu 互连的双大马士革形成步骤。

附图说明

图 1 是说明根据本发明一个实施例的半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 2 是说明在图 1 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 3 是说明在图 2 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 4 是说明在图 3 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 5 是说明在图 4 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 6 是说明在图 5 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 7 是说明在图 6 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 8 是说明在图 7 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 9 是说明在图 8 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 10 是说明在图 9 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 11 是说明在图 10 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 12 是说明在图 11 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 13 是说明在图 12 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 14 是说明在图 13 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 15 是说明在图 14 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 16 是说明在图 15 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 17 是说明在图 16 之后半导体集成电路器件的制造步骤的半

导体衬底的部分横截面图；

图 18 是说明在图 17 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 19 是说明在图 18 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 20 是说明在图 19 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 21 是说明在图 20 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 22 是说明在图 21 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 23 是说明在图 22 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 24 是说明在图 23 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 25 是说明在图 24 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 26 是说明在图 25 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 27 是说明根据本发明另一个实施例的半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 28 是说明在图 27 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；

图 29 是说明在图 28 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图；以及

图 30 是说明在图 29 之后半导体集成电路器件的制造步骤的半导体衬底的部分横截面图。

具体实施方式

以下将基于附图具体地描述本发明的实施例。在用于描述以下所述的实施例的所有附图中，具有相同功能的部件用相同的参考数字来标识，并且省略重叠的描述。

(实施例 1)

在该实施例中，将描述具有例如四层 Cu 互连和熔丝 (fuse) 的半导体集成电路器件。接下来，按照参考图 1 到图 26 的步骤顺序，描述该半导体集成电路器件的制造方法。

如图 1 所示，在例如由单晶硅制成的半导体衬底（之后将简称为“衬底”）的主表面上方形成作为半导体元件的 n 沟道 MISFET (Q_n) 和 p 沟道 MISFET (Q_p)。在该图中，数字 2、4 和 5 表示的分别是元件隔离沟槽、p 阱和 n 阱。

通过在蚀刻衬底 1 所形成的沟槽中填充例如氧化硅膜 3 的绝缘膜来形成元件隔离沟槽 2。通过将 p 型杂质（硼）和 n 型杂质（磷）离子注入到衬底 1 中并且对衬底 1 进行热处理以使这些杂质扩散到衬底 1 中来形成 p 阱 4 和 n 阱 5。

n 沟道 MISFET (Q_n) 由栅极绝缘膜 6、栅电极 7、侧壁间隔层 8、一对 n 型半导体区域（源极和漏极）11 等等组成，其中栅极绝缘膜 6 由形成在 p 阱 4 的表面上方的氧化硅膜或者氮氧化硅膜制成，栅电极 7 由例如形成在栅极绝缘膜 6 上方的多晶硅膜制成，侧壁间隔层 8 由例如形成在栅电极 7 的侧表面上方的氧化硅膜制成，以及一对 n 型半导体区域 11 形成在栅电极 7 的两侧上的 p 阱 4 中。p 沟道 MISFET (Q_p) 由栅极绝缘膜 6、栅电极 7、侧壁间隔层 8、一对 p 型半导体区域（源极和漏极）12 等等组成，其中一对 p 型半导体区域 12 形成在栅电极 7 的两侧上的 n 阱 5 中。在构成 n 沟道 MISFET (Q_n) 的栅电极 7 的多晶硅膜中，引入 n 型杂质（磷），而将 p 型杂质（硼）引入到构成 p 沟道 MISFET (Q_p) 的栅电极 7 的多晶硅膜中。在 n 沟道 MISFET (Q_n) 的栅电极 7 和 n 型半导体区域（源极和漏极）11 的相应表面以及 p 沟道 MISFET (Q_p) 的栅电极 7 和 p 型半导体区域（源极和漏极）12 的相应表面上方，形成 Co（钴）

硅化物膜 9, 用于降低栅电极 7 以及源极和漏极的每一个的电阻的目的。

如图 2 所示, 在 n 沟道 MISFET (Qn) 和 p 沟道 MISFET (Qp) 上方形成栓塞 16 和第一级互连 19, 并且 n 沟道 MISFET (Qn) 和 p 沟道 MISFET (Qp) 经由栓塞 16 连接到第一级互连 19。

按照以下方式形成第一级互连 19。首先, 在衬底 1 上方淀积蚀刻停止膜 13 和绝缘膜 14 之后, 通过化学机械抛光, 使绝缘膜 14 的表面平坦化。该蚀刻停止膜 13 由例如通过 CVD 淀积的氮化硅膜制成, 而绝缘膜 14 由例如通过 CVD 淀积的氧化硅膜制成。

然后, 对 n 沟道 MISFET (Qn) 的 n 型半导体区域 (源极和漏极) 11 和 p 沟道 MISFET (Qp) 的 p 型半导体区域 (源极和漏极) 12 的每一个上方的绝缘膜 14 进行蚀刻, 之后, 蚀刻在所得到的绝缘膜 14 之下的蚀刻停止膜 13, 以形成接触孔 15。然后, 在接触孔 15 的内部形成栓塞 16。该栓塞 16 由例如 TiN (氮化钛) 膜或者 W (钨) 膜的膜叠层形成。TiN 膜用作 W 膜的阻挡金属膜。该阻挡金属膜可以由 TiN 膜和 Ti (钛) 膜的膜叠层制成。

在通过 CVD 在绝缘膜 14 上方淀积大约 200nm 厚的绝缘膜 17 (SiOC 膜 17) 和由氧化硅膜制成的大约 50nm 厚的绝缘膜 18 之后, 利用光致抗蚀剂膜 (未示出) 作为掩膜来干法蚀刻绝缘膜 18 和 SiOC 膜 17, 以形成互连沟槽 20。绝缘膜 17 (SiOC 膜 17) 是用于降低互连电容的低介电绝缘膜, 并且是例如介电常数比氧化硅膜 (例如 TEOS (四乙氧基硅烷) 氧化物膜) 低的绝缘膜。通常, 具有低达大约 4.1 到 4.2 或者更低的特定介电常数 ϵ 的膜 (例如 TEOS 膜) 被称为低介电绝缘膜。在本实施例中, 特定介电常数为大约 2.7。在 SiOC 膜 17 上方形成的绝缘膜 18 用作保护膜, 用于防止具有低机械强度的 SiOC 膜 17 由于化学机械抛光而另外将发生的劣化。

通过溅射在互连沟槽 20 的内部淀积由 TiN 膜或者 TiN 膜和 Ti 膜的膜叠层制成的大约 50nm 厚的阻挡金属膜, 以及然后通过溅射或镀覆来淀积能够完全填充互连沟槽 20 内部的厚 (约从 800nm 到

1600nm) Cu膜。阻挡金属膜用作用于防止 Cu膜扩散到周围绝缘膜中的膜。除了 TiN膜之外,可使用几乎不与 Cu发生反应的各种导电膜作为阻挡金属膜:例如,诸如 WN(氮化钨)膜和 TaN(氮化钽)膜的金属氮化物膜;通过将 Si添加到这种金属氮化物膜所获得的合金膜;诸如 Ta膜、Ti膜、W膜和 TiW膜的难熔金属膜;以及这些难熔金属膜的膜叠层。

通过化学机械抛光去除互连沟槽 20 外部的 Cu膜和阻挡金属膜,由此在互连沟槽 20 的内部嵌入主要由 Cu组成的金属膜。以这种方式,第一级互连 19 由留在互连沟槽 20 内部的阻挡金属膜和 Cu膜的膜叠层制成。

如图 3 所示,在第一级互连 19 上方连续淀积阻挡金属膜 21 和 22、层间绝缘膜 23 和绝缘膜 24。阻挡绝缘膜 21 是用于防止作为第一级互连 19 的材料的 Cu扩散到层间绝缘膜 23 中的绝缘膜,并且它由例如具有大约 20nm 到 100nm 厚度并且通过例如等离子体 CVD 淀积的 SiCN膜制成。阻挡绝缘膜 22 是用于防止在构成位于下方的阻挡绝缘膜 21 的 SiCN膜中包含的胺化合物扩散到层间绝缘膜 21 中的绝缘膜,并且它由例如通过 CVD 淀积的厚度约为 10nm 到 100nm 的 SiCO膜制成。胺化合物扩散到层间绝缘膜 23 中造成它在随后的步骤中进一步扩散到形成在绝缘膜 23 上方的光致抗蚀剂膜中,这会使光致抗蚀剂膜的感光功能失效。

层间绝缘膜 23 由例如上述 SiOC膜的低介电绝缘膜制成,以便降低在第一级互连 29 与将在后面步骤形成的第二级互连之间的电容。SiOC膜通过 CVD 来淀积,并且它的厚度为大约 460nm。通过该涂覆方法也可以形成例如层间绝缘膜 23 的低介电膜。与下部的绝缘膜 18 类似,形成在层间绝缘膜 23 上方的绝缘膜 24 是用于当通过化学机械抛光形成 Cu互连时保护层间绝缘膜 23 的绝缘膜,该层间绝缘膜 23 由具有低机械强度的 SiOC膜制成。绝缘膜 24 由例如通过 CVD 淀积的大约 50nm 厚的氧化硅膜制成。

如图 4 所示,在绝缘膜 24 上方形成抗反射膜 25,之后在抗反射

膜 25 上方形成光致抗蚀剂膜 26。当形成光致抗蚀剂膜 26 时，从第一级互连 19 的表面反射的曝光光线入射在光致抗蚀剂膜 26 上，并且使分辨率劣化。形成抗反射膜 25，用于防止这种分辨率的劣化。抗反射膜是一种被称为“BARC（底部抗反射涂层）”的膜，并且具有比位于下方的绝缘膜 24 和层间绝缘膜 23 高的折射率。光致抗蚀剂膜 26 是这样一种膜，即已经通过具有在其中形成有过孔图形的光掩膜（未示出）进行曝光并且然后显影，将具有对应于过孔形成区域的开口的图形转移到该膜上。

如图 5 所示，利用光致抗蚀剂膜 26 作为掩膜，连续干法蚀刻抗反射膜 25、绝缘膜 24 和层间绝缘膜 23，由此在第一级互连 19 上方形成过孔 27。

然后，去除光致抗蚀剂膜 26 和抗反射膜 25。当抗反射膜 25 由上述 BARC 制成时，它具有类似于光致抗蚀剂膜 26 的成分，使得通过一次清洗可以同时去除光致抗蚀剂膜 26 和抗反射膜 25。如图 6 所示，将填料 28 填充在过孔 27 的内部。填料 28 由具有几乎与抗反射膜 25 类似的成分的绝缘材料制成。通过在包括过孔 27 内部的绝缘膜 24 上旋涂填料 28，使其固化，并且然后通过回蚀刻去除过孔 27 外部的填料 28，由此填充填料 28。用于将第一级互连 19 连接到将在稍后形成的第二级互连的过孔 27 的直径相对较小，使得通过采用该回蚀刻，在过孔 27 中填充的填料 28 几乎具有平坦的表面，并且同时，其表面与绝缘膜 24 的表面几乎在同一平面上。

如图 7 所示，在绝缘膜 24 上方形成抗反射膜 30，以及然后，在抗反射膜 30 上方形成光致抗蚀剂膜 31。在本实施例中，使用上述 BARC 作为抗反射膜 30。光致抗蚀剂膜 31 是这样一种膜，即已经通过在其中形成有互连沟槽图形的光掩膜（未示出）进行曝光并且然后显影，将在其中具有互连沟槽形成区域的开口的图形转移到该膜上。

如图 8 所示，利用光致抗蚀剂膜 31 作为掩膜，连续干法蚀刻抗反射膜 30 和绝缘膜 24，之后干法蚀刻层间绝缘膜 23，同时留下其

下部而不蚀刻，由此形成互连沟槽 32。层间绝缘膜 23 不具有用作蚀刻停止层的膜，使得在控制蚀刻时间的同时形成互连沟槽 32。形成具有比层间绝缘膜 23 高的介电常数的膜不可避免地增加了互连电容，因为下级互连的尺寸设计为比上级互连的尺寸更精细。在本实施例中，通过不在层间绝缘膜 23 中形成蚀刻停止膜，可以降低互连电容。另外，因为在下层的互连沟槽设计为具有比在上层的互连沟槽更浅的深度，所以可以减小形成互连沟槽的蚀刻量。因此，通过控制蚀刻时间而不特别地设置蚀刻停止膜，可以调整膜厚度。

如图 9 所示，在去除光致抗蚀剂膜 31 之后，通过干法蚀刻去除绝缘膜 24 上方的抗反射膜 30。同时蚀刻在过孔 27 中填充的填料 28 和位于其之下的阻挡绝缘膜 22 和 21，以从过孔 27 的底部露出第一级互连 19 的表面。

如图 10 所示，然后在互连沟槽 32 和过孔 27 的内部形成第二级互连 33。通过溅射，在包括互连沟槽 32 和过孔 27 的内部的绝缘膜 24 上方淀积厚度为大约 50nm 的薄 TiN 膜（阻挡金属膜），来形成第二级互连 33。然后通过溅射或镀覆，在该 TiN 膜上方淀积用于填充互连沟槽 32 和过孔 27 的厚 Cu 膜，之后通过化学机械抛光，去除在互连沟槽 32 外部的 Cu 膜和阻挡金属膜。绝缘膜 24 具有比层间绝缘膜 23 更强的机械强度，使得它可用作层间绝缘膜 23 的保护膜。

如图 11 所示，在第二级互连 33 上方淀积阻挡绝缘膜 34、层间绝缘膜 35 和抗反射膜 36 之后，利用在抗反射膜上方形成的光致抗蚀剂膜 37 作为掩膜，干法蚀刻抗反射膜 36 和层间绝缘膜 35，由此在第二级互连 33 上方形成过孔 38。

与用于覆盖第一级互连 19 的表面的阻挡绝缘膜 21 相似，阻挡绝缘膜 34 是用于防止作为互连材料的 Cu 扩散到层间绝缘膜 35 中的绝缘膜，并且它由例如通过等离子体 CVD 淀积的厚度为大约 20nm 到 100nm 的 SiCN 膜制成。

在衬底 1 上方形成的多级互连中，上级互连的互连电容变得小于下级互连的互连电容，因为在下级互连中，两个相邻互连之间的

距离较宽。当在稍后将形成的两个第三级互连之间的电容或者在第三级互连和第二级互连之间的电容不是重要因素时，层间绝缘膜 35 由例如通过 CVD 淀积的约 700nm 厚的氧化硅膜制成。因为氧化硅膜具有比作为低介电材料的 SiCO 膜更致密的膜质量，所以即使当在由 SiCN 膜制成的阻挡绝缘膜 34 上方直接淀积由氧化硅膜制成的层间绝缘膜 35 时，胺化合物的扩散也不会成为问题。因为 SiCN 膜对于氧化硅膜具有相对低的粘附力，所以通过在其间形成 SiCN 膜，可以改善在阻挡绝缘膜 34 和层间绝缘膜 35 之间的粘附力。作为构成层间绝缘膜 35 的氧化硅系列材料，可以使用添加有用于降低其介电常数的 F（氟）的氧化硅。

另一方面，当两个第三级互连（43）之间的电容或者第三级互连与第二级互连之间的电容是重要因素时，层间绝缘膜 35 由例如 SiCO 膜的低介电材料制成。在这种情况下，期望在阻挡绝缘膜 34 和层间绝缘膜 35 之间形成 SiCO 膜，以防止胺化合物扩散到阻挡绝缘膜 34 中。在下面的描述中，层间绝缘膜 35 由氧化硅膜制成。

如图 12 所示，在去除光致抗蚀剂膜 37 和抗反射膜 36 之后，在过孔 38 中填充填料 39。正如以上所述，填料 39 由具有几乎类似于上述抗反射膜的成分的绝缘材料制成。填料 39 的填充方法也与在过孔 27 中填充填料 28 所采用的方法类似。因为用于将第二级互连 33 连接到稍后将形成的第三级互连的过孔 38 的直径相对较小，所以在过孔 38 中填充的填料 39 的表面几乎是平坦的，并且同时与层间绝缘膜 35 在同一平面上。

如图 13 所示，在层间绝缘膜 35 中形成互连沟槽 42。通过在层间绝缘膜 35 上方形成抗反射膜 40，在抗反射膜 40 上方形成光致抗蚀剂膜 41，利用光致抗蚀剂膜 41 作为掩膜来干法蚀刻抗反射膜 40，以及然后干法蚀刻层间绝缘膜 35 同时留下其下部而不蚀刻，由此形成互连沟槽 42。在本实施例中，通过与用于形成互连沟槽 32 所采用的类似的时间控制的蚀刻，形成互连沟槽 42。

如图 14 所示，在互连沟槽 42 和过孔 38 中形成第三级互连 43。

通过去除光致抗蚀剂膜 41 以及然后利用干法蚀刻去除抗反射膜 40, 形成第三级互连 43。通过去除在过孔 38 中填充的填料 39 以及位于下方的阻挡绝缘膜 34, 以从过孔 38 的底部露出第二级互连 33 的表面, 由此去除抗反射膜 40。在包括互连沟槽 42 和过孔 38 的内部的层间绝缘膜 35 上方, 通过溅射, 淀积薄 TiN 膜 (阻挡金属膜)。在通过溅射或者镀覆在 TiN 膜上方淀积厚 Cu 膜之后, 通过化学机械抛光, 去除互连沟槽 42 外部的 Cu 膜和阻挡金属膜。

如图 15 所示, 在第三级互连 43 上方淀积阻挡绝缘膜 44 和层间绝缘膜 45。阻挡绝缘膜 44 是用于防止 Cu 扩散的绝缘膜, 并且与位于下方的阻挡绝缘膜 34 和 21 类似, 它由通过等离子体 CVD 淀积的约为 50nm 到 100nm 的 SiCN 膜制成。在随后步骤中将形成在层间绝缘膜 45 中的第四级互连中, 每个互连的尺寸、互连之间的距离以及每个互连的厚度都比下级互连的大。因此, 层间绝缘膜 45 由通过 CVD 淀积的约 1 μ m 厚的氧化硅膜制成。在阻挡绝缘膜 44 和层间绝缘膜 45 之间可以形成 SiCO 膜, 用于改善其间的粘附力的目的。作为构成层间绝缘膜 45 的氧化硅系列材料, 可以使用添加有用于降低其介电常数的 F 的氧化硅。

当通过蚀刻层间绝缘膜 45 同时留下其下部而不蚀刻来形成互连沟槽时, 具有较大厚度的层间绝缘膜 45 使得很难以高精度控制互连沟槽的深度。具体地描述, 互连沟槽 52 和 53 比上述互连沟槽 32 和 42 深, 使得它们不能被容易地通过用于形成互连沟槽 32 和 43 的时间控制的蚀刻来形成。因此, 通过在层间绝缘膜 45 中形成具有不同于层间绝缘膜 45 的蚀刻选择性的停止膜 46, 以及在停止膜 46 的表面处停止蚀刻, 来控制互连沟槽的深度。在本实施例中, 使用通过等离子体 CVD 淀积的约 10nm 到 100nm 厚的 SiCN 膜作为形成在层间绝缘膜 45 中的停止膜 46。SiCN 膜相对于氧化硅膜具有高的蚀刻选择性, 并且具有低的节电常数, 使得它可用作停止膜 46。与层间绝缘膜 45 相比, 它还具有较低的光学反射率 (具有较小的折射率), 使得它也用作下面将描述的抗反射膜。

如图 16 所示，在层间绝缘膜 45 上方形成抗反射膜 47 之后，利用在抗反射膜 47 上方形成的光致抗蚀剂膜 48 作为掩膜，来连续地干法蚀刻抗反射膜 47、层间绝缘膜 45、停止膜 46 和层间绝缘膜 45，由此在第三级互连 43 上方形成过孔 49。

如图 17 所示，在去除光致抗蚀剂膜 48 和抗反射膜 47 之后，在过孔 49 中填充填料 50。填料 50 的材料和填充方法与上述那些类似。与位于下方的过孔 38 和 27 相比，用于形成第四级互连的过孔 49 具有更大直径和深度，这防止了填料 50 的完全填充。因而，在过孔 49 中填充的填料 50 不具有平坦表面，并且它不可避免地具有与层间绝缘膜 45 的表面的台阶差。

如图 18 所示，在层间绝缘膜 45 上方形成光致抗蚀剂膜 51。正如以上所述，在过孔 49 中填充的填料 50 不具有平坦表面并且具有与层间绝缘膜 45 的表面的台阶差，使得很难在层间绝缘膜 45 的整个表面上方涂覆均匀厚度的抗反射膜。因而，在层间绝缘膜 45 上方直接形成光致抗蚀剂膜 51，而不使用抗反射膜。

光致抗蚀剂膜 51 是这样一种膜，即已经通过在其中形成有互连沟槽图形和熔丝图形的光掩膜（未示出）进行曝光并且然后显影，将在其中形成有互连沟槽形成区域和熔丝形成区域的图形转移到该膜上。正如以上所述，因为在层间绝缘膜 45 中形成由具有低的光学反射率的 SiCN 膜制成的停止膜 46，所以可防止例如另外由于曝光光线从第三级互连 43 的表面反射并且入射到光致抗蚀剂膜 51 上所会产生分辨率劣化的不利性，而无需在光致抗蚀剂膜 51 之下形成抗反射膜。因此，在光致抗蚀剂膜 51 之下形成抗反射膜的步骤不是必需的，这带来制造工艺的简化。要求形成在层间绝缘膜 45 中的停止膜 46 具有与氧化硅膜不同的蚀刻选择性、具有低的光学反射率以及低的介电常数。除了上述 SiCN 之外，这种绝缘材料的例子包括氮化硅（SiN）以及氮氧化硅（SiON）。其中，最优选的是 SiCN。

如图 19 所示，利用光致抗蚀剂膜 51 作为掩膜，干法蚀刻层间绝缘膜 45，并且在停止膜 46 的表面处停止蚀刻，由此在停止膜 46

上方的层间绝缘膜 45 中形成互连沟槽 52 和 53。

如图 20 所示，在去除光致抗蚀剂膜 51 之后，通过干法蚀刻去除填充在过孔 49 中的填料 50，以从过孔 49 的底部露出第三级互连 43 的表面。

如图 21 所示，在互连沟槽 52 和过孔 49 的内部形成第四级互连 54，同时在互连沟槽 53 的内部形成将作为熔丝 55 的第四级互连 54。虽然在图中没有示出，但是，熔丝 55 经由下级互连连接到电阻器。通过构成 MISFET (Q_n 和 Q_p) 的栅电极 7 层的多晶硅膜形成电阻器。当探针测试（将在下面描述）在 CMOS 存储器的一部分中发现一些缺陷时，通过使用激光束等等来切断熔丝 55，以改变电阻器的电阻，并且使冗余存储器代替有缺陷的存储器。

通过溅射在包括互连沟槽 52 和 53 以及过孔 49 的内部的层间绝缘膜 45 上方淀积薄 TiN 膜（阻挡金属膜），通过溅射或者镀覆在 TiN 膜上方形成厚 Cu 膜，以及然后通过化学机械抛光去除互连沟槽 52 和 53 外部的 Cu 膜和阻挡金属膜，由此形成第四级互连 54 和熔丝 55。

蚀刻停止膜 46 保留在层间绝缘膜 45 中，但是在第四级互连中的两个相邻互连之间的距离大于在位于下方的第一级、第二级或者第三级互连中的两个相邻互连之间的距离，以及层间绝缘膜 45 具有较大的膜厚度，使得基本上可以忽略互连之间的电容以及互连层之间的电容。

如图 22 所示，在第四级互连 54 和熔丝 55 上方淀积阻挡绝缘膜 56 和层间绝缘膜 57。阻挡绝缘膜 56 是用于防止 Cu 扩散的绝缘膜，并且与位于下方的阻挡膜 44、34 和 21 类似，它由通过等离子体 CVD 淀积的 SiCN 膜制成。与位于下方的层间绝缘膜 45 和 32 类似，层间绝缘膜 57 由厚度大约为 900nm 的氧化硅系列绝缘膜制成。在图 22 和图 22 之后的图中，省略了位于第四级互连 54 之下的部分。

正如以下所述，在第四级互连 54 和熔丝 55 上方形成层间绝缘膜和表面保护膜。在熔丝 55 上方的层间绝缘膜和表面保护膜中，形

成用于使熔丝 55 暴露于激光束的开口。如果水经由该开口从外部进入电路，则熔丝 55 可能会被腐蚀。在本实施例 1 中，将阻挡绝缘膜 56 的厚度（例如从大约 150nm 到 200nm）制成大于位于下方的阻挡绝缘膜 44、34 和 21 的厚度，以改善熔丝 55 的耐潮性。

如图 23 所示，在层间绝缘膜 57 上方形成最上级互连（第五级互连）60，之后在最上级互连 60 上方形成表面保护膜 61。按下面的方式形成最上级互连 60。利用光致抗蚀剂膜作为掩膜，干法蚀刻第四级互连 54 上方的层间绝缘膜 57，以及然后干法蚀刻位于层间绝缘膜 57 之下的阻挡绝缘膜 56，以形成过孔 58。在过孔 58 的内部形成栓塞 59。与下层的栓塞 16 类似，栓塞 59 由 TiN 膜和 W 膜的膜叠层制成。在层间绝缘膜 57 上方，通过溅射淀积从大约 50nm 到 100nm 厚的 TiN 膜、大约 1 μ m 厚的 Al(铝)合金膜和从大约 50nm 到 100nm 厚的 TiN 膜。利用光致抗蚀剂膜（未示出）作为掩膜，蚀刻这些导电膜，以形成最上级互连 60。在最上级互连 60 上方的表面保护膜 61 由通过等离子体 CVD 淀积的约为 200nm 厚的氧化硅膜和约为 600nm 厚的氮化硅膜的膜叠层制成。

如图 24 所示，利用光致抗蚀剂膜（未示出）作为掩膜，干法蚀刻表面保护膜 61，以露出最上级互连 60 的一部分，由此形成键合焊盘 60B。干法蚀刻熔丝 55 上方的表面保护膜 61 和层间绝缘膜 57，以形成开口 62。在形成该开口期间，通过在覆盖熔丝 55 的阻挡绝缘膜 56 的表面处终止蚀刻，在熔丝 55 上方留下阻挡绝缘膜 56。

因为熔丝 55 上方的阻挡绝缘膜 56 比位于下方的阻挡绝缘膜 44、34 或 21 厚，所以可以保持耐潮性。具体地描述，假设阻挡绝缘膜 56 的厚度等于阻挡绝缘膜 44、34 或 21 的厚度，则例如通过用于在熔丝 55 上方形成开口 62 的蚀刻步骤、用于去除光致抗蚀剂膜的氧等离子体灰化步骤、清洗步骤等等，使阻挡绝缘膜进一步变薄，这不利地导致耐潮性降低。特别是，在蚀刻开口 62 时，必须蚀刻比位于下方的层间绝缘膜厚的膜，从而担心通过过蚀刻使阻挡绝缘膜 56 变得极其薄。因此，需要形成厚度大于位于下层的阻挡绝缘膜 44、

34 或 21 的阻挡绝缘膜 56。

在把探针（未示出）施加到键合焊盘 60B 的表面的同时，执行电路的电测试（探针测试）。当探针测试显示在半导体器件的一部分中存在缺陷时，经由开口 62 使熔丝 55 暴露于激光束，以切断熔丝 55，由此通过冗余存储器替代有缺陷的存储器。

在熔丝 55 上方留下的绝缘膜的厚度足以使得通过暴露于激光束而被切断（将在之后描述）。根据需要，可以留下绝缘膜 57。

如图 25 所示，在表面保护膜 61 上方淀积聚酰亚胺树脂膜 63 之后，在聚酰亚胺树脂膜 63 上方形成引出互连 64，由此电连接键合焊盘 60B 和引出互连 64。该引出互连 64 是用于将构成 CMOS 存储器的外部连接端子的焊料凸点电连接到键合焊盘 60B 的互连。通过在表面保护膜 61 上方淀积聚酰亚胺树脂膜 63，以及利用光致抗蚀剂膜（未示出）作为掩膜蚀刻键合焊盘 60B 上方的聚酰亚胺树脂膜 63，来形成引出互连 64。然后，在表面保护膜 61 上方形成其中形成有引出互连 64 的形成区域的光致抗蚀剂膜（未示出）之后，通过镀覆或溅射，在表面保护膜 61 上方淀积 Cu 膜。

如图 26 所示，利用聚酰亚胺树脂膜 65 覆盖由 Cu 膜制成的引出互连 64 的表面，以及然后蚀刻聚酰亚胺树脂膜 65 的一部分，以露出引出互连 64 的一个端部。通过镀覆，在其表面上形成 Au（金）膜 66。然后通过印刷方法在 Au（金）膜 66 表面上形成焊料凸点 67，由此形成半导体集成电路器件的外部连接端子。

在引出互连 64 的形成步骤期间，通过光致抗蚀剂膜的蚀刻或者灰化，而使熔丝 55 上方的阻挡绝缘膜 56 变薄，但是可以通过预先使阻挡绝缘膜 56 变厚来防止耐潮性的劣化。

（实施例 2）

在实施例 1 中，在层间绝缘膜中形成过孔之后形成互连沟槽。另一方面，在本实施例中，在层间绝缘膜中形成互连沟槽之后形成过孔。

如图 27 所示，在第三级互连 43 上方淀积阻挡绝缘膜 44 和层间

绝缘膜 45。在层间绝缘膜 45 中形成停止膜 46。使用通过等离子体 CVD 淀积的大约 10nm 到 100nm 厚的 SiCN 膜作为停止膜 46。直到该步骤的那些步骤与实施例 1 中参考图 1 到图 15 描述的类似。

如图 28 所示,在层间绝缘膜 45 上方形成光致抗蚀剂膜 51 之后,利用光致抗蚀剂膜 51 作为掩膜干法蚀刻层间绝缘膜 45。通过在停止膜 46 的表面处停止蚀刻,在停止膜 46 上方的层间绝缘膜 45 中形成互连沟槽 52 和 53。这里,在层间绝缘膜 45 和光致抗蚀剂膜 51 之间没有形成抗反射膜,但是如实施例 1 那样,在层间绝缘膜 45 中形成了由具有低的光学反射率的 SiCN 膜制成的停止膜 46。即使在光致抗蚀剂膜 51 之下不形成抗反射膜,也可以抑制另外由于曝光光线从第三级互连 43 的表面反射并且入射在光致抗蚀剂膜 51 上而会引起的分辨率降低。

如图 29 所示,在层间绝缘膜 45 上方形成光致抗蚀剂膜 48 之后,利用光致抗蚀剂膜 48 作为掩膜,干法蚀刻层间绝缘膜 45 和阻挡绝缘膜 44,由此形成过孔 49,以及从过孔 49 的底部露出第三级互连 43。在这种情况下,停止膜 46 用作抗反射膜,使得可以抑制另外由于曝光光线从第三级互连 43 的表面反射并且入射在光致抗蚀剂膜 48 上而会引起的分辨率降低。

在去除光致抗蚀剂膜 48 之后,在互连沟槽 52 和过孔 49 中形成第四级互连 54,并且在互连沟槽 53 中形成熔丝 55。以与实施例 1 中类似的方式,形成第四级互连 54 和熔丝 55。

在本实施例中,可以简化第四级互连 54 的形成步骤,其中在层间绝缘膜 45 中形成互连沟槽 52 和 53 之后形成过孔 49。另外,可以以高生产率形成第四级互连 54。

基于一些实施例,具体地描述了由本发明人所做出的本发明。本发明并不局限于这些实施例,而是不用说,可以在不偏离本发明范围的情况下做出变化。例如,本发明可以应用于具有五个或者更多 Cu 互连层的半导体器件的制造方法。

当应用于通过双大马士革工艺形成有多级互连的半导体集成电路器件时,本发明是有效的。

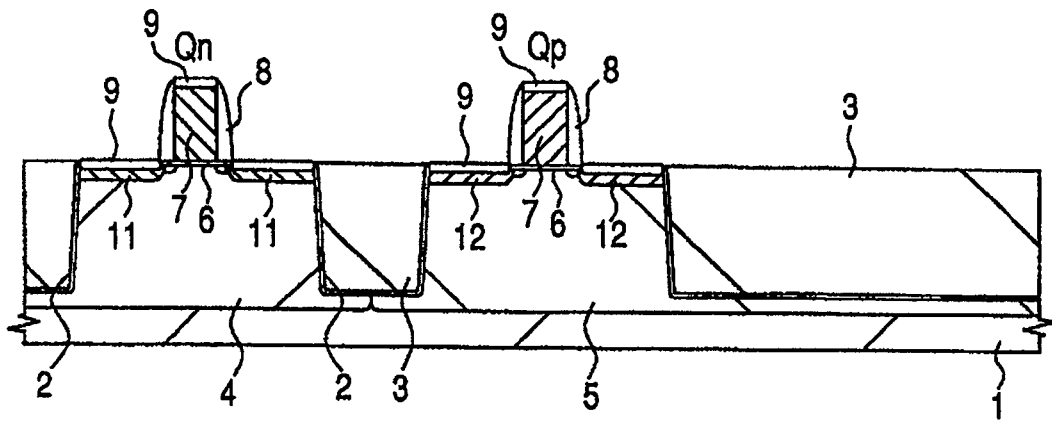


图 1

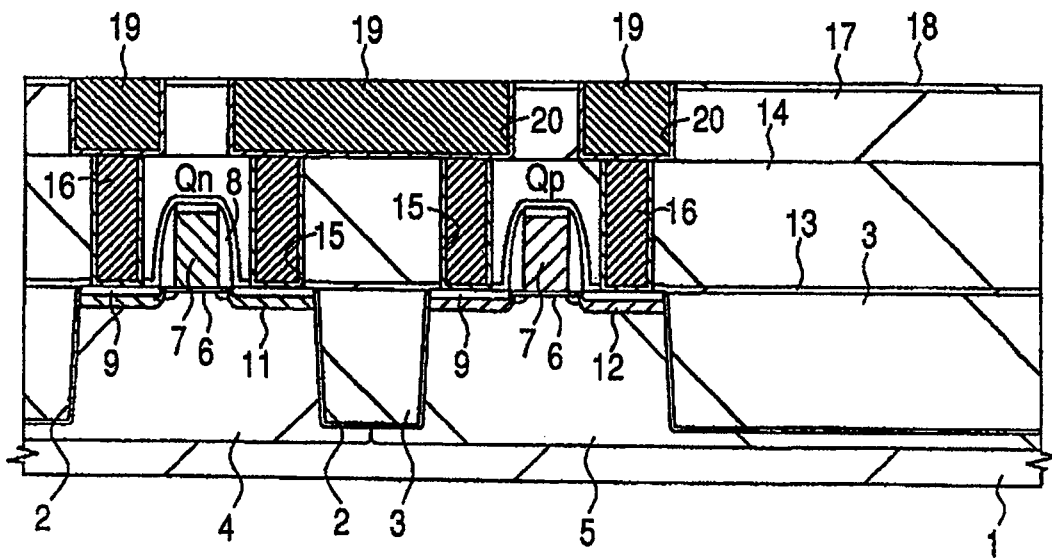


图 2

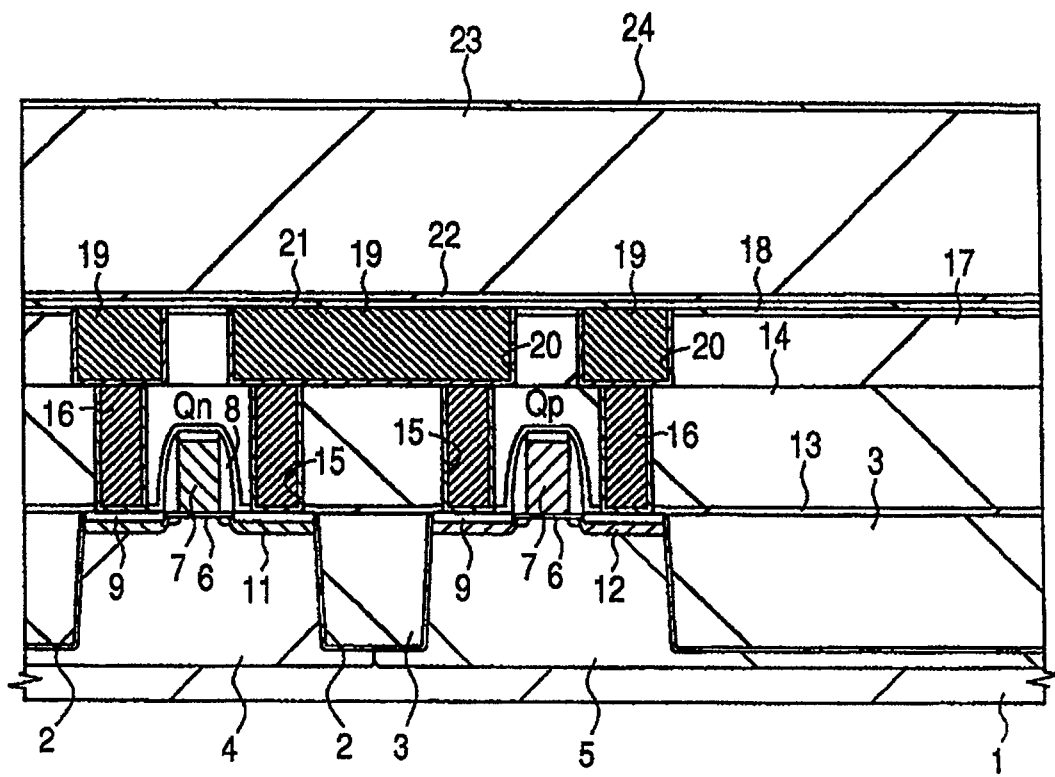


图 3

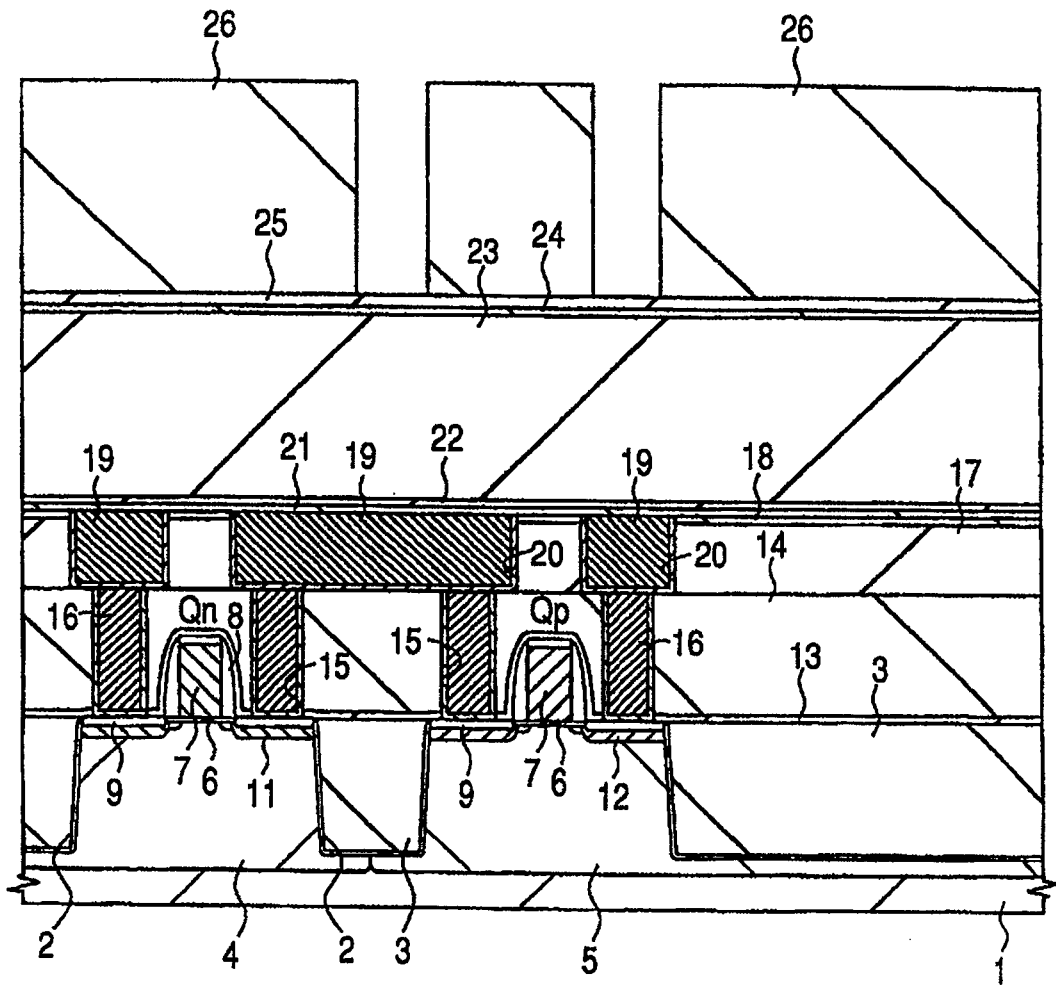


图 4

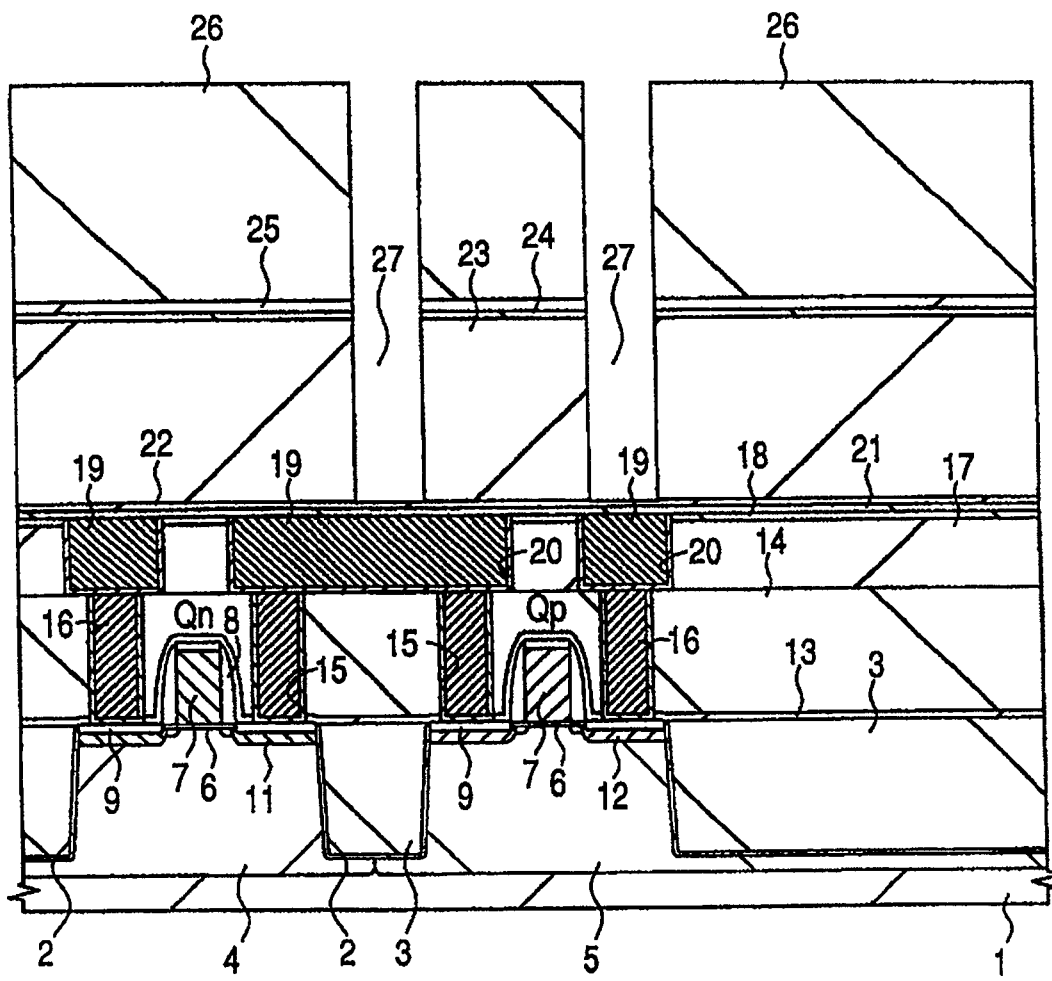


图 5

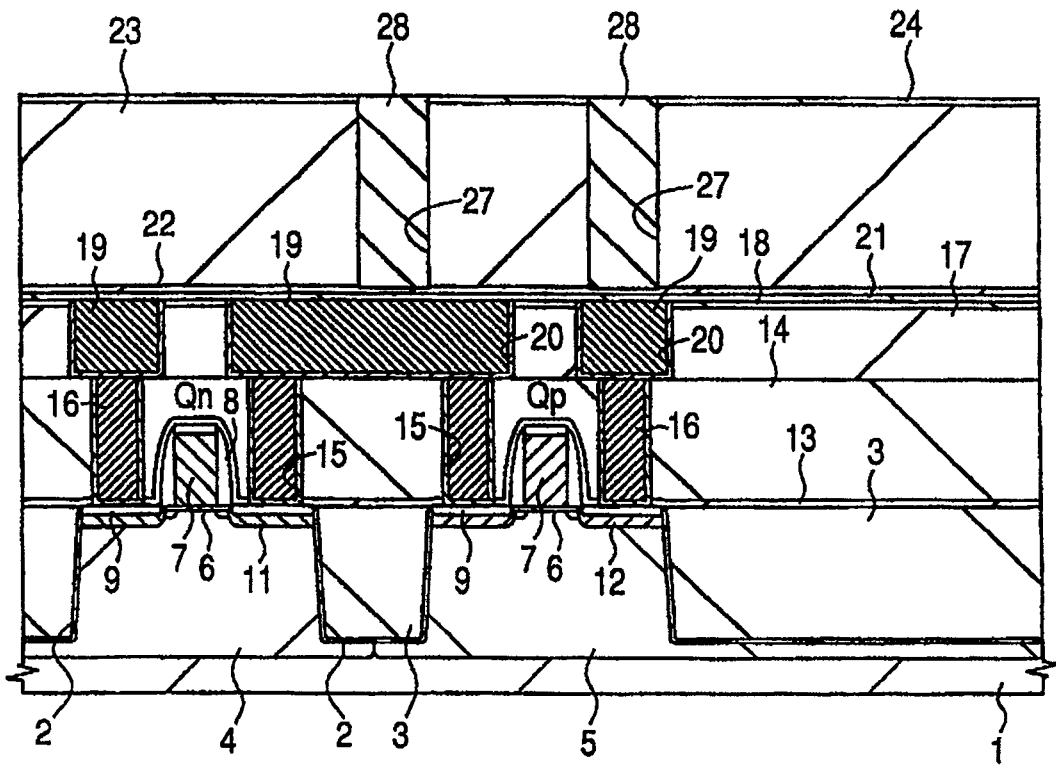


图 6

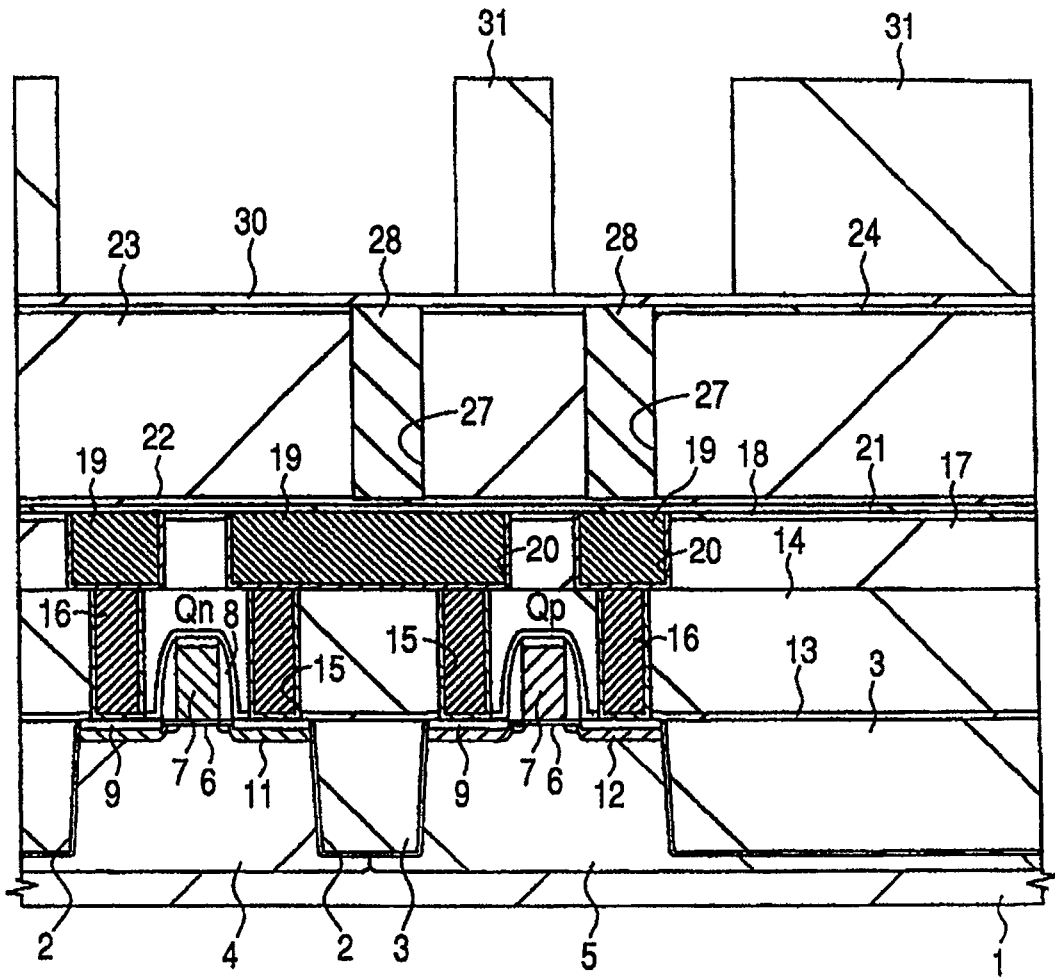


图 7

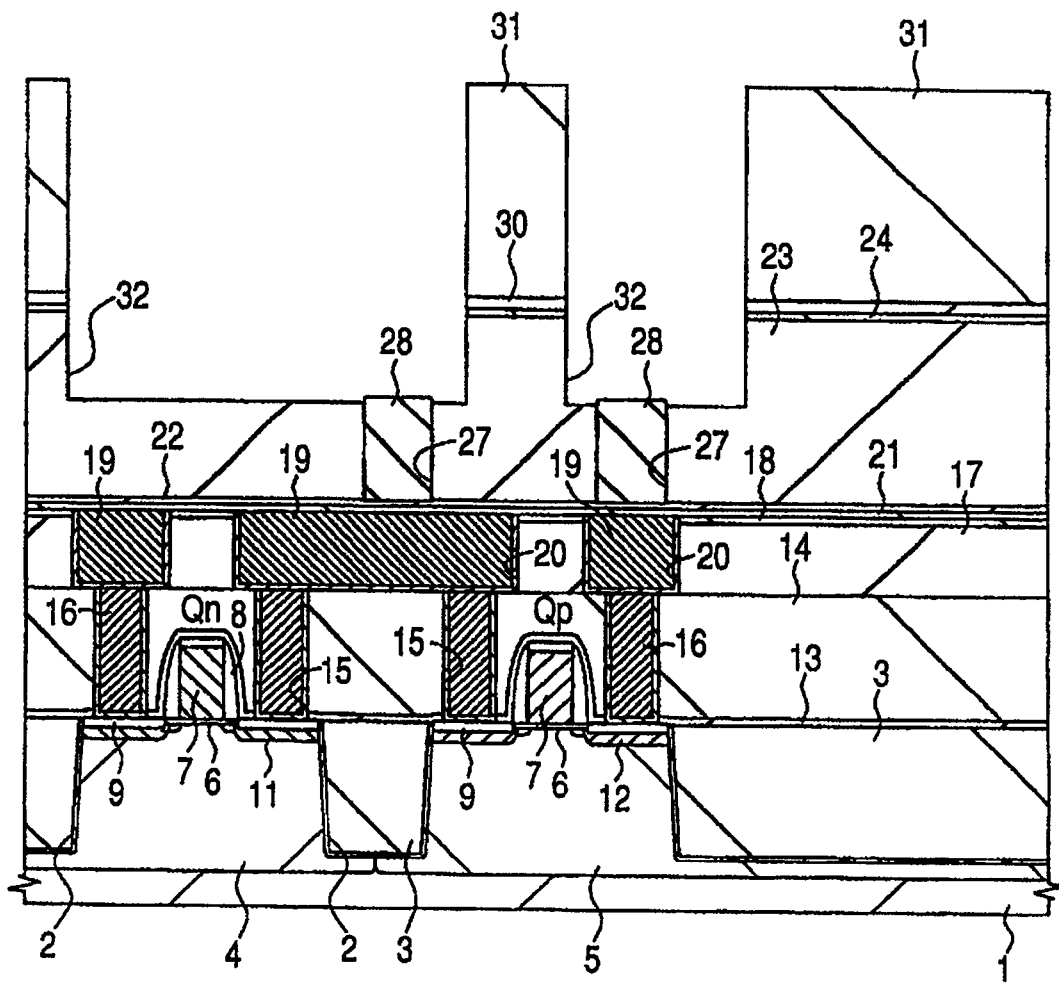


图 8

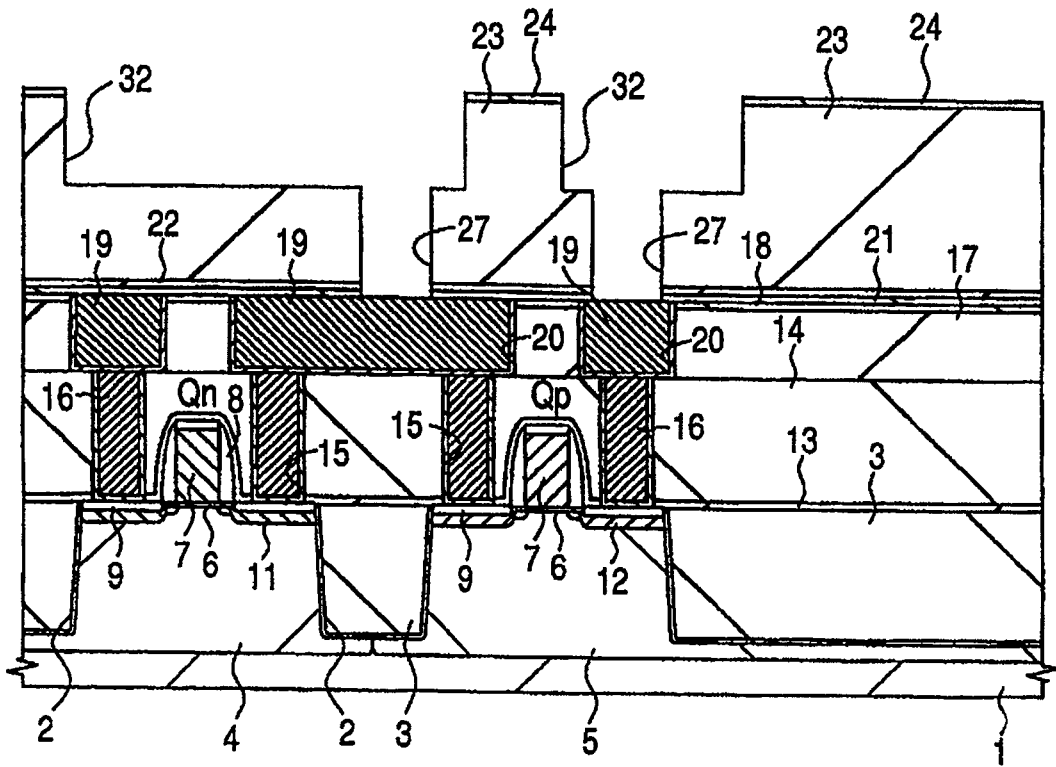


图 9

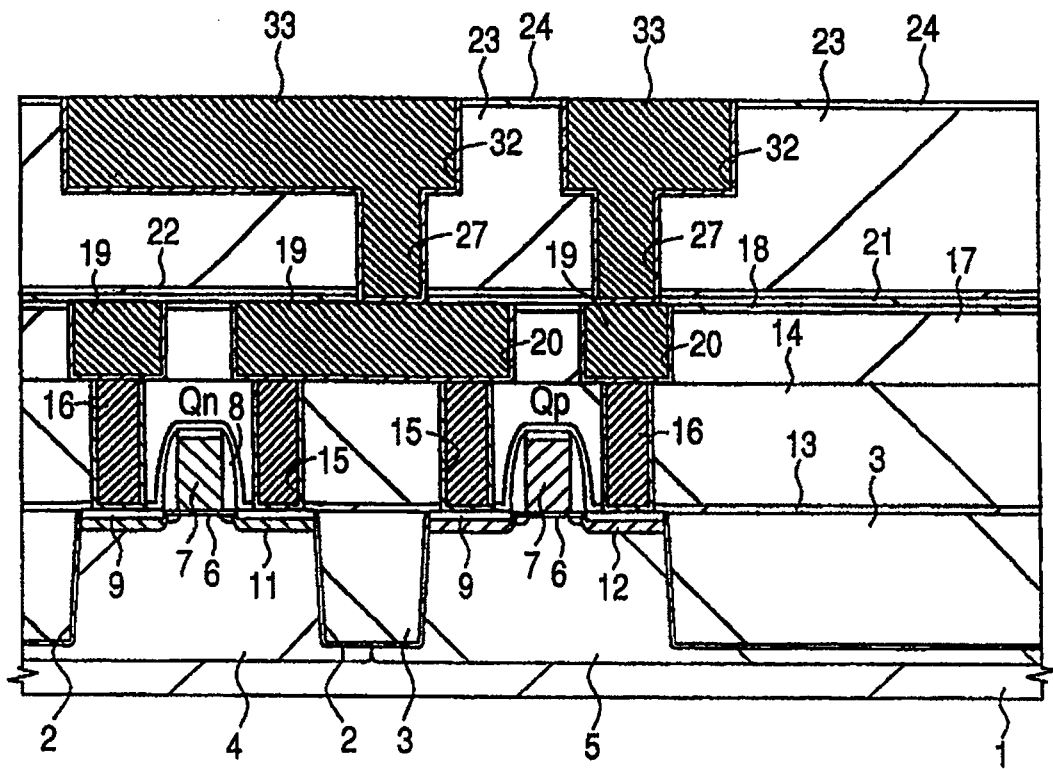


图 10

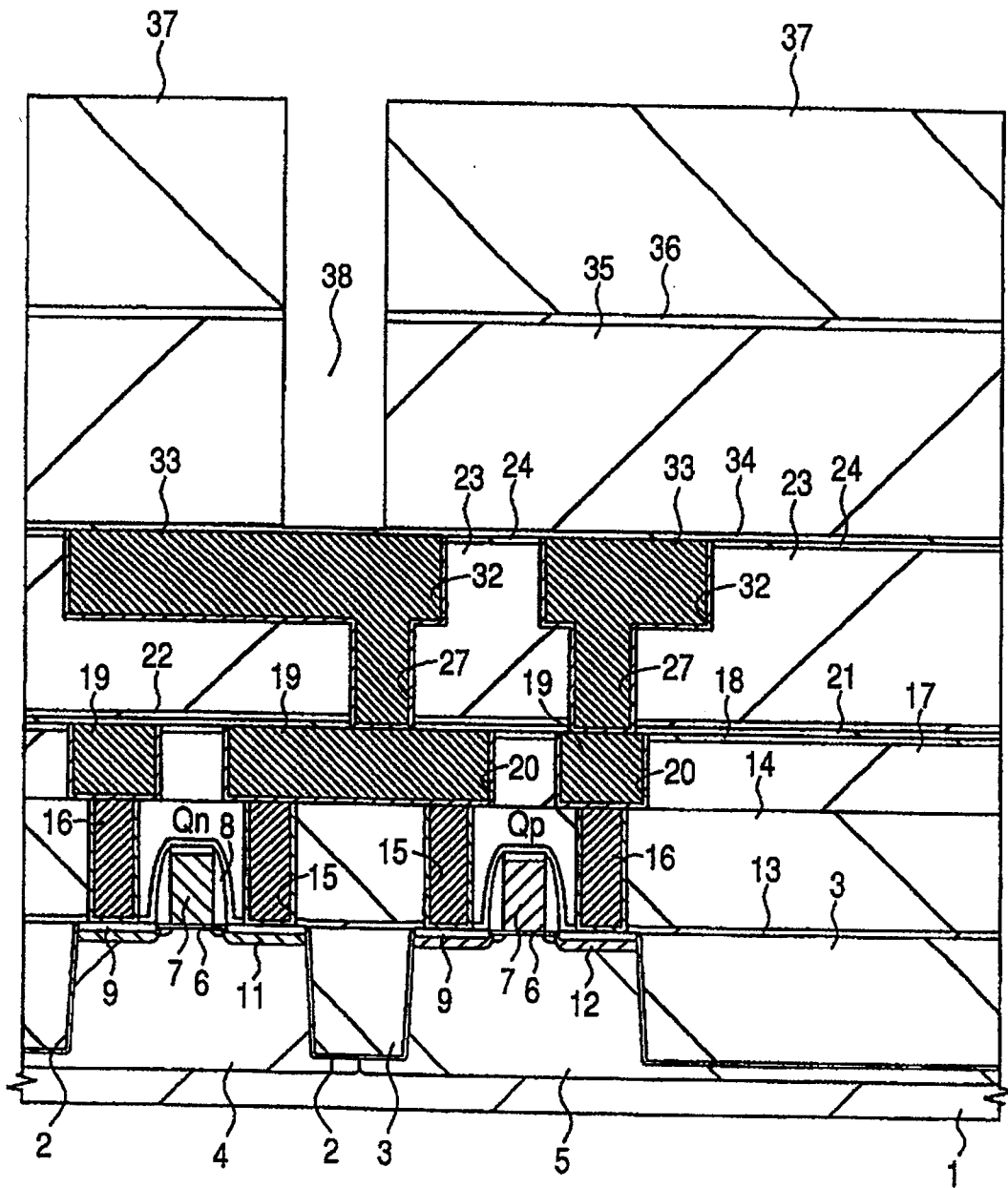


图 11

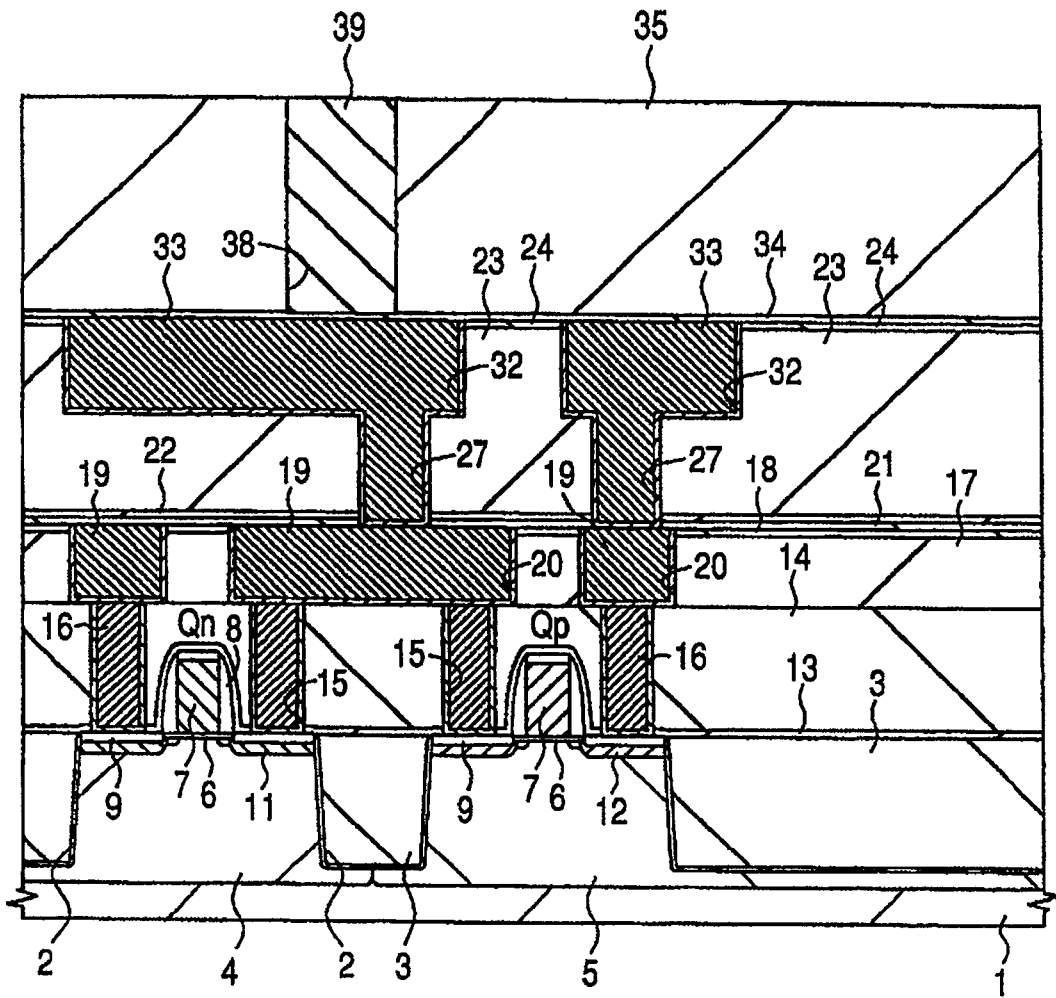


图 12

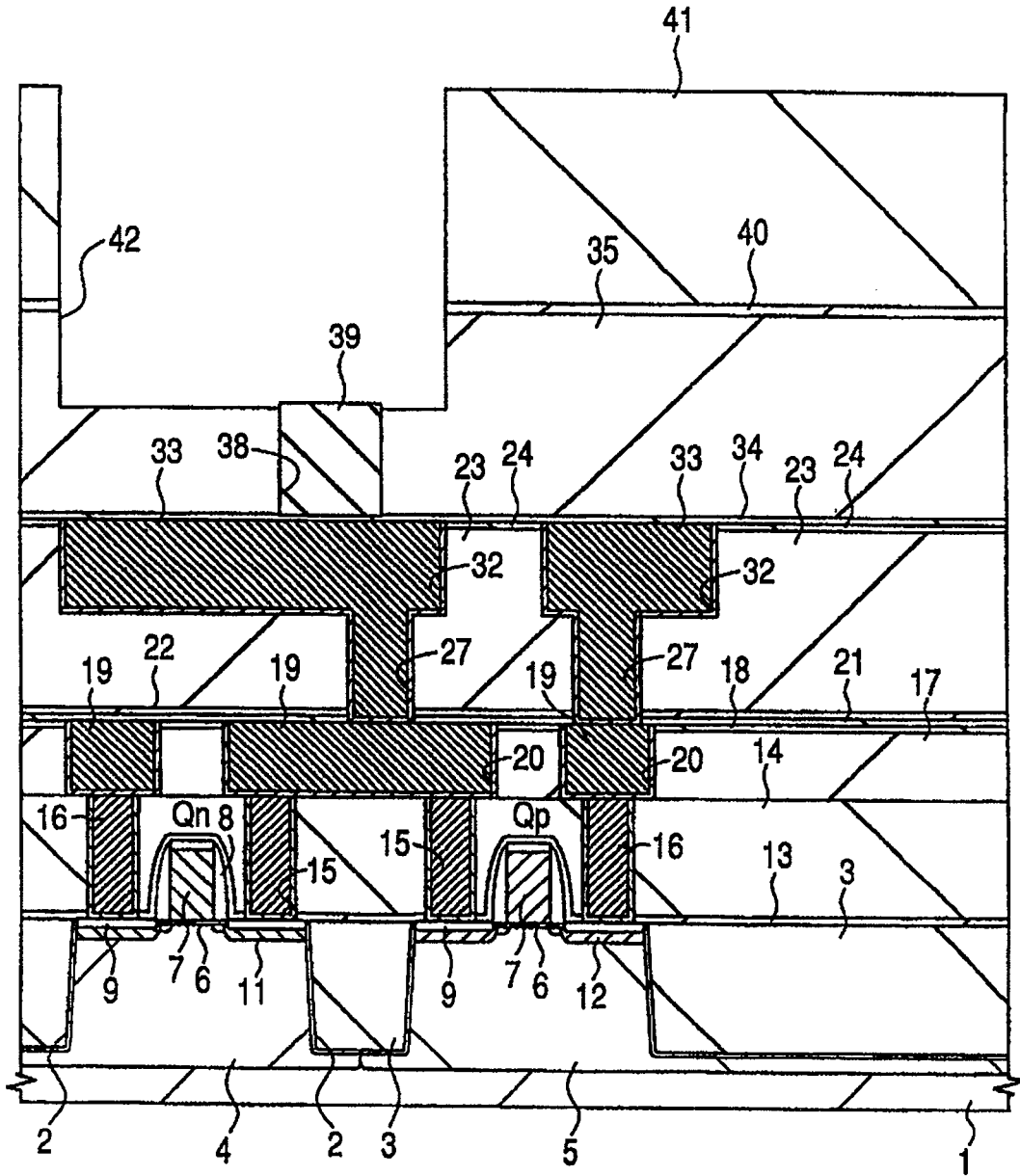


图 13

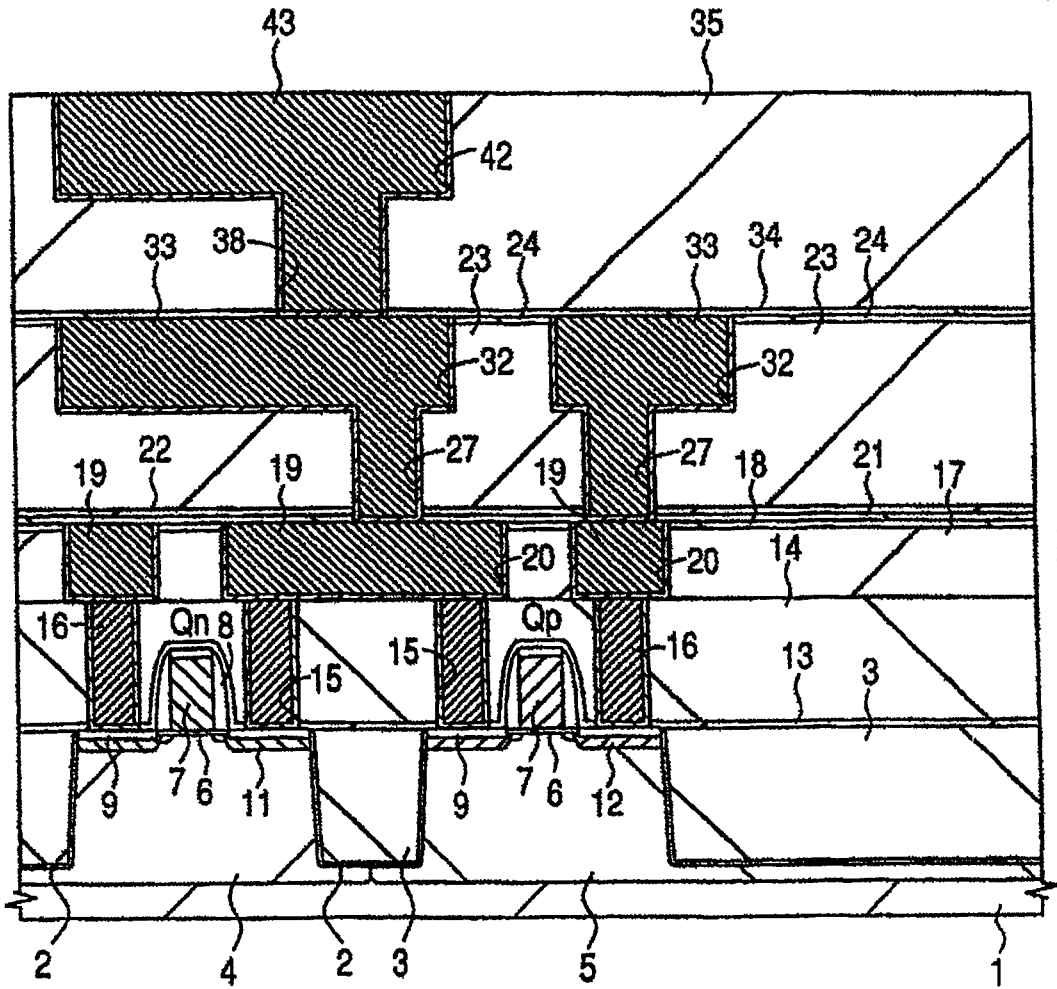


图 14

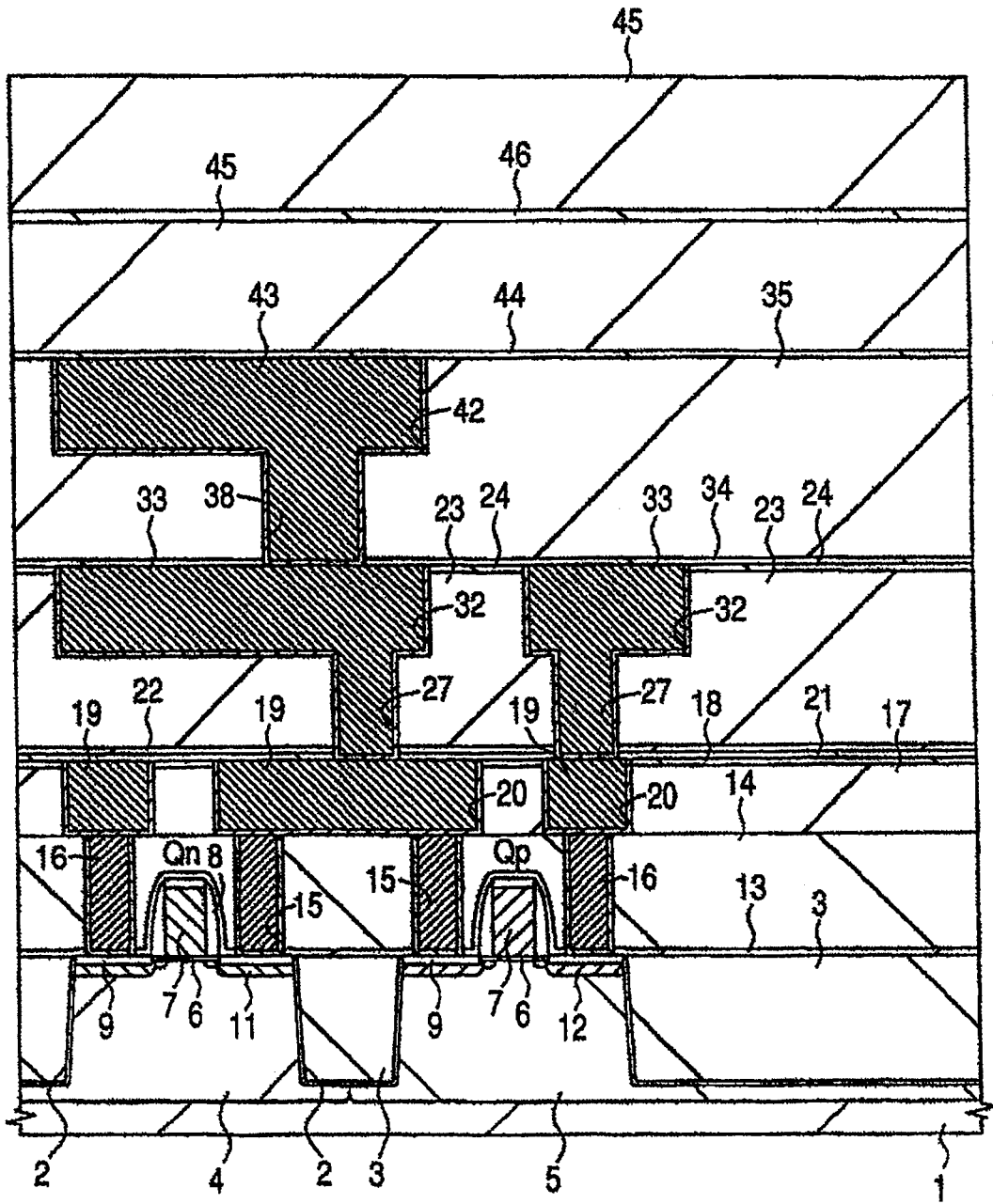


图 15

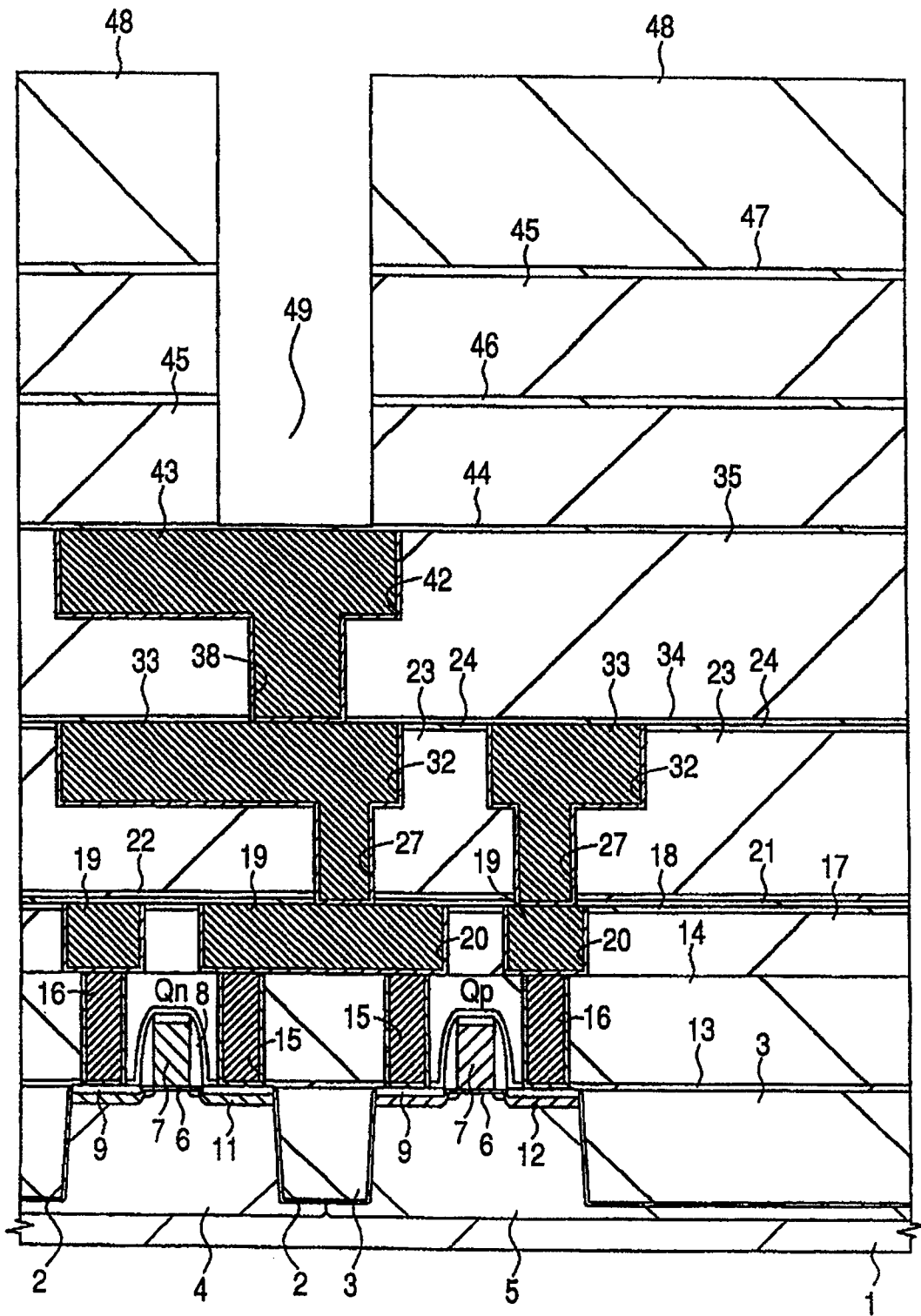


图 16

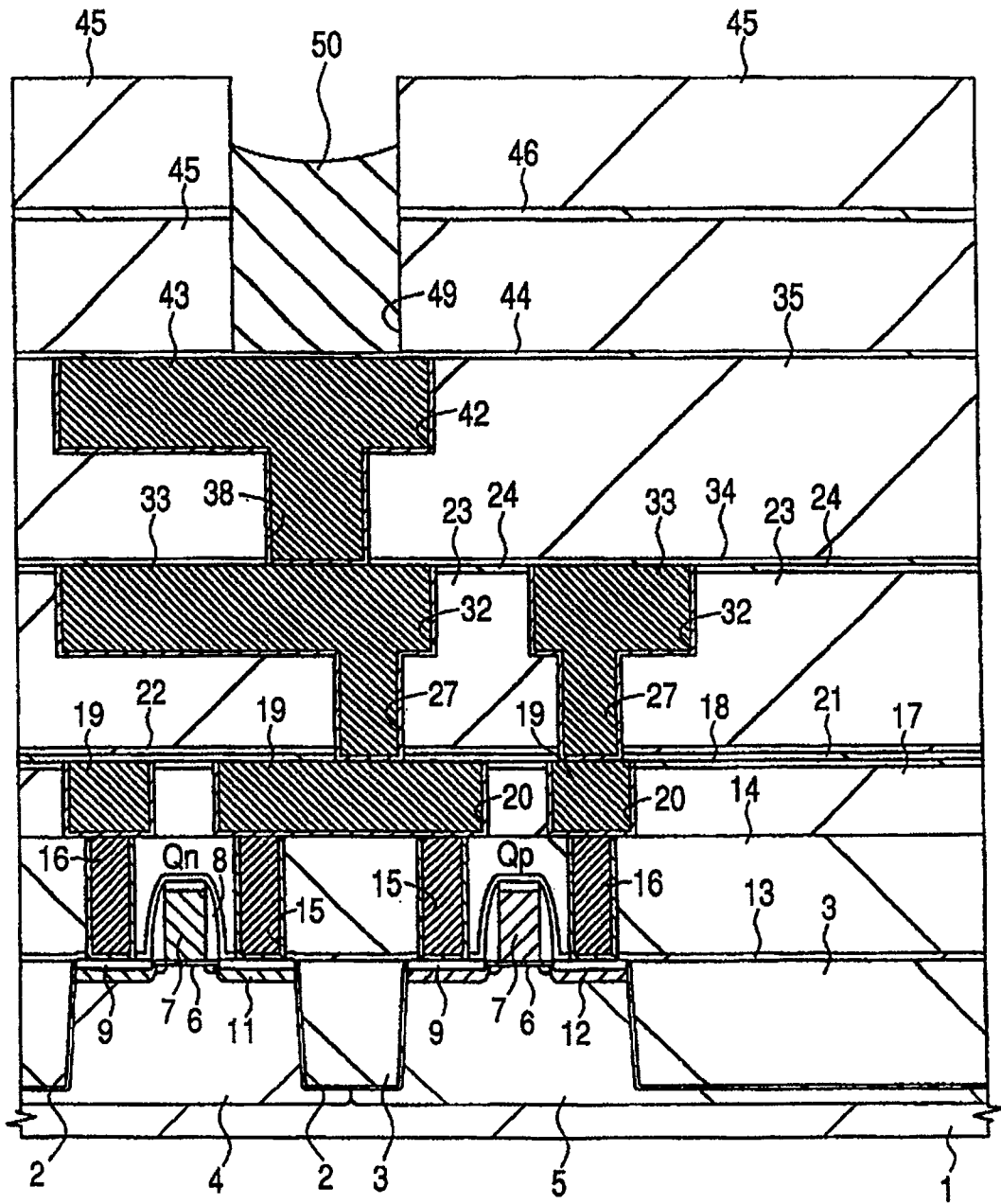


图 17

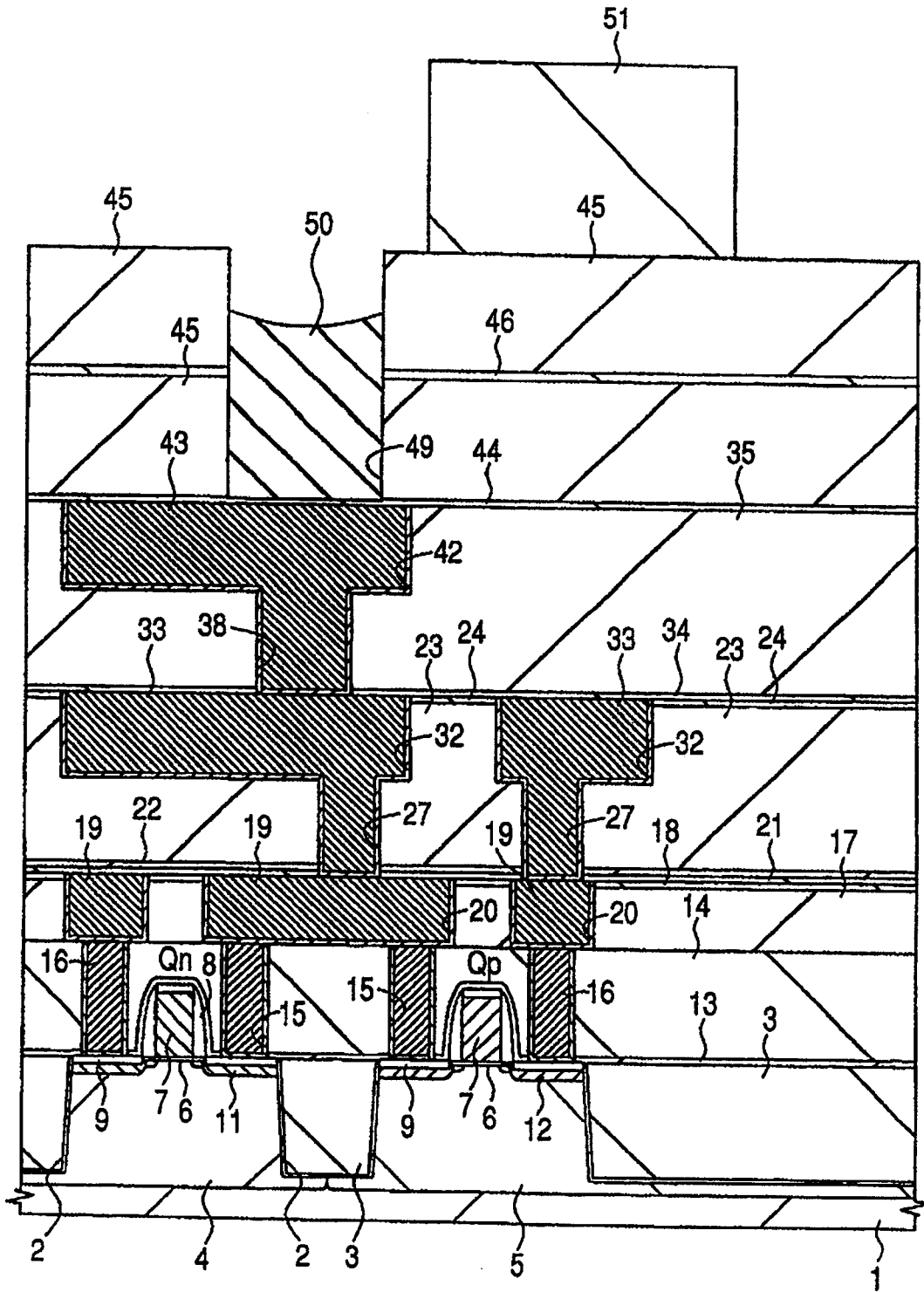


图 18

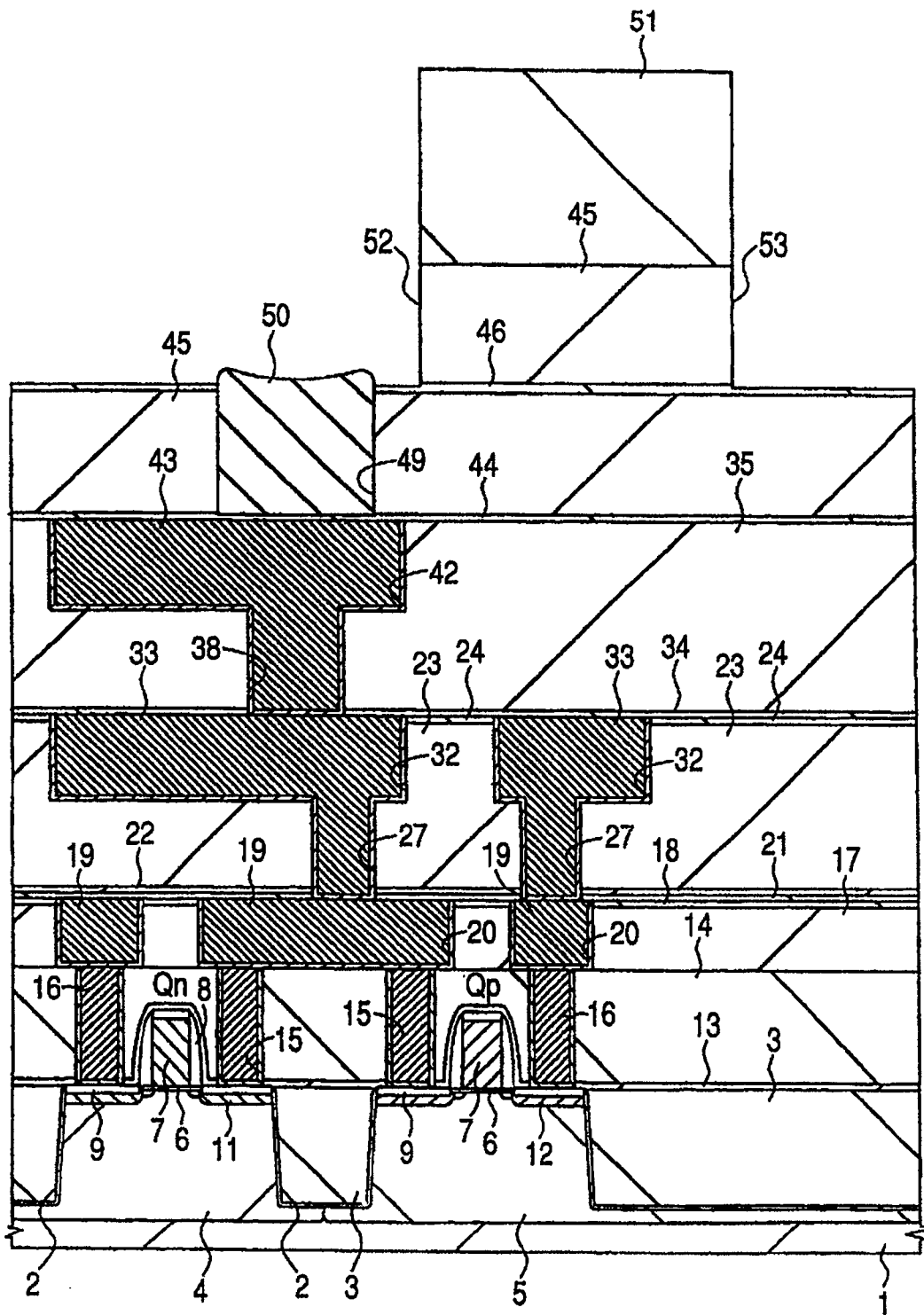


图 19

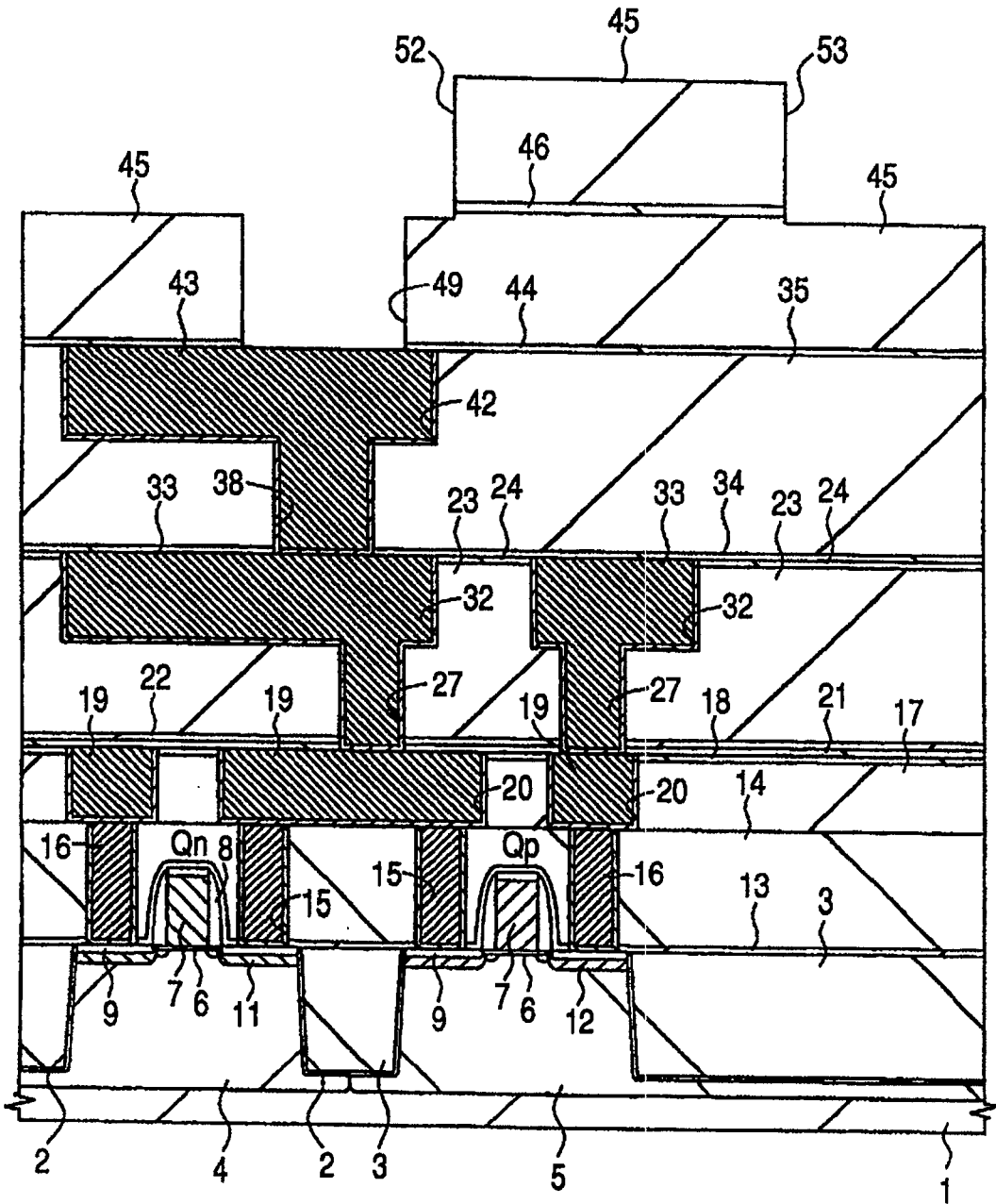


图 20

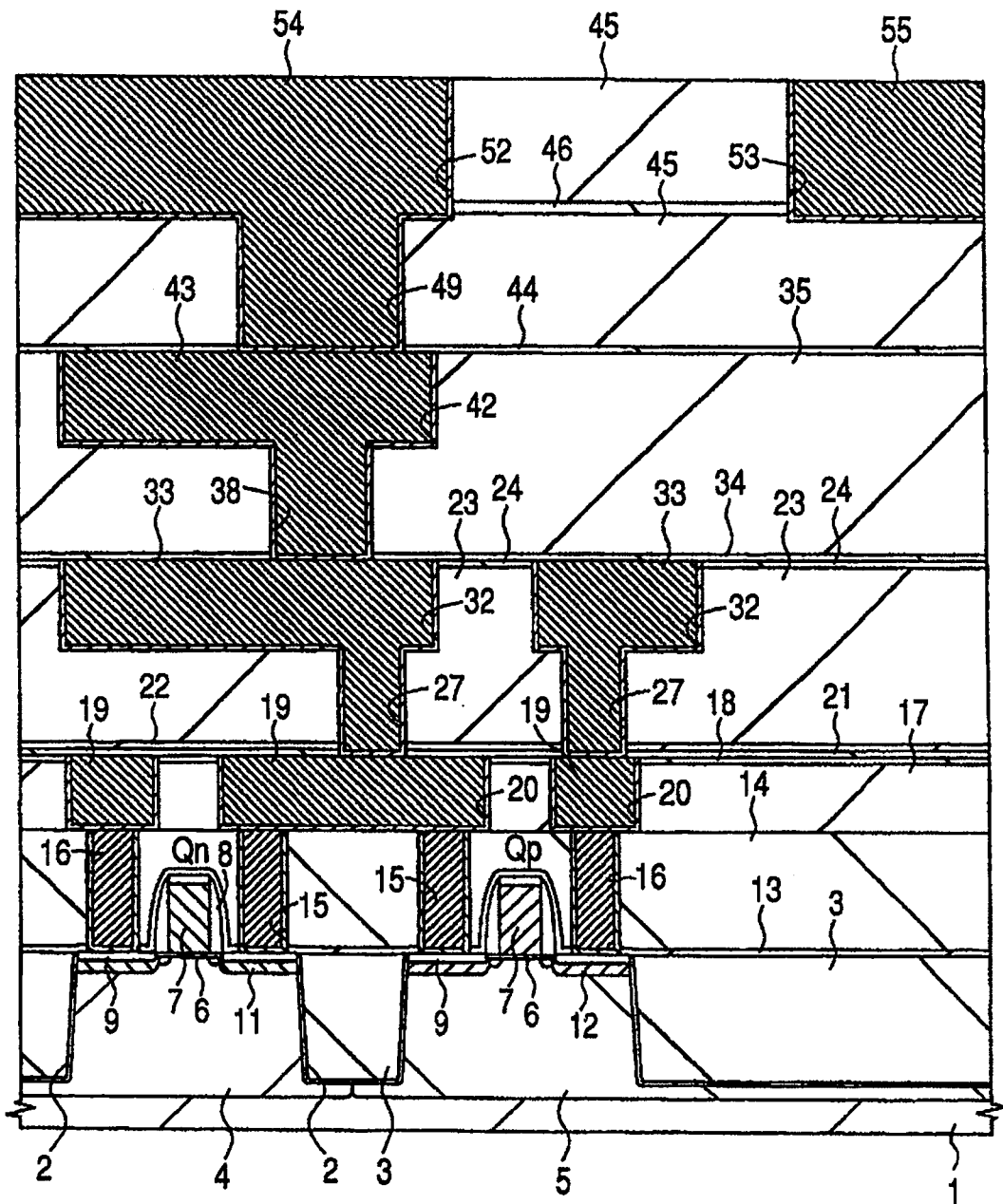


图 21

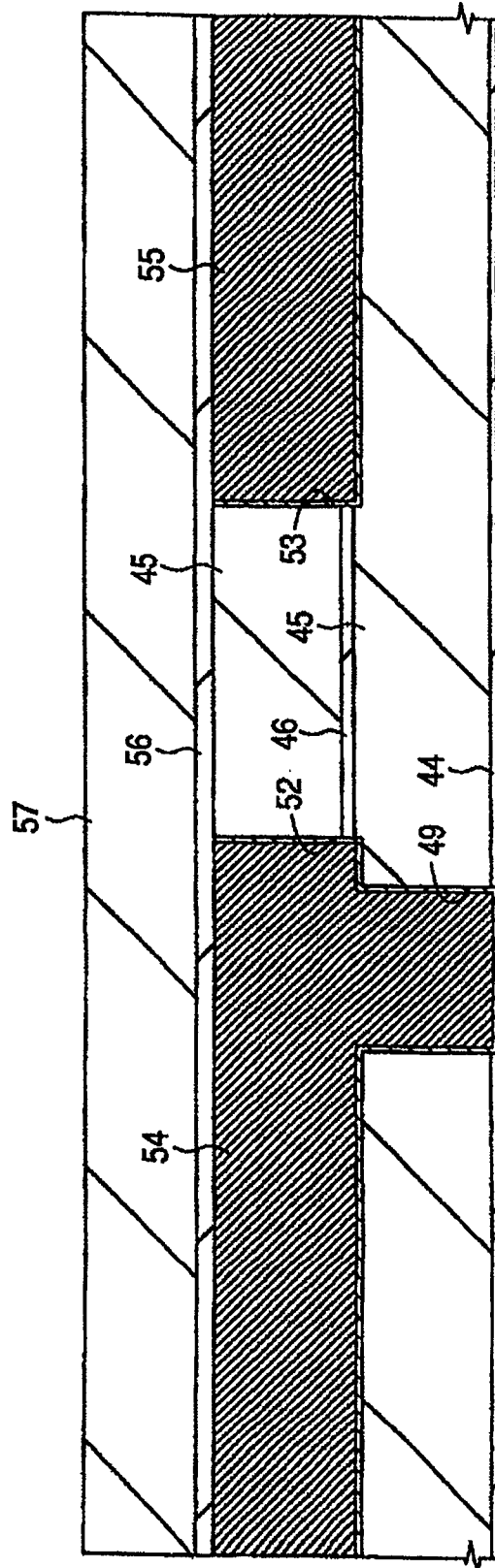


图 22

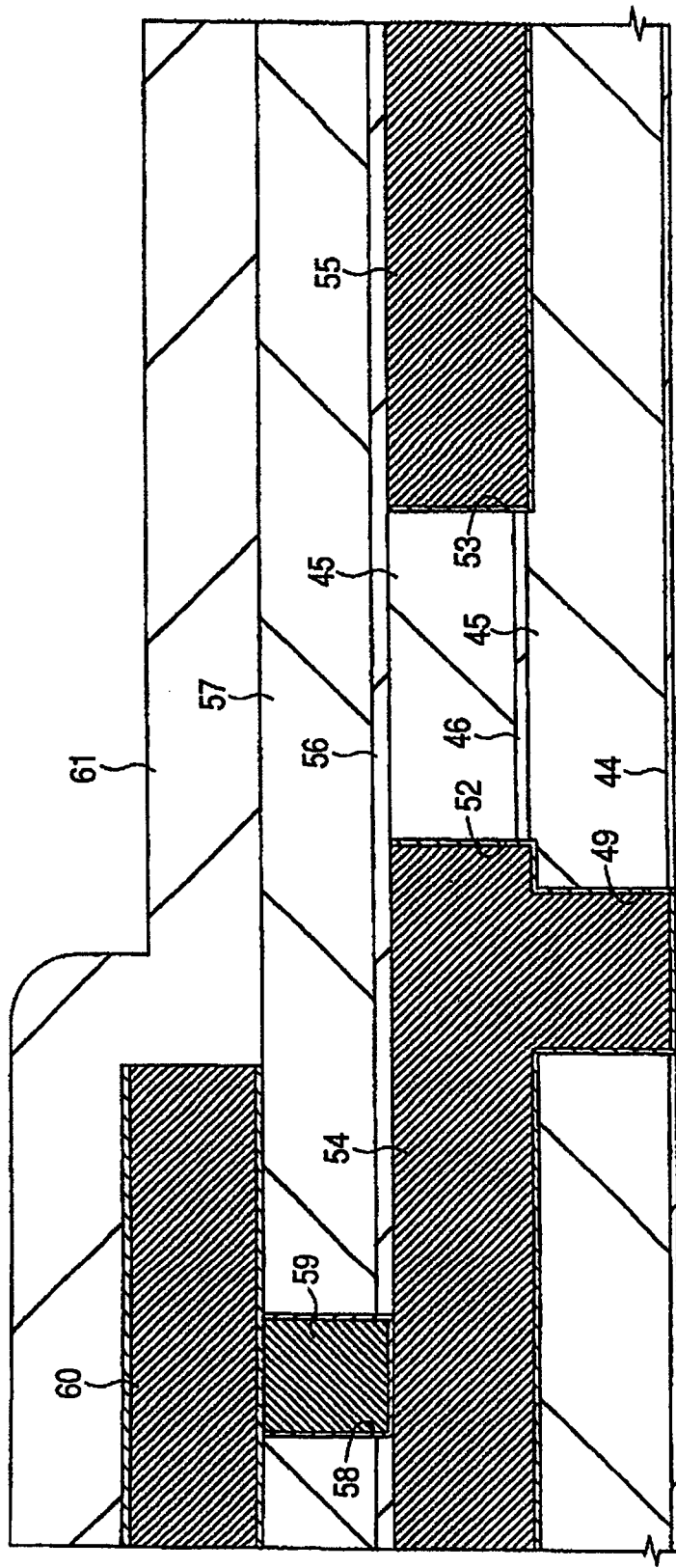


图 23

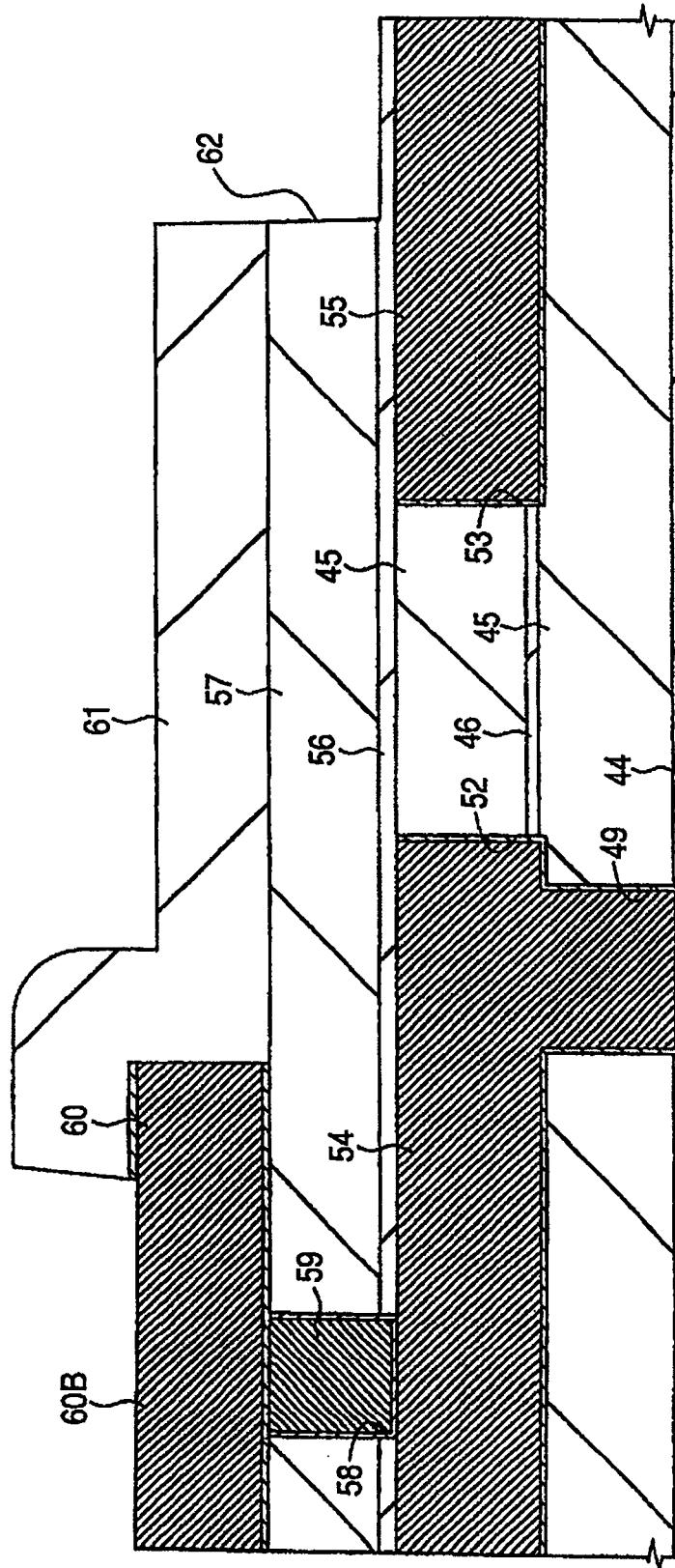


图 24

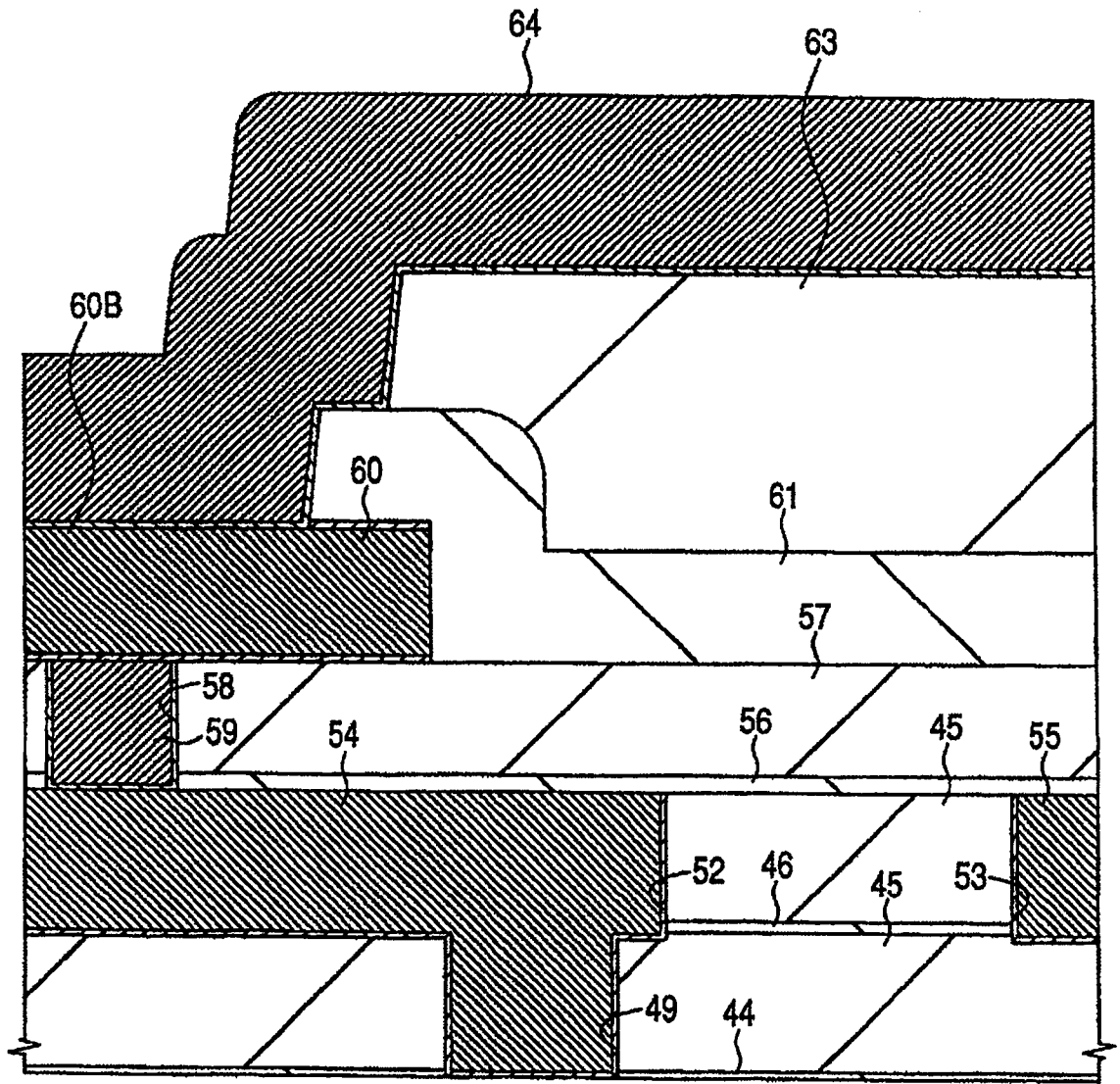


图 25

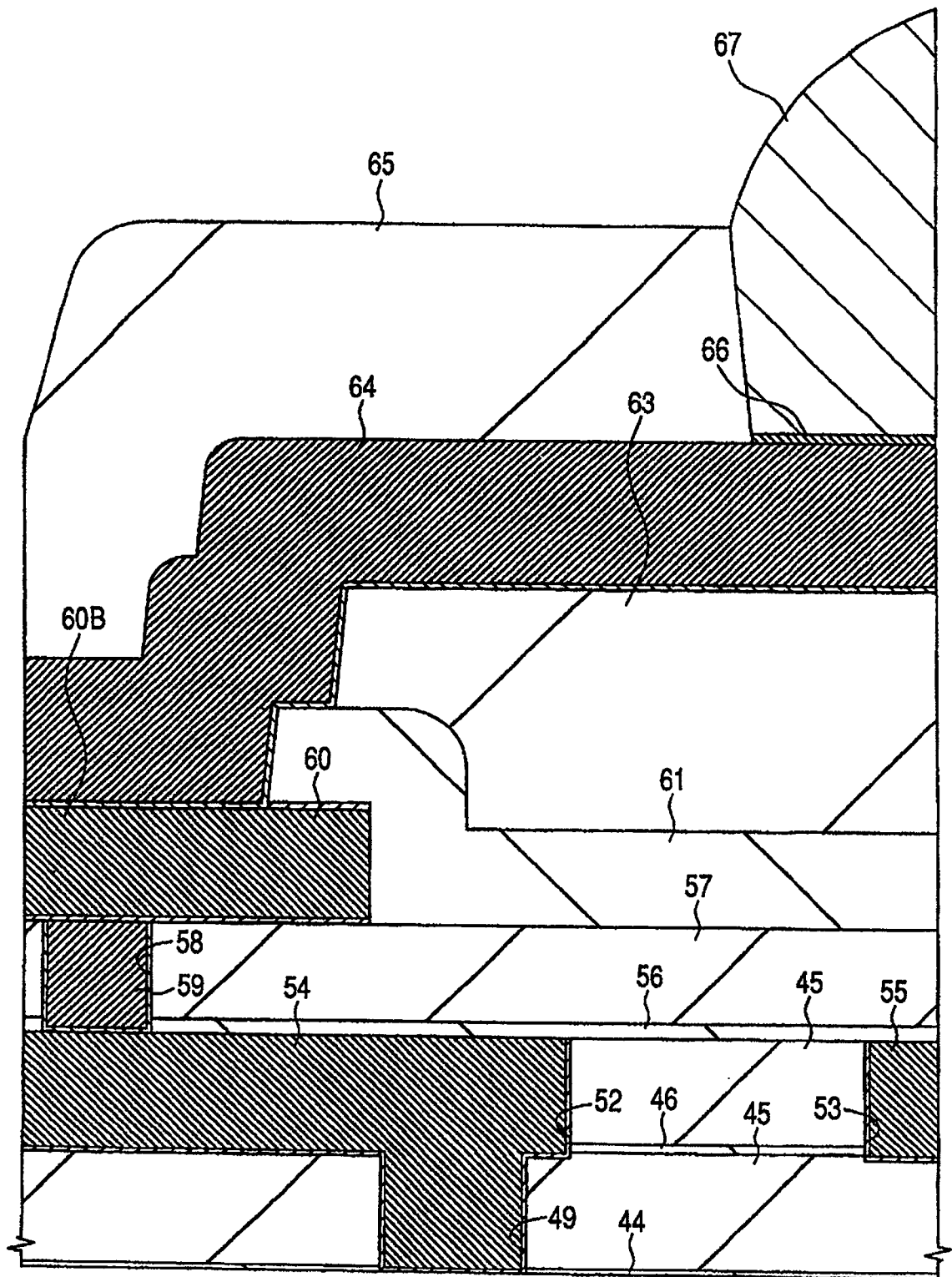


图 26

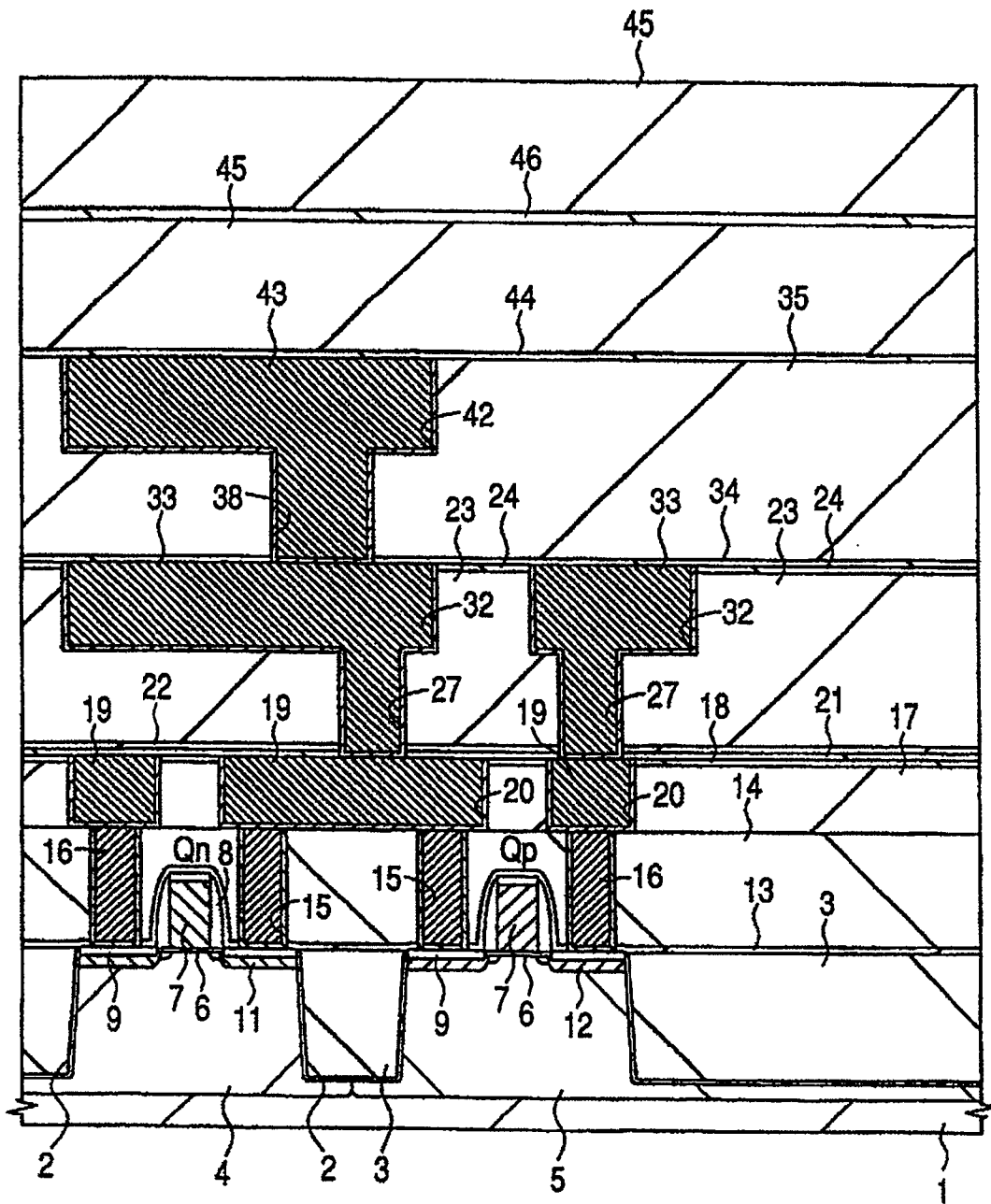


图 27

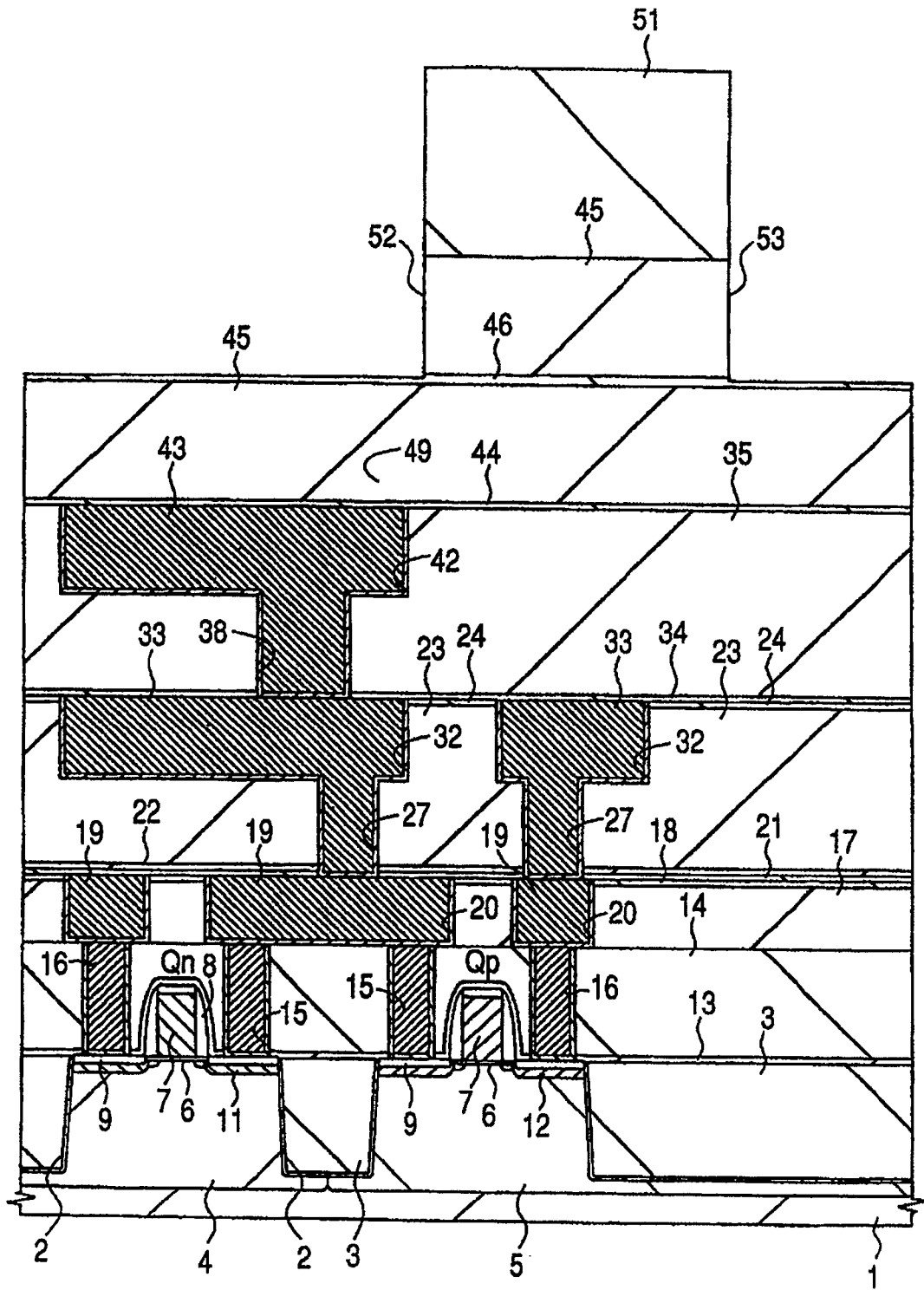


图 28

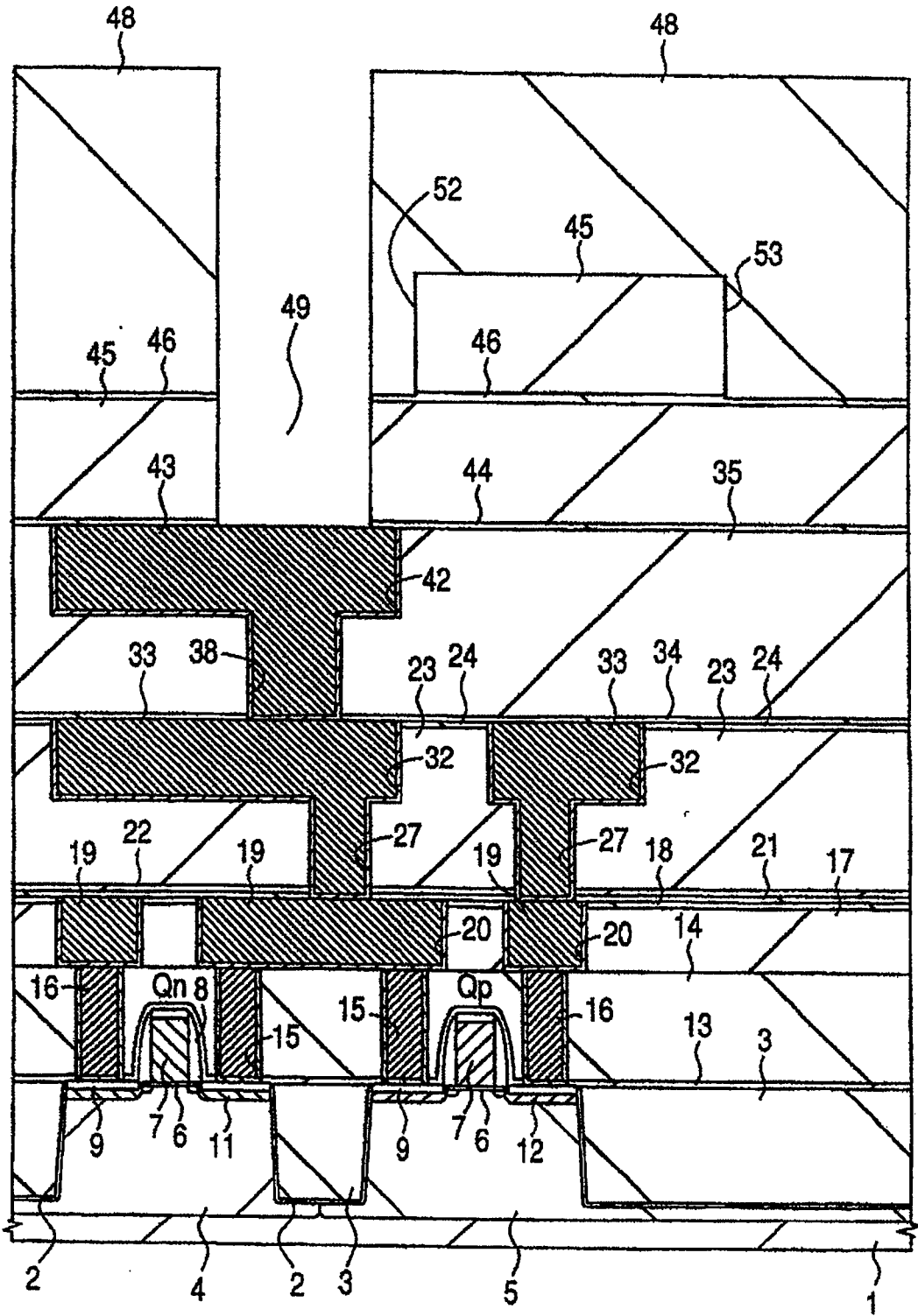


图 29

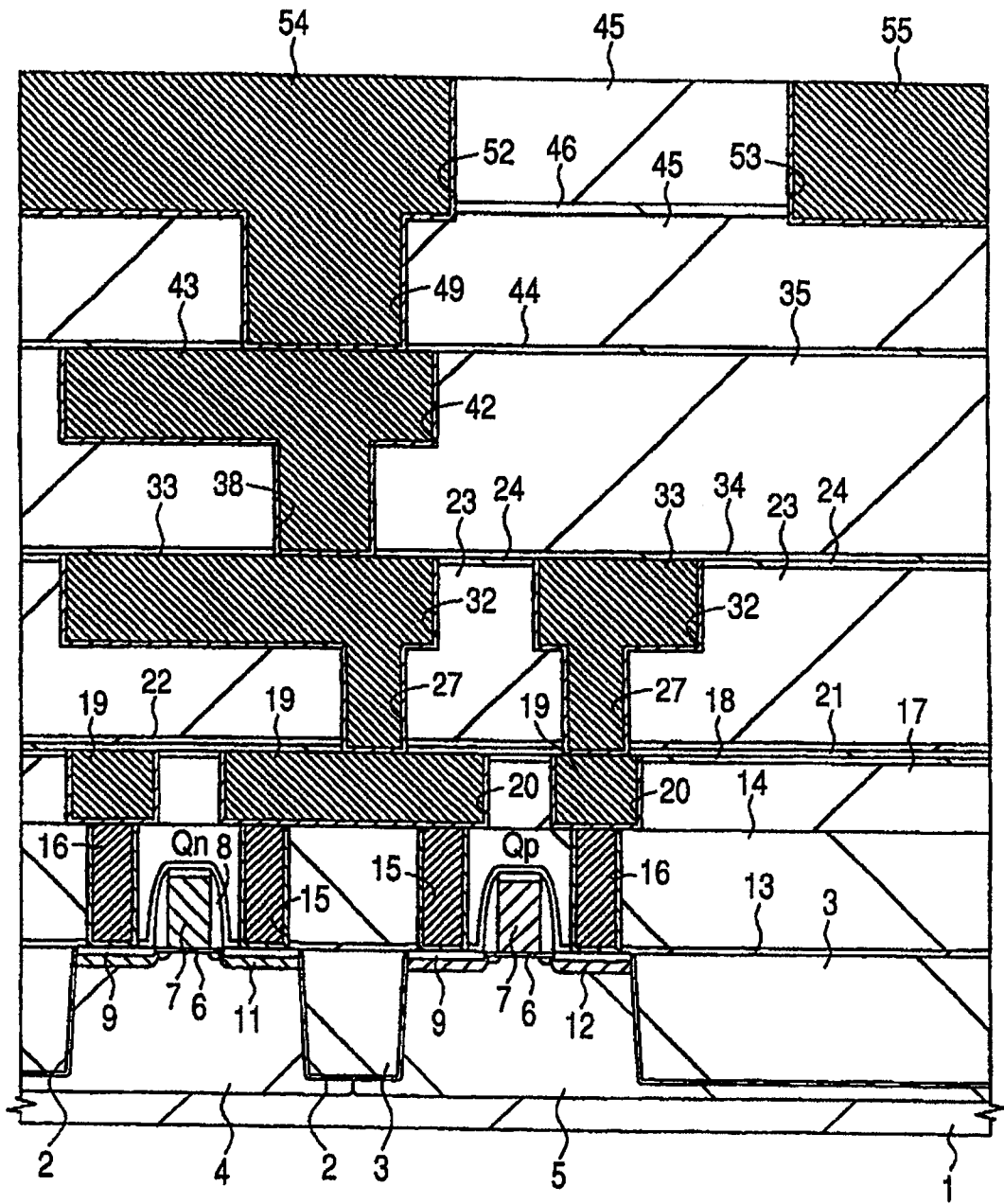


图 30