

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4942950号
(P4942950)

(45) 発行日 平成24年5月30日 (2012. 5. 30)

(24) 登録日 平成24年3月9日 (2012. 3. 9)

(51) Int. Cl.

F I

H O 1 L 29/792 (2006. 01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006. 01)

H O 1 L 27/10 4 3 4

H O 1 L 21/336 (2006. 01)

H O 1 L 21/20

H O 1 L 27/115 (2006. 01)

H O 1 L 29/78 6 1 3 B

H O 1 L 21/8247 (2006. 01)

H O 1 L 27/10 4 6 1

請求項の数 3 (全 45 頁) 最終頁に続く

(21) 出願番号 特願2005-154865 (P2005-154865)
 (22) 出願日 平成17年5月27日 (2005. 5. 27)
 (65) 公開番号 特開2006-13481 (P2006-13481A)
 (43) 公開日 平成18年1月12日 (2006. 1. 12)
 審査請求日 平成20年5月19日 (2008. 5. 19)
 (31) 優先権主張番号 特願2004-160353 (P2004-160353)
 (32) 優先日 平成16年5月28日 (2004. 5. 28)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 磯部 敦生
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山口 哲司
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に非晶質半導体膜を成膜し、
 前記非晶質半導体膜にレーザ光を照射して結晶性半導体膜を形成し、
 前記結晶性半導体膜の一部をエッチングして第 1 の半導体領域及び第 2 の半導体領域を形成し、
 前記第 1 の半導体領域及び前記第 2 の半導体領域上に第 1 の絶縁膜を成膜し、
 前記第 1 の絶縁膜上に複数の粒子を形成し、
 前記第 2 の半導体領域上に形成される前記複数の粒子を選択的に除去して前記第 1 の半導体領域の上方にフローティングゲート電極を形成した後、前記フローティングゲート電極及び前記第 1 の絶縁膜上に第 2 の絶縁膜を成膜し、
 前記第 2 の絶縁膜上に導電膜を成膜し、
 前記導電膜の一部を選択的に除去して、前記第 1 の半導体領域の上方に前記フローティングゲート電極よりも幅の大きい第 1 のゲート電極を形成し、前記第 2 の半導体領域の上方に第 2 のゲート電極を形成し、
 前記第 1 の半導体領域及び前記第 2 の半導体領域に不純物元素を添加し、
 前記不純物元素を活性化してソース領域及びドレイン領域を形成した後、前記ソース領域及びドレイン領域と接するソース配線またはドレイン配線を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

絶縁表面を有する基板上に非晶質半導体膜を成膜し、
前記非晶質半導体膜にレーザ光を照射して結晶性半導体膜を形成し、
前記結晶性半導体膜の一部をエッチングして第1の半導体領域、第2の半導体領域、及び第3の半導体領域を形成し、

前記第1の半導体領域、前記第2の半導体領域、及び前記第3の半導体領域上に第1の絶縁膜を成膜し、

前記第1の絶縁膜上に複数の粒子を形成し、

前記第2の半導体領域及び前記第3の半導体領域上に形成される前記複数の粒子を選択的に除去して前記第1の半導体領域の上方にフローティングゲート電極を形成した後、前記フローティングゲート電極及び前記第1の絶縁膜上に第2の絶縁膜を成膜し、

10

前記第2の絶縁膜上に導電膜を成膜し、

前記導電膜の一部をエッチングして、前記第1の半導体領域の上方に前記フローティングゲート電極よりも幅の大きい第1のゲート電極を形成し、前記第2の半導体領域の上方に第2のゲート電極を形成し、前記第3の半導体領域の上方に第3のゲート電極を形成し

、
前記第1の半導体領域及び前記第2の半導体領域をマスクで覆った後、前記第3のゲート電極に対して一方向からであり、且つ前記第3の半導体領域表面に対して0度～60度の角度で前記第3の半導体領域にn型又はp型の一方を付与する不純物元素を添加し、

前記マスクを除去した後、前記第1の半導体領域乃至前記第3の半導体領域表面に対して垂直な角度でn型又はp型の他方を付与する不純物元素を添加し、加熱してソース領域及びドレイン領域を形成し、

20

前記ソース領域及びドレイン領域と接するソース配線またはドレイン配線を形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項2において、

前記第1の半導体領域乃至前記第3の半導体領域のチャネル領域の方向は一致していることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、半導体不揮発性記憶素子を有する半導体装置に関して、特に薄膜で形成される半導体不揮発性記憶素子とトランジスタとを有する半導体装置に関する。また、半導体不揮発性記憶素子を有するIDチップ、CPU、システムLSI等の半導体装置に関する。

【背景技術】

【0002】

EEPROM(Electrically Erasable and Programmable Read Only Memory)やフラッシュメモリは、半導体不揮発性メモリを代表するメモリとして知られている。これらは不揮発性であるため、揮発性であるDRAM(Dynamic Random Access Memory)やSRAM(Static RAM)と異なり、電源を切ってもデータが失われることはない。また、他の不揮発性メモリを代表する磁気ディスクと比較した場合、集積密度、耐衝撃性、消費電力、書き込み/読み出し速度等の点において優れた特徴を有する(例えば、特許文献1参照。)。

40

【0003】

単結晶の半導体基板を用いて形成された不揮発性メモリは既に実用化され、市場に多く出回っている。特に、メモリ容量がより大きい、即ち集積密度の高い不揮発性メモリが広く用いられている。

【0004】

一方、無線で識別情報などのデータの送受信が可能なIDチップに代表される半導体装置は、様々な分野において実用化が進められており、新しい形態の情報通信端末としてさら

50

なる市場の拡大が見込まれている。ＩＤチップは、無線タグ、ＲＦＩＤ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）タグ、ＩＣタグとも呼ばれており、アンテナと、半導体基板を用いて形成された集積回路とを有しているタイプが、現在実用化されつつある。

【０００５】

また、ＩＤチップが有する集積回路の中に、データの書き換えが不可能な不揮発性メモリを形成しておくことで、ＩＤチップの識別情報の不正な書き換えを防止することができる。

【特許文献１】特開２００３－２０４０００号公報

【発明の開示】

10

【発明が解決しようとする課題】

【０００６】

しかしながら、非接触型や接触型のＩＤチップが普及するにつれて、莫大な数の人間、動植物、商品、紙幣等に利用可能なＩＤチップを、大量に極めて低コストで製造する必要があり、低コストで大量生産が可能なＩＤチップの構造、プロセスの実現が求められている。

【０００７】

現状では、ＩＤチップを製造するにあたり、シリコンウエハ上に複数の集積回路を形成し、該シリコンウエハを研磨除去（バックグラインドと呼ばれる。）することにより複数の集積回路を分離する方法が用いられている。しかし、シリコンウエハは高価であるにも拘わらず、それを研磨除去してしまうことから、製造コストの増加は回避できなかった。また、シリコンウエハからなる集積回路は厚いため、商品容器自体に搭載する場合、表面に凹凸が生じ、デザイン選択の幅に限界があった。

20

【０００８】

また、より多くのＣＰＵやシステムＬＳＩに代表される半導体装置が、電子機器の限られた容積の中により多く搭載される必要性に迫られている。このため、半導体装置の小型化、軽量化を実現するために、半導体装置の集積回路の薄型化が求められている。

【０００９】

そこで本発明は、低コストで大量生産が可能である半導体装置及びその作製方法を提供する。また、非常に膜厚の薄い集積回路を用いた半導体装置、及びその作製方法を提供する。更には、低消費電力である半導体装置及びその作製方法を提供する。

30

【課題を解決するための手段】

【００１０】

本発明は、絶縁表面上に半導体不揮発性記憶素子（以下、メモリトランジスタと示す。）を有し、メモリトランジスタのフローティングゲート電極が、複数の導電性粒子又は半導体粒子で形成されていることを特徴とする半導体装置であることを要旨とする。

【００１１】

また、本発明の一は、上記メモリトランジスタの他に、閾値電圧が制御されたトランジスタを一部に有することを特徴とする。このようなトランジスタの代表例としては、ゲート電極に覆われる第１導電型の領域と、第２導電型のソース領域及びドレイン領域と、チャネル領域とを有する半導体領域を有し、第１導電型の領域は、チャネル領域とソース領域又はドレイン領域の一方との間に設けられている。ここで、第１導電型の領域とはｎ型又はｐ型の一方を呈する半導体領域であり、第２導電型のソース領域及びドレイン領域とはｎ型又はｐ型の他方を呈する半導体領域である。

40

【００１２】

また、本発明の一は、第１半導体領域と、第１半導体領域上に形成される第１絶縁膜と、第１絶縁膜上に形成されるフローティングゲート電極と、フローティングゲート電極上に形成される第２絶縁膜と、第２絶縁膜上に形成される第１ゲート電極とを有する第１トランジスタと、第２半導体領域と、第２半導体領域上に形成される第３絶縁膜と、第３絶縁膜上に形成される第２ゲート電極とを有する第２トランジスタとを有し、第１トランジスタ

50

タ及び第2トランジスタは、同一絶縁表面上に形成され、フローティングゲート電極は、点在する複数の粒子であることを特徴とする半導体装置である。

【0013】

また、本発明の一は、第1半導体領域と、第1半導体領域上に形成される第1絶縁膜と、第1絶縁膜上に形成されるフローティングゲート電極と、フローティングゲート電極上に形成される第2絶縁膜と、第2絶縁膜上に形成される第1ゲート電極とを有する第1トランジスタと、第2半導体領域と、第2半導体領域上に形成される第3絶縁膜と、第3絶縁膜上に形成される第2ゲート電極とを有する第2トランジスタと、第3半導体領域と、第3半導体領域上に形成される第4絶縁膜と、第4の絶縁膜上に形成される第3ゲート電極とを有する第3トランジスタとを有し、第2半導体領域は、n型又はp型の一方を付与する不純物元素が添加されたソース領域及びドレイン領域を有し、第3半導体領域は、n型又はp型の一方を付与する不純物元素が添加されたソース領域及びドレイン領域と、第3ゲート電極に覆われ且つn型又はp型の他方を付与する不純物元素が添加された領域とを有し、第1トランジスタ、第2トランジスタ、及び第3トランジスタは、同一絶縁表面上に形成され、フローティングゲート電極は、点在する複数の粒子であることを特徴とする半導体装置である。なお、第3ゲート電極に覆われ且つn型又はp型の他方を付与する不純物元素で形成される領域は、第3半導体領域のチャンネル領域とソース領域又はドレイン領域の一方との間に形成される。

10

【0014】

また、本発明の一は、第1半導体領域と、第1半導体領域上に形成される第1絶縁膜と、第1絶縁膜上に形成されるフローティングゲート電極と、フローティングゲート電極上に形成される第2絶縁膜と、第2絶縁膜上に形成される第1ゲート電極とを有する第1トランジスタと、第2半導体領域と、第2半導体領域上に形成される第3絶縁膜と、第3絶縁膜上に形成される第2ゲート電極とを有する第2トランジスタとを有する薄膜集積回路と、アンテナとを有し、第1トランジスタと第2トランジスタは、同一絶縁表面上に形成され、フローティングゲート電極は、点在する複数の粒子であることを特徴とする半導体装置である。

20

【0015】

また、本発明の一は、第1半導体領域と、第1半導体領域上に形成される第1絶縁膜と、第1絶縁膜上に形成されるフローティングゲート電極と、フローティングゲート電極上に形成される第2絶縁膜と、第2絶縁膜上に形成される第1ゲート電極とを有する第1トランジスタと、第2半導体領域と、第2半導体領域上に形成される第3絶縁膜と、第3絶縁膜上に形成される第2ゲート電極とを有する第2トランジスタと、第3半導体領域と、第3半導体領域上に形成される第4絶縁膜と、第4の絶縁膜上に形成される第3ゲート電極とを有する第3トランジスタとを有する薄膜集積回路と、アンテナとを有し、第1トランジスタ乃至第3トランジスタは、同一絶縁表面上に形成され、フローティングゲート電極は、点在する複数の粒子であり、第2半導体領域は、n型又はp型の一方を付与する不純物元素が添加されたソース領域及びドレイン領域を有し、第3半導体領域は、n型又はp型の一方を付与する不純物元素が添加されたソース領域及びドレイン領域と、第3ゲート電極に覆われ且つn型又はp型の他方を付与する不純物元素が添加された領域とを有することを特徴とする半導体装置である。なお、第3ゲート電極に覆われ且つn型又はp型の他方を付与する不純物元素が添加された領域は、第3半導体領域のチャンネル領域とソース領域又はドレイン領域の一方との間に形成される。

30

40

【0016】

また、薄膜集積回路は、電源回路、クロック発生回路、データ復調/変調回路、インターフェイス回路、制御回路、及びメモリから選択された1つ又は複数を含む。また、薄膜集積回路は、ガラス又は可とう性基板上に設けられていてもよい。

【0017】

本発明において、フローティングゲート電極は半導体材料又は導電材料で形成される複数の粒子である。このときのフローティングゲート電極の粒子の直径は1～5nmである

50

ことが好ましい。また、第1乃至第3の半導体領域の一つ又は複数は、結晶性半導体膜、単結晶半導体で形成されている。

【0018】

なお、第1絶縁膜は、膜厚1～2nmの酸化珪素膜と膜厚1～5nmの窒化珪素膜が、第1半導体領域側から順に積層されており、前記第2絶縁膜は、膜厚10～20nmの窒化珪素膜と膜厚20～50nmの酸化珪素膜が、前記第1半導体領域側から順に積層されており、膜厚1～2nmの酸化珪素膜、膜厚1～5nmの窒化珪素膜、及び膜厚20～50nmの酸化珪素膜が、前記第2半導体領域側から順に積層されており、第4絶縁膜は、膜厚1～2nmの酸化珪素膜、膜厚1～5nmの窒化珪素膜、及び膜厚20～50nmの酸化珪素膜が、前記第3半導体領域側から順に積層されていることが好ましい。

10

【0019】

また、本発明のトランジスタは、サイドウォール構造、シリサイド構造を有しても良い。

【0020】

また、本発明の一は、絶縁表面上に半導体膜を成膜し、レーザ光を照射して結晶性半導体膜を形成し、結晶性半導体膜の一部をエッチングして第1半導体領域及び第2半導体領域を形成した後、第1半導体領域及び第2半導体領域上に第1絶縁膜を成膜し、第1絶縁膜上に複数の粒子を形成し、第2半導体領域上に形成される複数の粒子を選択的にエッチングしてフローティングゲート電極を形成した後、フローティングゲート電極及び第1絶縁膜上に第2絶縁膜を成膜し、第2絶縁膜上に第1導電膜を成膜し、第1導電膜の一部をエッチングして、第1ゲート電極及び第2ゲート電極を形成した後、第1半導体領域及び第2半導体領域に不純物元素を添加し、不純物元素を活性化してソース領域及びドレイン領域を形成した後、ソース配線またはドレイン配線を形成することを特徴とする半導体装置の作製方法である。

20

【0021】

また、本発明の一は、絶縁表面上に半導体膜を成膜し、前記半導体膜にレーザ光を照射して結晶性半導体膜を形成し、前記結晶性半導体膜の一部をエッチングして第1半導体領域及び第2半導体領域を形成し、前記第1半導体領域及び前記第2半導体領域上に第1絶縁膜を成膜し、前記第1絶縁膜上に複数の粒子を形成し、前記第1絶縁膜上に形成される前記複数の粒子の一部を選択的に除去した後、残存した複数の粒子及び前記第1絶縁膜上に第2絶縁膜を成膜し、前記第2絶縁膜上に第1導電膜を成膜し、前記第1導電膜及び残存した複数の粒子の一部を選択的に除去して、第1ゲート電極、第2ゲート電極、及びフローティングゲート電極を形成し、前記第1半導体領域及び前記第2半導体領域に不純物元素を添加し、前記不純物元素を活性化してソース領域及びドレイン領域を形成した後、前記ソース領域及びドレイン領域それぞれと接するソース配線及びドレイン配線を形成することを特徴とする半導体装置の作製方法である。

30

【0022】

また、本発明の一は、基板上に半導体膜を成膜し、レーザ光を照射して結晶性半導体膜を形成し、結晶性半導体膜の一部をエッチングして第1半導体領域、第2半導体領域、及び第3半導体領域を形成した後、第1半導体領域、第2半導体領域、及び第3半導体領域上に第1絶縁膜を成膜し、第1絶縁膜上に複数の粒子を形成し、第2半導体領域及び第3半導体領域上に形成される複数の粒子を選択的にエッチングしてフローティングゲート電極を形成した後、フローティングゲート電極及び第1絶縁膜上に第2絶縁膜を成膜し、第2絶縁膜上に第1導電膜を成膜し、第1導電膜の一部をエッチングして、第1ゲート電極、第2ゲート電極、及び第3ゲート電極を形成し、第1半導体領域及び第2半導体領域をマスクで覆った後、第3ゲート電極に対して一方向からであり、且つ第3半導体領域表面に対して0度～60度の角度で第3半導体領域にn型又はp型的一方を付与する不純物元素を添加し、マスクを除去した後、第1半導体領域乃至第3半導体領域表面に対して垂直な角度でn型又はp型の他方を付与する不純物元素を添加し、加熱してソース領域及びドレイン領域を形成した後、ソース配線またはドレイン配線を形成することを特徴とする半導

40

50

体装置の作製方法である。

【 0 0 2 3 】

本発明において、非晶質半導体膜を結晶化するレーザ光は、連続発振のレーザ光、又はパルス発振のレーザ光である。なお、パルス発振の周波数は 0 . 5 M H z 以上であることが好ましい。また、結晶性半導体膜をエッチングする際、第 1 半導体領域乃至第 3 半導体領域のチャネル領域の方向が一致するようにエッチングすることが好ましい。

【 0 0 2 4 】

さらに、第 3 半導体領域表面に対して 0 度 ~ 6 0 度の角度で前記第 3 半導体領域に n 型又は p 型の一方を付与する不純物元素を添加する場合、基板を固定して添加することが好ましい。

【発明の効果】

【 0 0 2 5 】

本発明は、ガラス等の安価である基板上に形成した薄膜集積回路を用いての半導体装置を形成するため、低コストで製造することが可能である。また、大型基板を用いて薄膜集積回路を形成した後、複数の薄膜集積回路を切り出して半導体装置を作製することも可能であるため、低コスト化が可能である。更には、集積回路の一部に、他の半導体素子よりもさらに閾値電圧が制御された半導体素子を設けることにより、消費電力の低減が可能な半導体装置を製造することが可能である。

【発明を実施するための最良の形態】

【 0 0 2 6 】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 7 】

(実施の形態 1)

本実施の形態では、絶縁性基板上に集積回路を有する半導体装置の作製工程について図 1 を用いて説明する。トランジスタとしては、薄膜トランジスタ(以下、T F Tと示す。)を用いて説明する。

【 0 0 2 8 】

図 1 (A) に示すように、基板上に半導体膜 1 0 1 を成膜する。次に、半導体膜 1 0 1 上にレジスト、有機樹脂等で形成されるマスクパターン 1 0 2 、 1 0 3 を設ける。

【 0 0 2 9 】

基板 1 0 0 としては、ガラス基板、石英基板、セラミックス基板、プラスチック基板、ステンレス基板、可撓性基板等がある。また、S O I (S i l i c o n o n I n s u l a t o r) 基板を用いて半導体膜を形成しても良い。これらの基板を用いる際に、基板に接する下地膜(図示せず)を要する場合は適宜用いれば良い。本実施の形態では下地膜も含めて基板 1 0 0 と示す。

【 0 0 3 0 】

半導体膜 1 0 1 は、減圧熱 C V D 法、プラズマ C V D 法またはスパッタ法などの成膜法で形成される非晶質半導体膜を、レーザ結晶化法で結晶化した結晶性半導体を用いることが望ましい。また、上記成膜法で形成される非晶質半導体膜を固相成長法で結晶化した結晶性半導体膜、特許第 3 3 0 0 1 5 3 号公報に開示の技術を用いて形成した結晶性半導体膜を用いても良い。また、当該方法により形成した結晶性半導体膜に、レーザ照射をして結晶性を高めてもよい。また、シラン(S i H ₄) を原料として形成される微結晶半導体膜をレーザ結晶化した結晶性半導体膜等を用いても良い。更には、半導体膜として、微結晶半導体膜を用いても良い。

【 0 0 3 1 】

半導体膜の半導体材料としては、シリコン（Si）、ゲルマニウム（Ge）、またシリコンゲルマニウム合金、炭化シリコン（炭化珪素）、ガリウム砒素などの化合物半導体材料を用いることができる。

【0032】

なお、レーザ結晶化の場合、レーザ結晶化の前に、レーザに対する半導体膜の耐性を高めるために、500、1時間の熱アニールを該半導体膜に対して行うことが望ましい。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力数W以上のレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜に照射する。このときのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）である。そして、走査速度を10～200cm/sec程度とし、照射する。

10

【0033】

なおレーザは、公知の連続発振の気体レーザもしくは固体レーザを用いることができる。気体レーザとして、Arレーザ、Krレーザなどがあり、固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、Y₂O₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどが挙げられる。

20

【0034】

また、パルス発振のレーザ光の発振周波数を0.5MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行っても良い。パルス発振でレーザ光を照射して半導体膜を溶融してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって上記周波数帯を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTF Tのチャンネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

30

【0035】

また、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光の照射により半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値電圧のばらつきを抑えることができる。

【0036】

本実施の形態では、パルス発振のレーザ光を非晶質半導体膜に照射して、結晶性シリコン膜を形成する。この後、後に形成されるトランジスタのしきい値を制御するため、半導体膜にB₂H₆をドーピングしてチャンネルドーピングを行ってもよい。

40

【0037】

マスクパターン102、103は公知のフォトリソグラフィ工程を用いてレジストマスクを形成する。また、所定の場所に材料を吐出することが可能なインクジェット法や液滴吐出法等により、有機樹脂、無機材料等の絶縁材料を吐出してマスクを形成することが可能である。また、印刷法を用いることも可能である。さらにはマスクパターン102、103の面積をより小さくすることで、メモリトランジスタ及びTF Tが高集積化された半導体装置を作製することができる。

【0038】

次に、図1（B）に示すように、マスクパターン102、103を用いて半導体膜101をエッチングして、第1半導体領域111及び第2半導体領域112を形成する。なお

50

、第1半導体領域111は、後に形成される半導体メモリトランジスタの活性領域となり、第2半導体領域112は、後に形成されるTFTの活性領域となる。

【0039】

次に、マスクパターン102、103を除去した後、各半導体領域111、112及び基板100上に、第1絶縁膜113を成膜する。第1絶縁膜113は、膜厚1～100nm、好ましくは1～10nm、さらに好ましくは2～5nmであることが望ましい。第1絶縁膜は、後にメモリトランジスタではトンネル酸化膜として、TFTではゲート絶縁膜の一部として機能する。このため、第1絶縁膜の膜厚が薄いほどトンネル電流が流れやすく、高速動作が可能となり好ましい。また、第1絶縁膜の膜厚が薄い程、低電圧でフローティングゲート電極に電荷を蓄積させることが可能である。この結果、後に形成される半導体装置の消費電力を低減することが可能である。

10

【0040】

第1絶縁膜113の形成方法としては、GRTA(Gas Rapid Thermal Anneal)法、LRTA(Lamp Rapid Thermal Anneal)法等を用いて半導体領域表面を酸化し、熱酸化膜を形成することで、膜厚の薄い第1絶縁膜を形成することができる。また、この方法の他、CVD法、塗布法等を用いて形成してもよい。第1絶縁膜113としては、酸化珪素膜、窒化珪素膜で形成することができる。また、基板100側から酸化珪素膜及び窒化珪素膜や、酸化珪素膜、窒化珪素膜及び酸化珪素膜などの積層構造としてもよい。本実施の形態では、第1絶縁膜113として、酸化珪素膜、窒化珪素膜を積層させて形成する。

20

【0041】

次に、第1絶縁膜113上に分散された(点在する)複数の導電性粒子又は半導体粒子(以下、分散粒子と示す。)114を形成する。分散粒子の作製方法としては、スパッタリング法、プラズマCVD法、減圧CVD(LPCVD)法、蒸着法、液滴吐出法等の公知の手法を用いることができる。プラズマCVD法、減圧CVD(LPCVD)法、蒸着法、液滴吐出法等で分散粒子を形成すると、分散粒子を形成時の第1絶縁膜への衝撃を低減することが可能であるため、第1絶縁膜の欠陥の発生を抑制することが可能である。この結果、信頼性の高い半導体装置を作製することが可能である。また、導電性膜又は半導体膜を上記方法により成膜した後、所望の形状にエッチングして分散粒子を形成することができる。分散粒子の大きさは、0.1～10nm、好ましくは2～5nmである。また、導電性粒子の材料としては、金、銀、銅、パラジウム、白金、コバルト、タングステン、ニッケル等を用いることができる。半導体粒子の材料としては、シリコン(Si)、ゲルマニウム(Ge)、またシリコンゲルマニウム合金等を用いることができる。ここでは、分散粒子114としてシリコン微粒子を形成する。

30

【0042】

なお、ここでは、分散粒子は一部粒子同士が凝集していてもよい。

【0043】

次に、分散粒子114上にマスクパターン115を形成する。ここでは、マスクパターン115は、後にメモリトランジスタとなる第1半導体領域111上に形成する。

【0044】

40

次に、図1(C)に示すように、マスクパターン115を用いて分散粒子114の一部をエッチングして、フローティングゲート電極121を形成する。分散粒子114の除去方法としては、ドライエッチング法、ウエットエッチング法等公知のエッチング方法を用いることが可能である。なお、分散粒子114が形成されている第1絶縁膜113の膜厚が薄い場合にドライエッチングを用いると、プラズマ衝撃により第1絶縁膜に欠陥が生じる可能性がある。このため、ウエットエッチングで除去を行うことが好ましい。ここでは、 NMD_3 溶液(テトラメチルアンモニウムハイドロオキシドを0.2～0.5%含む水溶液)等を用いたウエットエッチング法により、分散粒子114であるシリコン微結晶を選択的に除去する。

【0045】

50

フローティングゲート電極は分散された粒子で形成されている。このため、トンネル酸化膜として機能する第1絶縁膜に欠陥があった場合でも、フローティングゲート電極に蓄積した電荷すべてが、欠陥から半導体領域に流れ出ることを回避することができる。この結果、信頼性の高い半導体メモリトランジスタを形成することができる。

【0046】

次に、マスクパターン115を除去した後、フローティングゲート電極121及び第1絶縁膜113上に第2絶縁膜122を成膜する。第2絶縁膜113は、膜厚1～100nm、好ましくは10～70nm、さらに好ましくは10～30nmであることが望ましい。第2絶縁膜122は、メモリトランジスタにおいてフローティングゲート電極121と後に形成されるゲート電極との絶縁性を保つ必要がある。このため、これらの間でリーク電流が増加しない程度の膜厚とすることが好ましい。第2絶縁膜122は、第1絶縁膜113と同様に、酸化珪素膜、窒化珪素膜で形成することができる。また、基板100側から酸化珪素膜及び窒化珪素膜の2層や、酸化珪素膜、窒化珪素膜、及び酸化珪素膜の3層など積層構造としてもよい。なお、半導体領域に接して酸化珪素膜を形成すると、ゲート絶縁膜と半導体領域との界面準位が低くなるため好ましい。ここでは、第2絶縁膜122として、膜厚10nmの酸化珪素膜と膜厚20nmの窒化珪素膜の積層構造で形成する。

10

【0047】

この後、第2絶縁膜を成膜の後、図1(B)に示すように、分散粒子及びそれを覆うマスクパターンを形成して、第2フローティングゲート電極を形成しても良い。更には、同様の工程を繰り返して、複数に積層されたフローティングゲート電極を形成しても良い。

20

【0048】

次に、第2絶縁膜122上に第1導電膜123を成膜する。第1導電膜は、スパッタリング法、蒸着法、CVD法等の公知の手法により形成することができる。また、第1導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)から選ばれた元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料を用いて形成することができる。また不純物元素が添加された半導体膜を用いて形成することができる。

【0049】

なお、第1導電膜123の材料としては、第2絶縁膜122と比較してエッチング速度が十分大きなものを用いることが望ましい。この結果、第1導電膜のエッチングの際に露出される第2絶縁膜122のオーバーエッチングを防ぐことができる。

30

【0050】

次に、第1導電膜123上にマスクパターン124、125を形成する。マスクパターン124、125の形成方法は、マスクパターン102、103と同様の手法を適宜用いることができる。また、上記手法により形成したパターンを、アッシング等によりスリミングしてマスクパターンの幅を細くしてもよい。この結果、後に形成されるゲート電極のチャネル長方向の幅の細い短チャネル構造のTFETを形成することが可能であり、高速動作が可能なTFETを形成することが可能である。なお、このマスクパターン124、125は、後にゲート電極を形成するためのマスクパターン124、125である。このため、液滴吐出法を用いてゲート電極を形成する場合は、マスクパターン124、125を設けなくともよい。

40

【0051】

次に、図1(D)に示すように、マスクパターン124、125を用いて第1導電膜をエッチングしてゲート電極131、132を形成する。ゲート電極の幅は0.2～1.5μm、好ましくは0.2～0.7μmとする。ゲート電極の幅を当該範囲内に設定することにより、後にチャネル長の短いメモリトランジスタ及びTFETを形成することが可能であり、高速動作が可能な半導体装置を作製することが可能である。

【0052】

次に、マスクパターン124、125及びゲート電極131、132をマスクとして第1半導体領域111、第2半導体領域112それぞれに、n型又はp型を付与する不純物

50

元素を添加する。次に、マスクパターン 124、125 を除去した後、絶縁膜を成膜し、加熱処理、GRTA 法、LRTA 法等により、不純物元素の活性化を行い、ソース領域及びドレイン領域 133 ~ 136 を形成する。この後、第 2 絶縁膜及びゲート電極上に窒化珪素膜からなる無機絶縁膜を設けて、加熱処理を行っても良い。この無機絶縁膜を、膜中に水素を含ませる条件で成膜し、加熱処理を行うことで、各半導体領域のダングリングボンドの終端を水素化することが可能である。

【0053】

次に、図 1 (E) に示すように、第 2 絶縁膜 122 上に層間絶縁膜として機能する第 3 絶縁膜を形成する。第 3 絶縁膜は、ポリイミド、アクリル、ポリアミド等の耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料 (low - k 材料)、シロキサン系材料を出発材料として形成された Si - O - Si 結合を含む樹脂 (以下、シロキサン系樹脂と呼ぶ) 等を用いることができる。シロキサン系樹脂は、置換基として水素の他、アルキル基、または芳香族炭化水素等の有機基のうち少なくとも 1 種を有していても良い。また、フルオロ基を有してもよい。第 3 絶縁膜の形成には、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法、インクジェット法、スクリーン印刷、オフセット印刷等、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター、CVD 法、蒸着法等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG (リンガラス)、BPSG (リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第 3 絶縁膜を形成しても良い。ここでは、アクリルを塗布し焼成して第 3 絶縁膜を形成する。

【0054】

次に、フォトリソグラフィ工程及びエッチング工程により第 3 絶縁膜の一部、第 2 絶縁膜 122、及び第 1 絶縁膜 113 の一部をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域の一部を露出する。このとき、エッチングされた第 3 絶縁膜を第 3 絶縁層 141、エッチングされた第 2 絶縁膜を第 2 絶縁層 142、エッチングされた第 1 絶縁膜を第 1 絶縁層 143 と示す。なお、ここでは、第 3 絶縁層 141 は、表面が平坦な絶縁膜が図示されているが、平坦でなくとも良い。

【0055】

次に、ソース領域及びドレイン領域に接続するソース電極及びドレイン電極 144 ~ 147 を形成する。ソース電極及びドレイン電極は、PVD 法 (Physical Vapor Deposition)、CVD 法 (Chemical Vapor Deposition)、蒸着法等により導電膜を成膜した後、所望の形状にエッチングして形成することができる。また、液滴吐出法、印刷法、電界メッキ法等により、所定の場所に選択的に導電層を形成することができる。更にはリフロー法、ダマシン法を用いても良い。ソース領域及びドレイン領域の材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Si、Ge、Zr、Ba 等の金属又はその合金、若しくはその金属窒化物を用いて形成する。また、これらの積層構造としても良い。

【0056】

ここで、ゲート電極 131 とフローティングゲート電極 121 との端部の位置関係について図 27 を用いて説明する。図 27 において、ゲート電極 131 の幅をそれぞれ L1 ~ L3 と示し、フローティングゲート電極の幅を D1 ~ D3 と示す。図 27 (A) においては、ゲート電極 131 の幅 L1 とフローティングゲート電極 121 の幅 D1 とが等しい構造、即ちゲート電極の端部とフローティングゲート電極の端部それぞれが、概略一致しているメモリトランジスタを示す。

【0057】

図 27 (B) においては、ゲート電極 131 の幅 L2 よりもフローティングゲート電極 121 の幅 D2 の方が大きい、即ちフローティングゲート電極の両端部がゲート電極の両端部の外側に設けられている構造のメモリトランジスタを示す。このとき、ゲート電極 1

3 1 よりも外側に設けられたフローティングゲート電極 1 5 2 は、電荷蓄積層としては機能しない。従って、フローティングゲート電極 1 2 1 の両端部がゲート電極 1 3 1 の両端部より外側に設けられる構造と、等しく重なる構造とは、製造工程や微細化に有利となるように、適宜選択すればよい。

【 0 0 5 8 】

図 2 7 (C) においては、ゲート電極 1 3 1 の幅 L 3 よりもフローティングゲート電極 1 2 1 の幅 D 3 が小さい構造のメモリトランジスタを示す。この場合、いわゆるスプリットゲート電極構造のメモリトランジスタとなる。スプリットゲート電極構造とは、一つの半導体領域 1 1 1 及びゲート電極 1 3 1 で、メモリトランジスタを選択する選択用トランジスタと、メモリトランジスタとを構成する素子をいう。これは図 2 7 (D) に示すように、一組の信号線 1 6 0、1 6 1 でメモリトランジスタ 1 6 2 と選択用のトランジスタ 1 6 3 とを制御する構成である。このような構成は、メモリトランジスタが過消去状態（閾値電圧よりも負の状態）になっても、選択用のトランジスタ 1 6 3 によりメモリセルの選択性を保つことができるため、動作マージンに優れる。なお、図 2 7 (C) では、フローティングゲート電極の一方の端がゲート電極の端と一致する構成を示したが、この構造に限られない。フローティングゲート電極 1 2 1 の両端が、ゲート電極 1 3 1 の両端の内側に設けられていても良い。

【 0 0 5 9 】

また、以下の方法により、図 1 に示す基板 1 0 0 からのメモリトランジスタ 1 4 8 及び T F T 1 4 9 を剥離することが可能である。剥離方法としては、(1) 基板 1 0 0 として、3 0 0 ~ 5 0 0 度程度の耐熱性を有する基板を用い、当該基板 1 0 0 とメモリトランジスタ 1 4 8 及び T F T 1 4 9 との間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、当該メモリトランジスタ 1 4 8 及び T F T 1 4 9 を剥離する方法、(2) 基板 1 0 0 とメモリトランジスタ 1 4 8 及び T F T 1 4 9 の間に水素を含む非晶質珪素膜を設け、レーザ光を照射、またはガス・溶液でのエッチングにより当該非晶質珪素膜を除去することで、当該メモリトランジスタ 1 4 8 及び T F T 1 4 9 を剥離する方法、(3) メモリトランジスタ 1 4 8 及び T F T 1 4 9 が形成された基板 1 0 0 を機械的に削除する、又は溶液や C F₃ 等のガスによるエッチングで除去することで、当該メモリトランジスタ 1 4 8 及び T F T 1 4 9 を切り離す方法等が挙げられる。また、剥離したメモリトランジスタ 1 4 8 及び T F T 1 4 9 のフレキシブル基板への貼り付けは、市販の接着剤を用いればよく、例えば、エポキシ樹脂系接着剤や樹脂添加剤等の接着材を用いればよい。

【 0 0 6 0 】

上記のように、剥離したメモリトランジスタ 1 4 8 及び T F T 1 4 9 をフレキシブル基板に貼り合わせると、厚さが薄く、軽く、落下しても割れにくい半導体装置を提供することができる。また、フレキシブル基板は可撓性を有するため、曲面や異形の形状上に貼り合わせることが可能となり、多種多様の用途が実現する。また、基板 1 0 0 を再利用すれば、安価な半導体装置の提供が可能である。

【 0 0 6 1 】

以上の工程により、第 1 半導体領域 1 1 1、トンネル酸化膜として機能する第 1 絶縁層 1 4 3、フローティングゲート電極 1 2 1、第 2 絶縁層 1 4 2、及びゲート電極 1 3 1 で構成されるメモリトランジスタ 1 4 8 と、第 2 半導体領域 1 1 2、ゲート絶縁膜として機能する第 1 絶縁層 1 4 3 及び第 2 絶縁層 1 4 2、並びにゲート電極 1 3 2 で構成される T F T 1 4 9 とを、同一基板上に有する半導体装置を形成することができる。なお、T F T 1 4 9 は、メモリトランジスタを選択するデコード回路、書き込み・読み出し回路等の周辺回路、C P U、D R A M、画像処理回路、音声処理回路等の機能回路、バッファ回路、シフトレジスタ回路、レベルシフタ回路及びサンプリング回路等の駆動回路等に適宜用いることができる。

【 0 0 6 2 】

本実施の形態で形成される半導体装置は、結晶性シリコン膜を用いて形成することが可能であるため、高価な単結晶半導体基板を用いず作製することができる。このため、コス

10

20

30

40

50

ト削減が可能である。また、基板 1 0 0 として大面積基板を用い、上記の工程により複数の半導体装置の回路パターンを形成し、最後に矩形状又は短冊状に分割して、個々の半導体装置を取り出すことによって、大量の半導体装置を形成することが可能である。この結果、低コスト化が可能である。さらに本実施の形態で作製したメモリトランジスタ 1 4 8 及び T F T 1 4 9 を剥離し、フレキシブル基板に接着することにより、薄型の半導体装置の作製が可能である。

【 0 0 6 3 】

また、メモリトランジスタのフローティングゲート電極に分散された粒子を用いているため、トンネル酸化膜の欠陥による蓄積電荷の流出を回避することができる。このため、信頼性の高い半導体装置を形成することができる。

10

【 0 0 6 4 】

(実施の形態 2)

本実施の形態では、実施の形態 1 においてフローティングゲート電極とゲート電極との端部が概略一致するメモリトランジスタを有する半導体装置の作製方法について図 2 9 を用いて説明する。

【 0 0 6 5 】

図 2 9 (A) に示すように、実施の形態 1 と同様に第 1 絶縁膜 1 1 3 上に分散粒子 1 1 4 を形成する。次に、マスクパターン 1 5 5 を形成する。ここで、マスクパターン 1 5 5 は、少なくとも T F T の活性領域となる第 2 半導体領域 1 1 2 を覆わず、メモリトランジスタの活性領域となる第 1 半導体領域 1 1 1 を覆っていれば良い。

20

【 0 0 6 6 】

次に、図 2 9 (B) に示すように、第 2 絶縁膜 1 2 2 及び第 1 導電膜 1 2 3 を成膜する。次に、マスクパターン 1 2 4、1 2 5 を形成する。

【 0 0 6 7 】

次に図 2 9 (C) に示すように、マスクパターン 1 2 4、1 2 5 を用いて第 1 導電膜 1 2 3、第 2 絶縁膜 1 2 2、及び残存した分散粒子 1 5 1 の一部をエッチングして除去し、ゲート電極 1 3 1、1 3 2、第 2 絶縁層 1 6 5、1 6 6、分散粒子で形成されるフローティングゲート電極 1 6 7 を形成する。ここでは、第 1 導電膜 1 2 3 及び第 2 絶縁膜 1 2 2 を、ドライエッチングによりエッチングする。この後、マスクパターン 1 2 4、1 2 5 を除去せず、残存した分散粒子 1 5 1 の一部をウェットエッチングによりエッチングする。この工程により、ゲート電極 1 3 1 とフローティングゲート電極 1 6 7 とが自己整合的に形成される。

30

【 0 0 6 8 】

この後、実施の形態 1 と同様の工程により、メモリトランジスタ 1 7 8 及び T F T 1 7 9 を形成することができる。

【 0 0 6 9 】

以上の工程により、第 1 半導体領域 1 1 1、トンネル酸化膜として機能する第 1 絶縁層 1 4 3、フローティングゲート電極 1 6 7、第 2 絶縁層 1 6 5、及びゲート電極 1 3 1 で構成されるメモリトランジスタ 1 7 8 と、第 2 半導体領域 1 1 2、ゲート絶縁膜として機能する第 1 絶縁層 1 4 3 及び第 2 絶縁層 1 6 6、並びにゲート電極 1 3 2 で構成される T F T 1 7 9 とを、同一基板上に有する半導体装置を形成することができる。

40

【 0 0 7 0 】

(実施の形態 3)

本実施の形態では、単結晶半導体基板を用いてメモリトランジスタと M O S トランジスタとを、同一基板上に形成する工程を、図 2 を用いて説明する。

【 0 0 7 1 】

図 2 (A) に示すように、基板 2 0 1 に素子分離領域 2 0 2 ~ 2 0 4 を形成する。基板 2 0 1 は、単結晶半導体基板又は化合物半導体基板であり、代表的には、n 型または p 型の単結晶シリコン基板、G a A s 基板、I n P 基板、G a N 基板、S i C 基板、サファイヤ基板、又は Z n S e 基板等が挙げられる。また、S O I 基板 (S i l i c o n O n

50

Insulator)を用いこともできる。本実施の形態では、基板201として、単結晶シリコン基板を用いる。素子分離領域202~204は、公知の選択酸化法(LOCOS(Local Oxidation of Silicon)法)又はトレンチ分離法等を適宜用いることができる。ここでは、素子分離領域202~204としては、LOCOS法によりシリコン基板の一部を酸化して、酸化珪素膜を形成する。この後、ウェルイオン注入、チャネルストップイオン注入、閾値電圧調整イオン注入を適宜行う。

【0072】

次に、基板201の表面を洗浄して、基板201表面を露出する。この後、公知の手法により第1絶縁膜211を形成する。第1絶縁膜はメモリトランジスタのトンネル酸化膜として機能するため、膜厚は薄いことが好ましい。膜厚が薄いと、低い電圧でフローティングゲート電極に電荷を蓄積することが可能であり、低消費電力である半導体装置を形成することができる。ここでは、第1絶縁膜211は、熱酸化法により酸化珪素膜を形成する。

10

【0073】

次に、実施の形態1と同様に第1絶縁膜211上に分散粒子114を形成する。次に、後にメモリトランジスタが形成される領域にマスクパターン213を形成する。

【0074】

次に分散粒子114の一部をエッチングして、図2(B)に示すように、フローティングゲート電極121を形成する。次に、素子分離領域202~204、第1絶縁膜211、及びフローティングゲート電極121上に第2絶縁膜222を成膜する。なお、実施の形態2と同様の工程を用いてフローティングゲート電極を形成しても良い。次に、第2絶縁膜222上に第1導電膜223を成膜する。第2絶縁膜222及び第1導電膜223はそれぞれ、実施の形態1の第2絶縁膜122及び第1導電膜123と同様の材料及び成膜方法により形成することができる。次に、第1導電膜223上にマスクパターン124、125を形成する。

20

【0075】

次に、マスクパターン124、125を用いて第1導電膜をエッチングして、図2(C)に示すように、ゲート電極131、132を形成する。次に、マスクパターン124、125及びゲート電極131、132をマスクとして、基板201に自己整合的に不純物元素を添加する。次に、マスクパターン124、125を除去した後、加熱処理、GRTA法、LRTA法等により、不純物元素の活性化を行い、ソース領域及びドレイン領域233~236を形成する。

30

【0076】

次に、図2(D)に示すように、第2絶縁膜222上に第3絶縁膜を形成する。この後、第3絶縁膜の一部、第2絶縁膜222、及び第1絶縁膜211の一部をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域の一部を露出する。ここで、エッチングされた第3絶縁膜を第3絶縁層141、エッチングされた第2絶縁膜を第2絶縁層242、エッチングされた第1絶縁膜を第1絶縁層243と示す。この後、ソース領域及びドレイン領域に接続するソース電極及びドレイン電極144~147を形成する。

40

【0077】

以上の工程により、半導体単結晶を用いた基板201、トンネル酸化膜として機能する第1絶縁層243、フローティングゲート電極121、第2絶縁層242、及びゲート電極131で構成されるメモリトランジスタ251と、半導体単結晶を用いた基板201、ゲート絶縁膜として機能する第1絶縁層243及び第2絶縁層242、並びにゲート電極132で構成されるMOSトランジスタ252とを、同一基板上に有する半導体装置を形成することができる。なお、MOSトランジスタ252は、メモリトランジスタを選択するデコーダ回路、書き込み・読み出し回路等の周辺回路、CPU、DRAM、画像処理回路、音声処理回路等の機能回路、バッファ回路、シフトレジスタ回路、レベルシフタ回路及びサンプリング回路等の駆動回路等に適宜用いることができる。

50

【0078】

また、基板201としてSOI基板(Silicon On Insulator)を用い、実施の形態1で示すようなシリコン基板との酸化絶縁膜を用いた剥離方法により、メモリトランジスタ及びMOSトランジスタを剥離することができる。また、当該剥離したメモリトランジスタ及びMOSトランジスタを実施の形態1と同様にフレキシブル基板に接着することにより、半導体装置の薄型化が可能である。

【0079】

また、メモリトランジスタのフローティングゲート電極として分散された粒子を用いているため、トンネル酸化膜の欠陥による蓄積電荷の流出を回避することができる。このため、信頼性の高い半導体装置を形成することができる。

10

【実施例1】

【0080】

本実施例では、メモリトランジスタとCMOS回路を同一基板に有する半導体装置の作製工程について、図3を用いて説明する。本実施例において、メモリトランジスタ及びTFTはシングルドレイン構造である。

【0081】

図3(A)に示すように、ガラス基板300上に第1絶縁膜301を成膜する。第1絶縁膜301は、基板からの不純物元素が後に形成される半導体領域に拡散するのを防止するためのブロッキング膜として機能する。このため、第1絶縁膜301としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜からなる下地膜を形成する。さらには、酸化珪素膜と窒化珪素膜とを連続的に積層して成膜してもよい。

20

【0082】

次に、第1絶縁膜301上にアモルファスシリコン膜を成膜し、アモルファスシリコン膜に80MHzの周波数を有するパルス発振のレーザ光を照射して結晶性シリコン膜を形成する。次に、フォトリソグラフィ工程及びエッチング工程により結晶性シリコン膜を所望の形状にエッチングして、第1半導体領域303、第2半導体領域304、及び第3半導体領域305を形成する。なお、第1半導体領域303は後のメモリトランジスタの活性領域、第2半導体領域304は後のnチャネル型TFTの活性領域、第3半導体領域305は後のpチャネル型TFTの活性領域として機能する。

【0083】

30

次に、第1乃至第3半導体領域303～305の表面に形成された自然酸化膜を除去した後、ヒドロキシラジカルを含むオゾン水に数十秒～数分曝して、半導体領域303～305表面に酸化珪素膜を形成する。この後、GRTA(Gas Rapid Thermal Anneal)法、LRTA(Lamp Rapid Thermal Anneal)法により酸化シリコン膜をより緻密化し、膜厚1～2nmの第2絶縁膜306～308を形成する。この方法により、短時間且つ高温で処理することが可能であるため、基板を伸縮させずとも緻密且つ膜厚の薄い第2絶縁膜を形成することができる。次に、第2絶縁膜306～308及びガラス基板300上に第3絶縁膜309を成膜する。ここでは、第3絶縁膜309として、膜厚1～5nmの窒化珪素膜又は窒化酸化珪素膜(SiNO(N>O))を成膜する。

40

【0084】

次に、第3絶縁膜309上に分散粒子としてシリコン微粒子310をプラズマCVD法により形成する。次にシリコン微粒子310及び第3絶縁膜309上に第4絶縁膜311を成膜する。第4絶縁膜311としては、プラズマCVD法により膜厚10～20nmの窒化珪素膜、又は窒化酸化珪素膜(SiNO(N>O))を成膜する。次に、フォトリソグラフィ工程によりマスクパターン312を第1半導体領域303上に形成する。

【0085】

次に、図3(B)に示すように、マスクパターン312を用いて第4絶縁膜及びシリコン微粒子310の一部をエッチングしてフローティングゲート電極を有する絶縁層313を形成する。ここでは、ドライエッチングにより第4絶縁膜をエッチングして、シリコン

50

微粒子 310 を露出した後、NMD3 溶液（テトラメチルアンモニウムハイドロオキシドを 0.2 ~ 0.5 % 含む水溶液）等を用いて、シリコン微粒子をエッチングする。ここで、フローティングゲート電極は、残存したシリコン微粒子で形成されている。

【0086】

次に、図 3 (C) に示すように、第 4 絶縁膜及びフローティングゲート電極を有する絶縁層 313 上に第 5 絶縁膜 321 を成膜する。第 5 絶縁膜 321 としては、プラズマ CVD 法により膜厚 20 ~ 50 nm の酸化珪素膜、又は酸化窒化珪素 (SiON (O > N)) を成膜する。

【0087】

次に、第 1 導電膜 322 を成膜する。ここでは第 1 導電膜 322 としてスパッタリング法により膜厚 400 nm のタンゲステン膜を成膜する。次に、第 1 半導体領域乃至第 3 半導体領域 303 ~ 305 上にフォトリソグラフィ工程により、マスクパターン 323 ~ 325 を形成する。

【0088】

次に、図 3 (D) に示すように、マスクパターン 323 ~ 325 を用いて第 1 導電膜 322 をエッチングしてゲート電極 331 ~ 333 を形成する。このときのゲート電極の幅を 0.2 ~ 1.5 nm、好ましくは 0.2 ~ 0.7 nm とする。次に、マスクパターン 323 ~ 325 を除去した後、新たに第 3 半導体領域 305 上にマスクパターン 334 を形成する。

【0089】

次に、第 1 半導体領域 303 及び第 2 半導体領域 304 にゲート電極 331、332 をマスクとして不純物元素を添加する。ここでは、n 型を呈する不純物元素であるリン (P) を各半導体領域に添加し、n 型を呈するソース領域及びドレイン領域 335 ~ 338 を形成する。

【0090】

次に、図 3 (E) に示すように、マスクパターン 334 を除去した後、フォトリソグラフィ工程により、第 1 半導体領域 303 及び第 2 半導体領域 304 上にマスクパターン 341、342 を形成する。次に、ゲート電極 325 をマスクとして第 3 半導体領域 305 に不純物元素を添加する。ここでは、p 型を呈する不純物元素であるボロン (B) を半導体領域に添加し、p 型を呈するソース領域及びドレイン領域 343、344 を形成する。次に、マスクパターン 341、342 を除去した後、加熱してソース領域及びドレイン領域の不純物元素の活性化を行う。この後、第 5 絶縁膜 321 上に水素を含む絶縁膜を成膜し、加熱して、半導体領域表面の水素化を行ってもよい。

【0091】

次に、図 3 (F) に示すように、第 5 絶縁膜 321 上に層間絶縁膜として機能する第 6 絶縁膜を成膜する。ここでは、シロキサン系樹脂を塗布し、焼成して第 6 絶縁膜を形成する。次に、第 6 絶縁膜、第 5 絶縁膜、第 3 絶縁膜、及び第 2 絶縁膜をエッチングしてコンタクトホールを形成すると共に、ソース領域及びドレイン領域 335 ~ 338、343、344 の一部を露出する。エッチングされた第 6 絶縁膜を第 6 絶縁層 351、エッチングされた第 5 絶縁膜を第 5 絶縁層 352、及びエッチングされた第 3 絶縁膜第 3 絶縁層 353 と示す。また、エッチングされた第 2 絶縁膜を第 2 絶縁層 354 ~ 356 と示す。次に、スパッタリング法によりチタン膜、アルミニウムシリコン合金膜、及びチタン膜を積層成膜した後、フォトリソグラフィ工程及びエッチング工程を用いてソース電極及びドレイン電極 357 ~ 362 を形成する。

【0092】

以上の工程により、また、第 1 半導体領域 303、トンネル酸化膜として機能する第 2 絶縁層 354 及び第 3 絶縁層 353、フローティングゲート電極を有する絶縁層 313、第 5 絶縁層 352、及びゲート電極 331 で構成されるメモリトランジスタ 371 を形成することができる。また、第 2 半導体領域 304、ゲート絶縁膜として機能する第 2 絶縁層 355、第 3 絶縁層 353、及び第 5 絶縁層 352、並びにゲート電極 332 で構成さ

10

20

30

40

50

れるnチャネル型TFT372を形成することができる。また、第3半導体領域305、ゲート絶縁膜として機能する第2絶縁層356、第3絶縁層353、及び第5絶縁層352、並びにゲート電極333で構成されるpチャネル型TFT373を形成することができる。更には、シングルドレイン構造のメモリトランジスタ371、nチャネル型TFT372、及びpチャネル型TFT373を、同一基板上に有する半導体装置を形成することができる。

【0093】

また、本実施例は、実施の形態1～3それぞれと組み合わせて用いることが可能である。

【実施例2】

10

【0094】

本実施例では、メモリトランジスタとCMOS回路を同一基板上に有する半導体装置の作製工程について図3及び図4を用いて説明する。本実施例において、メモリトランジスタ及びTFTは、サイドウォール（側壁スペーサ）及び該領域に覆われた低濃度不純物領域（LDD（Light Doped Drain）領域と示す。）を有する。

【0095】

本実施例では、ゲート電極を形成する工程までは、実施例1と同様であるため、それ以降の工程について説明する。実施例1の工程にしたがって図3（D）に示すようにメモリトランジスタ、nチャネル型TFT及びpチャネル型TFTのゲート電極331～333を形成する。次に、図4（A）に示すように、メモリトランジスタ及びnチャネル型TFTの半導体領域（第1半導体領域303及び第2半導体領域304）に、n型を呈する不純物元素であるリン（P）を添加し、n型を呈する第1低濃度不純物領域（以下、第1n型不純物領域と示す。）401～404を形成する。次に、pチャネル型TFTの半導体領域（第3半導体領域305）にp型を呈する不純物元素であるボロン（B）を半導体領域に添加し、p型を呈する第1低濃度不純物領域（以下、第1p型不純物領域と示す。）405、406を形成する。

20

【0096】

次に、ゲート電極331～333及び第5絶縁膜321上に第6絶縁膜410を成膜する。第6絶縁膜としては、CVD法により酸化珪素膜を成膜する。

【0097】

30

次に、RIE（Reactive ion etching：反応性イオンエッチング）法により第6絶縁膜410を異方性エッチングして、図4（B）に示すように、サイドウォール（側壁スペーサ）411～413を形成する。このとき、絶縁膜の材料によって、第2乃至第5絶縁膜の一部又は全部もエッチングされる。ここでは、第1半導体領域～第4半導体領域をエッチングストッパーとして機能し、第2乃至第5絶縁膜がエッチングされる。ここで、エッチングされた第2絶縁膜407～409をそれぞれ第2絶縁層416a～416c、エッチングされた第3絶縁膜321をそれぞれ第3絶縁層415a～415c、エッチングされた第5絶縁膜410をそれぞれ第2絶縁層414a～414cと示す。

【0098】

40

次に、図4（C）に示すように、フォトリソグラフィ工程により、後に形成されるpチャネル型TFTの半導体領域である第3半導体領域305を覆うマスクパターン421を形成する。次に、第1半導体領域303及び第2半導体領域304に、n型を呈する不純物元素であるリン（P）を添加し、n型を呈する高濃度不純物領域（ソース領域及びドレイン領域）422～425を形成する。このとき、サイドウォールに覆われたn型を呈する第1低濃度不純物領域（以下、第2n型不純物領域（LDD領域））426～429も形成される。このとき、第2n型不純物領域426～429の幅は、0.01～0.3μmであることが好ましい。この後、マスクパターン421を除去する。なお、第2n型不純物領域は低濃度不純物領域である。

【0099】

50

次に、図4(D)に示すように、フォトリソグラフィ工程により、第1半導体領域303及び第2半導体領域304、それぞれを覆うマスクパターン431、432を形成する。次に、第3半導体領域305に、p型を呈する不純物元素であるボロン(B)を半導体領域に添加し、p型を呈する高濃度不純物領域(ソース領域及びドレイン領域)422~425を形成する。このとき、サイドウォールに覆われた第1p型不純物領域(以下、第2p型不純物領域(LDD領域))428、429も形成される。このとき、第2p型不純物領域428、429の幅は、0.01~0.3 μ mであることが好ましい。次に、マスクパターン431、432を除去した後、加熱して不純物元素の活性化を行う。

【0100】

次に、層間絶縁膜として機能する第7絶縁膜を成膜した後、実施例1と同様に、第7絶縁膜をエッチングして、コンタクトホールを形成すると共に、ソース領域及びドレイン領域422~425、433、434の一部を露出する。第7絶縁膜は、実施例1の第6絶縁膜と同様の材料及び手法により形成する。エッチングされた第7絶縁膜を第7絶縁層451と示す。この後、実施例1と同様にソース電極及びドレイン電極357~362を形成する。

【0101】

以上の工程により、第1半導体領域303、トンネル酸化膜として機能する第2絶縁層416a及び第3絶縁層415a、フローティングゲート電極を有する絶縁層313、第5絶縁層414a、ゲート電極331、並びにサイドウォール411を有するメモリトランジスタ441を形成することができる。

【0102】

また、第2半導体領域304、ゲート絶縁膜として機能する第2絶縁層416b、第3絶縁層415b、及び第5絶縁層414b、ゲート電極332、並びにサイドウォール412で構成されるnチャネル型TFET429を形成することができる。

【0103】

また、第3半導体領域305、ゲート絶縁膜として機能する第2絶縁層416c、第3絶縁層415c、及び第5絶縁層414c、ゲート電極333、並びにサイドウォール413で構成されるpチャネル型TFET443を形成することができる。更には、メモリトランジスタ441、nチャネル型TFET442、及びpチャネル型TFET443を、同一基板上に有する半導体装置を形成することができる。

【0104】

また、本実施例で形成したメモリトランジスタ及びTFETは、サイドウォール構造であるため、サブミクロン構造のメモリトランジスタ及びTFETにおいてもLDD領域を形成することが可能である。また、LDD領域を有するため、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果、及びオフ電流を低減する効果がある。この結果、信頼性の高い半導体装置を作製することが可能である。

【0105】

また、本実施例は、実施の形態1~3、実施例1それぞれと組み合わせる用いることが可能である。

【実施例3】

【0106】

本実施例では、メモリトランジスタとCMOS回路を同一基板に有する半導体装置の作製工程について図5を用いて説明する。本実施例において、メモリトランジスタ及びTFETはシリサイド構造である。

【0107】

本実施例では、ソース領域及びドレイン領域を形成する工程までは、実施例2と同様であるため、それ以降の工程について説明する。実施例2にしたがって図5(A)に示すように、サイドウォール411~413、第1絶縁層416a~416c、第2絶縁層415a~415c、第5絶縁層414a~414cを形成した後、ソース領域及びドレイン領域422~425、433、434を形成する。この後、マスクパターン431、43

10

20

30

40

50

2を除去する。

【0108】

次に、図5(B)に示すように、導電膜510を成膜する。導電膜510の材料としては、チタン(Ti)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)、Ha(ハフニウム)、タンタル(Ta)、バナジウム(V)、ネオジウム(Nb)、クロム(Cr)、白金(Pt)、パラジウム(Pd)等を有する膜を成膜する。ここでは、スパッタリング法により、チタン膜を成膜する。

【0109】

次に、図5(C)に示すように、加熱処理、GRTA法、LRTA法等により、露出されたソース領域及びドレイン領域のシリコンと導電膜とを反応させて、シリサイド521~526を形成する。この後、シリコンと反応しなかった導電膜510を除去する。

10

【0110】

次に、実施例2と同様に層間絶縁膜として機能する第7絶縁膜を成膜した後、第7絶縁膜の一部をエッチングしてコンタクトホールを形成すると共に、シリサイド521~526の一部を露出する。次に、実施例3と同様にソース電極及びドレイン電極357~362を形成する。

【0111】

以上の工程により、第1半導体領域303、トンネル酸化膜として機能する第2絶縁層416a及び第3絶縁層415a、フローティングゲート電極を有する絶縁層313、第5絶縁層414a、ゲート電極331、並びにシリサイド521、522を有するメモリトランジスタ531を形成することができる。

20

【0112】

また、第2半導体領域304、ゲート絶縁膜として機能する第2絶縁層416b、第3絶縁層415b、及び第5絶縁層414b、ゲート電極332、並びにシリサイド523、524で構成されるnチャネル型TFET532を形成することができる。

【0113】

また、第3半導体領域305、ゲート絶縁膜として機能する第2絶縁層416c、第3絶縁層415c、及び第5絶縁層414c、ゲート電極333、並びにシリサイド525、526で構成されるpチャネル型TFET533を形成することができる。更には、シリサイド構造のメモリトランジスタ531、nチャネル型TFET532、及びpチャネル型TFET533を、同一基板上に有する半導体装置を効率良く形成することができる。

30

【0114】

本実施例により形成されたメモリトランジスタ及びTFETはシリサイド構造であるため、ソース領域及びドレイン領域の低抵抗化が可能であり、半導体装置の高速化が可能である。また、低電圧での動作が可能であるため、消費電力を低減することが可能である。

【0115】

本実施例は、実施の形態1~3、実施例1~2それぞれと組み合わせて用いることが可能である。

【実施例4】

【0116】

40

本実施例では、メモリトランジスタとCMOS回路を同一基板上に有する半導体装置の作製工程について図3及び図6を用いて説明する。本実施例において、メモリトランジスタ及びTFETは、ゲート電極に覆われる低濃度不純物領域(以下、GOLD領域、またはLov領域と示す。)を有する。

【0117】

本実施例では、フローティングゲート電極を有する絶縁層313を形成する工程までは、実施例1と同様であるため、それ以降の工程について説明する。図3(C)に示すように、フローティングゲート電極を含む絶縁層313及び第5絶縁膜321を形成する。次に、図6(A)に示すように、フローティングゲート電極を含む絶縁層313及び第5絶縁膜321上に第1導電膜601及び第2導電膜602を成膜する。ここでは、第1導電

50

膜 6 0 1 としては、膜厚 3 0 n m の窒化タンタル膜を成膜し、第 2 導電膜として膜厚 3 7 0 n m のタングステン膜を成膜する。

【 0 1 1 8 】

次に、フォトリソグラフィ工程により、第 2 導電膜 6 0 2 上にマスクパターン 6 0 3 ~ 6 0 5 を形成する。ここでは、マスクパターン 6 0 3 ~ 6 0 5 は、第 2 導電膜 6 0 2 と接する領域において 4 0 ~ 8 0 度、好ましくは 6 0 ~ 7 0 度のテーパー部（傾斜部）を有するマスクパターンを形成する。なお、テーパー部の角度（テーパー角）は基板表面（水平面）とテーパー部の傾斜部とのなす角度として定義する。ここで、テーパー部を有するマスクパターンを形成する場合、レジストを露光する露光装置としては、縮小投影露光装置（通称、ステッパ - という。）や、ミラープロジェクション方式の露光装置（通称、M P A という。）を用いることが好ましい。縮小投影露光装置を用いる場合、テーパー部がなく側面が垂直に切り立ったマスクパターンが形成される場合があるが、この場合は 1 6 0 ~ 2 0 0 度でレジストを加熱することで、側面にテーパー部を形成することができる。なお、側面にテーパー部を有するマスクパターンを形成することが可能であれば、これらの露光装置に限定されず、公知の露光装置を自由に用いることができる。

10

【 0 1 1 9 】

次に、図 6（B）に示すように、第 1 条件により第 1 導電膜 6 0 1 と第 2 導電膜 6 0 2 をエッチングして、テーパー部を有する第 1 導電層 6 1 1、6 1 3、6 1 5 及び第 2 導電層 6 1 2、6 1 4、6 1 6 を形成する。このエッチング工程の際、マスクパターン 6 0 3 ~ 6 0 5 もエッチングされて、幅の狭いマスクパターン 6 1 7 ~ 6 1 9 が形成される。第 1 導電層 6 1 1、6 1 3、6 1 5 は、第 1 導電膜 6 0 1 がエッチングされた導電層であり、第 2 導電層 6 1 2、6 1 4、6 1 6 は第 2 導電膜 6 0 2 がエッチングされた導電層である。ここで、第 1 条件は、第 1 導電膜と第 2 導電膜との選択比がほぼ等しいエッチング条件である。本実施例では、I C P（I n d u c t i v e l y C o u p l e d P l a s m a：誘導結合型プラズマ）エッチング法により、第 1 導電膜及び第 2 導電膜をエッチングする。この結果、テーパー部の角度がほぼ等しい第 1 導電層 6 1 1、6 1 3、6 1 5、第 2 導電層 6 1 2、6 1 4、6 1 6、及びマスクパターン 6 1 7 ~ 6 1 9 が形成される。

20

【 0 1 2 0 】

次に、図 6（C）に示すように、第 2 条件により第 2 導電層 6 1 2、6 1 4、6 1 6 をエッチングして第 3 導電層 6 2 1 ~ 6 2 3 を形成する。ここで、第 2 条件は、第 2 導電層を選択的にエッチングする条件である。このような条件としては、マスクパターン 6 1 7 ~ 6 1 9 を後退させながら、第 2 導電層を選択的にエッチングする。本実施例では、I C P（I n d u c t i v e l y C o u p l e d P l a s m a：誘導結合型プラズマ）エッチング法により、第 2 導電層 6 1 2、6 1 4、6 1 6 をエッチングする。この結果、第 2 導電層よりもテーパー部の角度が大きく、且つ第 1 導電層よりも幅の狭い第 3 導電層 6 2 1 ~ 6 2 3 を形成することができる。このとき、図 6 において、第 2 条件により後退されたマスクパターンは 6 2 4 ~ 6 2 6 となる。

30

【 0 1 2 1 】

以上の工程により、第 1 導電層 6 1 1 及び第 3 導電層 6 2 1 は、後に形成されるメモリトランジスタのゲート電極として機能する。また、第 1 導電層 6 1 3 及び第 3 導電層 6 2 2 は、後に形成される n チャネル型 T F T のゲート電極として機能する。また、第 1 導電層 6 1 5 及び第 3 導電層 6 2 3 は、後に形成される p チャネル型 T F T のゲート電極として機能する。

40

【 0 1 2 2 】

次に、n 型を呈する不純物元素であるリン（P）を第 1 半導体領域 3 0 3 及び第 2 半導体領域 3 0 4 に添加し、n 型を呈する高濃度不純物領域（ソース領域及びドレイン領域）6 3 1 ~ 6 3 4 を形成すると共に、ゲート電極に覆われ、且つ n 型を呈する低濃度不純物領域（G O L D 領域）6 3 7 ~ 6 4 0 を形成する。ここでは、第 1 導電層 6 1 1、6 1 3 の領域は、第 3 導電層 6 2 1 と比較して膜厚が薄い。このため、第 3 導電層 6 2 1、6 2 2 に覆われず、第 1 導電層 6 1 1、6 1 3 に覆われる半導体領域 3 0 3、3 0 4 に、低濃

50

度の不純物元素が添加される。

【 0 1 2 3 】

次に、p型を呈する不純物元素であるボロン（B）を第3半導体領域305に添加し、p型を呈する高濃度不純物領域（ソース領域及びドレイン領域）635、636を形成すると共に、ゲート電極に覆われた低濃度不純物領域（GOLD領域）641、642を形成する。ここでも同様に、第1導電層615の領域は、第3導電層623と比較して膜厚が薄い。このため、第3導電層623に覆われず、第1導電層615に覆われる半導体領域305に低濃度の不純物元素が添加される。

【 0 1 2 4 】

次に、マスクパターン624～626を除去した後、加熱して不純物元素の活性化を行う。次に、実施例1と同様の工程により層間絶縁膜として機能する第6絶縁膜を成膜した後、コンタクトホールを形成すると共に、ソース領域及びドレイン領域631～636の一部を露出する。次に、ソース電極及びドレイン電極357～362を形成する。

【 0 1 2 5 】

以上の工程により、GOLD領域637、638、ソース領域及びドレイン領域631、632を有する第1半導体領域303、トンネル酸化膜として機能する第2絶縁層354及び第3絶縁層353、フローティングゲート電極を有する絶縁層313、第5絶縁層352、並びにゲート電極として機能する第1導電層611及び第3導電層621を有するメモリトランジスタ651を形成することができる。

【 0 1 2 6 】

また、GOLD領域639、640、ソース領域及びドレイン領域633、634を有する第2半導体領域304、ゲート絶縁膜として機能する第2絶縁層355、第3絶縁層353、及び第5絶縁層352、並びにゲート電極として機能する第1導電層613及び第3導電層622で構成されるnチャネル型TFT652を形成することができる。

【 0 1 2 7 】

また、GOLD領域641、642、ソース領域及びドレイン領域635、636を有する第3半導体領域305、ゲート絶縁膜として機能する第2絶縁層356、第3絶縁層353、及び第5絶縁層352、並びにゲート電極として機能する第1導電層613及び第3導電層623で構成されるpチャネル型TFT653を形成することができる。更には、GOLD領域を有するメモリトランジスタ651、nチャネル型TFT652、及びpチャネル型TFT653を、同一基板上に有する半導体装置を形成することができる。

【 0 1 2 8 】

また、本実施例のメモリトランジスタ及びTFTは、GOLD領域を有するため、ドレイン近傍の電界を緩和し、ホットキャリアによるオン電流の劣化を抑制することが可能である。この結果、高速動作が可能な半導体装置を形成することができる。

【 0 1 2 9 】

なお、本実施例のゲート電極の作製工程の代わりに、第2導電層をサイドエッチングして、同様にGOLD領域を有するメモリトランジスタ及びTFTを形成しても、同様の効果を有する半導体装置を作製することができる。

【 0 1 3 0 】

本実施例は、実施の形態1～3、実施例1～3それぞれと組み合わせて用いることが可能である。

【 実施例 5 】

【 0 1 3 1 】

本実施例では、メモリトランジスタのほかに高速動作が可能なTFT及び高耐圧特性を有するTFTを有する半導体装置の作製方法について、図7を用いて説明する。

【 0 1 3 2 】

本実施例では、フローティングゲート電極を有する絶縁層313を形成する工程までは、実施例1と同様である。図7（A）に示すように、実施例と同様に第1絶縁膜301上に第1半導体領域701、第2半導体領域702、第3半導体領域703、第4半導体領

10

20

30

40

50

域 704、及び第 5 半導体領域 705 を形成する。なお、第 1 半導体領域 701 は後のメモリトランジスタの活性領域、第 2 半導体領域 702 は後の高速動作が可能な n チャンネル型 T F T の活性領域、第 3 半導体領域 703 は後の高速動作が可能な p チャンネル型 T F T の活性領域、第 4 半導体領域 704 は後の高耐圧特性を有する n チャンネル型 T F T の活性領域、第 5 半導体領域 705 は後の高耐圧特性を有する p チャンネル型 T F T の活性領域として機能する。

【0133】

次に、実施例 1 と同様に、第 1 半導体領域～第 5 半導体領域表面に第 2 絶縁膜 706～710 をそれぞれ形成する。第 2 絶縁膜 706～710 は、実施例 1 の第 2 絶縁膜 306～309 と同様の材料及び手法により形成する。次に、第 3 絶縁膜 306 を成膜する。次に、第 3 絶縁膜 306 上に、分散粒子としてシリコン微粒子 310、第 4 絶縁膜 311 を成膜する。次に、第 1 半導体領域 701 上にフォトリソグラフィ工程によりマスクパターン 312 を形成する。

10

【0134】

次に、図 7 (B) に示すように、マスクパターン 312 を用いて第 4 絶縁膜 311 及びシリコン微粒子 310 の一部をエッチングして、フローティングゲート電極を有する絶縁層 313 を形成する。次に、マスクパターン 312 を除去した後、第 5 絶縁膜 711 を成膜する。ここでは、第 5 絶縁膜 711 としては、実施例 1 の第 5 絶縁膜 321 と同様の材料及び手法により形成する。次に、フォトリソグラフィ工程により第 1 半導体領域 701、第 4 半導体領域 704、及び第 5 半導体領域 705 上に、マスクパターン 712、713 を形成する。

20

【0135】

次に、図 7 (C) に示すように、マスクパターン 712、713 に覆われていない領域の第 5 絶縁膜 711 をエッチングする。このとき、第 4 絶縁膜 311 よりも第 5 絶縁膜 711 の選択比の高いエッチング条件で第 5 絶縁膜をエッチングする。この結果、第 2 半導体領域 702 及び第 3 半導体領域 703 上の第 5 絶縁膜がエッチングされる。また、第 1 半導体領域 701、第 4 半導体領域 704、及び第 5 半導体領域 705 上においては、エッチングされた第 5 絶縁膜 721 が残存する。この結果、後に高速動作が可能な T F T のゲート絶縁膜の膜厚は、1～10 nm、好ましくは 2～7 nm である。この後、マスクパターン 712、713 を除去する。

30

【0136】

次に、エッチングされた第 5 絶縁膜 721、及び露出された第 4 絶縁膜 311 上に第 1 導電膜 722 を成膜する。第 1 導電膜 722 は実施例 1 の第 1 導電膜 322 と同様の材料及び手法を適宜用いて形成する。

【0137】

次に、フォトリソグラフィ工程により第 1 導電膜 722 上にマスクパターン 723～727 を形成する。

【0138】

次に、図 7 (D) に示すように、マスクパターン 723～727 を用いて第 1 導電層をエッチングして、ゲート電極 731～735 を形成する。次に、実施例 1 と同様に、第 1 半導体領域 701、第 2 半導体領域 702、第 4 半導体領域 704 に、n 型を呈する不純物元素であるリン (P) を添加し、n 型を呈するソース領域及びドレイン領域 736～741 を形成する。また、p 型を呈する不純物元素であるボロン (B) を、第 3 半導体領域 703 及び第 5 半導体領域 705 に添加し、p 型を呈するソース領域及びドレイン領域 742～745 を形成する。次に、マスクパターン 723～727 を除去した後、加熱して不純物元素の活性化を行う。次に、層間絶縁膜として機能する第 6 絶縁膜を成膜した後、実施例 1 と同様にコンタクトホールを形成するとともに、ソース領域及びドレイン領域の一部を露出する。

40

【0139】

次に、第 6 絶縁膜～第 2 絶縁膜それぞれの一部をエッチングして、コンタクトホールを

50

形成すると共に、ソース領域及びドレイン領域の一部を露出する。なお、エッチングされた第6絶縁膜を第6絶縁層746、第5絶縁膜を第5絶縁層747、第3絶縁膜を第3絶縁層748、第2絶縁膜をそれぞれ第2絶縁層749～753と示す。次にソース電極及びドレイン電極754～763を形成する。

【0140】

以上の工程により、第1半導体領域701、トンネル酸化膜として機能する第2絶縁層749及び第3絶縁層748、フローティングゲート電極を有する絶縁層313、第5絶縁層747、及びゲート電極731を有するメモリトランジスタ771を形成することができる。

【0141】

また、第2半導体領域702、ゲート絶縁膜として機能する第2絶縁層750及び第3絶縁層748、ゲート電極732で構成される高速動作が可能なnチャネル型TF772を形成することができる。

【0142】

また、第3半導体領域703、ゲート絶縁膜として機能する第2絶縁層751及び第3絶縁層748、ゲート電極733で構成される高速動作が可能なpチャネル型TF773を形成することができる。

【0143】

また、第4半導体領域704、ゲート絶縁膜として機能する第2絶縁層752、第3絶縁層748、及び第5絶縁層747、ゲート電極734で構成される高耐圧特性を有するnチャネル型TF774を形成することができる。

【0144】

また、第5半導体領域705、ゲート絶縁膜として機能する第2絶縁膜753、第3絶縁層748、及び第5絶縁層747、ゲート電極735で構成される高耐圧特性を有するpチャネル型TF775を形成することができる。

【0145】

更には、メモリトランジスタ771、高速動作が可能なnチャネル型TF772及びpチャネル型TF773、並びに高耐圧特性を有するnチャネル型TF774及びpチャネル型TF775を、同一基板上に有する半導体装置を形成することができる。

【0146】

即ち、メモリトランジスタと、CPU、DRAM、画像処理回路、音声処理回路等の高速動作を重視する機能回路等のTF7と、バッファ回路、シフトレジスタ回路、レベルシフタ回路及びサンプリング回路等の高耐圧特性を重視する駆動回路等とを同一基板上に形成することが可能である。このため、システムLSI等の様々な機能及び構造の素子を有する半導体装置を、同一基板上に作製することができる。

【0147】

本実施例は、実施の形態1～3、実施例1～4それぞれと組み合わせて用いることが可能である。

【実施例6】

【0148】

本実施例では、低消費電力の半導体装置の作製方法について、図8～図10、及び図14を用いて説明する。図14は、本実施例の基板の斜視図であり、同図のメモリトランジスタ(A-B)、CMOS回路部(C-D)、及び低濃度p型不純物領域を有するnチャネル型TF7(E-F)に対応する断面構造を図8～10に模式的に示す。なお、本実施例では、LDD領域がゲート絶縁膜を介してゲート電極と重なる領域をLov領域と示し、LDD領域がゲート絶縁膜を介してゲート電極と重ならない領域をLoff領域と示す。

【0149】

図8(A)に示すように、ガラス基板300に第1絶縁膜301を成膜する。次に、第1絶縁膜301上にアモルファスシリコン膜801を成膜する。次に、アモルファスシリコン膜801にレーザ光802を照射して結晶性シリコン膜803を形成する。ここでは、

10

20

30

40

50

図14(A)に示すように、レーザ光802としてパルス発振のレーザ光の発振周波数が80MHzのレーザ光をアモルファスシリコン膜801に照射して、矢印で示すような走査方向804に向かって連続的に成長した結晶粒を有する結晶性シリコン膜803を形成する。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTF Tのキャリアの移動を妨げるような結晶粒界がほとんど存在しない半導体膜の形成が可能となる。

【0150】

次に、図8(B)に示すように、結晶性シリコン膜上にフォトリソグラフィ工程によりマスクパターンを形成し、該マスクパターンを用いて結晶性シリコン膜の一部をエッチングして第1半導体領域811、第2半導体領域812、第3半導体領域813、及び第4半導体領域814を形成する。なお、第1～第4半導体領域は、後に形成されるメモリトランジスタ及びTF Tチャンネル領域が、レーザ光802の走査方向804と平行になるようにエッチングする。

10

【0151】

図14(B)に、結晶性シリコン膜803の一部を用いて形成された第1～第4半導体領域の拡大図を示す。第1半導体領域乃至第4半導体領域811～814のチャンネル領域811a～814aは、それぞれレーザ光の走査方向804と平行である。第1半導体領域811は後に形成されるメモリトランジスタ896aの活性領域、第2半導体領域812は後に形成されるpチャンネル型TF T896bの活性領域、第3半導体領域813は後に形成されるnチャンネル型TF T896cの活性領域、第4半導体領域814は低濃度p型不純物領域を有するnチャンネル型TF T896dの活性領域として機能する。

20

【0152】

次に、図8(C)に示すように、第1半導体領域～第4半導体領域の表面を酸化して、第2絶縁膜815～818を形成し、第1絶縁膜301及び第2絶縁膜815～818上に第3絶縁膜309を成膜する。第2絶縁膜815～818は、実施例1の第2絶縁膜306～308と同様の材料及び手法により形成することができる。

【0153】

次に、第3絶縁膜309上に、実施例1と同様の工程によりフローティングゲート電極を有する絶縁層313を形成する。次に、第3絶縁膜309及びフローティングゲート電極を有する絶縁層313上に第4絶縁膜321、第1導電膜819及び第2導電膜820を積層する。次に、フォトリソグラフィ工程によりマスクパターン821～824を形成する。ここでは、第1導電膜819として膜厚30nmの窒化タンタル膜、第2導電膜820として膜厚370nmのタングステン膜を成膜する。

30

【0154】

次に、図8(D)に示すように、マスクパターン821～824を用いて第2導電膜820をエッチングして第1導電層831～834を形成する。このとき、第1導電膜819より第2導電膜820の選択比の高い条件にて第2導電膜をエッチングすることが好ましい。この工程により第2導電膜のみを選択的のエッチングすることが可能である。

【0155】

次に、第1半導体領域811～第3半導体領域813を覆うマスクパターン835を、フォトリソグラフィ工程により形成する。次に、p型を付与する不純物元素836を添加する。ここでは、各半導体領域の表面に対して0～60度、好ましくは5～45度で、p型を付与する不純物元素を添加し、第1p型不純物領域837、838を形成する。なお、第1p型不純物領域838は、不純物元素がゲート電極に遮蔽されて半導体領域に添加されるため、ゲート電極の下には入り込んでいない。ここでは、第1p型不純物領域に $5 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ 程度の濃度で不純物元素が含まれるようにボロン(B)を添加する。また、 $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ 程度の濃度で不純物元素が含まれるようにボロン(B)を添加してもよい。なお、半導体領域のチャンネル領域は、図14(B)に示すように一方向に整列している。このため、基板を回転しなくとも、矢印のように半導体領域の表面に対して斜めに不純物元素を添加することで、ゲート電極に覆われる半導体

40

50

領域に不純物元素を添加することが可能である。また、ソース領域又はドレイン領域の一方から他方へ向けて、不純物元素を添加すると、ソース領域又はドレイン領域の一方側であって、且つゲート電極に覆われる半導体領域に不純物が添加される。即ち、基板を回転しなくともよいため、基板 800 が大面積基板であっても、ゲート電極に覆われる半導体領域の一方に不純物元素を添加することが可能である。

【0156】

ここで、TFTのチャンネル長 L 、チャンネル長方向の L_{OV} 領域2602aの長さ L_{OV} について説明する。また、本実施例において、TFTのチャンネル長 L 、チャンネル長方向の L_{OV} 領域2602aの長さ L_{OV} は、図21(A)で示される長さとして定義する。基本的には、図21(A)で示すようにゲート電極2600の幅 $=L+L_{OV}$ の式が成り立つとする。基板に対して斜めにドーピングを行った後、比較的高温の加熱処理によってドーピングされた不純物元素が拡散する場合、チャンネル領域2603の境界が明確になりにくくなるが、簡略的に図21(A)で示す構造図として識別する。

10

【0157】

また、ドーピング条件によっては、図21(B)中の点線に示すように、濃度プロファイル2604のピークがチャンネル領域2606の上側またはゲート絶縁膜2601に位置する場合もある。図21(B)においては、ゲート電極2600と重なる L_{OV} 領域2605aの長さ L_{OV} とチャンネル領域2606のチャンネル長 L は、図21(A)と同一である。

【0158】

また、ドーピング条件によっては、図21(C)中の点線に示すように、濃度プロファイル2607のピークが半導体領域の下地絶縁膜または基板に位置する場合もある。この場合においては、ゲート電極2600の幅 $=L+L_{OV}$ の式が成り立たない。チャンネルはチャンネル領域2609とゲート絶縁膜2601との界面に形成されるため、チャンネル長 L は図21(C)で示される長さとなり、ゲート電極2600と重なる L_{OV} 領域2608aは、長さ L_{OV} が最も長い箇所を指す。図21(C)で示す構造は、半導体基板を用いた場合に互いの濃度プロファイルがゲート下方で重なってしまう、または互いに近づきすぎてしまうため、チャンネル長の長いTFTでなければ作製することができない構成である。

20

【0159】

次に、図21(A)において、 L_{OV} 領域2602aの横方向及び縦方向における不純物元素の濃度分布について、図22を用いて説明する。図22(A)は、図21(A)において、一方の L_{OV} 領域2602aを拡大した図である。図22(A)の L_{OV} 領域を深さ方向($Y-Y'$)の不純物元素の濃度分布を示したものが図22(B)であり、同様の横方向($X-X'$:深さ方向と垂直な方向)の不純物濃度の分布を表したものが図22(C)である。

30

【0160】

図22(B)に示すように、 L_{OV} 領域において、基板側とゲート電極側とでは、不純物元素の濃度勾配が生じている。

【0161】

また、図22(C)に示すように、 L_{OV} 領域において、不純物元素の濃度勾配が生じている。

40

【0162】

なお、深さ方向及び横方向の濃度勾配に関しては、図21(B)、図21(C)に示されるように、様々な勾配を有する。

【0163】

次に、図9(A)に示すように、フォトリソグラフィ工程により第2半導体領域812上にマスクパターン849を形成する。次に、第1半導体領域811、第3半導体領域813、第4半導体領域814それぞれに n 型を付与する不純物元素841を添加し、第1 n 型不純物領域842~847を形成する。ここでは、第1 n 型不純物領域842~847には、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ の n 型不純物元素が含まれるようにリン(P)を添加する。ここでは、各半導体領域の表面に対して垂直に不純物元素を添加

50

する。

【0164】

ここでは、ゲート電極を用いて自己整合的にリンを添加したため、第1 p型不純物領域837において第1導電層834と重なっている領域は、p型の不純物領域として残存する。この領域を第2 p型不純物領域(Lov領域)848とする。また、第1 n型不純物領域846、847においては、既にリンが添加されているため、p型からn型へ反転するために第1 p型不純物領域837、838のボロン濃度よりも高い濃度のリンを添加する。この後、マスクパターン849を除去する。

【0165】

次に、図9(B)に示すように、第1導電層831~834の側壁に、実施例2と同様にサイドウォール(側壁スペーサ)851~854を形成する。サイドウォールにおいて、ゲート電極上面の絶縁膜は、後に第1導電膜819をエッチングするときのエッチングストッパーの機能するため、ゲート電極の膜減りを抑制することが可能である。次に、サイドウォール及びゲート電極をマスクとして、第1導電膜819をエッチングして第2導電層855~858を形成する。

【0166】

次に、フォトリソグラフィ工程により第2半導体領域812上にマスクパターン859を形成する。次に、サイドウォール及び第1導電層831~834をマスクとして、第1半導体領域811、第3半導体領域813、及び第4半導体領域814に、n型を呈する不純物元素を添加して第2 n型不純物領域861~866を形成する。ここでは、第2 n型不純物領域に $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度の濃度で不純物元素が含まれるようにボロン(B)を添加する。なお、第2 n型不純物領域861~866は高濃度不純物領域であり、ソース領域及びドレイン領域として機能する。また、第2導電層855、857、858とサイドウォール851、853、854とに覆われた第1 n型不純物領域を第3 n型不純物領域(Lov領域)867~872と示す。第3 n型不純物領域(Lov領域)867~872は、低濃度不純物領域である。第3 n型不純物領域867~872は、ゲート電極として機能する第2導電層855、857、858に覆われているため、ドレイン近傍の電界を緩和し、ホットキャリアによるオン電流の劣化を抑制することが可能である。この結果、高速動作が可能な半導体装置を形成することができる。

【0167】

次に、図9(C)に示すように、マスクパターン859を除去した後、新たに第1半導体領域811、第3半導体領域813、及び第4半導体領域814を覆うマスクパターン875~877を形成する。次に、p型を付与する不純物元素を高濃度で添加して、第3 p型不純物領域878、879を形成する。ここでは、第3 p型不純物領域878、879が、 $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ の濃度のp型不純物元素を含むように、不純物元素を添加する。第3 p型不純物領域878、879は、高濃度不純物領域である。

【0168】

次に、図10(A)に示すように、サイドウォール852を除去して第2導電層856の一部を露出した後、第2導電層856の露出部をエッチングする。この結果、第1導電層832と概略幅の等しい第3導電層881を形成する。なお、このエッチング工程において、第2、第3、および第5絶縁膜がサイドウォール852と同じ材料で形成されている場合、これらの一部又は全部もエッチングされる。ここでは、半導体領域をエッチングストッパーとして機能させ第2、第3、および第5絶縁膜をエッチングする。ここでは、エッチングされた第2絶縁膜816を第2絶縁層816a、エッチングされた第3絶縁膜309を第3絶縁層309a、エッチングされた第5絶縁膜321を第5絶縁層321aと示す。

【0169】

次に、第2半導体領域812にp型不純物元素を低濃度で添加して第4 p型不純物領域(Loff領域)882、883を形成する。ここでは、第4 p型不純物領域が、 $5 \times 10^{18} \sim 5 \times 10^{19} / \text{cm}^3$ 程度の濃度で不純物元素を含むようにボロン(B)を添加する。

第4 p型不純物領域 (Lo ff領域) 882、883は低濃度不純物領域である。第4 p型不純物領域882、883はゲート電極に覆われていないため、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐとともに、オフ電流を低減する効果がある。この結果、信頼性の高く、低消費電力の半導体装置を作製することが可能である。

【0170】

次に、図10 (B) に示すように、マスクパターン875～877を除去した後、加熱して不純物元素の活性化を行う。次に、実施例1と同様の工程により層間絶縁膜として機能する第6絶縁膜を成膜する。次に、第6絶縁膜、エッチングされた第5絶縁膜、第3絶縁膜、第2絶縁膜それぞれの一部をエッチングして、コンタクトホールを形成すると共に、ソース領域及びドレイン領域として機能する第2 n型不純物領域861～866、ソース領域及びドレイン領域として機能する第3 p型不純物領域878、879一部を露出する。なお、図10において、エッチングされた第6絶縁膜を第6絶縁層885、第5絶縁膜を第5絶縁層886、第3絶縁膜を第3絶縁層887、第2絶縁膜をそれぞれ第2絶縁層805、807、808と示す。次にソース電極及びドレイン電極888～895を形成する。

10

【0171】

ここで、第2 p型不純物領域を有するnチャネル型TF Tのゲート電極の幅、第2 p型不純物領域、及びLo v領域の幅について図28を用いて示す。

【0172】

図28に、第2 p型不純物領域を有するnチャネル型TF T 896 dを示す。ゲート電極の幅D1は、200～1500 nm、好ましくは200～700 nmである。また、第2 p型不純物領域の幅D2は5～200 nmである。また、第3 n型不純物領域の幅D3は10～200 nmである。ゲート電極の幅を上記範囲とすることで短チャネル構造となるため、高速動作が可能である。また、第2 p型不純物領域及び第3 n型不純物領域の幅を上記の範囲内にすることで、閾値電圧をシフトし、且つカットオフ電流を低減することが可能なnチャネル型TF Tを作製することが可能である。

20

【0173】

また、メモリトランジスタ896 a、pチャネル型TF T 896 b、nチャネル型TF T 896 cそれぞれもnチャネル型TF T 896 dと同様のゲート電極幅、第3 n型不純物領域の幅を有することが好ましい。

30

【0174】

また、第2 p型不純物領域を有するnチャネル型TF Tの電流電圧 (I - V) 特性のシミュレーション結果について、図23及び図24を用いて説明する。図23 (A) は、図23 (B) に示すTF Tのモデル図を想定し、標準のnチャネル型TF T及びドレイン側に第2 p型不純物領域 (以下、p⁻と示す。) を設けたnチャネル型TF TのI - V特性を示す。

【0175】

図23 (B) には、それぞれのTF Tの構造を示す。構造AはLo ff (n⁻と示す。) を有する標準のnチャネル型TF T、構造Bはp⁻の幅を100 nmとしたnチャネル型TF T、構造Cはp⁻の幅を300 nmとしたnチャネル型TF Tである。また、それぞれのTF TのL / Wを1000 / 20000 nm、Lo ff領域の幅を300 nm、ゲート絶縁膜の膜厚を20 nm、ソース領域及びドレイン領域 (n⁺と示す。) の不純物濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 、Lo ff領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 、p⁻の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ として、I - V特性のシミュレーションを行った。

40

【0176】

図23 (A) において実線は構造AのI - V特性、破線はそれぞれp⁻有する構造B及び構造CのI - V特性を示す。p⁻を有することにより、TF Tの閾値電圧が正側へシフトしていることが分かる。また、p⁻の幅が大きくなるほど (即ち、構造Bより構造Cの方が) 閾値電圧のシフト量が大きくなっていることが分かる。

【0177】

50

図24は、 p^- をソース側に設けたTFETのI-V特性のシミュレーション結果を示す。図24(A)は、図24(B)に示すTFETのモデル図を想定し、標準のnチャンネル型TFET、及びソース側に第2p型不純物領域(以下、 p^- と示す。)を設けたnチャンネル型TFETのI-V特性を示す。

【0178】

図24(B)には、それぞれのTFETの構造を示す。構造Aは、図23(B)に示した標準のnチャンネル型TFETと同様であり、構造Dは p^- の幅を100nmとしたnチャンネル型TFET、構造Eは p^- の幅を300nmとしたnチャンネル型TFETである。また、それぞれのTFETのL/W、LoFF領域幅、ゲート絶縁膜の膜厚、 n^+ の濃度は図23で用いた値と同様の値を用いた。

【0179】

図24(A)において実線は構造AのI-V特性、破線はそれぞれ p^- 有する構造D及び構造EのI-V特性を示す。 p^- を有することにより、TFETの閾値電圧が正側へシフトしていることが分かる。また、 p^- の幅が大きくなるほど(即ち、構造Dより構造Eの方が)閾値電圧のシフト量が大きくなっていることが分かる。さらに、カットオフ電流(I_{cut})が標準のnチャンネル型TFETよりも下がっていることが分かる。カットオフ電流(I_{cut})とは、 I_d-V_g 特性において、ゲート電圧 V_g が0Vの時のドレイン電流 I_d の値である。

【0180】

以上のように、ゲート電極に覆われ、且つチャンネル領域とソース領域又はドレイン領域の一方とに低濃度p型不純物領域を有するnチャンネル型TFETを用いることにより、閾値電圧がシフトしカットオフ電流が低減する。従来、高速動作を必要とされるCPU、DRAM、画像処理回路、音声処理回路等のTFETは、短チャンネル構造であったが、チャンネル長が短いと、閾値電圧が低下し、カットオフ電流が増加するという問題があった。しかし、本実施例のTFETは、短チャンネル構造でカットオフ電流を低減することが可能である。このようなTFETを要所に用いることで、半導体装置全体の消費電力を低減することが可能となる。例えば、ロジック用のTFETと電源との間に、このようなTFETを接続し、動作時にはオン状態とし、非動作状態にはオフ状態とすることで、待機時の消費電力を低減することが可能となる。あるいは、特に高速動作を必要としない領域において、当該TFETで回路を形成することで、半導体装置全体の消費電力を低減することが可能である。

【0181】

更には、図8(D)において、マスクパターン835を形成せず、第1半導体領域811~第4半導体領域814に、同様に各半導体領域の表面に対して0~60度、好ましくは5~45度で、p型を付与する不純物元素を添加し、第1低濃度p型不純物領域を形成することで、チャンネルドープをしなくとも、各半導体素子の閾値電圧を制御することが可能である。この場合、チャンネルドープをしなくとも良いので、工程数を削減することが可能である。

【0182】

なお、pチャンネル型TFETにおいて、nチャンネル型TFETと同様にゲート電極に覆われる低濃度n型不純物領域を形成した場合、閾値電圧が負側にシフトする。さらに、ソース側に設けることによりカットオフ電流を低減することが可能である。即ち、nチャンネル型TFETと同様に、高速動作が可能であり、且つ消費電力を低減することが可能である。

【0183】

以上の工程により、ソース領域及びドレイン領域として機能する第2n型不純物領域861、862、第3n型不純物領域867、868、及びチャンネル領域を有する第1半導体領域811、トンネル酸化膜として機能する第2絶縁層805及び第3絶縁層887、フローティングゲート電極を有する絶縁層313、第5絶縁層886、並びにゲート電極として機能する第2導電層831及び第3導電層855を有するメモリトランジスタ896aを形成することができる。

【0184】

また、ソース領域及びドレイン領域として機能する第3 p型不純物領域878、879、
Lo ff領域である第4 p型不純物領域882、883、及びチャネル領域を有する第2
半導体領域812、ゲート絶縁膜として機能する第2絶縁層816a、第3絶縁層309
a、及び第5絶縁層321a、並びにゲート電極として機能する第2導電層832及び第
3導電層881で構成されるpチャネル型TF T896bを形成することができる。

【0185】

また、高濃度不純物領域863、864、Lov領域869、870、及びチャネル領域
を有する第3半導体領域813、ゲート絶縁膜として機能する第2絶縁層807、第3絶
縁層887、及び第5絶縁層886、並びにゲート電極として機能する第2導電層833
及び第3導電層857で構成されるnチャネル型TF T896cを形成することができる

10

【0186】

また、高濃度不純物領域865、866、Lov領域871、872、低濃度の不純物を
有する第2 p型不純物領域848及びチャネル領域を有する第4半導体領域814、ゲ
ート絶縁膜として機能する第2絶縁層808、第3絶縁層887、及び第5絶縁層886、
並びにゲート電極として機能する第2導電層834及び第3導電層858で構成されるn
チャネル型TF T896dを形成することができる。

【0187】

更には、メモリトランジスタ896a、pチャネル型TF T896b、nチャネル型TF
T896c、低濃度p型不純物領域を有するnチャネル型TF T896dを、同一基板上
に有する半導体装置を形成することができる。本実施例の半導体装置のメモリトランジ
スタ及びTF Tは、チャネル方向に結晶粒界のほとんど存在しない半導体領域で形成される
ため、高速動作が可能である。また、低濃度p型不純物領域を有するnチャネル型TF T
を有するため、高速動作が可能であり、且つ消費電力が低減された半導体装置を形成する
ことが可能である。

20

【実施例7】

【0188】

本実施例では実施例6で示したTF Tにおいて、シリサイド構造である半導体装置につ
いて図11～図13を用いて説明する。本実施例では、第1導電膜及び第2導電膜を形成
する工程までは、実施例6と同様であるため、それ以降を説明する。

30

【0189】

図11(A)に示すように、実施例6に従って、第5絶縁膜上に第1導電膜901及び第
2導電膜902を形成する。ここでは、第1導電膜901として、スパッタリング法によ
り窒化タングステン(WN)膜を成膜し、第2導電膜902として、同様の手法によりタ
ングステン(W)膜を成膜する。次に、フォトリソグラフィ工程によりマスクパターン9
03～906を形成する。

【0190】

次に、図11(B)に示すように、マスクパターン903～906を用いて第2導電膜9
02及び第1導電膜901をエッチングして、ゲート電極911～914を形成する。ゲ
ート電極911～914は窒化タングステン膜とタングステン膜との積層構造である。次
に、マスクパターン903～906を除去した後、新たに、フォトリソグラフィ工程によ
り第1半導体領域811～第3半導体領域813を覆うマスクパターン915を形成する
。

40

【0191】

次に、第4半導体領域814にp型を付与する不純物元素916を添加する。ここでは、
実施例6と同様に、半導体領域の表面に対して0～60度、好ましくは5～45度で、p
型を付与する不純物元素を添加し、第1p型不純物領域917、918を形成する。ここ
では、第1p型不純物領域に $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度で不
純物元素が含まれるようにボロン(B)を添加する。また、 $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$
程度の濃度で不純物元素が含まれるようにボロン(B)を添加してもよい。なお、矢

50

印のように半導体領域に対して斜めに不純物元素を添加するため、第1 p型不純物領域917は、ゲート電極914に覆われる領域にも不純物元素が添加される。一方、第1 p型不純物領域918は、第4半導体領域814の一部分に不純物元素が添加されている。

【0192】

次に、図11(C)に示すように、マスクパターン915を除去した後、新たに第2半導体領域812上にマスクパターン921を形成する。次に、第1半導体領域811、第3半導体領域813、第4半導体領域814それぞれにn型を付与する不純物元素922を添加し、第1 n型不純物領域923～928を形成する。ここでは、第1 n型不純物領域923～928に、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ のn型不純物元素が含まれるようにリン(P)を添加する。ここでは、各半導体領域の表面に対して垂直に不純物元素を添加する。

10

【0193】

ゲート電極を用いて自己整合的にリンを添加したため、第1 p型不純物領域917においてゲート電極914と重なっている領域は、p型の不純物領域として残存する。この領域を、第2 p型不純物領域929とする。また、第1 n型不純物領域928においては、ボロンが添加されているため、p型からn型へ反転するために第1 p型不純物領域917のボロン濃度よりも高い濃度のリンを添加する。この後、マスクパターン921を除去する。

【0194】

次に、図12(A)に示すように、第2半導体領域812に低濃度のボロンを添加して、第3 p型不純物領域930a、930bを形成する。ここでは、代表的には $5 \times 10^{18} \sim 5 \times 10^{19} / \text{cm}^3$ のp型不純物元素が含まれるようにボロン(B)を添加する。

20

【0195】

次に、ゲート電極911～914の側壁に、実施例2と同様にサイドウォール(側壁スペーサ)931～934を形成する。このとき、第5絶縁膜の露出部もエッチングされる。ここで、エッチングされた第5絶縁膜を、第5絶縁層935～938と示す。次に、サイドウォール931～935をマスクとして第3絶縁膜306及び第2絶縁膜815～818の露出部をエッチングする。ここで、エッチングされた第3絶縁膜を第3絶縁層941～944、エッチングされた第2絶縁膜を第2絶縁層945～958と示す。この結果、第1半導体領域811～第4半導体領域814の一部が露出される。

30

【0196】

次に、図12(B)に示すように、第2半導体領域812上にフォトリソグラフィ工程によりマスクパターン961を形成する。次に、サイドウォール及びゲート電極をマスクとして、第1半導体領域811、第3半導体領域813、及び第4半導体領域814に、n型を呈する不純物元素960を添加して第2 n型不純物領域962～967を形成する。ここでは、各半導体領域の表面に対して矢印で示すように、垂直方向から不純物元素を添加する。ここでは、代表的には $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ のn型不純物元素が含まれるようにリン(P)を添加する。なお、第2 n型不純物領域962～967は高濃度不純物領域であり、ソース領域及びドレイン領域として機能する。また、サイドウォール931、933、934に覆われた第1 n型不純物領域を第3 n型不純物領域(Loff領域)968～973と示す。第3 n型不純物領域968～973は、低濃度不純物領域である。第3 n型不純物領域968～973は、ゲート電極911、913、914に覆われていないためドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐとともに、オフ電流を低減する効果がある。この結果、信頼性の高く、低消費電力の半導体装置を作製することが可能である。

40

【0197】

次に、図12(C)に示すように、マスクパターン961を除去する。次に、実施例3と同様にシリサイドを形成するため、第3導電膜975を成膜する。ここでは、第3導電膜975として、スパッタリング法によりチタン膜を成膜する。

【0198】

50

次に、図 13 (A) に示すように、加熱処理、GRTA 法、LRTA 法等により、露出されたソース領域及びドレイン領域のシリコンと導電膜とを反応させて、シリサイド 971 ~ 978 を形成する。この後、シリコンと反応しなかった第 3 導電膜を除去する。

【0199】

次に、図 13 (B) に示すように、第 1 半導体領域 811、第 3 半導体領域 813、及び第 4 半導体領域 814 を覆うマスクパターン 981、982 を形成する。次に、p 型を付与する不純物元素 983 を高濃度で添加して、第 4 p 型不純物領域 984、985 を形成する。この工程とともに、サイドウォール 932 で覆われている第 2 半導体領域に第 5 p 型不純物領域 986、987 を形成する。ここでは、第 4 p 型不純物領域 884、885 が、 $1 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ の高濃度の p 型不純物元素を含むように、不純物元素を添加する。また、第 5 p 型不純物領域 986、987 に、 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ 程度の低濃度での不純物元素（ボロン（B））が添加されているため、低濃度不純物領域である。第 5 p 型不純物領域 986、987 はゲート電極に覆われていないため、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐとともに、カットオフ電流を低減する効果がある。この結果、信頼性の高く、低消費電力の半導体装置を作製することが可能である。

【0200】

次に、図 13 (C) に示すように、マスクパターン 981、982 を除去した後、加熱して不純物元素の活性化を行う。次に、実施例 6 と同様の工程によりコンタクトホールを形成すると共に、ソース領域及びドレイン領域として機能する第 2 n 型不純物領域 962 ~ 967、第 4 p 型不純物領域 984、985 の一部を露出する。次に、ソース電極及びドレイン電極 888 ~ 895 を形成する。

【0201】

以上の工程により、ソース領域及びドレイン領域として機能する第 2 n 型不純物領域 962、963、LoFF 領域である第 3 n 型不純物領域 968、969、及びチャネル領域を有する第 1 半導体領域 811、トンネル酸化膜として機能する第 2 絶縁層 945 及び第 3 絶縁層 941、フローティングゲート電極を有する絶縁層 313、第 5 絶縁層 935、及びゲート電極 911 を有するメモリトランジスタ 991 を形成することができる。

【0202】

また、ソース領域及びドレイン領域として機能する第 4 p 型不純物領域 984、985、LoFF 領域である第 5 p 型不純物領域 986、987、及びチャネル領域を有する第 2 半導体領域 812、ゲート絶縁膜として機能する第 2 絶縁層 946 及び第 3 絶縁層 942、及び第 5 絶縁層 936、並びにゲート電極 912 で構成される p チャネル型 TFT 992 を形成することができる。

【0203】

また、高濃度不純物領域 964、965、LoFF 領域 970、971、及びチャネル領域を有する第 3 半導体領域 813、ゲート絶縁膜として機能する第 2 絶縁層 947 及び第 3 絶縁層 943、及び第 5 絶縁層 937、並びにゲート電極 913 で構成される n チャネル型 TFT 993 を形成することができる。

【0204】

また、高濃度不純物領域 966、967、LoFF 領域 972、973、低濃度 p 型不純物領域 974 及びチャネル領域を有する第 4 半導体領域 814、ゲート絶縁膜として機能する第 2 絶縁層 948 及び第 3 絶縁層 944、及び第 5 絶縁層 938、並びにゲート電極 914 で構成される n チャネル型 TFT 994 を形成することができる。

【0205】

更には、シリサイド構造のメモリトランジスタ 991、p チャネル型 TFT 992、n チャネル型 TFT 993、低濃度 p 型不純物領域を有する n チャネル型 TFT 994 を、同一基板上に有する半導体装置を形成することができる。

【0206】

更には、本実施例により形成されたメモリトランジスタ及び TFT は、シリサイド構造で

10

20

30

40

50

ある。また、低濃度 p 型不純物領域を有する n チャンネル型 T F T を有するため、ソース領域及びドレイン領域の低抵抗化が可能であり、高速化が可能であり、低電圧での動作が可能であり、消費電力が低減された半導体装置を形成することが可能である。

【 0 2 0 7 】

本実施例は、実施の形態 1 ~ 3、実施例 1 ~ 6 それぞれと組み合わせて用いることが可能である。

【 実施例 8 】

【 0 2 0 8 】

本発明の半導体装置の代表例である非接触型の R F I D (R a d i o F r e q u e n c y I d e n t i f i c a t i o n) タグ、無線タグ等に代表される I D チップの典型的なブロック図を図 1 5 に示す。図 1 5 には、認証データ等の固定データを読み出す簡単な機能を有する構成を示す。同図において、I D チップ 1 3 0 1 は、アンテナ 1 3 0 2、高周波回路 1 3 0 3、電源回路 1 3 0 4、リセット回路 1 3 0 5、クロック発生回路 1 3 0 6、データ復調回路 1 3 0 7、データ変調回路 1 3 0 8、制御回路 1 3 0 9、不揮発性メモリ (N o n v o l a t i l e M e m o r y : N V M と表記) 1 3 1 0、ROM 1 3 1 1 によって構成されている。

10

【 0 2 0 9 】

本実施例においては、N V M 1 3 1 0 として本発明を構成するメモリトランジスタを用いる。また、高周波回路 1 3 0 3、リセット回路 1 3 0 5、クロック発生回路 1 3 0 6、データ復調回路 1 3 0 7、データ変調回路 1 3 0 8、制御回路 1 3 0 9、ROM 1 3 1 1 を構成するトランジスタとして、高速動作をするトランジスタが必要な場合は、本発明を構成する高速トランジスタの作製プロセスでメモリトランジスタと同時に作製することができる。電源回路 1 3 0 4 を構成するトランジスタとして高耐圧特性を有するトランジスタが必要な場合は、本発明を構成する高耐圧特性を有するトランジスタの作製プロセスにより、メモリトランジスタと同時に作製することができる。以上より、同一基板上に R F I D タグを効率よく作製することが可能となる。さらに、I D チップ 1 3 0 1 の低コスト化及び小型化を実現することが可能となる。

20

【 0 2 1 0 】

また、図 1 5 に示した回路は全てガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成されている。アンテナ 1 3 0 2 は前記ガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成されていてもよいし、基板の外部にあり、基板内部の高周波回路と接続されるものであってもよい。

30

【 0 2 1 1 】

高周波回路 1 3 0 3 はアンテナ 1 3 0 2 よりアナログ信号を受信し、またデータ変調回路 1 3 0 8 より受け取ったアナログ信号をアンテナ 1 3 0 2 から出力する回路である。電源回路 1 3 0 4 は受信信号から定電源を生成する回路、リセット回路 1 3 0 5 はリセット信号を生成する回路、クロック発生回路 1 3 0 6 はクロック信号を発生する回路、データ復調回路 1 3 0 7 は受信した信号からデータを抽出する回路、データ変調回路 1 3 0 8 は制御回路から受け取ったデジタル信号をもとにアンテナへ出力するアナログ信号を生成、あるいは、アンテナ特性を変化させる回路であり、以上の回路からアナログ部が構成される。

40

【 0 2 1 2 】

一方、制御回路 1 3 0 9 は受信した信号から抽出したデータを受け取って、データ読み出しを行う。具体的には、N V M 1 3 1 0 や R O M 1 3 1 1 のアドレス信号を生成して、データの読み出しを行い、読み出したデータをデータ変調回路に送る。以上の回路からデジタル部が構成されている。

【 0 2 1 3 】

本実施例は、実施の形態 1 ~ 3、実施例 1 ~ 7 と組み合わせて用いることが可能である。

【 実施例 9 】

50

【 0 2 1 4 】

図 1 6 (A) に、本発明の半導体装置の一つである I D チップの一形態を、斜視図で示す。1 1 0 1 は、実施例 8 で示される高周波回路 1 3 0 3、電源回路 1 3 0 4、リセット回路 1 3 0 5、クロック発生回路 1 3 0 6、データ復調回路 1 3 0 7、データ変調回路 1 3 0 8、制御回路 1 3 0 9、不揮発性メモリ (N V M と表記) 1 3 1 0、R O M 1 3 1 1 に代表される集積回路、1 1 0 2 はアンテナに相当し、アンテナ 1 1 0 2 は集積回路 1 1 0 1 に接続されている。1 1 0 3 は基板、1 1 0 4 はカバー材に相当する。集積回路 1 1 0 1 及びアンテナ 1 1 0 2 は、基板 1 1 0 3 上に形成されており、カバー材 1 1 0 4 は集積回路 1 1 0 1 及びアンテナ 1 1 0 2 を覆うように基板 1 1 0 3 と重なっている。なおカバー材 1 1 0 4 は必ずしも用いる必要はないが、集積回路 1 1 0 1 及びアンテナ 1 1 0 2 をカバー材 1 1 0 4 で覆うことで、I D チップの機械的強度を高めることができる。

10

【 0 2 1 5 】

図 1 6 (B) に、本発明の半導体装置の一つである I C カードの一形態を、斜視図で示す。1 1 0 5 は、実施例 8 で示される高周波回路 1 3 0 3、電源回路 1 3 0 4、リセット回路 1 3 0 5、クロック発生回路 1 3 0 6、データ復調回路 1 3 0 7、データ変調回路 1 3 0 8、制御回路 1 3 0 9、N V M 1 3 1 0、R O M 1 3 1 1 に代表される集積回路、1 1 0 6 はアンテナに相当し、アンテナ 1 1 0 6 は集積回路 1 1 0 5 に接続されている。1 1 0 8 はインレットシートとして機能する基板、1 1 0 7、1 1 0 9 はカバー材に相当する。集積回路 1 1 0 5 及びアンテナ 1 1 0 6 は基板 1 1 0 8 上に形成されており、基板 1 1 0 8 は 2 つのカバー材 1 1 0 7、1 1 0 9 の間に挟まれている。なお本発明の I C カードは、集積回路 1 1 0 5 に接続された表示装置を有していても良い。

20

【 0 2 1 6 】

次に図 1 7 (A) 及び (B) に、図 1 6 (A) に示す I D チップの、A - A ' における断面図を示す。I D チップは、基板 1 1 0 3、カバー材 1 1 0 4 と、剥離プロセスにより形成する集積回路 1 1 0 1 及びそれに接続されるアンテナ 1 1 0 2 とが、接着剤 1 1 1 3、1 1 1 4 を介して接着されている。

【 0 2 1 7 】

集積回路 1 1 0 1 は、実施の形態 1 ~ 3、又は実施例 1 ~ 8 のいずれかで示される集積回路を用いて形成することができる。また、集積回路 1 1 0 1 に用いられる半導体素子はこれに限定されない。例えば、T F T の他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

30

【 0 2 1 8 】

図 1 7 (A) で示すように、集積回路 1 1 0 1 の T F T 上には層間絶縁膜 1 1 1 0 が形成され、層間絶縁膜 1 1 1 0 上には、窒化珪素膜等からなるバリア膜 1 1 1 1 が形成され、その上にアンテナ 1 1 0 2 が形成されている。

【 0 2 1 9 】

一方、図 1 7 (B) に示すように、集積回路 1 1 0 1 の T F T 上に層間絶縁膜 1 1 1 0 が形成され、層間絶縁膜 1 1 1 0 上にアンテナ 1 1 0 2 が形成され、層間絶縁膜 1 1 1 0 及びアンテナ 1 1 0 2 上にバリア膜 1 1 2 1 を設けても良い。バリア膜を設けることにより、集積回路 1 1 0 1 が汚染されることなく、信頼性を向上させた I D チップを提供することができる。

40

【 0 2 2 0 】

アンテナ 1 1 0 2 は、金、銀、銅、アルミニウムまたはそれらでメッキされた金属であることが望ましい。

【 0 2 2 1 】

本実施例では、集積回路と、集積回路の層間絶縁膜上に形成されたアンテナとを有する積層体を異なるカバー材で接着した例を示したが、これに限定されず、アンテナが形成されたカバー材と集積回路とを接着材で固定しても良い。このとき、異方性導電接着剤又は異方性導電フィルムを用いて、U V 処理又は超音波処理を行うことで集積回路とアンテナとを接続するが、本発明はこの方法に制約されず、様々な方法を用いることができる。

50

【0222】

基板1103、カバー材1104は、プラスチック、有機樹脂、紙、繊維、カーボングラファイト等可とう性を有する材料を用いることができる。カバー材に生分解性樹脂を用いること、バクテリア等に分解され土壌に還元される。また、さらに、本実施例の集積回路は、シリコン、アルミニウム、酸素、窒素等で形成されているため、無公害性のIDチップを形成することが可能である。また、カバー材に紙、繊維、カーボングラファイト等の焼却無公害素材を用いることにより、使用済みIDチップの焼却、又は裁断することが可能である。また、これらの材料を用いたIDチップは、焼却しても有毒ガスを発生しないため、無公害である。

【0223】

基板1103、カバー材1104に挟まれた集積回路1101の厚さは、5 μ m以下、好ましくは0.1 μ m~3 μ mの厚さを有するように形成するとよい。また、基板1103、カバー材1104の厚さは10 μ m~200 μ mであることが望ましい。さらに、集積回路1101の面積は5mm角(25mm²)以下であり、望ましくは0.3mm角~4mm角(0.09mm²~16mm²)の面積を有するとよい。

【0224】

基板1103、カバー材1104は、有機樹脂材料で形成されているため、折り曲げに対して強い特性を有する。また、剥離プロセスにより形成した集積回路1101自体も、単結晶半導体に比べて、折り曲げに対して強い特性を有する。そして、集積回路1101と、基板1103、カバー材1104とは空隙がないように、密着させることができるため、完成したIDチップ自体も折り曲げに対して強い特性を有する。基板1103、カバー材1104で囲われた集積回路1101は、他の個体物の表面または内部に配置しても良いし、紙の中に埋め込んでも良い。

【0225】

本実施例は、上記の実施の形態1~2、実施例1~8のいずれとも自由に組み合わせることができる。

【実施例10】

【0226】

本実施例では、本発明の半導体装置の代表例であるCPUの1チップのブロック図を図18を用いて説明する。

【0227】

まず、オペコードがインターフェース1001に入力されると、解析回路1003(Instruction Decoderともいう)においてコードが解読され、信号が制御信号発生回路1004(CPU Timing Control)に入力される。信号が入力されると、制御信号発生回路1004から、演算回路1009(以下、ALUと示す)、および記憶回路1010(以下、レジスタと示す)に制御信号が出力される。

【0228】

なお、制御信号発生回路1004には、ALU1009を制御するALUコントローラ1005(以下、ACONと示す)、レジスタ1010を制御する回路1006(以下、RCONと示す)、タイミングを制御するタイミングコントローラ1007(以下、TCONと示す)、および割り込みを制御する割り込みコントローラ1008(以下、ICONと示す)を含むものとする。

【0229】

一方、オペランドがインターフェース1001に入力されると、ALU1009、およびレジスタ1010に出力される。そして、制御信号発生回路1004から入力された制御信号に基づく処理(例えば、メモリリードサイクル、メモリライトサイクル、あるいはI/Oリードサイクル、I/Oライトサイクル等)がなされる。

【0230】

なお、レジスタ1010は、汎用レジスタ、スタックポインタ(SP)、プログラムカウンタ(PC)等により構成される。

【 0 2 3 1 】

また、アドレスコントローラ 1 0 1 1 (以下、A D R Cと示す)は、1 6 ビットのアドレスを出力する。

【 0 2 3 2 】

なお、本実施例に示した C P U の構成は、本発明の作製方法を用いて形成される C P U の一例であり、本発明の構成を限定するものではない。従って、本実施例に示す構成以外の公知の C P U の構成を用いることも可能である。

【 0 2 3 3 】

本実施例は、実施の形態 1 ~ 3、実施例 1 ~ 9 それぞれと組み合わせて用いることが可能である。

10

【実施例 1 1】

【 0 2 3 4 】

本発明の半導体装置の一例であるシステム L S I に適用する場合について、図 1 9 を用いて説明する。

【 0 2 3 5 】

なお、システム L S I とは、特定の用途を想定した装置の内部に組み込まれ、装置の制御やデータ処理を行うシステムを構成する L S I である。用途は多岐にわたり、例えば、携帯電話、P D A、テレビ、プリンタ、F A X、ゲーム機、カーナビゲーション、D V D プレーヤ、などを挙げることができる。

【 0 2 3 6 】

20

図 1 9 に示すのは、システム L S I の一例である。システム L S I は典型的には C P U コア 1 6 0 1、不揮発性メモリ (N V Mと示す。) 1 6 0 4、クロックコントローラ 1 6 0 3、メインメモリ 1 6 0 2、メモリコントローラ 1 6 0 5、割り込みコントローラ 1 6 0 6、I / O ポート 1 6 0 7 等から構成される。もちろん、図 1 6 に示すシステム L S I は簡略化した一例であり、実際のシステム L S I はその用途によって多種多様な回路設計が行われる。

【 0 2 3 7 】

N V M 1 6 0 4 に本発明のメモリトランジスタを用いることができる。

【 0 2 3 8 】

また、C P U コア 1 6 0 1、クロックコントローラ 1 6 0 3、メインメモリ 1 6 0 2、メモリコントローラ 1 6 0 5、割り込みコントローラ 1 6 0 6、I / O ポート 1 6 0 7 を構成するトランジスタとして、本発明を構成する高速動作が可能なトランジスタを同様に作製することができる。これより、同一基板上に様々な回路を作製することが可能となる。

30

【 0 2 3 9 】

本実施例は、実施の形態 1 ~ 3、実施例 1 ~ 1 0 それぞれと組み合わせて用いることが可能である。

【実施例 1 2】

【 0 2 4 0 】

本実施例では、本発明を用いて形成する半導体装置の一例であるパッケージについて図 2 0 を用いて説明する。図 2 0 (A) に、ワイヤボンディング法でチップがインターポーザに接続されている、パッケージの断面構造を表す斜視図を示す。1 9 0 1 はインターポーザ、1 9 0 2 はチップ、1 9 0 3 はモールド樹脂層に相当する。チップ 1 9 0 2 はインターポーザ 1 9 0 1 上に、マウント用の接着剤 1 9 0 4 によりマウントされている。

40

【 0 2 4 1 】

また図 2 0 (A) に示すインターポーザ 1 9 0 1 は、溶ダーボール 1 9 0 5 が設けられたボールグリッドアレイ型である。溶ダーボール 1 9 0 5 は、インターポーザ 1 9 0 1 のチップ 1 9 0 2 がマウントされている側とは反対の側に設けられている。そしてインターポーザ 1 9 0 1 に設けられた配線 1 9 0 6 は、インターポーザ 1 9 0 1 に設けられたコンタクト孔を介して、溶ダーボール 1 9 0 5 と電氣的に接続している。

【 0 2 4 2 】

50

なお本実施例では、チップ１９０２と溶ダーボール１９０５との電氣的な接続をするための配線１９０６を、インターポーザ１９０１のチップがマウントされている面上に設けているが、本発明で用いるインターポーザはこれに限定されない。例えば、インターポーザの内部において配線が多層化されて設けられていても良い。

【０２４３】

図２０（Ａ）では、チップ１９０２と配線１９０６とが、ワイヤ１９０７によって電氣的に接続されている。図２０（Ｂ）に、図２０（Ａ）に示したパッケージの断面図を示す。チップ１９０２には実施の形態１～３、実施例１～実施例７で示される半導体素子１９０９が設けられており、またチップ１９０２のインターポーザ１９０１が設けられている側とは反対側に、パッド１９０８が設けられている。パッド１９０８は該半導体素子１９０９と電氣的に接続されている。そしてパッド１９０８は、インターポーザ１９０１に設けられた配線１９０６と、ワイヤ１９０７によって接続されている。

10

【０２４４】

１９１０はプリント配線基板の一部に相当し、１９１１はプリント配線基板１９１０に設けられた配線または電極に相当する。配線１９０６は溶ダーボール１９０５を介して、プリント配線基板１９１０に設けられた配線または電極１９１１に接続される。なお溶ダーボール１９０５と、配線または電極１９１１との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、アンダーフィルで圧着後の溶ダーボール間の隙間を埋めるようにし、接続部分の機械的強度や、パッケージで発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、インターポーザとチップの熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。

20

【０２４５】

なお、本実施例においては、チップがワイヤボンディング法によってインターポーザに接続されているパッケージを示したがこれに限られない。フリップチップ法を用いてこれらを接続しても良い。この場合、接続するべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多いチップの接続に向いている。

【０２４６】

30

また、パッケージ内においてチップを積層してもよい。この場合、一つのパッケージ内に複数のチップを設けることができるため、パッケージ全体の大きさを抑えることができるというメリットを有している。

【０２４７】

さらには、複数のパッケージを積層してもよい。この構造では、パッケージごとに電氣的な検査を行い、良品だけを選別してから積層することができるので、歩留りを高めることができるというメリットを有している。

【０２４８】

更には、本実施例で形成されたパッケージを、表示装置、電子機器等に設けることが可能である。

40

【０２４９】

本発明により、小型で且つ高集積化された半導体装置を作製することができる。

【０２５０】

本実施例は、実施の形態１～３、実施例１～１１それぞれと組み合わせて用いることが可能である。

【実施例１３】

【０２５１】

本発明の半導体装置の用途は広範にわたるが、例えば、本発明の半導体装置の一形態であるＩＤチップ２０は、紙幣、硬貨、有価証券類、証券類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品

50

類及び電子機器等に設けて使用することができる。

【 0 2 5 2 】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの（金券）、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す（図 2 5（A）参照）。証書類とは、運転免許証、住民票等を指す（図 2 5（B）参照）。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す（図 2 5（C）参照）。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す（図 2 5（D）参照）。書籍類とは、書物、本等を指す（図 2 5（E）参照）。記録媒体とは、DVDソフト、ビデオテープ等を指す（図 2 5（F）参照）。身の回り品とは、靴、眼鏡等を指す（図 2 5（H）参照）。乗物類とは、自転車等の車両、船舶等を指す（図 2 5（G）参照）。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（テレビ受像機、薄型テレビ受像機）、携帯電話等を指す。

10

【 0 2 5 3 】

紙幣、硬貨、有価証券類、証書類、無記名債券類等にIDチップを設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等にIDチップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等にIDチップを設けることにより、偽造や盗難の防止、薬品類ならば、薬の服用の間違いを防止することができる。IDチップの設け方としては、物品の表面に貼ったり、物品に埋め込んだりして設ける。例えば、本ならば紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。

20

【 0 2 5 4 】

また、物の管理や流通のシステムに応用することが可能な例を図 2 6 を用いて説明する。ここでは、商品へIDチップを実装する例を説明する。図 2 6（A）に示すように、ビール瓶 1 4 0 0 にラベル 1 4 0 1 を用いてIDチップ 1 4 0 2 を実装する。

【 0 2 5 5 】

IDチップ 1 4 0 2 には、製造日、製造場所、使用材料等の基本事項を記録する。このような基本事項は、書き換える必要がないためマスクROMや本発明のメモリトランジスタ等の書き換え不能なメモリを用いて記録するとよい。加えてIDチップ 1 4 0 2 には、各ビール瓶の配送先、配送日時等の個別事項を記録する。例えば、図 2 6（B）に示すように、各ビール瓶 1 4 0 0 がベルトコンベア 1 4 1 2 により流れ、ライタ装置 1 4 1 3 を通過するときに、各配送先、配送日時を記録することができる。このような個別事項は、書き換え、消去可能なメモリ（EEPROM等）を用いて記録するとよい。

30

【 0 2 5 6 】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、IDチップへ記録するようなシステムを構築するとよい。

40

【 0 2 5 7 】

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎にIDチップを実装し、個別事項を記録することもできる。

【 0 2 5 8 】

このような複数の配達先が記録されうる商品は、IDチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、IDチップを実装したことにより、入力ミスの少ない、低コストな物流管理を行うことができる。

【 0 2 5 9 】

50

さらに配達先において、ビールに合う食料品や、ビールを使った料理法等の応用事項を記録してもよい。その結果、食料品等の宣伝を兼ねることができ、消費者の購買意欲を高めることができる。

【図面の簡単な説明】

【 0 2 6 0 】

【図 1】本発明に係る半導体装置の作製工程を示した断面図である。

【図 2】本発明に係る半導体装置の作製工程を示した断面図である。

【図 3】本発明に係る半導体装置の作製工程を示した断面図である。

【図 4】本発明に係る半導体装置の作製工程を示した断面図である。

【図 5】本発明に係る半導体装置の作製工程を示した断面図である。

10

【図 6】本発明に係る半導体装置の作製工程を示した断面図である。

【図 7】本発明に係る半導体装置の作製工程を示した断面図である。

【図 8】本発明に係る半導体装置の作製工程を示した断面図である。

【図 9】本発明に係る半導体装置の作製工程を示した断面図である。

【図 10】本発明に係る半導体装置の作製工程を示した断面図である。

【図 11】本発明に係る半導体装置の作製工程を示した断面図である。

【図 12】本発明に係る半導体装置の作製工程を示した断面図である。

【図 13】本発明に係る半導体装置の作製工程を示した断面図である。

【図 14】本発明に係る半導体装置の作製工程を示した斜視図である。

【図 15】本発明に係る半導体装置の構成を示したブロック図である。

20

【図 16】本発明に係る半導体装置を示した斜視図である。

【図 17】本発明に係る半導体装置を示した断面図である。

【図 18】本発明に係る半導体装置の構成を示したブロック図である。

【図 19】本発明に係る半導体装置の構成を示したブロック図である。

【図 20】本発明に係る半導体装置を示した斜視図である。

【図 21】 L_{OV} 定義を示す図である。

【図 22】GOLD領域の横方向及び縦方向における不純物元素の濃度分布を示す図である。

【図 23】シミュレーションに用いたTFETのモデル図および結果を示す図である。

【図 24】シミュレーションに用いたTFETのモデル図および結果を示す図である。

30

【図 25】本発明に係る半導体装置を用いた応用例を示す図である。

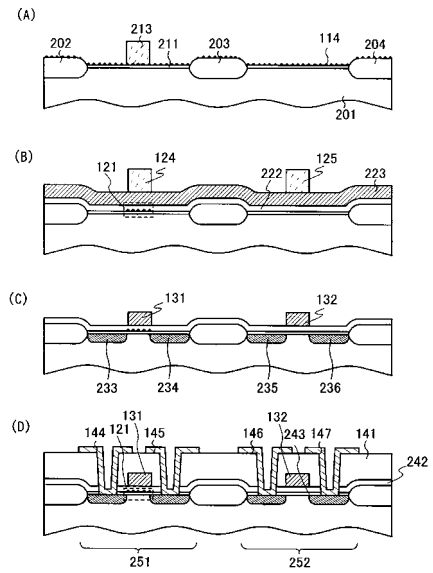
【図 26】本発明に係る半導体装置を用いた応用例を示す図である。

【図 27】本発明に係る半導体装置を示した断面図である。

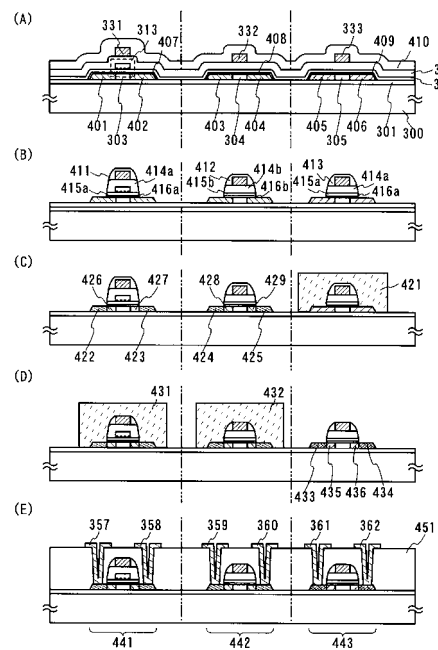
【図 28】本発明に係る半導体装置を示した断面図である。

【図 29】本発明に係る半導体装置の作製工程を示した断面図である。

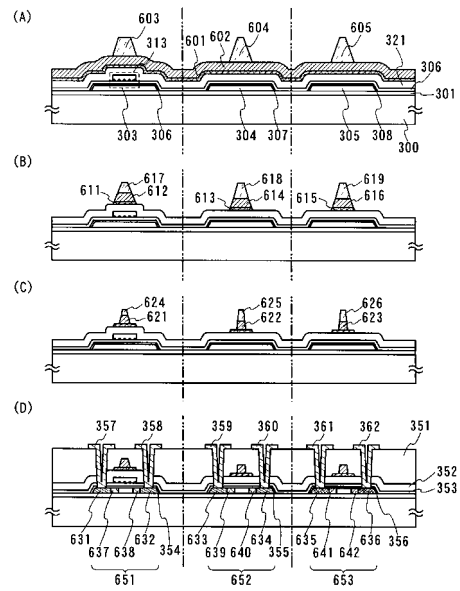
【 図 2 】



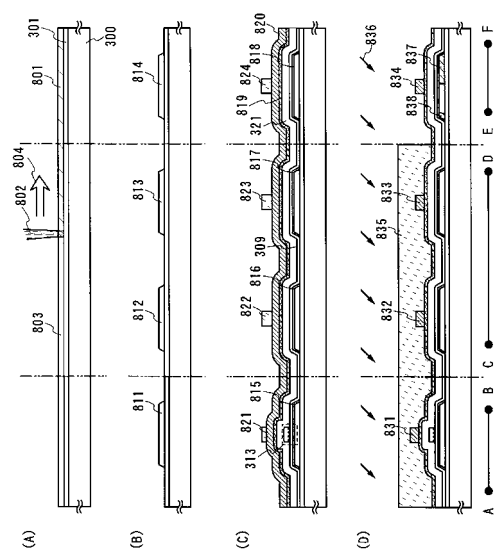
【 図 4 】



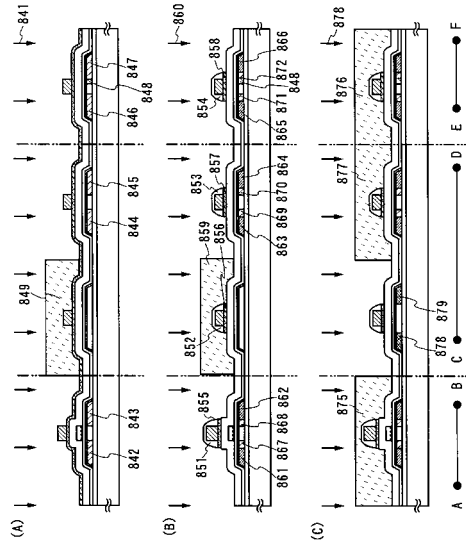
【 図 6 】



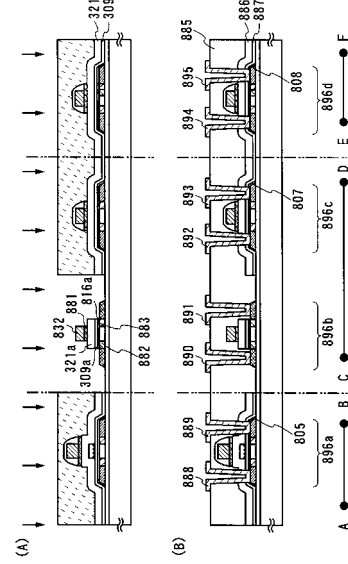
【 図 8 】



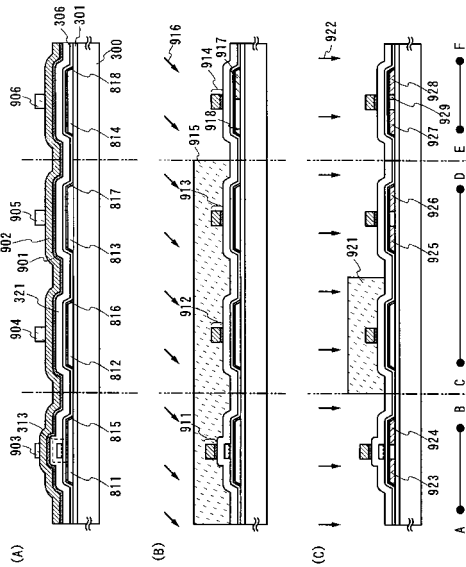
【図 9】



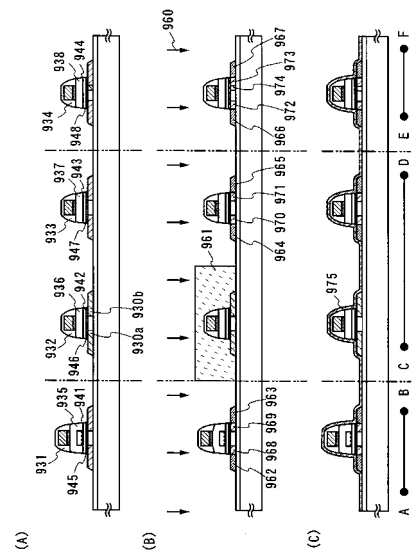
【図 10】



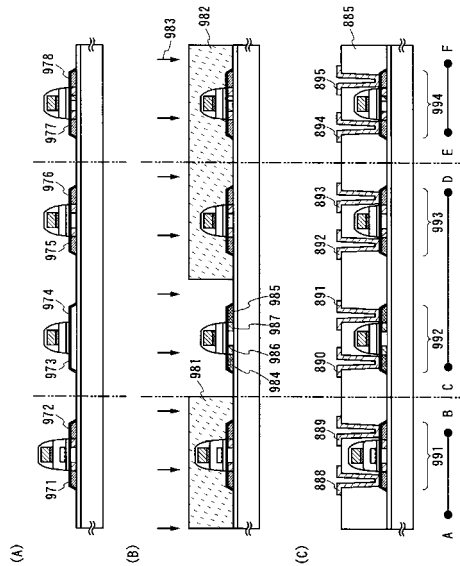
【図 11】



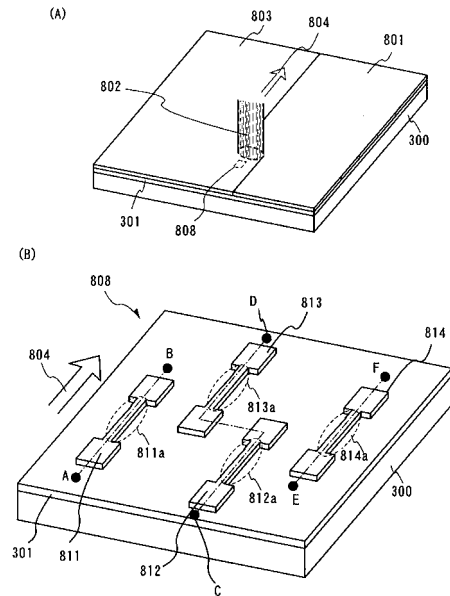
【図 12】



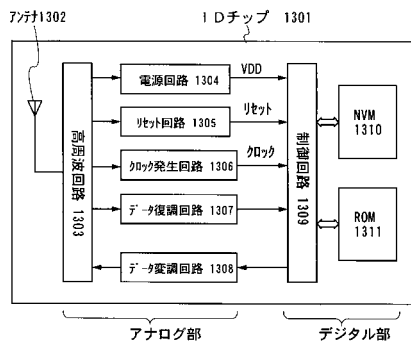
【図 13】



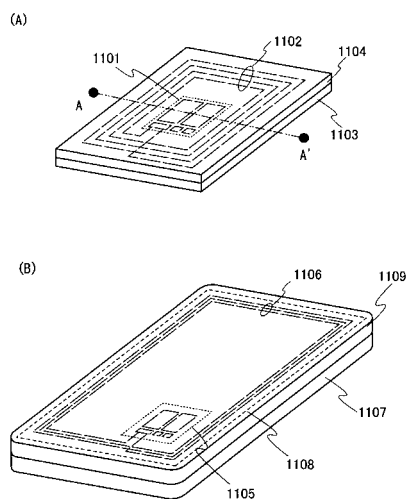
【図 14】



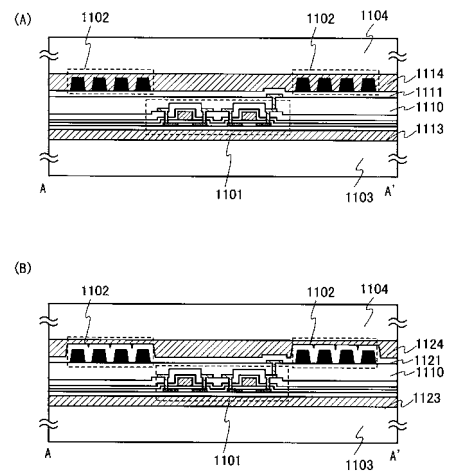
【図 15】



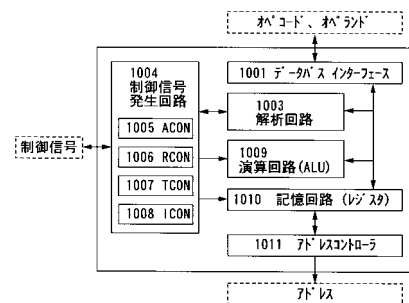
【図 16】



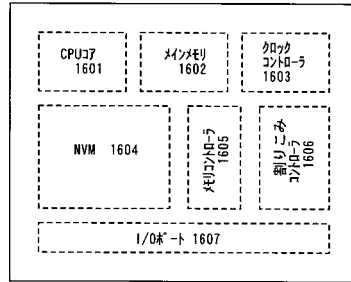
【図 17】



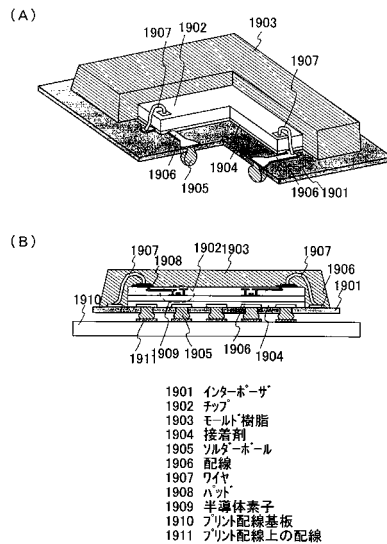
【図 18】



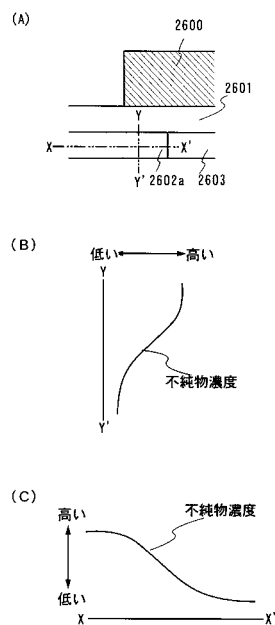
【図 19】



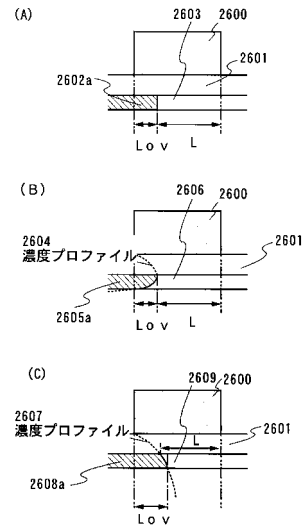
【図 20】



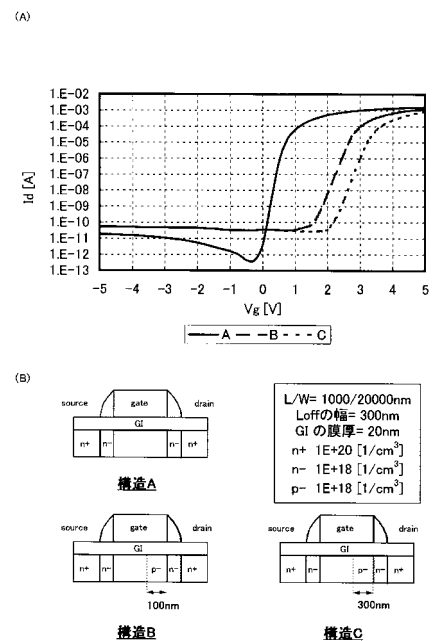
【図 22】



【図 21】

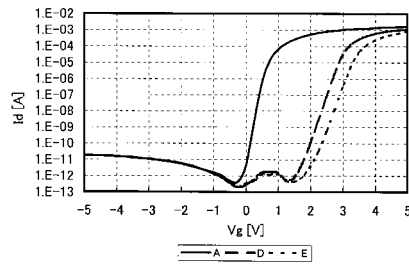


【図 23】

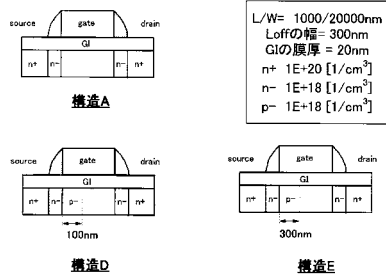


【図 24】

(A)

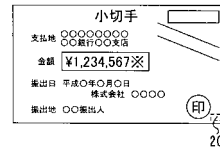


(B)

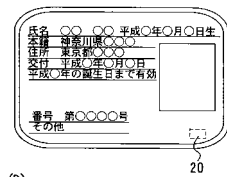


【図 25】

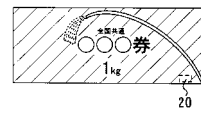
(A)



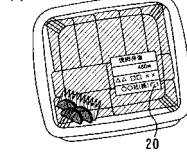
(B)



(C)



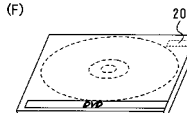
(D)



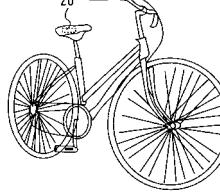
(E)



(F)



(G)

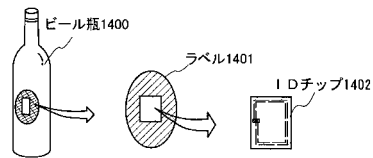


(H)

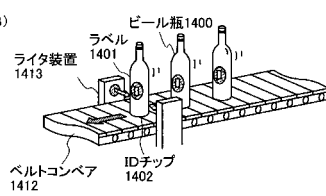


【図 26】

(A)

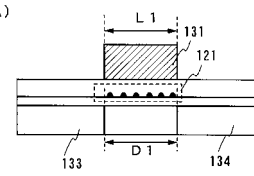


(B)

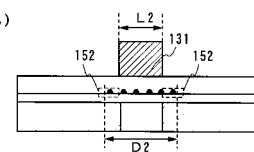


【図 27】

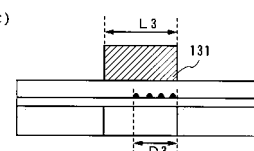
(A)



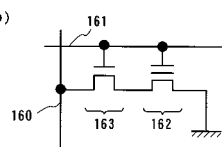
(B)



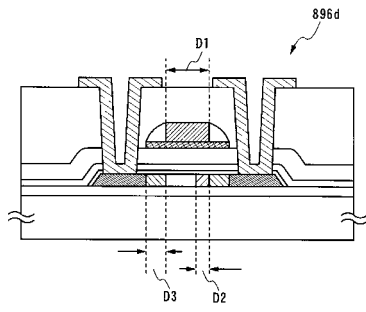
(C)



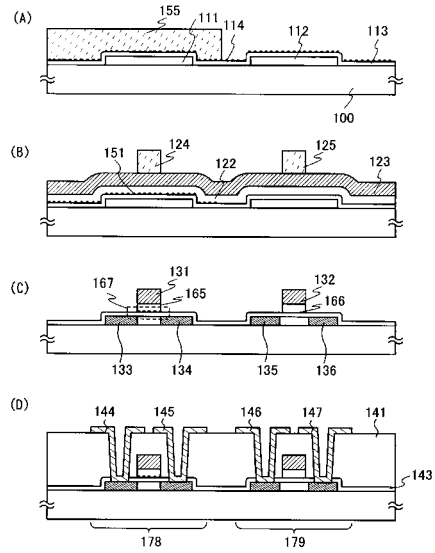
(D)



【図 28】



【図 29】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/20	(2006.01)	H 0 1 L	27/10 4 8 1
H 0 1 L	29/786	(2006.01)	H 0 1 L	29/78 6 1 7 K
H 0 1 L	27/10	(2006.01)	H 0 1 L	29/78 6 2 7 G
H 0 1 L	29/423	(2006.01)	H 0 1 L	29/78 6 1 7 U
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/78 6 1 7 L
			H 0 1 L	29/78 6 1 3 A
			H 0 1 L	29/58 G

審査官 河合 俊英

- (56)参考文献 特開平 1 1 - 2 7 4 4 2 0 (J P , A)
 特開 2 0 0 2 - 1 1 0 8 2 9 (J P , A)
 国際公開第 2 0 0 4 / 0 4 0 6 5 5 (W O , A 1)
 特開平 0 7 - 2 0 2 0 4 4 (J P , A)
 特開平 1 1 - 0 8 7 5 4 5 (J P , A)
 特表 2 0 0 6 - 5 0 5 1 3 1 (J P , A)
 特開平 1 1 - 2 9 7 9 6 3 (J P , A)
 特開 2 0 0 3 - 3 4 7 4 3 7 (J P , A)
 特表 2 0 0 5 - 5 2 0 3 1 8 (J P , A)
 国際公開第 0 2 / 1 0 3 8 0 0 (W O , A 1)
 特開 2 0 0 0 - 0 8 1 6 4 2 (J P , A)
 特開昭 4 8 - 0 8 0 2 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 7
 H 0 1 L 2 1 / 2 0
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 7 / 1 0
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2