(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 27/108

(45) 공고일자 2004년08월21일
(11) 등록번호 10-0445063
(24) 등록일자 2004년08월10일

(21) 출원번호 10-2001-0038661
(22) 출원일자 2001년06월30일

(65) 공개번호 10-2003-0003338
(43) 공개일자 2003년01월10일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김해원
서울특별시마포구신수동89-9102호

채수진
경기도이천시대월면사동리사원아파트109-801

(74) 대리인 특허법인 신성

심사관 : 조지은

(54) 반도체 소자의 커패시터 형성 방법

요약

본 발명은 반도체 소자의 커패시터 형성방법에 관한 것으로, 스토리지노드컨택홀 내부 측벽에 질화막 스페이서를 형성하는 단계, 상기 스토리지노드컨택홀의 내부가 매립될 정도의 두께로 플러그 폴리실리콘을 증착하는 단계, 커패시터 구조 형성을 위한 산화막을 형성 및 식각하여 커패시터 구조를 형성하는 단계, 상기 커패시터 구조를 포함한 산화막 상에 하부전극 형성을 위한 다결정 폴리실리콘도핑층과 비정질 실리콘을 인시튜로 차례로 증착하는 단계, 상기 비정질실리콘과 상기 다결정폴리실리콘도핑층을 화학적 기계적 연마 처리하여 커패시터의 하부전극을 형성하는 단계, 상기 하부전극의 내부에 반구형 실리콘 그레인을 형성 및 도핑하는 단계, 및 상기 반구형 실리콘그레인이 형성된 하부전극 상에 유전층과 상부전극을 차례로 형성하는 단계를 포함하고, 본 발명은 반구형 실리콘 그레인의 부러짐 현상에 따른 누설전류를 증가 또는 브릿지 형성에 의한 이중 비트 불량, 스토리지 노드 최상부면의 반구형 실리콘 그레인 시드 성장에 따른 브릿지 현상 및 셀프얼라인 컨택의 수율이 저하되는 문제점을 해결할 수 있어, 공정마진을 확보할 수 있으며 또한 수율향상을 기대할 수 있게 된다.

대표도

도 2g

색인어

커패시터 형성방법, 하부전극, 스토리지 노드, 이중 비트 불량

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 커패시터 형성에 있어서, 반구형 실리콘 그레인 형성시 스토리지 노드 상단에 폴리 실리콘이 성장하여 스토리지 간의 공간이 좁아진 현상을 보여주는 SEM 사진.
도 1b는 본 발명에 따른 커패시터 형성에 있어서, 반구형 실리콘 그레인 형성시 스토리지 노드 상단에 폴리 실리콘의 성장이 억제된 것을 보여주는 SEM 사진.
도 2a 내지 도 2g는 본 발명에 따른 커패시터의 제조과정을 보여주는 단면도.
* 도면의 주요부분의 부호의 설명 *
200: 기판(substrate) 210: 비트 라인(bit line)
220: 하드 마스크
230: 산화막 또는 질화막 스페이서(spacer)
240: 층간 절연막(Inter Layer Dielectrics; ILD2)
250: 스토리지 노드 컨택 스페이서(storage node contact spacer)
260: 플러그 폴리(plug poly)
270: 배리어 질화막(barrier spacer)
280: 커패시터 형성을 위한 산화막
290: 하부 전극용 폴리실리콘
300: 반구형 실리콘 그레인(Hemi Spherical Grain 또는 Meta-Stable Polysilicon)
310: 상부 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 커패시터 형성방법, 특히 0.16㎛ 이하의 미세 회로 선폭 기술이 적용되는 차세대 반도체 제품의 메모리 저장에 사용될 수 있는 컨케이브형 구조를 갖는 커패시터 형성방법에 관한 것이다.
종래 커패시터의 하부 전극의 형성방법은 크게 다음 두 가지 방법으로 나눌 수 있다.
첫 번째 방법은 커패시터의 하부 전극용 폴리실리콘을 증착한 다음 전하저장 전극의 표면적 증가를 위해 폴리실리콘 상에 반구형 실리콘 그레인(Hemi Spherical Grain polysilicon or Meta-Stable Polysilicon)을 성장시킨 후 화학적 기계적 연마(Chemical Mechanical Polishing; CMP)처리하여 메모리 셀의 하부 전극을 완성하는 방법이다. 그러나 이러한 방법은 반구형 실리콘 그레인이 형성된 상태에서 화 학적 기계적 연마가 진행되기 때문에 화학적 기계적 연마에 의해 반구형 실리콘 그레인이 잘 부러지게 되고, 부러진 알갱이들은 후속 습식 세정과정에서 완전히 제거되지 못한 상태로 메모리 셀 안쪽에 박히게 되고, 이 상태로 제거가 되지 않을 경우 후속 화학기상 증착막(커패시터 유전막과 상부 전극)의 후속 스텝 커버리지(step coverage)가 떨어져 커패시터의 누설전류를 증가시키거나, 스토리지 노드와 노드 사이에 박혀서 브리지(bridge)를 형성하여 이중 비트 불량(dual bit fail)을 유발하는 문제점이 있다.
두 번째 방법은 하부 전극인 스토리지 노드 폴리실리콘을 증착한 후 화학적 기계적 연마를 먼저 실시한 후, 표면적 증가를 위한 폴리실리콘 상에 반구형 실리콘 그레인을 성장시켜 전하저장 전극을 완성하는 방법이다. 이러한 방법은 상기한 바와 같은 화학적 기계적 연마에 의한 반구형 실리콘 그레인 알갱이의 부러짐 현상을 원천적으로 방지할 수는 있으나, 첨부한 도 1의 CD-SEM 사진에서 볼 수 있듯이 반구형 실리콘 그레인 형성시 하부 전극인 스토리지 노드 폴리 실리콘의 최상부면에 반구형 실리콘 그레인 시드(seed)(SiH_4 또는 Si_2H_6)가 부분적으로 성장하게 된다. 그 결과 스토리지 노드와 노드 사이의 공간이 좁아지거나 심할 경우 노드간 브릿지(bridge)가 형성되어서 또한 이중 비트 불량을 유발하는 문제점이 있다.
상기와 같은 문제점을 해결하기 위하여 포토 레지스트를 코팅한 상태에서 전면적인 하드 마스크 폴리의 역식각(etch-back)과 스토리지 노드 폴리 역식각 공정을 채용해서 하부 전극을 형성하는 방법을 사용할 경우, 상기한 두 방법의 단점은 해결할 수 있으나, 공정진행 중 두께 측정이 가능한 넓은 패턴을 형성하는 것이 어 려워 로트(lot) 상의 모니터링이 어려워 효율적인 공정 관리가 어렵다는 문제점이 있었다.
또한 스토리지 노드 컨택 및 플러그 폴리 형성에 있어서는 종래에 배리어 질화막 위로 플러그 폴리가 100Å 정도 솟아 있어 실제로 하부 전극 면적이 감소하는 문제점이 있었으며, 또한 스토리지 전극 마스크 공정에서 미스 얼라인이 발생했을 때 공정 마진이 없어서 식각 과정에서 인접한 컨택 플러그와 스토리지 노드 간에 브릿지가 발생할 수 있는 문제점이 있었다. 또한 스토리지 노드 컨택을 형성할 때 컨택 마스크 공정에서 미스얼라인이 발생할 경우 비트라인과 스토리지 노드 컨택 사이에 누설전류가 발생하여 셀프 얼라인 컨택 수율이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 비트라인과 스토리지노드컨택간 누설전류 발생을 방지하고, 하부전극간 브릿지를 방지하도록 한 커패시터의 형성 방법을 제공하고자 하는 데에 그 목적이 있다.

발명의 구성 및 작용

본 발명은 반도체 소자의 커패시터 형성방법에 있어서, 비트라인이 형성된 반도체 기판 상부에 산화막을 형성하는 단계, 상기 산화막을 선택적으로 식각하여 상기 비트라인 사이의 커패시터가 형성될 영역에 스토리지노드컨택홀을 형성하는 단계, 상기 스토리지노드컨택홀 내부 측벽에 질화막 스페이서를 형성하는 단계, 상기 스토리지노드컨택홀의 내부가 매립될 정도의 두께로 플러그 폴리실리콘을 증착하는 단계, 상기 플러그 폴리실리콘을 포함한 전면에 커패시터 구조의 형성을 위한 산화막의 식각 종결용 질화막배리어를 형성하는 단계, 상기 질화막배리어 상에 커패시터 구조 형성을 위한 산화막을 형성 및 식각하여 커패시터 구조를 형성하는 단계, 상기 커패시터 구조를 포함한 산화막 상에 하부전극 형성을 위한 다결정 폴리실리콘도핑층과 비정질 실리콘을 인시튜로 차례로 증착하는 단계, 상기 비정질실리콘과 상기 다결정폴리실리콘도핑층을 화학적 기계적 연마 처리하여 커패시터의 하부전극을 형성하는 단계, 상기 하부전극의 내부에 반구형 실리콘 그레인을 형성 및 도핑하는 단계, 및 상기 반구형 실리콘그레인이 형성된 하부전극 상에 유전층과 상부전극을 차례로 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 커패시터의 형성 방법 중, 질화막 스페이서의 두께는 200Å 이하인 것이 바람직하며, 상기 플러그 폴리실리콘의 형성은 포스포러스 농도 2E20atoms/cc 이상의 도프트 폴리실리콘을 사용하며, 저압 화학기상 증착법 또는 급속 열공정으로 진행하는 것이 바람직다. 또한 질화막배리어의 두께는 200 내지 800Å인 것이 바람직하며, 커패시터 구조를 형성하기 위한 산화막의 두께는 12,000Å이상인 것이 바람직하다. 또한 다결정 실리콘 도핑층을 560 ~ 620℃에서 증착한 후, 인-시튜로 비정질 실리콘 층을 480 ~ 550℃의 온도에서 증착하는 것이 바람직하며, 여기서, 다결정 실리콘 도핑층의 증착은 SiH_4 가스 또는 비활성 가스에 희석된 SiH_4 가스를 원료기체로 하여 500 내지 2000sccm으로 주입하고, He 또는 N_2 에 희석된 PH_3 가스를 도펀트로 100~800sccm으로 주입하는 것으로 이루어진 것이, 또한 상기 비정질 실리콘 층은 Si를 포함하는 가스를 원료가스로 하여 증착하는 것이 각각 바람직하다. 또한 유전층은 TaON 또는 Ta_2O_5 인 것이, 상부 전극은 TiN, TaN, W, WSi, Ru, Ir, Pt 중 선택된 하나 이상인 것이 바람직하다.

이하 첨부한 도면을 참고하여 본 발명의 일실시예에 따른 제조방법을 설명하기로 한다.

실시예

도 2a에서와 같이 우선 비트 라인(210), 비트라인하드마스크(220) 및 비트라인질화막스페이서(230)를 비롯한 하부 구조가 형성된 반도체 기판(200)의 상부에 층간 절연막(ILD2)(240)을 증착하였다. 이후 도 2b와 같이 컨택 마스크 공정과 컨택 식각 공정을 통하여 스토리지 노드 컨택 홀을 형성하였으며, 컨택 식각은 건식식각으로 진행하였으며, 30% 정도의 과식각하였다.

이후, 도 2b와 같이 질화막(250)을 증착한 후 전면 에치백을 통하여 컨택 홀의 측벽에 질화막 스페이서(250)를 형성한 후(도 2c), 역식각을 행하였으며 이 때에도 30% 정도 과식각 하였다. 이후 플러그용 폴리 실리콘(260)을 증착하였다(도 2d). 플러그용 폴리실리콘(260)으로는 저압 화학기삭 증착 또는 급속 열처리(Rapid thermal process; RTP) 장비를 사용하여 2E+20 atoms/cc 이상의 포스포러스 농도를 갖는 도프트 폴리실리콘을 증착하였다.

이후, 커패시터 형성을 위한 산화막(280)의 식각 종결을 위한 질화막 배리어(270)를 증착하였다(도 2e). 상기 질화막 배리어(270)는 산화막의 건식 및 습식식각시 배리어 역할을 하여야 하므로, 저압 화학기상 증착, 플라즈마 강화 화학기상증착 또는 급속 열처리 장비를 사용하여 200 내지 800Å의 두께로 증착하였다.

이후 커패시터 형성을 위한 산화막(280)을 증착하였다(도 2f). 커패시터 형성을 위한 산화막(280)으로는 PE-TEOS 또는 PSG 산화막을 사용하여 원하는 두께만큼 증착하였으며, 일반적으로 0.16㎛이하의 배선 공정이 적용되는 경우, 25fF/cell 이상의 정전 용량을 얻는 데에 필요한 전하 저장 전극의 면적을 확보하려면 12,000Å이상으로 증착하는 것이 바람직하다. 이후 셀 마스크를 사용하여 산화막(280) 및 질화막 배리어(270)를 식각하여 커패시터의 내부 구조를 형성하였다. 산화막(280) 식각은 질화막을 배리어로 하기 위하여 산화막:질화막의 식각 선택비를 5~20 : 1로 하였다.

이후 질화막배리어(270) 식각시는 10 내지 50% 과식각하여 플러그용 폴리실리콘(260) 표면을 완전히 오픈시켰다.

상기 질화막배리어(270)의 식각 후, 플러그용 폴리실리콘(260) 표면의 오염된 불순물을 한번 더 완전히 제거하여 하부 전극용 폴리와 플러그용 폴리실리콘(260)과의 접촉 계면 저항 증가를 방지할 목적으로 O_2 플라즈마를 이용하여 가볍게 건식식각 하였다.

이후, 커패시터 내부 측벽에 하부 전극용 폴리 실리콘(290)을 다결정 실리콘 과 비정질 실리콘의 이중박막으로 형성하였다. 우선, 560℃이상 650℃이하의 온도 및 0.2 ~ 1.5 Torr의 압력하에서, SiH_4 가스 또는 비활성 기체에 희석된 SiH_4 가스를 소스 가스로 하여 500 내지 2000sccm 주입하고, He 또는 N_2 에 희석된 PH_3 가스를 도펀트로 100 ~ 800sccm 의 비율로 사용하여 다결정 실리콘을 증착하였다. 또한 다결정 실리콘을 증착한 후, 480℃이상 550℃이하의 온도 및 0.5 ~ 1.5 Torr 의 압력하에서, Si를 포함하는 SiH_4 또는 Si_2H_6 등의 가스를 소스로 하여 비정질 실리콘을 증착하였다.

이후 포토 레지스트를 코팅한 후, 하부 전극용 폴리실리콘(290)을 화학적 기계적 연마 처리하고 포터레지스트를 제거하였다. 이때 상기 포토레지스트는 0.5 ~ 1.5㎛의 두께로 코팅하였으며, 상기 화학적 기계적 연마는 50 ~ 300nm 크기의 실리카, 알루미나, 세리아 등의 연마제를 이용하여 pH 6 ~ 11을 유지하면서 실시하였다.

이후 스토리지 노드 내부에 반구형 실리콘 그레인(300)을 형성한 후 도핑시켰다. 상기 도핑은 반구형 폴리실리콘의 형성 직후, 포스포러스 가스 분위기 하에서 600±50℃에서 30 내지 120 분 동안 전기로(furnace)에서 1~100Torr의 범위내에서 압력을 일정하게 유지시키면서 실시하였다. 상기 도핑은 열처리 방법에 의하지 않고, 매엽식 챔버 내에서 pH 3의 분위기 하에 플라즈마(RF = 100 ~ 500W)를 30 ~ 120초 동안 방전시켜 도핑하는 방법을 사용할 수도 있으며, 또한 급속 열처리 공정 이용하여 750~950℃의 온도범위에서 pH 3 분위기 하에 30 ~ 120 초 동안 방사열을 이용하여 도핑시키는 방법을 사용할 수도 있다.

상기 하부전극 상의 반구형 실리콘 그레인(300) 표면에 유기성분 또는 금속 성분을 포함한 불순물 및 자연 산화막을 제거하여 도핑 효과를 극대화하기 위하여 도핑 처리 전에 황산 용액으로 1차 세정한 후 불산 용액이 함유된 세정액을 사용하여 2차 세정해 줌으로써 불순물과 자연 산화막을 제거해 주는 습식 세정 처리를 하였다.
이후 하부 전극 상부에 TaON 또는 Ta_2O_5 유전막을 증착하고, 이후 TiN을 비롯한 TaN, W, WSi, Ru, Ir, Pt 등의 금속 등으로 상부 전극(310)을 형성하여 도 2g와 같이 커패시터를 완성하였다.
이후 상부 전극의 상부에 구조적인 안정성을 확보하고 열적 또는 전기적 충격에 대하여 상부전극의 내구성을 향상시키기 위하여 일종의 완충층으로서 도프트 폴리실리콘을 적층할 수도 있다.
본 발명은 상기 실시예에 의하여 제한되는 것은 아니며, 청구범위의 요소를 포함하는 범위에서 다양한 변형이 가능하다.

발명의 효과

상기와 같은 구성을 갖는 본 발명은 다음과 같은 효과를 나타낸다.
첫째, 층간 절연막을 평탄화 시킨 후 플러그 폴리 증착 전에 질화막 스페이서(200 Å 이하)를 형성시켜 준 후에 플러그 폴리를 증착한 후 전면 폴리 역식각(etsh-back)을 실시하여 하부 전극의 폴리 플러그를 형성함에 따라, 비트 라인과 스토리지 노드 컨택 간에 누설전류가 발생하여 셀프얼라인 컨택의 수율이 저하되는 문제점을 극복할 수 있어 공정마진을 확보할 수 있으며 또한 수율향상을 기대할 수 있게 된다.
둘째, 본 발명은 화학적 기계적 연마 공정 처리를 한 후, 하부 전극의 면적 증가를 위한 반구형 실리콘 그레인을 성장시킴으로써, 반구형 실리콘 그레인이 부러지고 부러진 알갱이들이 후속 습식 세정과정에서 완전히 세정되지 못한 상태로 메모리 셀 안쪽에 박혀서 후속 화학기상 증착막(커패시터 유전막과 상부전극)의 스텝 커버리지의 불량을 초래하여 누설전류를 증가시키거나 브릿지를 형성하여 이중 비트 불량과 같은 전기적 불량을 야기하는 현상을 원천적으로 방지할 수 있다.
셋째, 본 발명은 하부 전극의 최상부면인 다결정 폴리실리콘 상에 반구형 실리콘 그레인 시드가 부분적으로 성장하는 것을 억제하여 서로 인접한 하부전극 간의 브릿지 현상을 막아준다.

(57) 청구의 범위

청구항 1.

반도체 소자의 커패시터 형성방법에 있어서,
비트라인이 형성된 반도체 기판 상부에 산화막을 형성하는 단계;
상기 산화막을 선택적으로 식각하여 상기 비트라인 사이의 커패시터가 형성될 영역에 스토리지노드컨택홀을 형성하는 단계;
상기 스토리지노드컨택홀 내부 측벽에 질화막 스페이서를 형성하는 단계;
상기 스토리지노드컨택홀의 내부가 매립될 정도의 두께로 플러그 폴리실리콘을 증착하는 단계;
상기 플러그 폴리실리콘을 포함한 전면에 커패시터 구조의 형성을 위한 산화막의 식각 종결용 질화막배리어를 형성하는 단계;
상기 질화막배리어 상에 커패시터 구조 형성을 위한 산화막을 형성 및 식각하여 커패시터 구조를 형성하는 단계;
상기 커패시터 구조를 포함한 산화막 상에 하부전극 형성을 위한 다결정 폴리실리콘도핑층과 비정질 실리콘을 인시튜로 차례로 증착하는 단계;
상기 비정질실리콘과 상기 다결정폴리실리콘도핑층을 화학적 기계적 연마 처리하여 커패시터의 하부전극을 형성하는 단계;
상기 하부전극의 내부에 반구형 실리콘 그레인을 형성 및 도핑하는 단계; 및
상기 반구형 실리콘그레인이 형성된 하부전극 상에 유전층과 상부전극을 차례로 형성하는 단계
를 포함하는 반도체 소자의 컨케이브형 커패시터 형성 방법.

청구항 2.

제1항에 있어서,
상기 다결정 실리콘도핑층을 560 620℃에서 증착한 후, 인-시튜로 상기 비정질 실리콘을 480 550℃의 온도에서 증착하는 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 3.

제2항에 있어서,
상기 다결정실리콘도핑층의 증착은 SiH_4 가스 또는 비활성 가스에 희석된 SiH_4 가스를 원료기체로 하여 500 내지 2000sccm으로 주입하고, He 또는 N_2 에 희석된 PH_3 가스를 도펀트로 100 800sccm으로 주입하는 것을 포함하여 이루어짐을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 4.

제2항에 있어서,
상기 비정질 실리콘층은 Si를 포함하는 가스를 원료가스로 하여 증착하는 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 5.

제1항에 있어서,
상기 질화막 스페이서의 두께는 200Å 이하인 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 6.
제1항에 있어서,
상기 플러그 폴리실리콘의 형성은 포스포러스 농도 2E20atoms/cc 이상의 도프트 폴리실리콘을 사용하며, 저압 화학기상증착법 또는 급속 열처리법을 진행하는 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 7.
제1항에 있어서,
상기 질화막배리어의 두께는 200 내지 800Å인 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 8.
제1항에 있어서,
상기 커패시터 구조의 형성을 위한 산화막의 두께는 12,000Å이상인 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

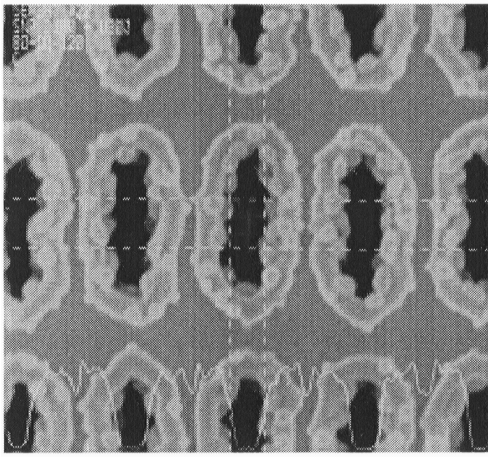
청구항 9.
제1항에 있어서,
상기 유전층은 TaON 또는 Ta_2O_5 인 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

청구항 10.
제1항에 있어서,
상기 상부 전극은 TiN, TaN, W, WSi, Ru, Ir, Pt 중 선택된 하나 이상인 것을 특징으로 하는 반도체 소자의 컨케이브형 커패시터 형성방법.

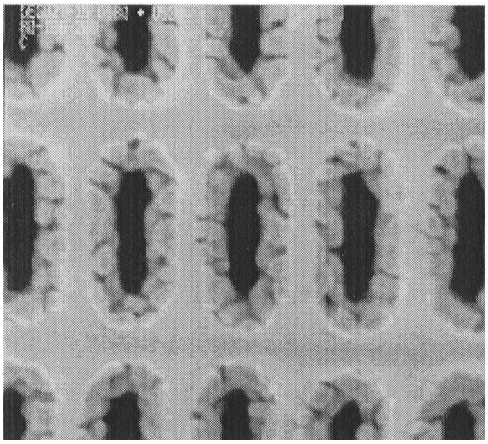
청구항 11.
삭제

도면

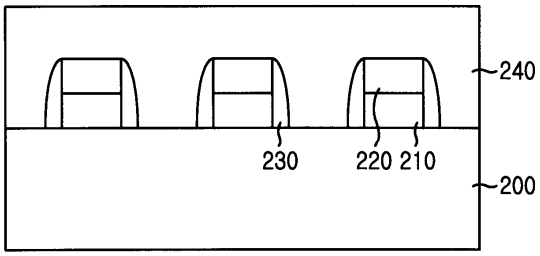
도면1a



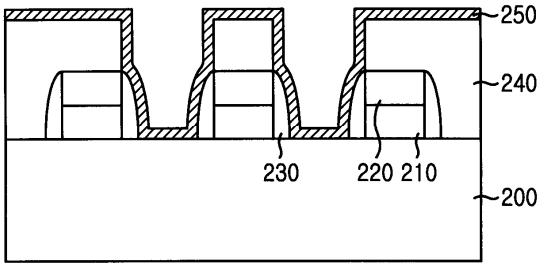
도면1b



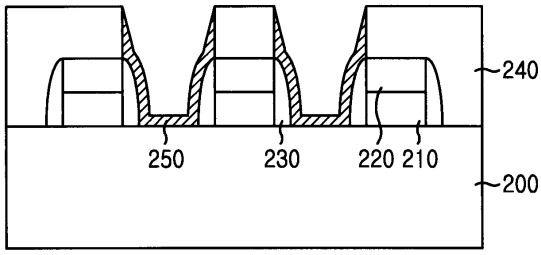
도면2a



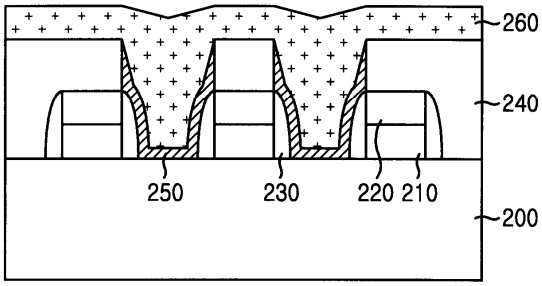
도면2b



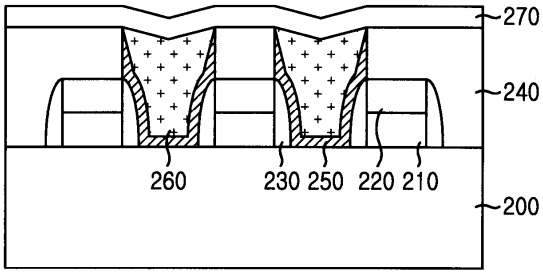
도면2c



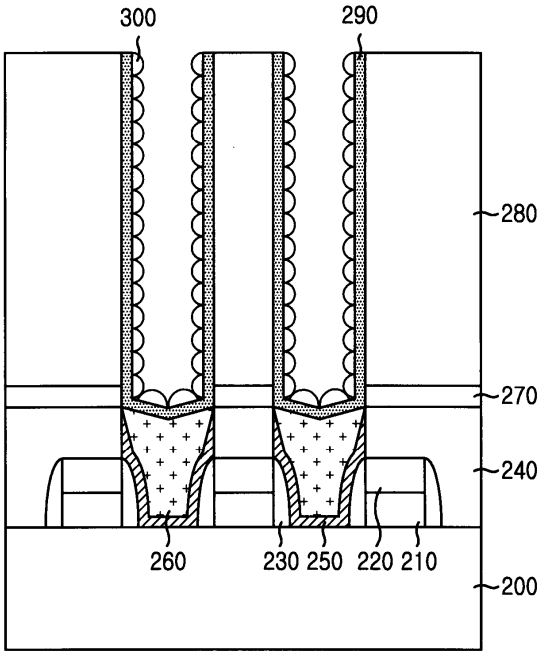
도면2d



도면2e


270
240
260
230 250
220 210
200

도면2f


300
290
280
270
240
260
230 250
220 210
200

도면2g

