

(21)申請案號：102138762

(22)申請日：中華民國 102 (2013) 年 10 月 25 日

(51)Int. Cl. : *H01L33/36 (2010.01)*

(30)優先權：2012/10/26 美國 61/718,884

2013/10/22 美國 14/059,658

(71)申請人：G L O 公司 (瑞典) GLO AB (SE)

瑞典

(72)發明人：海納 史考特 布萊德 HERNER, SCOTT BRAD (US)；湯普森 丹尼爾 布萊斯 THOMPSON, DANIEL BRYCE (US)；樂美 辛西雅 LEMAY, CYNTHIA (CA)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：46 項 圖式數：14 共 52 頁

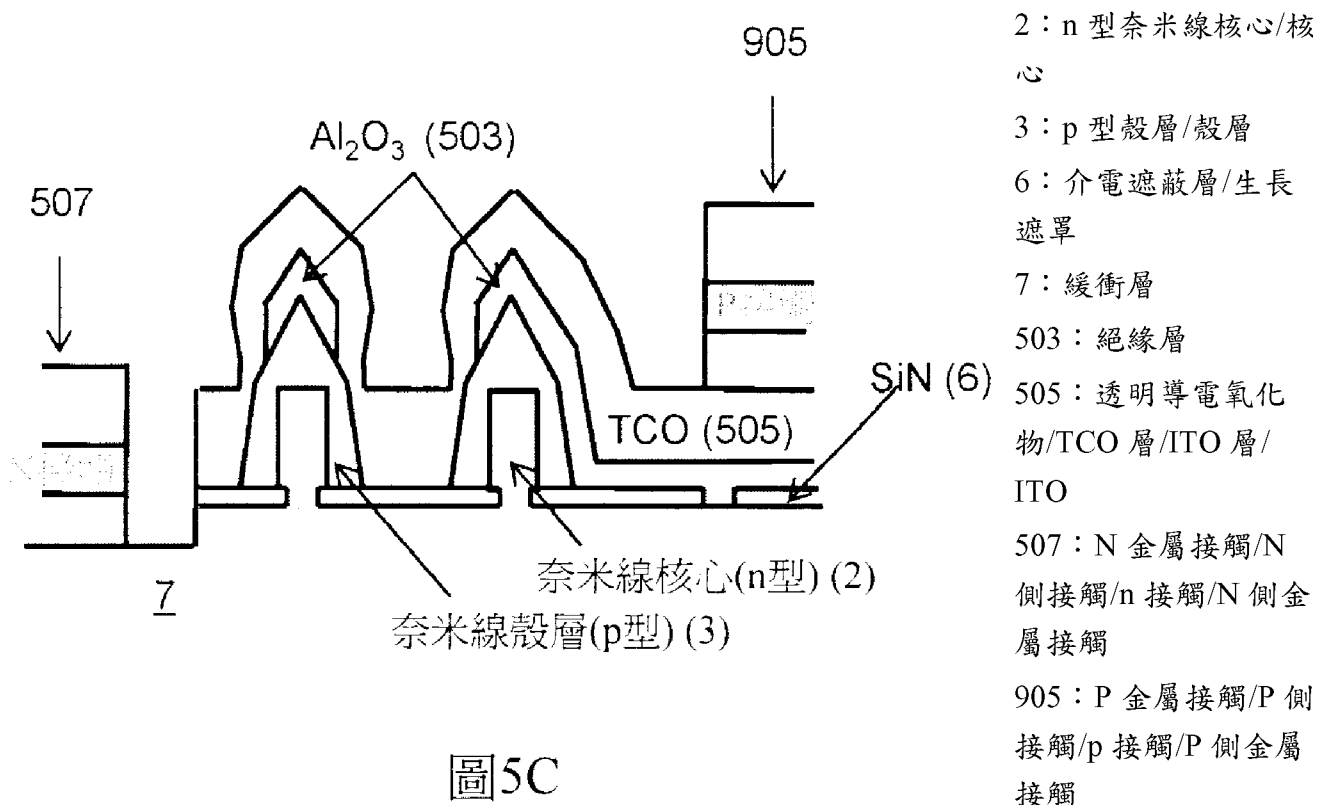
(54)名稱

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

(57)摘要

本發明提供一種用一種物質處理 LED 結構之方法，該 LED 結構包括平坦支撐物上之奈米線陣列。該方法包括在來源處產生物質且使其沿線路移動至陣列處。在自支撐物之中心量測時，在該物質所遵循的線路與支撐物平面之間的角度小於 90°。與由該物質處理之前相比，該物質能使該等奈米線之一部分不導電或導電性更低。



(21)申請案號：102138762

(22)申請日：中華民國 102 (2013) 年 10 月 25 日

(51)Int. Cl. : *H01L33/36 (2010.01)*

(30)優先權：2012/10/26 美國 61/718,884

2013/10/22 美國 14/059,658

(71)申請人：G L O 公司 (瑞典) GLO AB (SE)

瑞典

(72)發明人：海納 史考特 布萊德 HERNER, SCOTT BRAD (US)；湯普森 丹尼爾 布萊斯 THOMPSON, DANIEL BRYCE (US)；樂美 辛西雅 LEMAY, CYNTHIA (CA)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：46 項 圖式數：14 共 52 頁

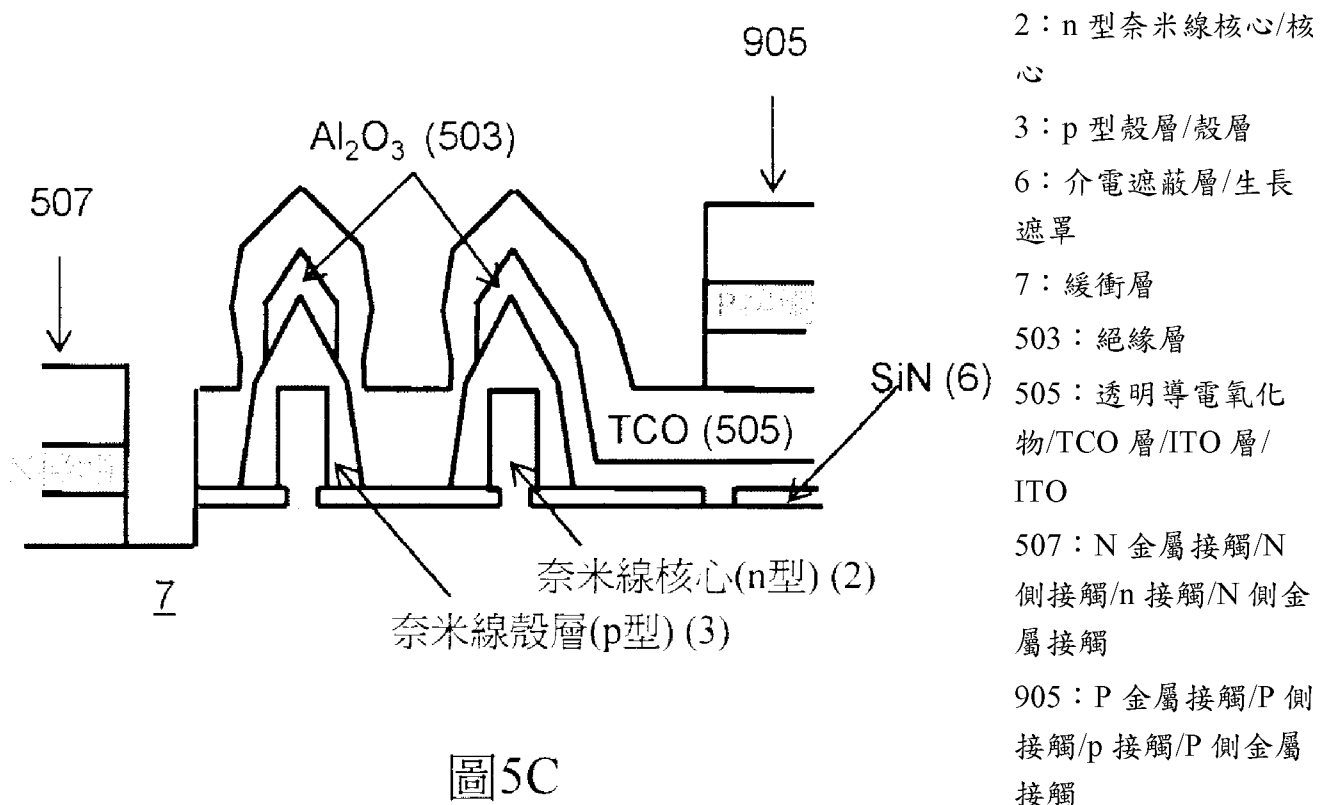
(54)名稱

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

(57)摘要

本發明提供一種用一種物質處理 LED 結構之方法，該 LED 結構包括平坦支撐物上之奈米線陣列。該方法包括在來源處產生物質且使其沿線路移動至陣列處。在自支撐物之中心量測時，在該物質所遵循的線路與支撐物平面之間的角度小於 90°。與由該物質處理之前相比，該物質能使該等奈米線之一部分不導電或導電性更低。



發明摘要

※ 申請案號：102138762

※ 申請日：

102.10.25

※IPC 分類：H01L 33/36 (2012.01)

【發明名稱】

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND
METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

【中文】

本發明提供一種用一種物質處理LED結構之方法，該LED結構包括平坦支撐物上之奈米線陣列。該方法包括在來源處產生物質且使其沿線路移動至陣列處。在自支撐物之中心量測時，在該物質所遵循的線路與支撐物平面之間的角度小於90°。與由該物質處理之前相比，該物質能使該等奈米線之一部分不導電或導電性更低。

【英文】

A method for treating a LED structure with a substance, the LED structure includes an array of nanowires on a planar support. The method includes producing the substance at a source and causing it to move to the array along a line. The angle between the line followed by the substance and the plane of the support is less than 90° when measured from the center of the support. The substance is capable of rendering a portion of the nanowires nonconductive or less conductive compared to before being treated by the substance.

【代表圖】

【本案指定代表圖】：第（5C）圖。

【本代表圖之符號簡單說明】：

2	n型奈米線核心/核心
3	p型殼層/殼層
6	介電遮蔽層/生長遮罩
7	緩衝層
503	絕緣層
505	透明導電氧化物/TCO層/ITO層/ITO
507	N金屬接觸/N側接觸/n接觸/N側金屬接觸
905	P金屬接觸/P側接觸/p接觸/P側金屬接觸

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND
METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

【技術領域】

本發明大體上係有關奈米結構化器件，且尤其係有關奈米線LED。

【先前技術】

奈米線發光二極體(LED)作為平坦LED之替代所受到的關注逐漸增加。與用習知平坦技術產生之LED比較，奈米線LED提供歸因於奈米線之三維性質的獨特特性、歸因於晶格匹配限制較少的材料組合之改良可撓性及在更大基板上進行加工的機會。

儘管奈米線LED具有優點，但與平坦技術相比，奈米線LED之接觸需要新途徑。因為奈米線LED包含較大奈米線陣列，進而形成具有高縱橫比結構之三維表面，所以使用視線過程來沈積接觸材料之操作具有挑戰性，且形成接觸之替代性方法將適用。

【發明內容】

在一個態樣中，本發明提供方法。在某些實施例中，本發明提供一種用一種物質處理LED結構之方法，該LED結構包含平坦支撐物上之奈米線陣列，該方法包含在來源處產生物質且使其沿線路移動至陣列處，其中(i)在自支撐物之中心量測時，在物質所遵循的線路與支撐物平面之間的角度小於90°；且(ii)與由該物質處理之前相比，該物質能夠使奈米線之一部分不導電或導電性更低。在某些實施例中，物

質為絕緣體，且藉由塗佈奈米線之部分來使該部分不導電或導電性更低，例如其中該物質包含 Al_2O_3 。

在某些實施例中，物質與奈米線之部分反應，以使該部分不導電或導電性更低。在某些實施例中，物質包含 H_2^+ 。在某些實施例中，角度小於 45° ，諸如小於 30° 。在某些實施例中，藉由物理氣相沈積(PVD)來產生物質及使該物質移動至奈米線處。在某些實施例中，PVD包含蒸發。在某些實施例中，PVD包含濺鍍沈積。在某些實施例中，奈米線包含端部及側壁，且陣列包含邊緣奈米線及中央奈米線，且其中角度使得中央奈米線在端部及沿其側壁之一部分但並非所有側壁處不導電。在某些實施例中，該方法包含沈積 Al_2O_3 或等效之電絕緣材料(有機及無機兩者)，且其中奈米線之端部上的 Al_2O_3 之深度在50與200 nm之間。在某些實施例中，奈米線包含第一導電性類型奈米線核心及第二導電性類型奈米線殼層。在某些實施例中，第一導電性類型半導體奈米線核心由第二導電性類型半導體殼層封閉以形成pn或pin接面，該接面在操作中為光產生提供作用區。在某些實施例中，第一導電性類型包含n型，第二導電性類型包含p型。在某些實施例中，支撐物包含n型緩衝層，在產生奈米線之陣列期間奈米線核心自該緩衝層生長。在某些實施例中，緩衝層包含氮化鎵或氮化鋁鎵中之至少一者。在某些實施例中，支撐物進一步包含介電遮蔽層，使得核心通過遮蔽層中之開口而自緩衝層突出，且殼層定位於遮蔽層上。在某些實施例中，支撐物進一步包含緩衝層下方之基板層，諸如包含 Al_2O_3 之基板層。在某些實施例中，支撐層進一步包含反射層，諸如包含Ag之層。

在某些實施例中，該方法進一步包含例如藉由雷射剝蝕來暴露LED結構之第一區中的緩衝層。在某些實施例中，該方法進一步包含形成與暴露之緩衝層接觸的n電極及與未暴露於物質中的奈米線之側

壁接觸的p電極。

在一個態樣中，本發明提供結構。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及該支撐物上之奈米線陣列，該支撐物包含n-GaN緩衝層及非導電基板層，其中該等奈米線包含由p-GaN殼層封閉之n-GaN核心，其中在該結構中包含(i) n電極區，該n電極區包含與n-GaN緩衝層電接觸之金屬接觸；及(ii) p電極區，該p電極區包含(a)非導電層，該非導電層包含奈米線之端部及第一組奈米線之側壁的第一部分，但不包含第一組奈米線之側壁的第二部分；(b)導電層，該導電層與第一組奈米線之側壁的第二部分電接觸；及(c)金屬接觸，該金屬接觸與導電層電接觸。

在某些實施例中，非導電層包含第二組奈米線之所有側壁，其中第一組奈米線在奈米線陣列之內部，而第二組奈米線在奈米線陣列之外部邊緣上。在某些實施例中，非導電層包含在端部及側壁之部分之上的絕緣材料層。在某些實施例中，非導電層包含 Al_2O_3 或等效之電絕緣材料(有機及無機兩者)。在某些實施例中，非導電層包含p-GaN殼層之經改質部分，該部分已經改質以降低或消除其導電性。在某些實施例中，第一組奈米線之側壁的第一部分自奈米線之端部沿側壁向下延伸小於400 nm。在某些實施例中，金屬接觸包含一層Al、一層Ti及一層Au。在一些此等實施例中，Al層與n電極中之n-GaN緩衝層及p電極中之導電層直接接觸。某些適合之金屬接觸包括TiAu、TiAlTiAu及CrPdAu。

【圖式簡單說明】

圖1A及B示意性地展示漏電之例示性奈米線LED。

圖2示意性地展示具有多種發射波長之例示性奈米線LED。

圖3示意性地展示根據本發明之實施例的奈米線LED之基底的橫

截面側視圖。

圖4示意性地展示根據本發明之實施例的緩衝層上之奈米線LED結構的橫截面側視圖。

圖5A-C展示本發明之方法的一個實施例。

圖6A-F展示本發明之方法的第二實施例。

圖7A及B展示絕緣材料在經分離且密集之奈米線中的沈積。

圖8顯示沈積角度為 15° 之密集奈米線特徵。

圖9為本發明之方法的一個實施例的示意性描述。

圖10A-G展示本發明之方法的一個實施例。

圖11為本發明之方法的一個實施例的流程圖描述。

圖12為本發明之方法的一個實施例的流程圖描述。

圖13A及13B為在本發明之方法的一個實施例中的步驟之示意性描述。

圖14為端部移除之後的奈米線之橫截面SEM影像。

【實施方式】

本發明提供用於改變基於奈米線之結構(尤其諸如LED之光電結構，例如奈米線發光二極體(LED))的經選定區域之特性，例如改變特性以降低奈米線LED中奈米線之經選定部分的導電性的方法。本發明亦提供可例如使用本發明之方法來製造的結構。

由自平坦表面出現之奈米線製成的LED的3維性質可在器件架構中帶來挑戰。不同結晶學平面可提供不同生長速率、材料組成及摻雜。此可例如造成器件不需要之洩漏路徑及多種發射波長。一個實例為如圖1A及1B中所示之奈米線LED。在此實例中，奈米線LED 100包括與n-GaN緩衝層103電接觸之n-GaN核心101，In-GaN中間層105、GaInN中間層107及p-AlGaInN中間層109，覆蓋有p-GaN外層111，以及垂直側壁113及圓錐形端部115。存在兩個生長平面，側壁113上之m平

面及圓錐形端部115上之p平面；p-GaN 111在p平面上生長速率極低，圖1A。若接觸117覆蓋全部奈米線100，則可存在通過p平面表面上之薄p-GaN層111的漏泄(短路)，圖1B。另外，如圖2中所示，p-GaN之不等分佈可導致LED之多種發射波長，如由電致發光譜所示，該電致發光譜顯示具有來自於m平面(10-10)之更短波長及來自於p平面(10-11)之更長波長的兩個峰201及203。

為使光產生最大化，期望選擇性地改變LED中之奈米線某些部分的特性，以降低或消除短路及多種波長發射。本發明提供改變奈米線經選定部分之特性的方法及結構，尤其其中奈米線LED中奈米線之端部及角的導電性選擇性地降低但側壁之一部分的導電性不變或實質上不變的方法及結構。在本發明之一些實施例中，在奈米線之端部上方但不在側壁之一些部分上選擇性地沈積一層絕緣材料。在本發明之其他實施例中，選擇性地改變奈米線端部之表面以降低其導電性，但側壁之一些部分的導電性保持未改變或實質上未改變。在本發明之方法中，在來源處產生材料，該來源經定位以使得材料以一定角度自來源向LED行進，其中其與LED中奈米線之經選定表面相互作用以改變表面之特性，例如塗佈表面或改變表面之一部分。自側壁分離之奈米線部分可由材料來源與LED之間的角度控制，使得保持未改變或實質上未改變的側壁部分可受控制。在某些實施例中，奈米線LED結構之經選定部分的雷射剝蝕與材料之傾斜行進組合，以在LED結構中產生所需特性。雷射剝蝕在同一日期申請之名為Nanowire LED structure and method for manufacturing the same且代理人案號為9308-016P的美國臨時專利申請案中得以更充分描述，且其藉此以全文引用之方式併入本文中。

在一些實施例中，藉由已知技術(例如電子束物理氣相沈積)來在奈米線之LED陣列上沈積絕緣材料，其中絕緣材料之來源與LED陣列s

成一定角度，其中該角度可基於奈米線LED陣列中奈米線之端部上所需沈積程度與側壁上所需沈積程度相比來進行選擇。LED陣列在沈積期間旋轉。由於絕緣材料之低角度及奈米線形狀之性質，僅塗佈所有奈米線之端部、一組奈米線之外環、及開放領域(無奈米線)。內部奈米線中之奈米線的側壁(長邊)在傾斜沈積期間「受遮蔽」。絕緣體在端部及(視沈積角度而定)奈米線之一部分側壁但並非奈米線之所有側壁上充當非導電層或導電性極低層。在沈積期間藉由絕緣體來源與奈米線LED陣列之間的角度來確定保持不含絕緣體的內部奈米線側壁之一部分。

在一些實施例中，藉由如本文中所描述之已知技術將能夠改變LED表面之特性的材料(例如用於降低導電性之 H_2^+)導引至奈米線之LED陣列處，其中材料之來源與LED陣列成一定角度，其中該角度可基於需要在奈米線LED陣列中分離之奈米線所需部分來進行選擇。LED陣列在將材料自其來源定向傳遞至陣列處期間旋轉。由於材料之低角度及奈米線形狀之性質，僅改變所有奈米線端部之表面、一組奈米線之外環的表面、及開放領域(在一或多側無最接近之相鄰者的奈米線)之表面。內部奈米線中之奈米線的側壁(長邊)在傾斜導引材料期間「受遮蔽」。材料改變奈米線LED結構之經選定表面的特性，例如 H_2^+ 與p-GaN層之表面相互作用以使其導電性更低。在將材料導引至LED陣列處期間，藉由材料來源與奈米線LED陣列之間的角度來確定保持未改變的內部奈米線側壁之一部分。

在奈米技術之領域中，奈米線通常解釋為橫向尺寸(例如圓柱形奈米線之直徑，或稜錐形或六角形奈米線之寬度)為奈米級或奈米尺寸，而其縱向尺寸不受約束的奈米結構。該等奈米結構通常亦稱為奈米鬚、一維奈米元件、奈米棒、奈米管等。一般而言，具有多角形橫截面之奈米線視為至少二維中之每一者均不大於300 nm。然而，奈米

線之直徑或寬度可高達約1微米。奈米線之一維性質提供獨特物理、光學及電子特性。此等特性可例如用於形成利用量子機械效應(例如使用量子線)之器件，或用於形成組成不同且因晶格失配較大而通常無法組合之材料的異質結構。如術語奈米線所暗示，一維性質常常與細長形狀相關。換言之，「一維」係指寬度或直徑小於1微米且長度大於1微米。因為奈米線可具有各種橫截面形狀，直徑意欲指有效直徑。有效直徑意謂結構橫截面之長軸與短軸的平均值。儘管在圖式中顯示奈米元件為柱狀且基於奈米線核心，亦即差不多「一維」核心，但應注意核心亦可具有其他幾何結構，諸如具有各種多角形(諸如正方形、六角形、八角形等)基底之稜錐。因此，如本文中所使用，核心可包含寬度或直徑小於1微米且長度大於1微米的任何適合之奈米元件，且可包含單一結構或多組分結構。舉例而言，核心可包含一種導電性類型之半導體奈米線，或其可包含由一或多個相同導電性類型之半導體殼層包圍且核心具有柱形或稜錐形的一種導電性類型之半導體奈米線。為簡單起見，下文描述且在圖式中展示單一組分奈米線柱核心。

對上部、之上、下部、向下等之所有參考均視為基板在底部而奈米線自基板向上延伸。垂直係指與奈米線之更長延伸部平行的方向，而水平係指與由基板形成之平面平行的方向。此命名法僅為易於理解而引入，而不應視為特定組裝方向等之限制。

在本發明之方法中，在該方法之一或多個步驟中，將材料傾斜導引至奈米線LED陣列處，用以選擇性地改變結構中某些奈米線之某些部分的特性，同時保留其他部分未改變，例如改變奈米線端部之特性以使其導電性更低，同時保留奈米線之部分或全部側壁的導電性不變或實質上不變。如本文中更充分描述，導引至奈米線陣列處之材料可為例如絕緣體，或例如改變奈米線經選定表面之特徵的材料。端部

但非側壁的導電性之改變(例如導電性降低)提供端部中之更少洩漏及自奈米線LED顯示器之更優越光產生。在某些實施例中，如本文中更充分描述，雷射剝蝕奈米線顯示器經選定之部分亦可用於產生所需結果。

在本發明之方法中可使用如此項技術中已知的任何適合之奈米線LED結構。

奈米線LED通常基於一或多個pn或p-i-n接面。pn接面與p-i-n接面之間的差異為後者具有更寬作用區。更寬作用區在i區中重組之機率更高。各奈米線包含第一導電性類型(例如n型)奈米線核心及封閉之第二導電性類型(例如p型)殼層以用於形成pn或pin接面，該接面在操作中為光產生提供作用區。當本文中將第一導電性類型之核心描述為n型半導體核心且本文中將第二導電性類型之殼層描述為p型半導體殼層時，應理解其導電性類型可顛倒。

圖3示意性地展示根據本發明之一些實施例改質的奈米線LED結構之基底。原則上，單根奈米線足以形成奈米線LED，但歸因於較小尺寸，奈米線較佳以包含數百、數千、數萬或以上奈米線並排之陣列的形式進行配置以形成LED結構。為達成說明之目的，本文中將個別奈米線LED器件描述為由具有n型奈米線核心2及至少部分封閉奈米線核心2之p型殼層3與中間作用層4的奈米線1製成。然而，出於本發明之實施例的目的，奈米線LED不限於此。舉例而言，奈米線核心2、作用層4及p型殼層3可由多個層或片段製成。藉由控制生長條件，LED之最終幾何結構可在細長且窄之「柱結構」至基底相對較寬之稜錐結構的範圍內。

在替代實施例中，僅核心2可包含寬度或直徑在1微米以下之奈米結構或奈米線，而殼層3之寬度或直徑可在一微米以上。

對奈米線製造而言，III-V族半導體歸因於其促進高速且低功率

電子元件之特性而尤其受關注。奈米線可包含任何半導體材料，且適合於奈米線之材料包括(但不限於)GaAs (p)、InAs、Ge、ZnO、InN、GaInN、GaN、AlGaInN、BN、InP、InAsP、GaInP、InGaP:Si、InGaP:Zn、GaInAs、AlInP、GaAlInP、GaAlInAsP、GaInSb、InSb、Si。對GaP之可能供體摻雜劑為Si、Sn、Te、Se、S等，而對相同材料之受體摻雜劑為Zn、Fe、Mg、Be、Cd等。應注意奈米線技術使得使用諸如GaN、InN及AlN之氮化物成為可能，其促進製造發射處於由習知技術無法容易進入之波長區中之光的LED。受特定商業關注之其他組合包括(但不限於)GaAs、GaInP、GaAlInP、GaP系統。典型摻雜量在 10^{18} 至 10^{20} 之範圍內。熟習此項技術者熟悉此等及其他材料，且意識到其他材料及材料組合為可能的。

用於奈米線LED之較佳材料為III-V族半導體，諸如III族氮化物半導體(例如GaN、AlInGaN、AlGaN及InGaN等)或其他半導體(例如InP、GaAs)。為充當LED，各奈米線1之n側與p側必須接觸，且本發明提供與使LED結構中奈米線之n側與p側接觸相關的方法及結構。

儘管本文中所描述之例示性製造方法較佳利用奈米線核心來在核心上生長半導體殼層以形成核-殼型奈米線，如在例如Seifert等人之美國專利第7,829,443號中所述，其中奈米線製造方法之教示以引用之方式併入本文中，但應注意本發明不限於此。舉例而言，在替代實施例中，僅核心可構成奈米結構(例如奈米線)，而殼層之尺寸可視情況大於典型奈米線殼層。此外，器件可成形為包括許多刻面，且不同類型刻面之間的面積比率可受控制。此在圖式中由「稜錐」刻面與垂直側壁刻面例示。LED可經製造以使得模板上形成之發射層主要具有稜錐刻面或側壁刻面。與發射層之形狀無關，接觸層亦如此。

使用連續層(例如殼層)可導致最終個別器件(例如pn或pin器件)具有介於稜錐形(亦即在頂部或端部較窄而在底部較寬)與柱形(例如在端

部與底部寬度大致相同)之間的形狀，且具有與器件之長軸垂直的圓形或六角形或其他多角形橫截面。因此，具有完整殼層之個別器件可具有各種尺寸。舉例而言，尺寸可變化，其中底部寬度在100 nm至若干(例如5) μm 之範圍內，諸如100 nm至1微米以下，而高度在幾百nm至若干(例如10) μm 之範圍內。

圖4展示為奈米線提供支撐物的例示性結構。藉由視情況使用生長遮罩或介電遮蔽層6 (例如氮化物層，諸如氮化矽介電遮蔽層)在生長基板5上生長奈米線1來界定奈米線1之位置且確定其底部界面區域，基板5至少在加工期間充當自基板5突出之奈米線1的載體。奈米線之底部界面區域包含在介電遮蔽層6中各開口內部的核心2之區域。基板5可包含不同材料，諸如III-V族或II-VI族半導體，Si、Ge、 Al_2O_3 、SiC、石英、玻璃等，如在瑞典專利申請案SE 1050700-2 (轉讓給GLO AB)中所論述，其以全文引用之方式併入本文中。用於基板的其他適合之材料包括(但不限於)：GaAs、GaP、GaP:Zn、GaAs、InAs、InP、GaN、GaSb、ZnO、InSb、SOI (絕緣體上之矽)、CdS、ZnSe、CdTe。在一個實施例中，奈米線1直接生長於生長基板5上。

在其中使用介電遮蔽層(生長遮罩)的實施例中，生長遮罩6可由光微影術圖案化以界定用於奈米線生長之開口，如在例如美國專利第7,829,443號中所描述，其以全文引用之方式併入本文中。在此實施例中，奈米線按n襯墊區域、非作用區域、LED區域(亦即發光區域)及p襯墊區域進行分組。然而，本發明之實施例不限於此。舉例而言，p襯墊區域可配置於形成奈米線LED結構發光部分之奈米線之上，此處p襯墊區域與LED區域重合，如在由Konsek等人於2010年2月4日公開之PCT國際申請公開案第WO 2010/014032 A1號中所描述，且其以全文引用之方式併入本文中。

基板5較佳亦適於充當連接至各奈米線1之n側上的電流輸送層。

如圖4中所示，此可藉由具有基板5來實現，該基板5包含配置於基板5面向奈米線1之表面上之緩衝層7，例如III族氮化物層，諸如Si基板5上之Ga_N及/或AlGa_N緩衝層7。緩衝層7通常與所需奈米線材料匹配，且因此在製造過程中充當生長模板。對n型核心2而言，緩衝層7較佳亦為經摻雜之n型。緩衝層7可包含單層(例如Ga_N)、若干次層(例如Ga_N及AlGa_N)或梯度層，該梯度層自高Al含量之AlGa_N向較低Al含量之AlGa_N或Ga_N形成梯度。奈米線可包含任何半導體材料，但對奈米線LED而言，III-V族半導體，諸如III族氮化物半導體(例如Ga_N、AlInGa_N、AlGa_N及InGa_N等)或其他半導體(例如InP、GaAs)通常較佳。奈米線之生長可藉由利用在美國專利第7,396,696號、第7,335,908號及第7,829,443號與WO201014032、WO2008048704及WO2007102781中所描述之方法來達成，其全部以全文引用之方式併入本文中。

應注意奈米線1可包含若干不同材料(例如Ga_N核心、InGa_N作用層及In與Ga之比率與作用層不同的InGa_N殼層)。一般而言，基板5及/或緩衝層7在本文中稱為奈米線之支撐物或支撐層。在某些實施例中，代替基板5及/或緩衝層7或除基板5及/或緩衝層7之外，可使用導電層(例如鏡面或透明接觸)作為支撐物。因此，術語「支撐層」或「支撐物」可包括此等元件中之任一或多者。

使用連續層(例如殼層)使得最終個別器件(例如pn或pin器件)具有介於稜錐形或楔形(亦即在頂部或端部較窄而在底部較寬)與柱形(例如在端部與底部寬度大致相同)之間的形狀，且具有與器件之長軸垂直的圓形或六角形或其他多角形橫截面。因此，具有完整殼層之個別器件可具有各種尺寸。舉例而言，尺寸可變化，其中底部寬度在100 nm至若干(例如5) μm之範圍內，諸如100 nm至1微米以下，而高度在幾百nm至若干(例如10) μm之範圍內。緩衝層7提供用於接觸奈米線1之n_S

側的結構。LED結構之例示性實施例的以上描述將充當本發明之方法及結構的描述的基礎；然而，應瞭解在不背離本發明之情況下，在該等方法及結構中亦可用熟習此項技術者顯而易見的任何必需之修改來使用任何適合之奈米線LED結構或其他適合之奈米線結構。

在某些實施例中，本發明提供處理奈米線LED結構以選擇性地改變結構之部分的特徵的方法。

在某些實施例中，本發明提供一種處理LED結構之方法，該LED結構包含平坦支撐物上之奈米線陣列，該方法包含在來源處產生物質且使其沿線路移動至陣列處，其中(i)在自支撐物之中心量測時，在物質所遵循的線路與支撐物平面之間的角度小於 90° ；且(ii)與由該物質處理之前相比，該物質能夠使奈米線之一部分不導電或導電性更低。LED結構通常繞一個軸或若干軸旋轉以使結構之不同部分暴露於來源處所產生之物質中；在此等情況下，支撐物之中心視為旋轉軸與支撐物之交叉點。

在某些此等實施例中，物質為絕緣體，且藉由塗佈奈米線之部分來使該部分不導電或導電性更低。適合用作絕緣體之介電材料包括 Al_2O_3 、 iZnO 、 SiO_2 、 TiO_2 、 SiN 及 HfO_2 。在某些實施例中，物質為 Al_2O_3 。

在某些此等實施例中，物質與奈米線之部分反應，以使該部分不導電或導電性更低；舉例而言，在某些實施例中，物質包含 H_2^+ 。

角度可為實現使LED結構之所需部分導電性更低的任何適合之角度。在某些實施例中，選擇角度以保留奈米線之部分未暴露於物質中，使得其不由物質改變。角度可為例如小於 80° 、 70° 、 60° 、 50° 、 45° 、 40° 、 30° 、 25° 、 20° 、 15° 、 10° 或 5° 。在某些實施例中，角度小於 45° 。在某些實施例中，角度小於 30° 。在某些實施例中，角度小於 25° 。在某些實施例中，角度小於 20° ，諸如 15° 。在某些實施例中，角度

在1與85度之間，諸如在2與60度之間，例如在5與50度之間，諸如在5與35度之間。

在某些實施例中，藉由物理氣相沈積(PVD)，諸如藉由電子束蒸發，或諸如藉由濺鍍沈積或原子層沈積(ALD)來自來源產生物質(諸如絕緣物質)及使該物質移動至LED結構之奈米線處。

奈米線可包含端部及側壁，且陣列可包含邊緣奈米線及中央奈米線；且在該等實施例中，某些實施例中之角度使得中央奈米線在端部及沿其側壁之一部分但並非所有側壁處不導電。舉例而言，該方法可包含沈積 Al_2O_3 ，且其中奈米線之端部上的 Al_2O_3 之厚度在50與200 nm之間。在某些實施例中，奈米線包含第一導電性類型奈米線核心及第二導電性類型奈米線殼層，例如第一導電性類型半導體奈米線核心由第二導電性類型半導體殼層封閉以形成pn或pin接面，該接面在操作中為光產生提供作用區。第一導電性類型可包含n型，而第二導電性類型可包含p型。在某些實施例中，支撐物包含諸如氮化鎵或氮化鋁鎵中之至少一者之n型緩衝層，在產生奈米線之陣列期間奈米線核心自該緩衝層生長。在某些實施例中，支撐物進一步包含介電遮蔽層，使得核心通過遮蔽層中之開口而自緩衝層突出，且殼層定位於遮蔽層上。支撐物可進一步包含緩衝層下方之基板層，諸如包含 Al_2O_3 之基板層。在某些實施例中，支撐層進一步包含反射層，諸如包含Ag之層。

在某些實施例中，該方法進一步包含例如藉由用雷射剝蝕移除上方層來暴露LED結構之第一區中的緩衝層。n電極可與暴露之緩衝層接觸形成，而p電極與未暴露於物質中的奈米線之側壁接觸。此可如本文中所描述來進行，例如藉由用雷射剝蝕暴露緩衝層，隨後在緩衝層上鋪設接觸以形成n電極，該接觸包括例如Al、Ti及Au或任何其他適合之金屬或透明導電氧化物；對p電極而言，可將類似之金屬層

鋪設在導電層上方，該導電層與奈米線側壁上之p-GaN殼層接觸。

絕緣材料之傾斜沈積可藉由任何適合之技術來實現。在某些實施例中，沈積藉由電子束蒸發來進行。 H_2^+ 植入物亦可藉由此項技術中已知之方法(諸如離子植入)來實現，參見例如Appl. Phys. Lett., 73,1877(1998)；Appl. Phys. Lett. 69(1879 (1996)；及J. Appl. Phys. 78,3008(1995)，其全部以全文引用之方式併入本文中。離子植入為其中將高能帶電原子或分子直接引入至基板中的過程。植入導致原子或分子出現在基板之表面以下。

在顯示於圖5A-5C中的一個例示性實施例中，在LED結構(諸如在圖5A中顯示之結構)上進行以下步驟。LED結構8包括配置於支撐物上之複數個奈米線1 (諸如楔形奈米線)，其中奈米線包含經組態以形成pn或pin接面的第一導電性類型半導體核心2 (在圖5A中未示出)及第二導電性類型殼層3，該接面在操作中為光產生提供作用區(在圖3及圖4中顯示之中間作用層4，在圖5A中未示出)。固體支撐物包括底部基板層5、與奈米線核心2電接觸之緩衝層7 (例如nGaN)、及使奈米線殼層3與緩衝層絕緣之介電遮蔽層6 (圖4中之奈米線核心2、介電遮蔽層6及奈米線殼層3，在圖5A中未示出)。在圖5A中亦顯示支撐物上視情況選用之中間層501，包含uGaN，亦即未摻雜之GaN。此未摻雜之GaN層降低奈米線中晶體缺陷之密度。

圖5B展示在奈米線LED結構上傾斜沈積絕緣材料的一般方案；顯示 Al_2O_3 作為絕緣體，但可使用任何適合之絕緣體，諸如介電材料，諸如iZnO、 SiO_2 、SiN、 HfO_2 、 TiO_2 及其類似物。奈米線LED結構固持於適當位置，使得支撐物處在如所示之平面中，且奈米線1面向該平面並與之垂直。奈米線LED結構可視為具有外部奈米線及內部奈米線，其中外部奈米線為奈米線LED結構中最後一列之奈米線。定位絕緣材料之來源9 (例如 Al_2O_3)，使得該來源與奈米線LED結構之平

面成角度 α ，其中 α 量測為自絕緣材料來源之中心至LED結構之中心的線路與奈米線LED結構的平面之間的角度。若LED結構之形狀不規則，則中心視為旋轉軸與LED結構之平面交叉處的點(參見以下)。旋轉軸可或可不與基板8之中心重合。亦可存在多個旋轉軸。例如藉由電子束蒸發或其他適合之技術(例如濺鍍沈積)來向絕緣材料之來源供應能量，以使材料之分子或部分進入氣相。絕緣材料之分子或其他不連續單元自來源材料移出，且與奈米線LED結構交叉之彼等沈積於奈米線1之端部及側壁上。奈米線LED結構繞其中心旋轉，同時沈積發生在與LED結構在交叉點10處交叉的軸上。外部奈米線之側壁可經完全塗佈，但內部奈米線之沈積受遮蔽且內部奈米線之側壁經部分塗佈，經塗佈之奈米線部分由角度 α 確定；一般而言， α 愈小，經塗佈之內部奈米線側壁愈少。奈米線LED結構可包括開放空隙或經分離之奈米線，且在此等情況下，視開放空隙之尺寸或分離程度及角度 α 而定，開放空隙邊緣上之奈米線或經分離之奈米線的側壁之部分或全部可經塗佈。

進一步加工(諸如雷射剝蝕、鋪設接觸及其類似加工)可例如按同一日期申請之名為 Nanowire LED structure and method for manufacturing the same 且代理人案號為9308-016P的美國臨時專利申請案中進行，且其藉此以全文引用之方式併入本文中。例示性最後結果顯示在圖5C中。在此情況下，在傾斜沈積絕緣層503 (例如 Al_2O_3)之後，藉由任何適合之方法(例如濺鍍沈積)來在結構上方沈積透明導電氧化物(TCO) 505 (諸如ITO)，以使之與未經絕緣材料塗佈的奈米線之p-GaN側壁電接觸且提供p電極。進行雷射剝蝕以在某些區域中暴露nGaN緩衝層7，且在經暴露之緩衝層7上鋪設N金屬接觸507以提供n電極。在TCO層505上形成P金屬接觸905。奈米線上方之絕緣層503 (圖5C中之 Al_2O_3 絕緣體)起防止通過奈米線端部之漏電或使之大幅降低的⁵

作用，以將電流導引至側壁經暴露之區域。

圖9為本發明之方法的實施例的另一個示意性描述，其中使用雷射剝蝕以產生p接觸區域，且用 Al_2O_3 使奈米線端部絕緣。藉由雷射剝蝕來移除一組奈米線1，以形成P側接觸區域901（圖9，步驟1），繼而在P側接觸區域901及奈米線1之頂部上方但不在奈米線1之間傾斜沈積絕緣材料503（例如 Al_2O_3 ）（步驟2）。隨後在整個器件上方（包括在步驟3中，在奈米線之間）形成ITO或另一個P側電極材料505。隨後，藉由剝蝕ITO層505、絕緣材料503、奈米線1及遮蔽層6以暴露n型緩衝層7來形成N側接觸區域903（步驟4）。隨後分別在N側及P側接觸區域903及901上，藉由揭去或金屬沈積及光微影術圖案化來形成N側及P側接觸507及905。

圖11及圖12為本發明之方法1100及1200的兩個實施例的程序流程圖。方法1100及1200兩者均可包括形成如圖3-5A中所示之奈米線LED結構（例如圖11中之方框1101-1111及圖12中之方框1201-1211）、用 Al_2O_3 使奈米線之端部絕緣（例如圖11中之方框1113及圖12中之方框1217）及沈積ITO（例如圖11中方框1115及圖12中之方框1213）。在圖11中，方法1100進一步包括用 Al_2O_3 使奈米線之端部絕緣（方框1113）及沈積ITO（方框1115）。方法1100亦包括乾式蝕刻過程以分別形成N側及P側金屬接觸，其包括沈積第一光阻層及藉由光微影術來圖案化該層，以界定N側接觸區域及器件之區域（亦即「台面」）（方框1117）；乾式蝕刻以移除奈米線且暴露N側接觸區域中之n型緩衝層，以及分離器件（亦即「台面」蝕刻）（方框1119）；沈積第二光阻層及藉由光微影術來圖案化該層，以界定N及P側金屬接觸區域（方框1121）；藉由蒸發來沈積用於金屬接觸之材料（例如Al/Ti/Au）（方框1123）；及揭去金屬及光阻劑，在各別接觸區域中保留N及P側金屬接觸（方框1125）。在圖12中，方法1200包括沈積ITO（方框1213）；雷射剝蝕台面及未來之n及p

接觸區域(方框1215)；藉由傾斜蒸發來沈積 Al_2O_3 (方框1217)；沈積光阻層及藉由光微影術來圖案化該層，以界定N及P側金屬接觸區域(方框1219)；藉由蒸發來沈積用於金屬接觸之材料(例如Al/Ti/Au) (方框1221)；及揭去金屬及光阻劑，在各別接觸區域中保留N及P側金屬接觸(方框1223)。可合併顯示在圖11及圖12中的一些步驟。

在顯示於圖6A-F中之另一個例示性實施例中，使用 H_2^+ 植入物來在奈米線LED結構中改質奈米線之部分，且在進一步加工中使用雷射剝蝕來提供接觸。如圖6A中所示，LED結構8包括配置於支撐物上之複數個奈米線1 (諸如楔形奈米線)，其中奈米線包含經組態以形成pn或pin接面的第一導電性類型半導體核心2 (在圖6A中未示出)及第二導電性類型殼層3，該接面在操作中為光產生提供作用區(圖3及圖4中之中間作用層4，在圖6A中未示出)。固體支撐物包括底部基板層5 (在圖6A-F中未示出)、與奈米線核心2電接觸之緩衝層7、及使奈米線殼層3與緩衝層7絕緣之介電遮蔽層6。如圖5A中所示，在支撐物5上可提供視情況選用之中間層(例如uGaN)。此未摻雜之uGaN層降低奈米線中晶體缺陷之密度。晶體缺陷減少由LED產生之光的量。

如圖6B中所示，可藉由雷射剝蝕來暴露奈米線LED結構之選擇性區域。在此實施例中，奈米線1及視情況選用之所有或一些遮蔽層6可經移除以暴露n-GaN緩衝層7。在其他實施例中，如圖6B中所示，奈米線1可經移除以暴露遮蔽層6，且由遮蔽層6來暴露n型緩衝層7之部分。雷射剝蝕可界定p側接觸區域601。雷射剝蝕在2012年10月26日申請之名為「Nanowire LED Structure and Method for Manufacturing the Same」且代理人案號為9308-016P的美國臨時專利申請案61/719,108中得以更充分描述，且其藉此以全文引用之方式併入本文中。

隨後如圖6C中所示進行傾斜 H_2^+ 植入。原理與上文所論述的絕緣⁵

材料之沈積相同，但在氫植入之情況下，將 H_2^+ 離子導引至晶圓。氫氣分子或原子在基板中植入深度較淺，該深度由植入物之能量及物質衝擊表面之角度控制。如此項技術中已知，氫氣使半導體中的主動受體及或供體摻雜劑鈍化，因此使之導電性更低或不導電。由雷射剝蝕暴露之n-GaN緩衝層及奈米線之p-GaN端部及側壁之部分兩者均由暴露於 H_2^+ 中而鈍化，使之導電性更低或不導電，如圖6C中陰影區域602示意性地指示。如同絕緣材料之傾斜沈積一樣，內部奈米線側壁暴露於氫植入物中之部分視角度 α 而定；外部奈米線側壁可完全暴露。

圖6D展示沈積TCO層505（例如ITO）以提供與內部奈米線暴露之側壁的p-GaN的電連接；其他地方（在奈米線之端部及在前述步驟中由雷射剝蝕暴露之n-GaN緩衝層7的區域上）與TCO之電連接均由鈍化層602阻斷。隨後藉由任何適合之方法，諸如雷射剝蝕或如圖6E中所示之乾式蝕刻（光微影術及乾式蝕刻），來在經選定之n側接觸區域603中重新暴露n-GaN緩衝層7。器件之尺寸由在圖6E中顯示之步驟限定，雖然僅顯示一個器件，但在晶圓上可存在數百或數千個器件。它們藉由此蝕刻（稱為台面蝕刻）而與彼此分離。自區域603移除TCO層505、奈米線1、遮蔽層6及任何氫植入區602，以暴露導電性n-GaN緩衝層7。

為形成p接觸905及n接觸507，如圖6F中所示，在光微影術之後進行金屬沈積，隨後揭去光阻劑。例示性金屬沈積堆疊為Al/Ti/Au，其中Al與n-GaN接觸（n接觸）或與TCO（例如ITO）接觸（p接觸）。

應瞭解在以上實施例中，傾斜沈積絕緣材料可取代傾斜暴露於氫植入物中，且反之亦然。

奈米線LED意欲例如通過p電極而自奈米線之側面、奈米線之頂部發光，或例如通過支撐層（例如通過導電層及/或緩衝層及/或基板）而自奈米線之底部發光，且此必須在選擇接觸材料時加以考慮。如本

文中所使用，術語光發射包括可見光(例如藍色或紫色光)以及UV或IR輻射兩者。對頂發射奈米線LED而言，如其中沿自奈米線底部至端部的方向獲取光的以上實例中所描述，頂部接觸材料應為透明的，例如ITO或極薄金屬。如下所述之反射層(諸如銀或鋁)可構成支撐物之一部分。在底發射奈米線LED之情況下，頂部接觸材料可為如下所述之反射層，如銀或鋁。一般而言，構造底發射奈米結構需要在個別發光奈米元件之頂部處或接近(亦即鄰近)其頂部處提供反射結構(諸如鏡面)，以反向導引發射光通過器件之緩衝層。底發射電極在2011年6月17日申請之美國專利公開案第2011/0309382號及2011年6月17日申請之PCT申請案第PCT/US11/40932號中進一步描述，該兩者均以引用全文之方式併入本文中。

在金屬中，銀在光譜之可見區中反射係數最佳，但若不密封，則在正常氛圍中更易於展現腐蝕損壞。可使用 Si_3N_4 、 SiO_2 、 Al_2O_3 或任何其他穩定介電質作為罩蓋層。鋁在可見區中之反射係數略微低於銀，但在乾燥大氣環境中展現極好耐腐蝕性。為改良器件可靠性，仍可能需要另外之如上文所描述覆蓋反射層之介電罩蓋層。在透明頂部接觸層之情況下，可使用如所描述之氧化銦錫(ITO)或具有高導電性及透射率的其他透明化合物(如導電氧化鋅)或高度摻雜之半導體。

儘管本發明在改變奈米線LED之經選定部分的特性方面進行描述，但應瞭解其他基於奈米線之半導體器件，諸如場效電晶體、二極體及尤其涉及光吸收或光產生之器件，諸如光偵測器、太陽能電池、雷射等，可以相同方式接觸，且尤其傾斜改變方法可在任何奈米線結構上實施。

在一個實施例中，使用電漿來損壞端部，該電漿可為各種適合之物質，諸如Ar或 O_2 。將電漿導引至奈米線之端部上，同時線之底部由保護層(諸如光阻劑)覆蓋。因為奈米線端部由電漿損壞，所以電流

優先通過側壁。此使得m平面先於端部上之p平面發光。

在一個實施例中，使用 Ar^+ 進行處理以增加p型GaN之電阻率及接觸電阻。藉由將p型GaN暴露於高能 Ar^+ 離子中，增加GaN之薄層電阻。在經 Ar^+ 處理之pGaN表面上的ITO與pGaN之接觸電阻與未經處理之彼等相比亦增加。pGaN薄層電阻及/或接觸電阻之增加足以降低在pGaN中起始之漏電流。將含有奈米線之晶圓置放在含有壓力為100毫托之氬氣的腔室中，且用100瓦之功率衝擊電漿， Ar 離子轟擊奈米線之端部(p平面)，以及奈米線之間的空隙。奈米線之端部中pGaN膜最薄(約5 nm)，因此其所接受之損壞最多，而m平面側壁中之pGaN厚得多(> 100 nm)，因此僅偶爾接受離子，對m平面側壁產生最低限度之損壞。

圖10為本發明之方法的一個實施例的示意圖，其中用 Ar^+ 處理奈米線端部。圖10A展示如上文所描述之複數個奈米線1。如圖10B中所示，可視情況在奈米線1上方(例如藉由旋塗、暴露及顯影光阻劑)形成光阻層1001至暴露奈米線1之端部的高度，但保留奈米線側壁上之光阻劑以保護其不受後續電漿處理(例如 Ar^+ 處理)影響。在圖10C中，將奈米線1暴露於高能 Ar^+ 離子中，該高能 Ar^+ 離子選擇性地損壞奈米線1之端部，且相對於側壁增加端部之電阻。在圖10D中，可隨後剝除光阻層1001。如圖10E中所示，可在奈米線1上方沈積ITO層505，繼而進行光微影圖案化及蝕刻(圖10F)且分別如上文所描述形成各別P側及N側金屬接觸905及507(圖10G)。

在本發明之另一態樣中，移除GaN奈米線之端部。在一個較佳實施例中，選擇性地移除奈米線端部，而保留m平面側壁完整且不受干擾。此移除端部之技術可與介電質障壁(例如 Al_2O_3 膜)組合使用及/或藉由在氬氣中蝕刻以增加pGaN之接觸電阻及電阻率而使用。用於移除奈米線端部之方法的一個實施例描述於圖13A及13B中。圖14為一

組端部經含氯之蝕刻介質蝕刻之奈米線的SEM。

用於移除端部之方法的一個實施例如下：

1. 藉由雷射剝蝕或藉由遮蔽及蝕刻來自將來n及p襯墊區域1301移除奈米線1 (步驟1)。此防止在將來步驟中形成n至p短路，且使區域平坦化以用於將來引線接合。

2. 隨後，在晶圓上沈積介電質1303 (步驟2)。介電質1303可藉由旋塗法、化學氣相沈積或物理氣相沈積來沈積。較佳方法為玻璃(SiO_2)之旋塗沈積，亦稱為旋塗式玻璃法或SOG。在一個較佳實施例中，如在底部之平坦表面上所量測，奈米線之高度為約2.5 μm ，介電質之厚度為約1000-約6000 Å，最佳約3000 Å。

3. 隨後，將光阻劑之遮罩(未展示)施加至襯墊區域上，且藉由濕式或乾式蝕刻來在未遮蔽之區域1305中移除介電質1303(步驟3)。較佳為藉由稀氫氟酸(HF)之濕式蝕刻，以避免電漿損壞。雖然自奈米線端部及側壁移除介電質1303 (例如 SiO_2)，但較佳在奈米線1之底部保留一些 SiO_2 。當藉由旋塗法來沈積 SiO_2 時，側壁上之膜較薄，而底部之膜較厚。此使得短期HF蝕刻能夠自側壁移除膜，同時保留底部之較厚膜。可使用其他介電膜，諸如硼摻雜之 SiO_2 (BSG)、磷摻雜之 SiO_2 (PSG)、硼及磷摻雜之 SiO_2 (BPSG)、如Si-C-O-H之低k介電質、如 Al_2O_3 或 HfO_2 之高k膜、及其他適合之介電質。

4. 隨後沈積透明導電氧化物(TCO)膜505，諸如氧化銦錫(ITO) (步驟4)。亦可使用其他TCO膜，諸如鋁摻雜之氧化鋅。可藉由物理方法(諸如蒸發或濺鍍)、藉由CVD或藉由方法之組合來沈積膜。最佳藉由較佳不損壞pGaIn之濺鍍法來沈積。ITO膜之厚度可為約100 Å至約10,000 Å，最佳約8,000 Å。隨後在ITO 505之上沈積介電膜1307 (如 SiO_2)。介電質1307可藉由旋塗法、蒸發或濺鍍，或藉由CVD來沈積。最佳藉由旋塗法來沈積，在端部上產生薄膜，而在平坦之線底部

產生較厚膜。

5. 在下一步驟(步驟5)中，在晶圓上無遮罩之情況下，在氮氣電漿中乾式蝕刻晶圓。氮氣將蝕刻SiO₂、ITO及GaN。在三種膜中，GaN之蝕刻速率最快，產生在圖13A步驟5之程序流程圖中所顯示的概況，及圖14之SEM影像。歸因於蝕刻之各向異性，端部蝕刻比側壁更快。在圖13中之步驟4中所沈積的SiO₂ 1307保護側壁上之ITO 505不受蝕刻影響。在奈米線底部之較慢蝕刻速率及較厚膜確保在已藉由蝕刻移除GaN奈米線端部之後彼等膜仍保持。

6. 在下一步驟(步驟6，圖13B)中，使用標準微影術來用光阻劑遮蔽台面圖案，且在將來n接觸區域1309中及圍繞台面邊緣移除膜以界定及分離器件。

7. 隨後沈積介電質1311 (例如SOG)以鈍化器件之側壁及任何暴露的經部分蝕刻之奈米線1 (步驟7)。

8. 最後，使用標準光微影術來沈積覆蓋除n及p接觸區域1313及1315之外所有特徵的遮罩(例如抗蝕劑)。濕式或乾式蝕刻此等暴露之n及p接觸區域1313及1315，以自其中移除介電質1311，分別暴露nGaN緩衝層7及ITO 505 (步驟8)。隨後藉由蒸發來沈積由Al、Ti及Au組成之金屬接觸堆疊。隨後自晶圓揭去具有金屬之光阻劑遮罩，保留P金屬及N金屬接觸905及507 (步驟9)。

上述用於移除奈米線之端部的此方法可由熟習此項技術者適合地修改，且顯而易見，熟習此項技術者可以任何適合之次序(而非特定以上述次序)進行該等步驟。

本發明亦提供LED結構。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及該支撐物上之奈米線陣列，該支撐物包含n-GaN緩衝層及非導電基板層，其中奈米線包含由p-GaN殼層封閉之n-GaN核心，其中在該結構

中包含(i) n電極區，該n電極區包含與n-GaN緩衝層電接觸之金屬接觸；及(ii) p電極區，該p電極區包含(a)非導電層，該非導電層包含奈米線之端部及第一組奈米線之側壁的第一部分，但不包含第一組奈米線之側壁的第二部分，且視情況包含第二組奈米線之所有側壁，其中第一組奈米線在奈米線陣列內部而第二組奈米線在奈米線陣列之外部邊緣上；(b)導電層，該導電層與第一組奈米線之側壁的第二部分電接觸；及(c)金屬接觸，該金屬接觸與導電層電接觸。

在某些此等實施例中，非導電層包含在端部及側壁之部分之上的絕緣材料層，諸如包含 Al_2O_3 之層。在其他實施例中，非導電層包含p-GaN殼層經改質之部分，該部分已經改質以降低或消除其導電性。此可為例如已如本文中所描述藉由暴露於 H_2^+ 中而改質以使導電性更低的部分。

在某些實施例中，第一組奈米線之側壁的第一部分自奈米線之端部沿側壁向下延伸小於400 nm，諸如小於300 nm，例如200 nm或以下。在某些實施例中，第一組奈米線之第一部分延伸小於側壁長度之50%，例如小於40%，諸如小於30%或甚至小於20%。

在某些實施例中，金屬接觸包含一層Al、一層Ti及一層Au，諸如其中Al層與n電極中之n-GaN緩衝層及p電極中之導電層直接接觸。

儘管實施例已在改變LED奈米線之經選定部分的特性以使其導電性更低方面進行描述，但應瞭解可使用類似技術以使LED奈米線之某些部分導電性更高，例如可沈積導電材料以選擇性地接觸奈米線之端部。

詳言之，應強調儘管圖式展示具有柱狀幾何結構的實施例且基於奈米線核心(亦即「一維」核心)，但應理解核心可藉由改變生長條件而具有其他幾何結構，諸如稜錐形。此外，藉由改變生長條件，最終奈米元件可具有稜錐形，或介於柱狀與稜錐形之間的任何形狀。

實例

實例1. 藉由傾斜沈積來形成介電絕緣層

用 Al_2O_3 選擇性地塗佈奈米線LED結構以提供絕緣層。使用電子束蒸發物理氣相沈積，且設定角度 α 為 28° 。控制沈積以在奈米線側壁上達成約100 nm之厚度。如圖7A中所示，半分離之奈米線(亦即無最接近之相鄰者的奈米線)沿側壁向下展現 Al_2O_3 沈積；p平面上之沈積量測為102.3 nm。圖7B顯示密集特徵(亦即由其他奈米線包圍之內部奈米線)上之沈積。在此情況下，在奈米線之端部上沈積 Al_2O_3 ，且在奈米線側壁之下半部分無可見之 Al_2O_3 沈積。

此實例展示絕緣材料傾斜沈積可選擇性地塗佈內部奈米線端部，但不可塗佈側壁之一部分。

實例2. 沈積角度之尖銳度對側壁塗佈的影響

除設定角度 α 為 15° 之外，使用與實例1類似之條件。如圖8中所示，在密集特徵(內部奈米線)中， Al_2O_3 塗佈未延伸至低於端部拐角下方200 nm處以下，奈米線側壁一半位置的上方則塗佈較佳。

此實例展示控制沈積之角度可控制暴露於絕緣材料中的內部奈米線側壁之一部分，使得沈積發生在端部及側壁之經選定部分上，但保留大部分側壁不含絕緣材料。

實例3. pGaN上之 H_2^+ 植入物及對導電性之影響

構造在藍寶石基板之上包含p型GaN膜的平坦晶圓，其在兩個不同點處具有ITO接觸且跨該等接觸施加電壓，且量測電流。構造類似晶圓，其中在ITO接觸之前用 H_2^+ 植入pGaN，在一種情況下，植入條件為 $2.5 \times 10^{14}/\text{cm}^2$ 之劑量的30 keV H_2^+ ，而在另一種情況下，植入條件為 $5 \times 10^{14}/\text{cm}^2$ 之劑量的120 keV H_2^+ 。在經 H_2^+ 植入之晶圓中，與未經植入之對照晶圓相比，pGaN之導電性降低超過6個數量級。

本說明書中所引用之所有公開案及專利均以引用之方式併入本

文中，就如同特定地且單獨地指示各個別公開案或專利以引用之方式併入一般，且以引用之方式併入本文中以結合所引用之公開案來揭示及描述方法及/或材料。對任何公開案之引用係關於其在申請日期之前的揭示內容，且不應理解為承認本發明未被授權憑藉先前發明將該公開案之日期提前。此外，所提供之公開案的日期可能不同於可能需要獨立確認之實際公開案的日期。

【符號說明】

1	奈米線
2	n型奈米線核心/核心
3	p型殼層/殼層
4	中間作用層
5	生長基板/底部基板層/基板
6	介電遮蔽層/生長遮罩
7	緩衝層
8	LED結構
9	絕緣材料之來源
10	交叉點
10-10	m平面
10-11	p平面
100	奈米線LED/奈米線
101	n-GaN核心
103	n-GaN緩衝層
105	In-GaN中間層
107	GaN中間層
109	p-AlGaIn中間層
111	p-GaN外層

113	垂直側壁
115	圓錐形端部/端部
117	接觸
501	中間層
503	絕緣層/絕緣材料
505	透明導電氧化物/TCO層/ITO層/ITO
507	N金屬接觸/N側接觸/n接觸/N側金屬接觸
601	p側接觸區域
602	陰影區域/鈍化層/氫植入區
603	n側接觸區域
901	P側接觸區域
903	N側接觸區域
905	P金屬接觸/P側接觸/p接觸/P側金屬接觸
1001	光阻層
1100	方法
1200	方法
1301	n及p襯墊區域
1303	介電質
1305	未遮蔽之區域
1307	介電膜/介電質/SiO ₂
1309	n接觸區域
1311	介電質
1313	n接觸區域
1315	p接觸區域

申請專利範圍

1. 一種用一種物質處理LED結構之方法，該LED結構包含平坦支撐物上之奈米線陣列，該方法包含在來源處產生該物質及使其沿線路移動至該陣列處，其中：
 - (i)在自該支撐物之中心量測時，在該物質所遵循的線路與該支撐物平面之間的角度小於 90° ；且
 - (ii)與由該物質處理之前相比，該物質能夠使該等奈米線之一部分不導電或導電性更低。
2. 如請求項1之方法，其中該物質為絕緣體，且藉由塗佈該等奈米線之該部分來使該部分不導電或導電性更低。
3. 如請求項2之方法，其中該物質包含 SiO_2 、 Al_2O_3 、 SiN 、 TiO_2 、 HfO_2 或其組合或合金中之任一者。
4. 如請求項2之方法，其中該物質包含 SiO_2 、 SiCOH 、 SiN 或 TiO_2 。
5. 如請求項1之方法，其中該物質與該奈米線之該部分反應以使該部分不導電或導電性更低。
6. 如請求項2之方法，其中該物質包含原子 H^+ 或分子 H_2^+ 。
7. 如請求項6之方法，其中該 H_2^+ 物質之能量在5與250 keV之間。
8. 如請求項6之方法，其中該 H_2^+ 物質之能量在40與160 keV之間。
9. 如請求項6之方法，其中該 H_2^+ 物質之能量在2與125 keV之間。
10. 如請求項6之方法，其中該 H_2^+ 物質之能量在20與80 keV之間。
11. 如請求項6之方法，其中該 H_2^+ 或 H^+ 物質之量在 $1\text{e}12/\text{cm}^2$ 與 $5\text{e}15/\text{cm}^2$ 之間。
12. 如請求項6之方法，其中該 H_2^+ 或 H^+ 物質之量在 $1\text{e}13/\text{cm}^2$ 與 $1\text{e}15/\text{cm}^2$ 之間。
13. 如請求項2之方法，其中該物質包含 He^+ 、 N^+ 、 N_2^+ 或 Ar^+ 。

14. 如請求項1之方法，其中該角度小於45°。
15. 如請求項1之方法，其中該角度小於30°。
16. 如請求項1之方法，其中藉由物理氣相沈積來產生該物質且使其移動至該等奈米線處。
17. 如請求項16之方法，其中該PVD包含電子束沈積。
18. 如請求項16之方法，其中該PVD包含濺鍍沈積。
19. 如請求項1之方法，其中該等奈米線包含端部及側壁，且該陣列包含邊緣奈米線及中央奈米線，且其中該角度使得中央奈米線在該端部及沿其側壁之一部分但並非所有側壁處不導電。
20. 如請求項19之方法，其中該方法包含沈積 Al_2O_3 或任何其他介電質，且其中該等奈米線端部上該 Al_2O_3 之深度在50與200 nm之間。
21. 如請求項1之方法，其中該等奈米線包含第一導電性類型奈米線核心及第二導電性類型奈米線殼層。
22. 如請求項21之方法，其中該第一導電性類型半導體奈米線核心由該第二導電性類型半導體殼層封閉以形成pn或pin接面，該接面在操作中為光產生提供作用區。
23. 如請求項22之方法，其中該第一導電性類型包含n型，該第二導電性類型包含p型。
24. 如請求項23之方法，其中該支撐物包含n型緩衝層，在產生該奈米線陣列期間該奈米線核心自該緩衝層生長。
25. 如請求項24之方法，其中該緩衝層包含氮化鎵或氮化鋁鎵中之至少一者。
26. 如請求項24之方法，其中該支撐物進一步包含介電遮蔽層，使得核心通過該遮蔽層中之開口而自該緩衝層突出，且該等殼層定位於該遮蔽層上。

27. 如請求項26之方法，其中該支撐物進一步包含該緩衝層下方之基板層。
28. 如請求項27之方法，其中該基板層包含 Al_2O_3 。
29. 如請求項20之方法，其中該基板層包含 ZnO 。
30. 如請求項20之方法，其中該基板層包含 Si 。
31. 如請求項21之方法，其中該支撐層進一步包含反射層。
32. 如請求項31之方法，其中該反射層包含 Ag 。
33. 如請求項24之方法，其進一步包含暴露該LED結構之第一區中的該緩衝層。
34. 如請求項33之方法，其中該緩衝層係藉由雷射剝蝕來暴露。
35. 如請求項33之方法，其進一步包含形成與該暴露之緩衝層接觸的n電極及與未暴露於該物質中的該等奈米線之該等側壁接觸的p電極。
36. 一種LED結構，其包含支撐物及該支撐物上之奈米線陣列，該支撐物包含n-GaN緩衝層及非導電基板層，其中該等奈米線包含由p-GaN殼層封閉之n-GaN核心，其中在該結構中包含：
 - (i)n電極區，該n電極區包含與n-GaN緩衝層電接觸之金屬接觸；及
 - (ii)p電極區，該p電極區包含：
 - (a)非導電層，該非導電層包含該等奈米線之端部及第一組該等奈米線之側壁的第一部分，但不包含該第一組奈米線之側壁的第二部分；
 - (b)導電層，該導電層與該第一組奈米線之側壁的該第二部分電接觸；及
 - (c)金屬接觸，該金屬接觸與該導電層電接觸。
37. 如請求項36之LED結構，其中該非導電層包含第二組該等奈米線⁵

之所有側壁，其中該第一組奈米線在該奈米線陣列之內部，而該第二組奈米線在該奈米線陣列之外部邊緣上。

38. 如請求項36之LED結構，其中該非導電層包含在該端部及該等側壁之部分之上的絕緣材料層。
39. 如請求項36之LED結構，其中該非導電層包含 Al_2O_3 。
40. 如請求項36之LED結構，其中該非導電層包含該p-GaN殼層之經改質部分，其已經改質以降低或消除其導電性。
41. 如請求項36之LED結構，其中該第一組奈米線之該等側壁的該第一部分自該等奈米線之該端部沿該側壁向下延伸小於400 nm。
42. 如請求項36之LED結構，其中該金屬接觸包含一層Al、一層Ti及一層Au。
43. 如請求項36之LED結構，其中該金屬接觸包含一層Ti。
44. 如請求項36之LED結構，其中該金屬接觸包含一層Al。
45. 如請求項36之LED結構，其中該金屬接觸包含一層Au。
46. 如請求項42之LED結構，其中該Al層與該n電極中之該n-GaN緩衝層及該p電極中之該導電層直接接觸。

圖式

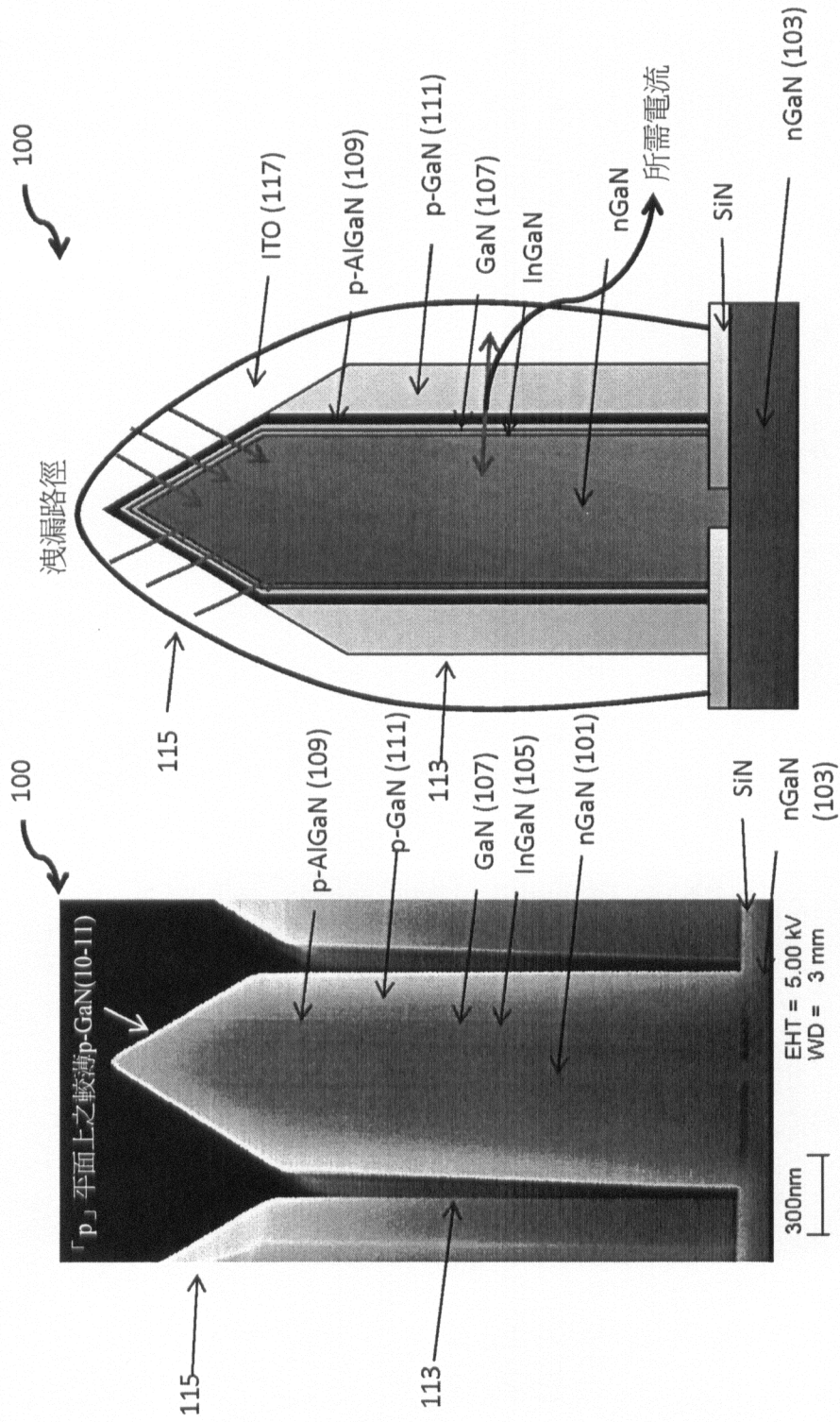
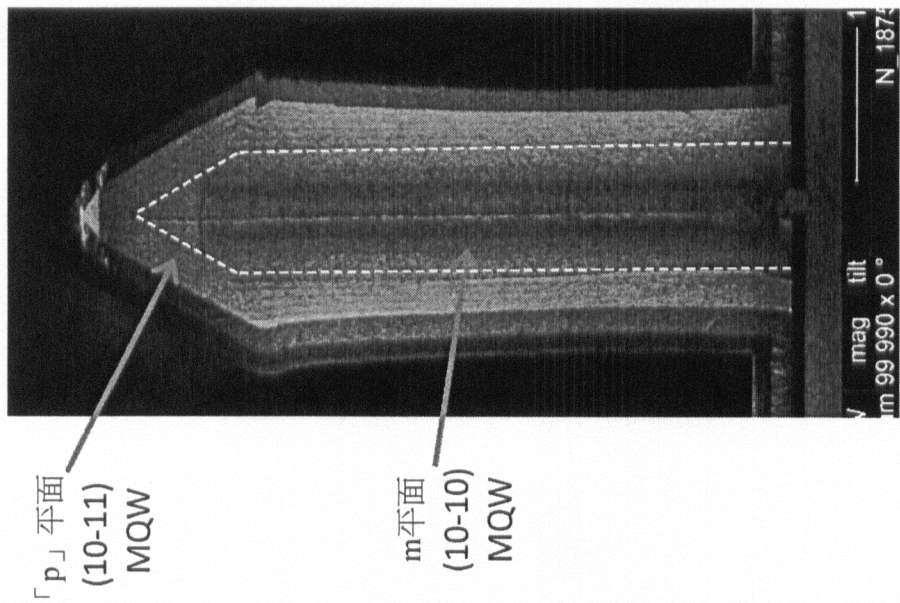


圖1A

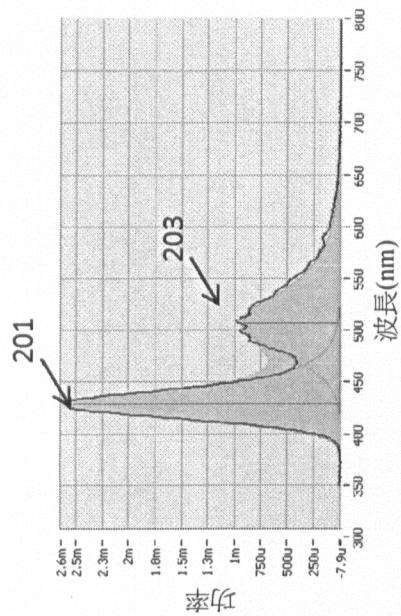
圖1B

圖1A

圖1B



橫截面SEM影像顯示m平面(10-10)及「p」平面(10-11)兩者上之量子井



顯示具有自m平面(10-10)之較短波長及自「p」平面(10-11)之較長波長的兩個峰(201、203)的電致發光譜

圖2

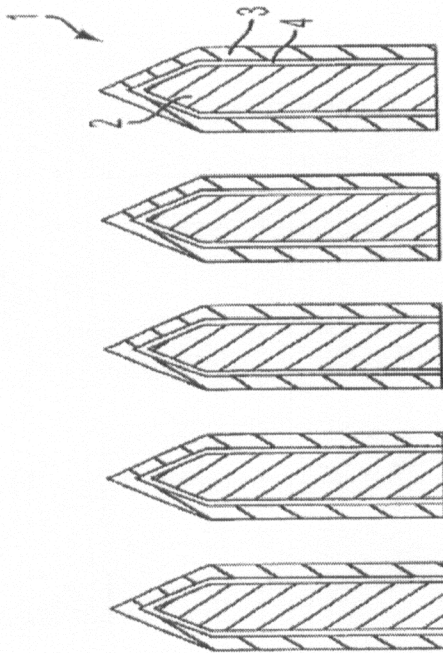


圖 3

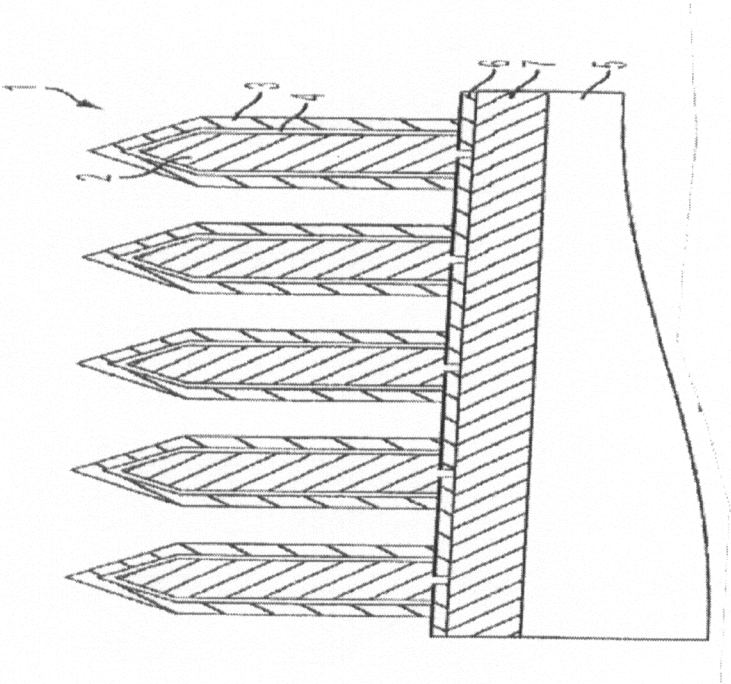


圖4

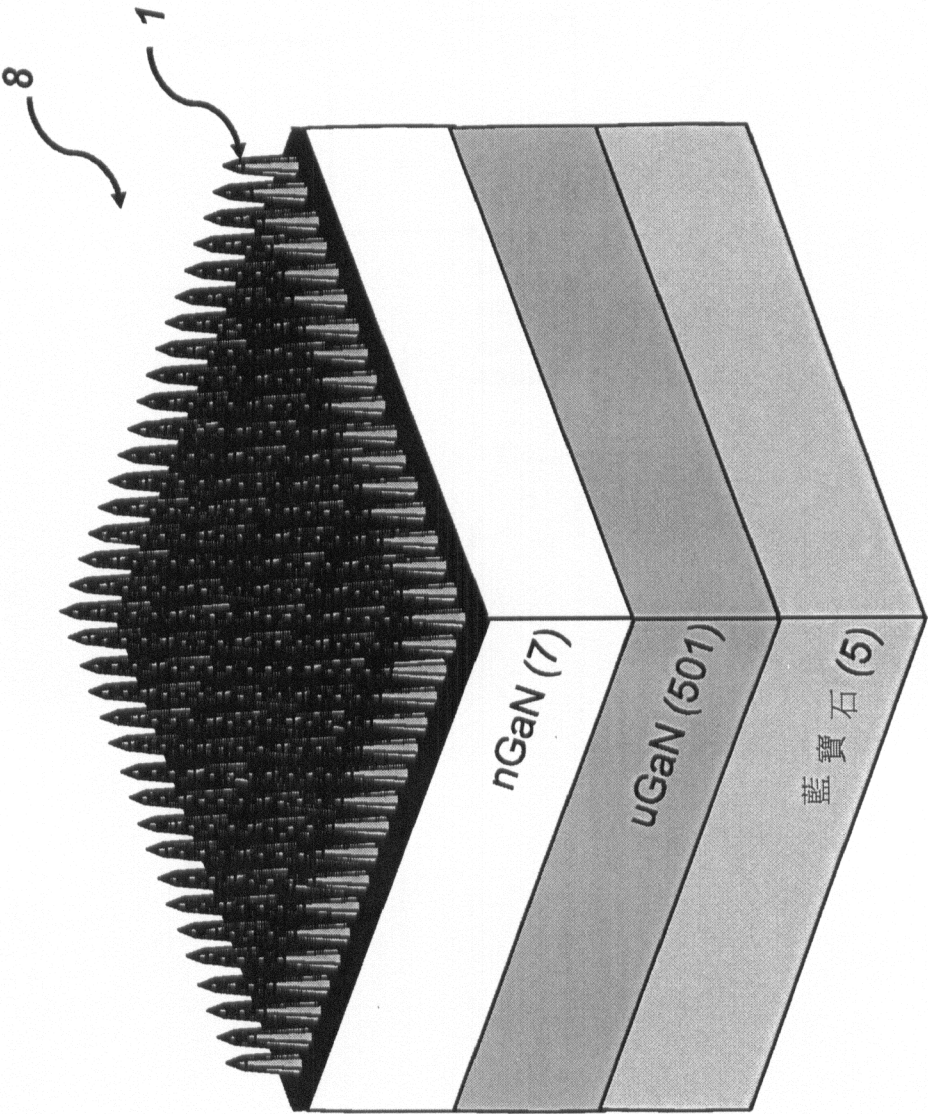


圖5A

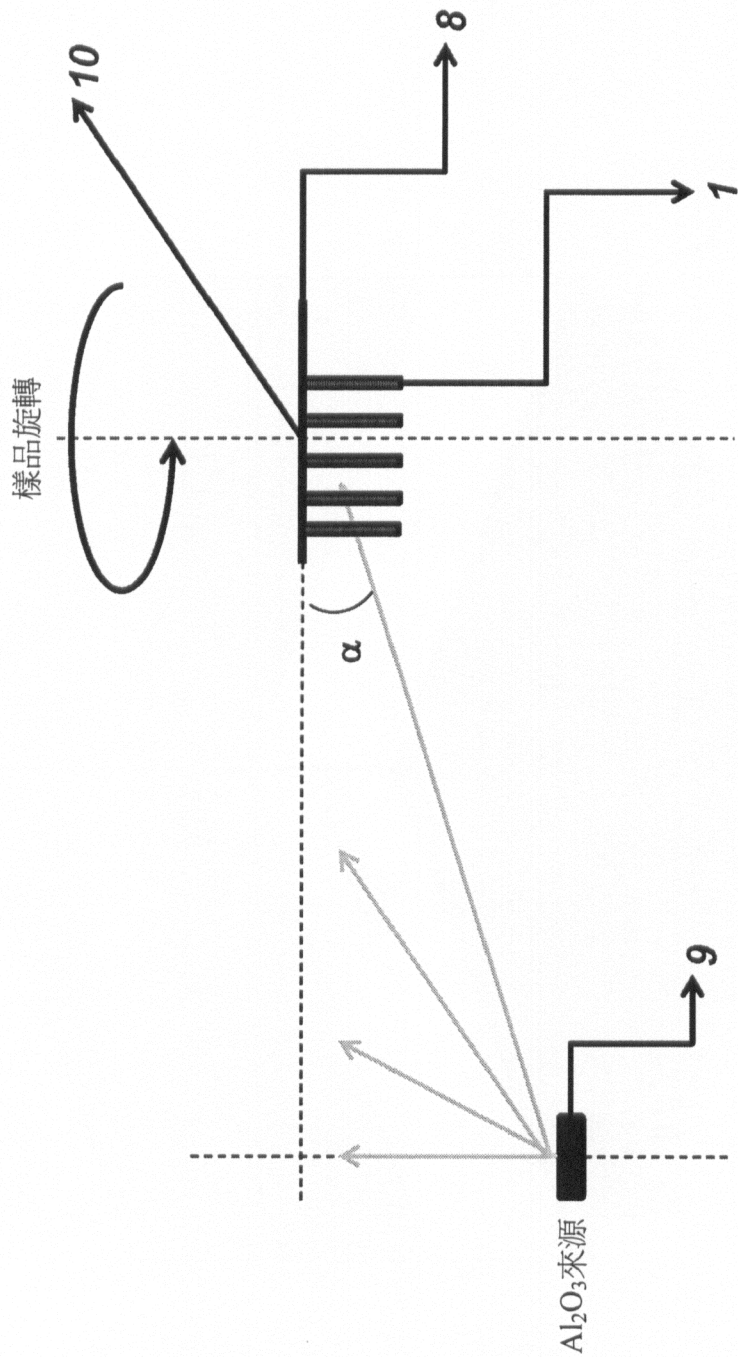


圖 5B

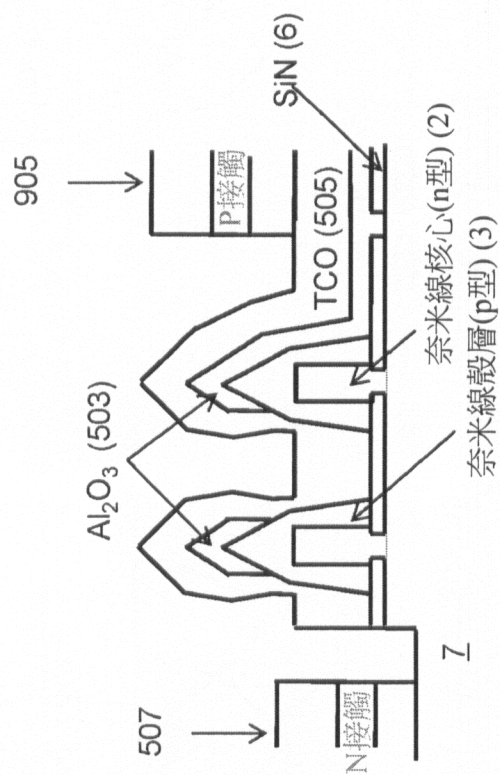


圖5C

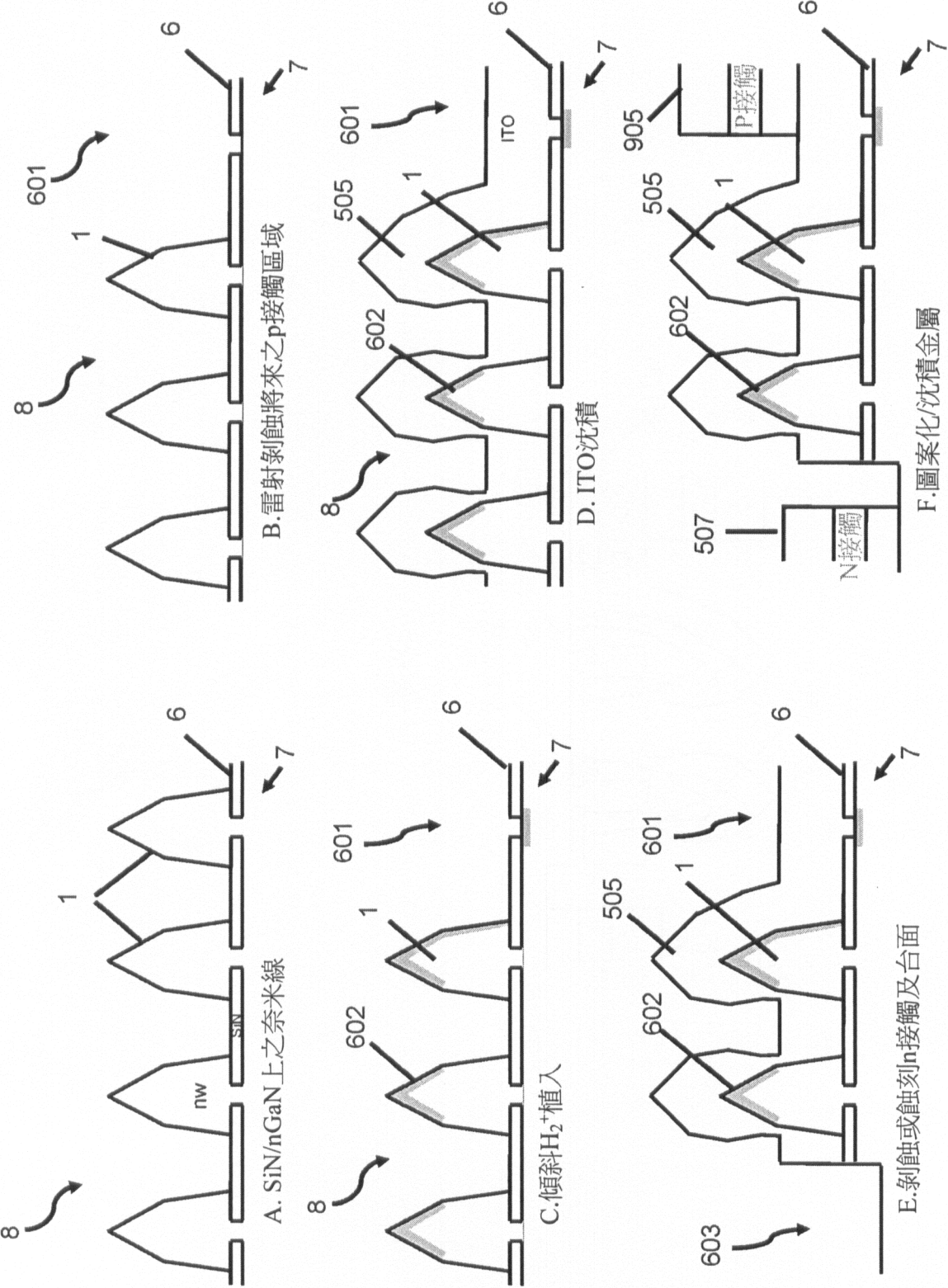


圖6

沿側壁向下可見之
 Al_2O_3 沈積

在p平面上量測為1002 Å

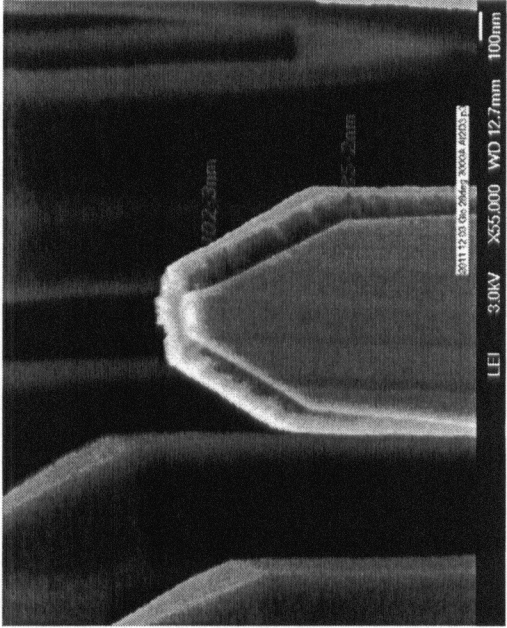
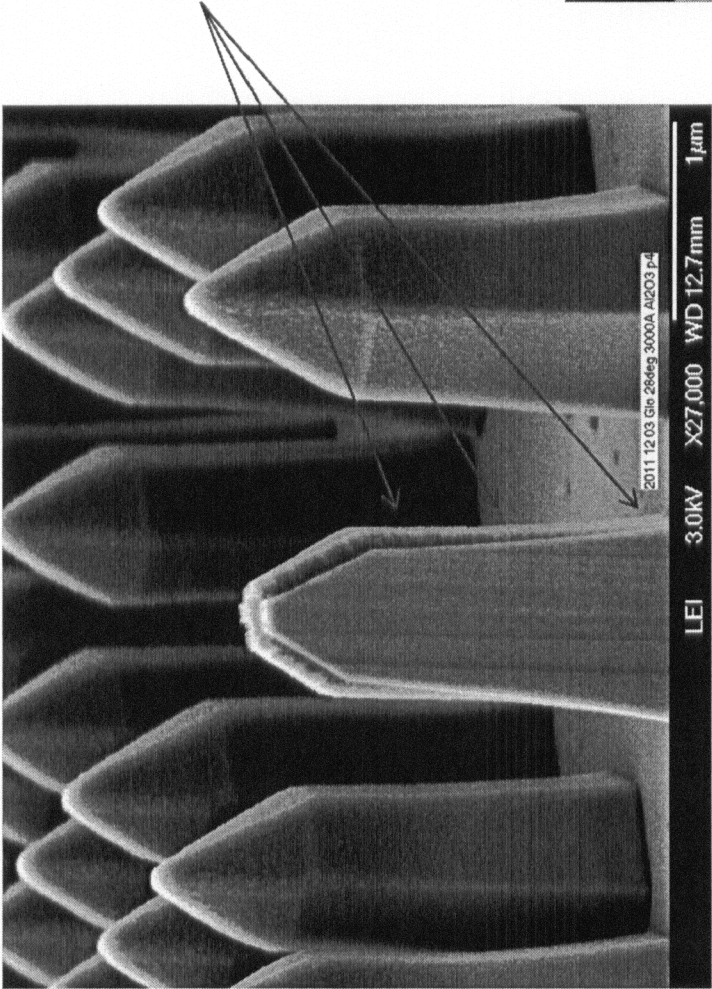
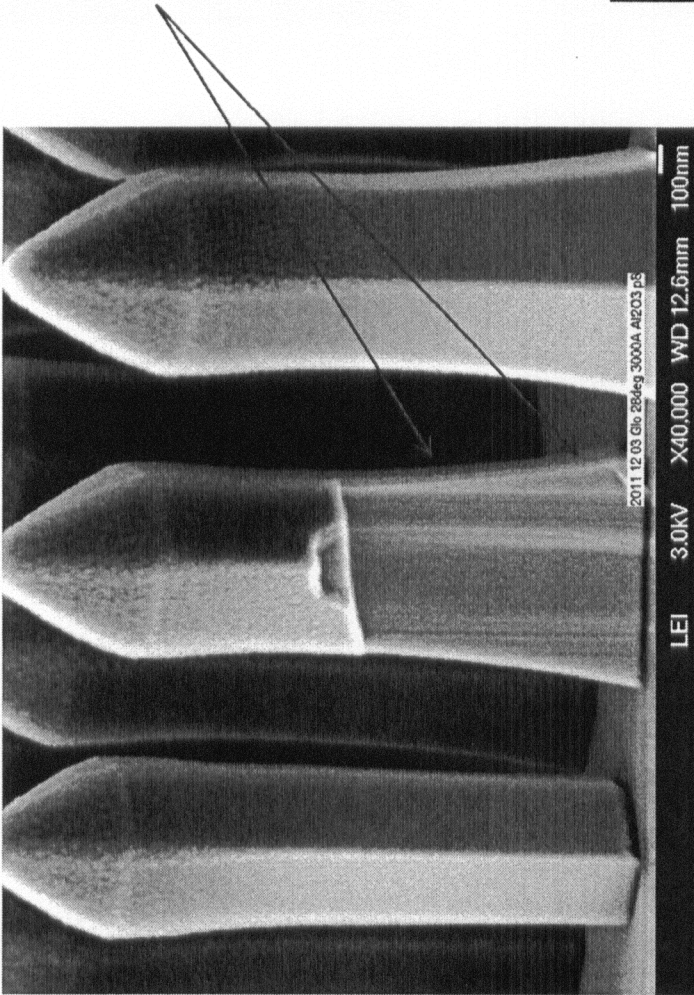


圖 7A

在線之下半部分上無可見之
 Al_2O_3 沉積



非晶形 Al_2O_3 膜略粗糙，在端部可見

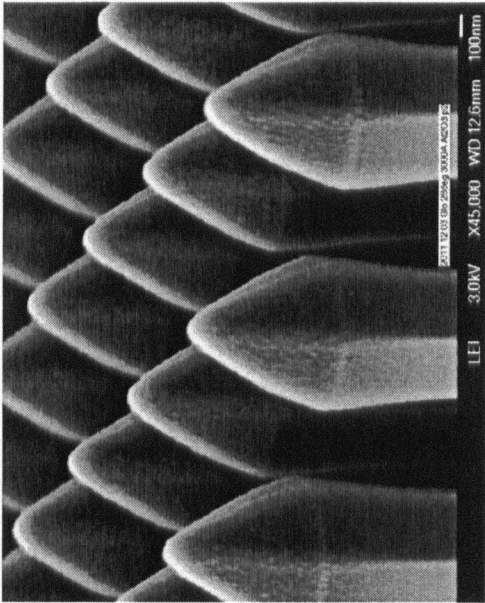
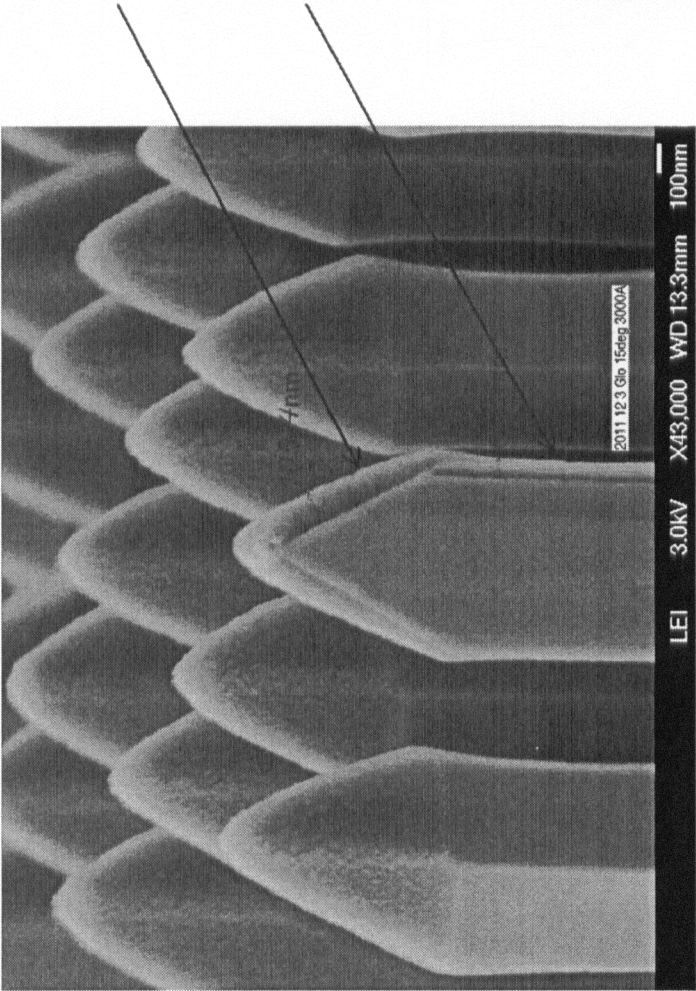


圖7B



p平面上105.4 nm Al_2O_3

拐角下方200 nm處無可見之
 Al_2O_3 沉積

僅在端部可見之非晶形 Al_2O_3 膜

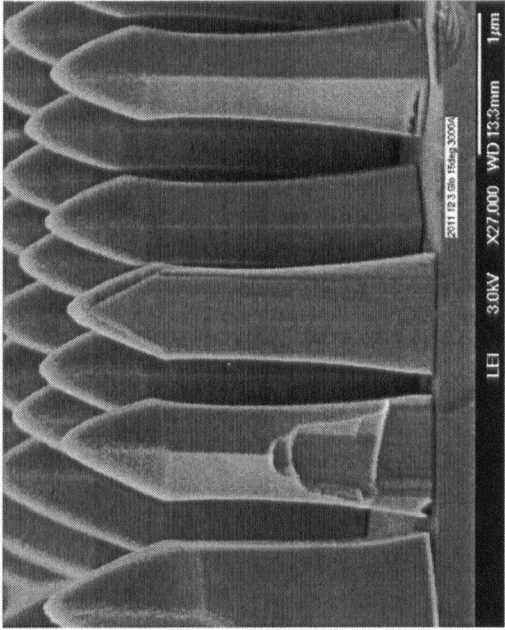


圖8

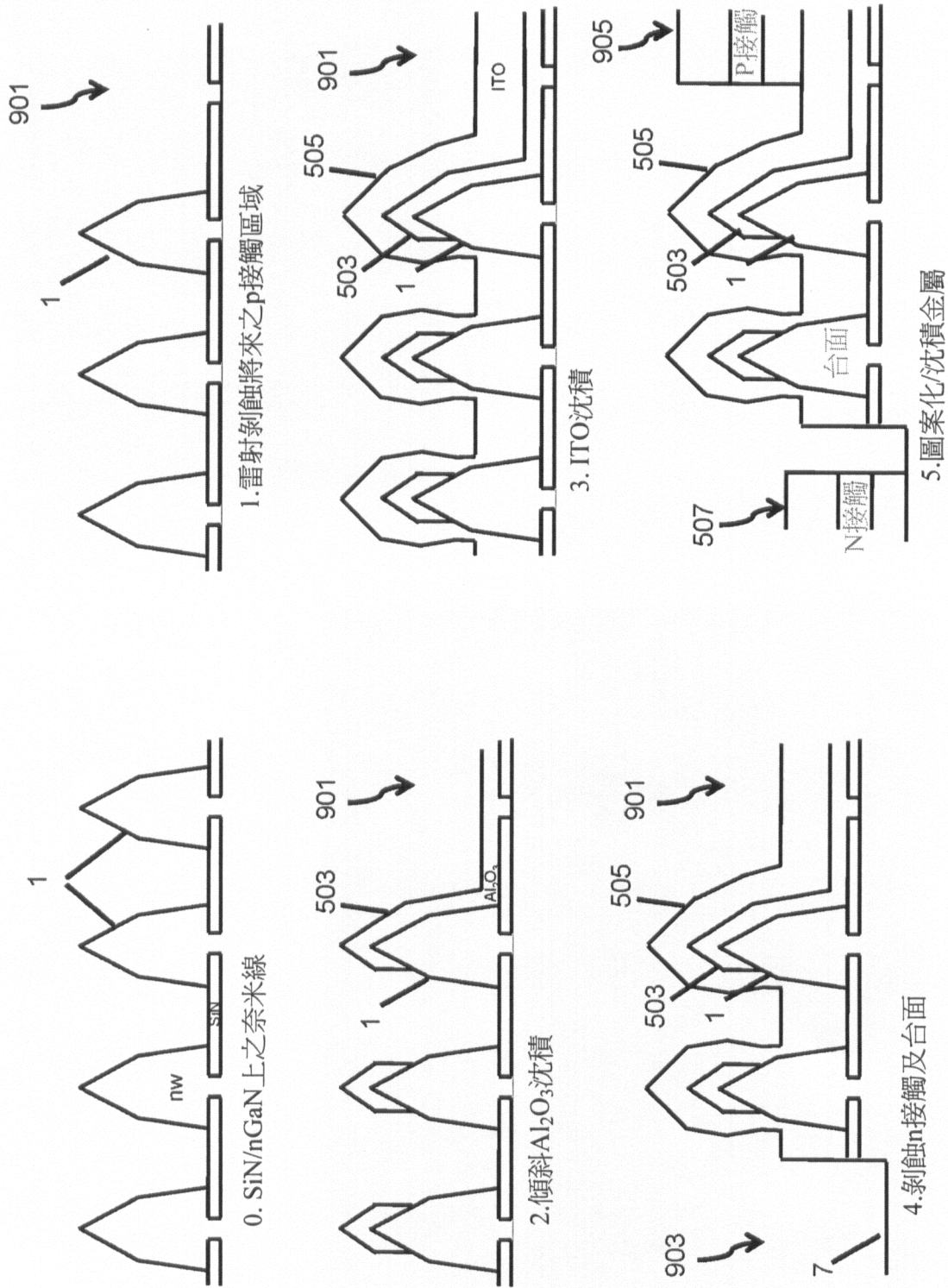


圖9

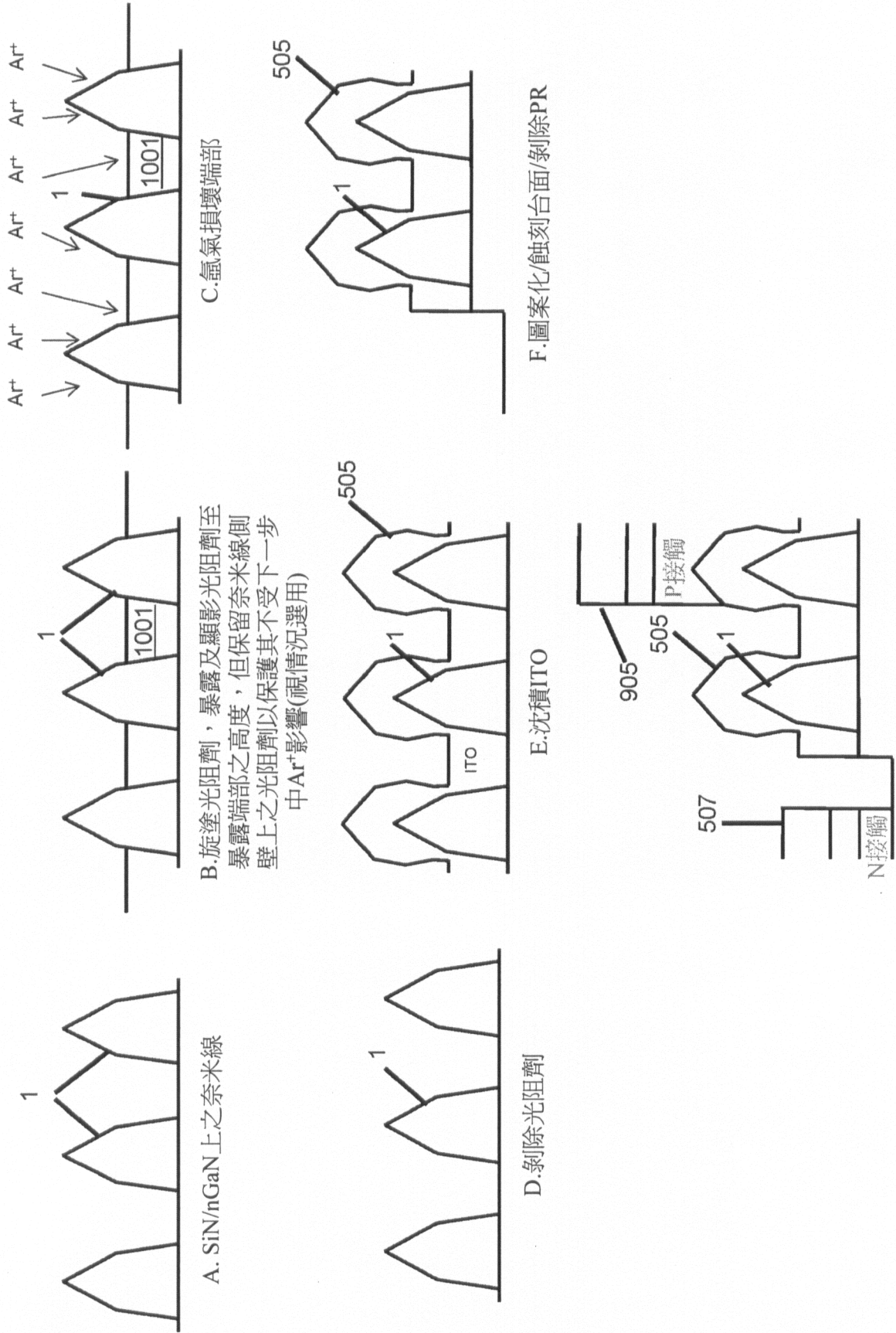


圖10

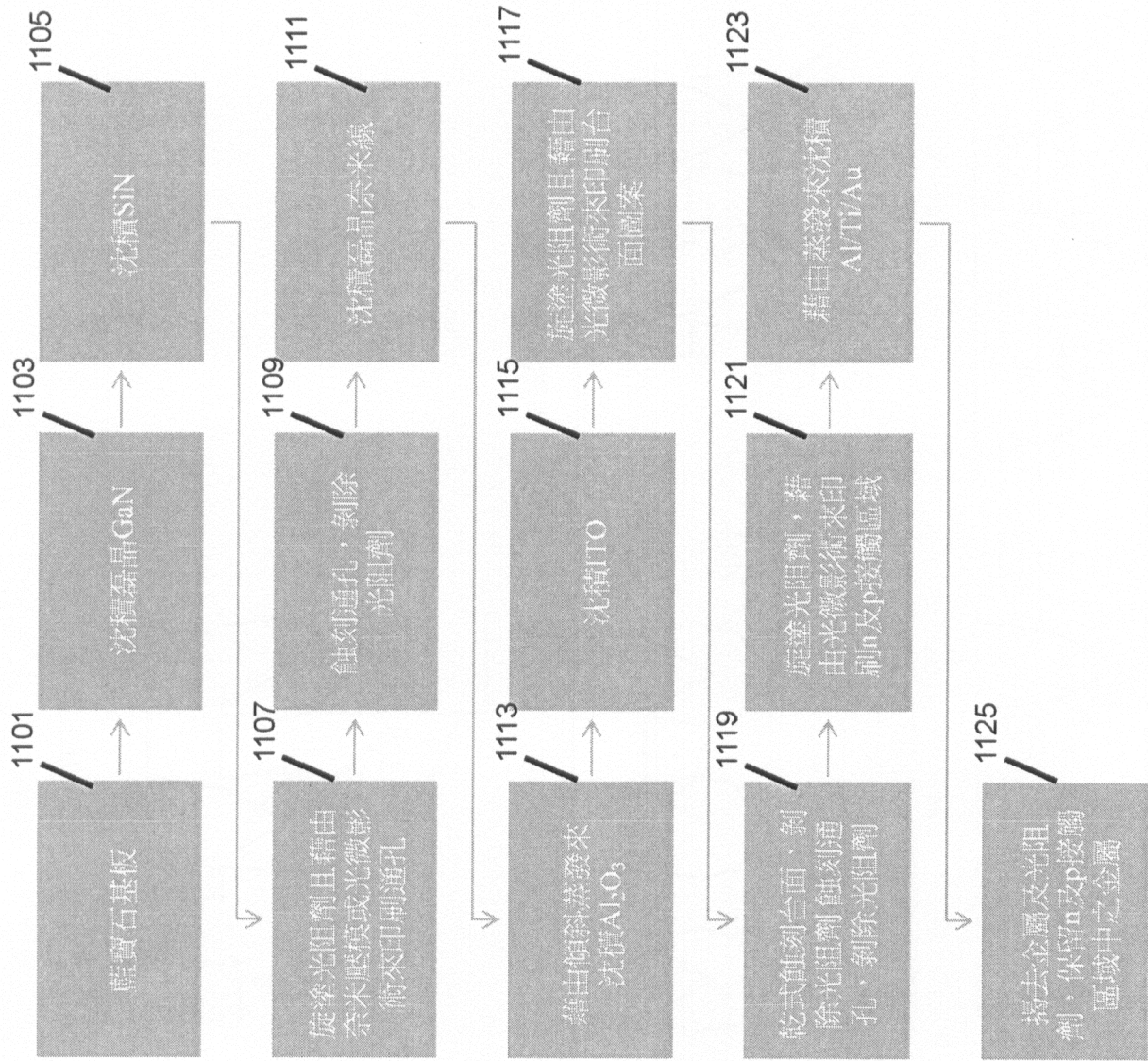
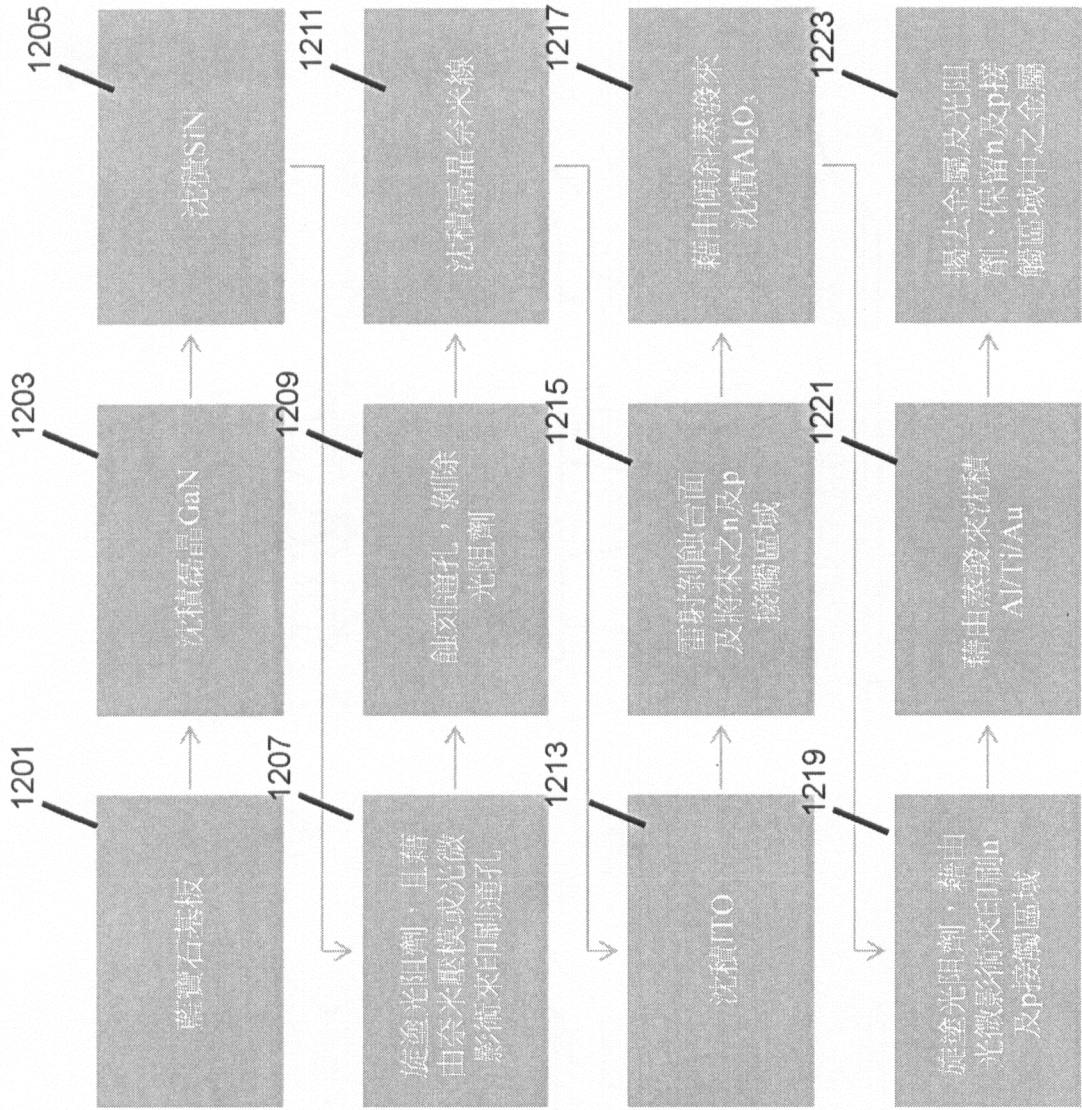


圖11

具有乾式蝕刻之程序
流程

1100



具有雷射剝蝕之程序
流程

1200 ↗

圖12

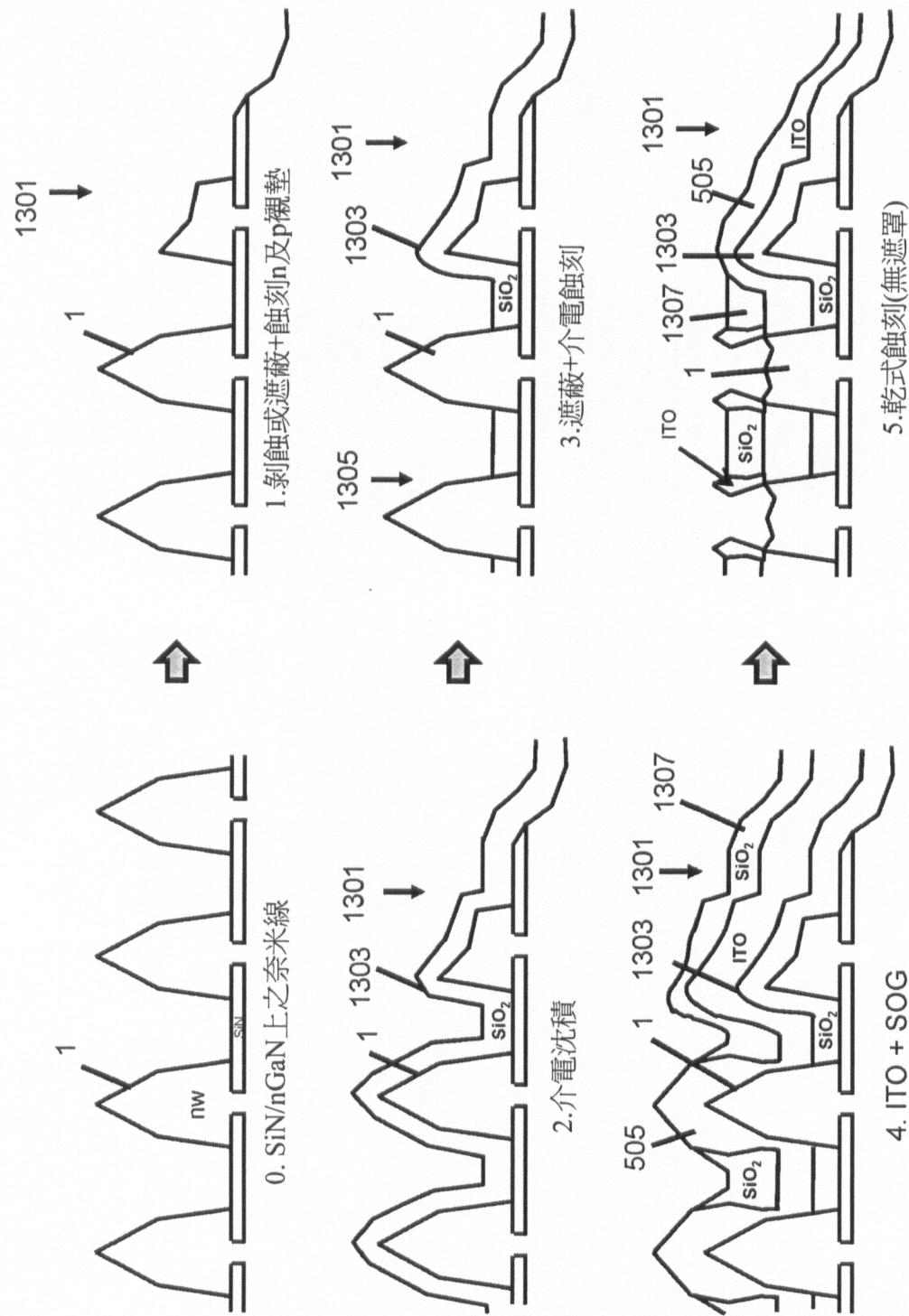


圖13A



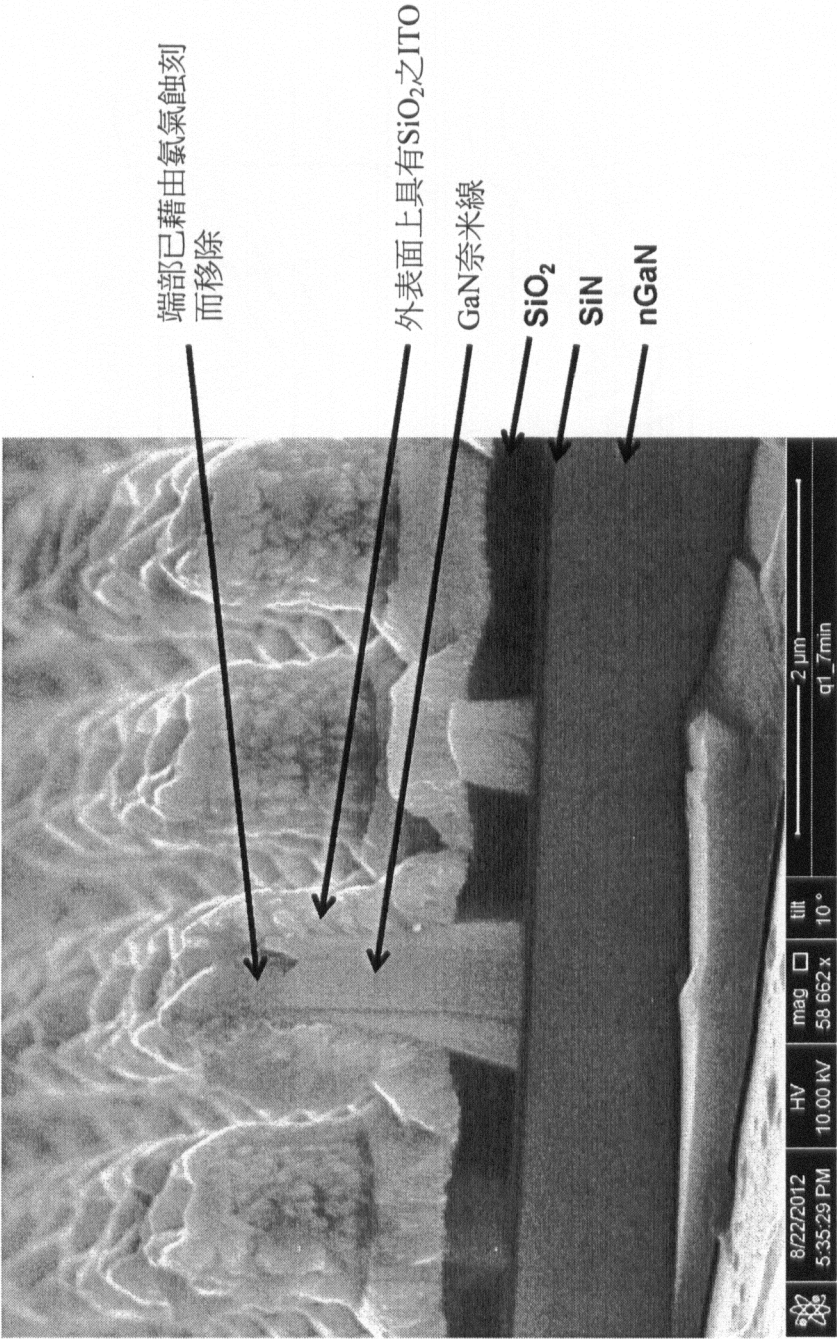


圖14