(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0127656
(43) 공개일자 2024년08월23일

(51) 국제특허분류(Int. Cl.)
H02M 3/158 (2006.01) *H02M 1/00* (2007.01)
H02M 3/157 (2006.01)
(52) CPC특허분류
H02M 3/1584 (2013.01)
H02M 1/0003 (2021.05)
(21) 출원번호 10-2023-0020666
(22) 출원일자 2023년02월16일
심사청구일자 2023년02월16일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
이승주
울산광역시 울주군 언양읍 유니스트길 50, 106동 304-1호
신세운
울산광역시 울주군 언양읍 유니스트길 50, 106동 301-6호
(74) 대리인
김종선, 이형석

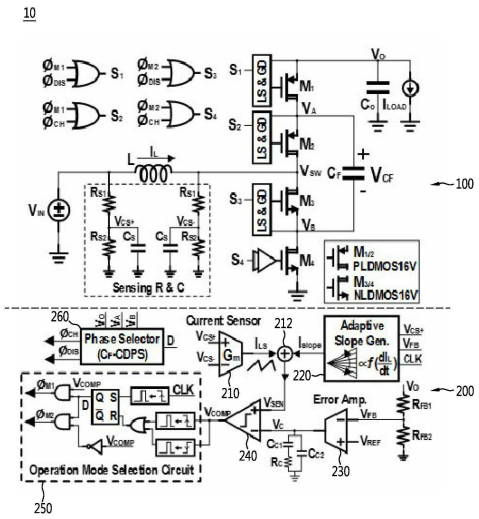
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **3-레벨 부스트 컨버터용 제어 회로**

(57) 요 약

본 발명은 3-레벨 부스트 컨버터용 제어 회로를 제안한다. 본 발명 회로는, 3-레벨 부스트 컨버터의 동작모드를 제어하는 회로로서, 3-레벨 부스트 컨버터의 인덕터 전류를 센싱하는 센서부, 상기 3-레벨 부스트 컨버터의 인덕터 전류(I_{LS})와 슬로프 전류(I_{SLOPE})를 가산하는 가산기, 상기 가산기를 통해 출력된 센싱 전압 V_{SEN}과 출력 에러 전압 V_C을 비교하는 비교기, 상기 비교기 출력 신호를 기초로 하여 인덕터 전류 상태 및 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 3-레벨 부스트 컨버터의 동작 모드를 선택하는 동작 모드 선택부, 슬로프 전류(I_{SLOPE})를 제공하는 적응형 슬로프 발생부(Adaptive Slope Generator), 및 상기 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 3-레벨 부스트 컨버터가 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})로 동작되게 하는 플라잉 캐패시터 충/방전 위상 선택부(CF-CDPS)를 포함하여 구성된다.

대 표 도 - 도2



(52) CPC특허분류
H02M 1/009 (2021.05)
H02M 1/0095 (2023.05)
H02M 3/157 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711170666
과제번호	2022-0-01170-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	PIM 반도체 설계연구센터
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2022.04.01 ~ 2022.12.31

명 세 서

청구범위

청구항 1

3-레벨 부스트 컨버터의 동작모드를 제어하는 회로이고,

상기 3-레벨 부스트 컨버터의 인덕터 전류를 센싱하는 센서부;

상기 3-레벨 부스트 컨버터의 인덕터 전류(I_{LS})와 슬로프 전류(I_{SLOPE})를 가산하는 가산기;

상기 가산기를 통해 출력된 센싱 전압 V_{SEN}과 출력 에러 전압 V_C을 비교하는 비교기; 및

상기 비교기 출력 신호를 기초로 하여 인덕터 전류 상태 및 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 3-레벨 부스트 컨버터의 동작 모드를 선택하는 동작 모드 선택부를 포함하는, 3-레벨 부스트 컨버터용 제어 회로.

청구항 2

제1항에 있어서,

상기 동작 모드는,

상기 인덕터 전류 상태에 따른 제1 동작 모드(Φ_{M1}) 및 제2 동작 모드(Φ_{M2});

상기 플라잉 캐패시터 전압(V_{CF})에 따른 충전 모드(Φ_{CH}) 및 방전 모드(Φ_{DIS})를 포함하는, 3-레벨 부스트 컨버터용 제어 회로.

청구항 3

제2항에 있어서,

상기 제1 동작 모드(Φ_{M1}) 및 제2 동작 모드(Φ_{M2})은 인덕터 전류의 상태에 따라 결정되며,

상기 제1 동작모드(Φ_{M1})는 상기 인덕터 전류의 크기가 이전 주기보다 높아졌을 경우에 선택되고,

상기 제2 동작모드(ΦM2)는 상기 인덕터 전류의 크기가 이전 주기보다 낮아졌을 경우에 선택되는, 3-레벨 부스트 컨버터용 제어 회로.

청구항 4

제2항에 있어서,

상기 충전 모드(Φ_{CH})는 플라잉 캐패시터 전압(V_{CF})이 1/2 출력전압($V_O/2$)보다 작은 경우에 선택되고,

상기 방전 모드(Φ_{DI}S)는 플라잉 캐패시터 전압(V_{CF})이 1/2 출력전압($V_O/2$)보다 큰 경우에 선택되며,

상기 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})은 상기 플라잉 캐패시터 전압(V_{CF})이 상기 1/2 출력전압($V_O/2$)과 동일해질 때까지 같은 동작 모드가 연속적으로 수행되는, 3-레벨 부스트 컨버터용 제어회로.

청구항 5

제1항에 있어서,

상기 슬로프 전류(I_{SLOPE})를 제공하는 적응형 슬로프 발생부(Adaptive Slope Generator); 및

상기 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 3-레벨 부스트 컨버터가 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})로 동작되게 하는 플라잉 캐패시터 충/방전 위상 선택부(CF-CDPS)를 더 포함하는, 3-레벨 부스트 컨버터용

제어회로.

청구항 6

제5항에 있어서,

상기 적응형 슬로프 발생부는,

3-레벨 부스트 컨버터의 감지전압(V_{CS+}) 및 피드백 전압(V_{FB}), 그리고 클럭 신호(CLK)를 입력으로 하여 상기 슬로프 전류(I_{SLOPE})를 생성하고,

상기 감지전압(V_{CS+}) 및 피드백 전압(V_{FB})은 각각 입력전압 V_{IN}와 출력 전압 V_O이 저항으로 분압된 전압인, 3-레벨 부스트 컨버터용 제어회로.

청구항 7

제5항에 있어서,

상기 플라잉 캐패시터 충/방전 위상 선택부(CF-CDPS)는, 비교기 소자를 기반으로 플라잉 캐패시터 전압(V_{CF})을 보정하며,

플라잉 캐패시터의 양단 전압(V_A, V_B)을 인가받는 비교기;

상기 비교기의 입력 단자(+, -)에 각각 연결된 제1 내지 제3 저항(R_1, R_2, R_3);

상기 비교기의 출력 측과 연결되어 상기 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})신호를 출력하는 D-플립플롭을 포함하는, 3-레벨 부스트 컨버터용 제어회로.

청구항 8

제1항에 있어서,

상기 동작 모드 선택부는,

상기 비교기로부터 서로 다른 출력 신호 V_{COMP+}, V_{COMP-}을 인가받는 OR 논리소자;

상기 OR 논리소자의 출력과 클럭 신호를 입력으로 하여 듀티 신호(D)을 출력하는 SR 플립플롭;

상기 SR 플립플롭의 듀티 신호(D)와 상기 비교기 출력 신호 V_{COMP+}을 입력받아 제1 동작 모드(Φ_M1) 신호를 출력하는 제1 AND 논리소자; 및

상기 SR 플립플롭의 듀티 신호(D)와 상기 비교기 출력 신호 V_{COMP-}을 입력받아 제2 동작 모드(Φ_{M2}) 신호를 출력하는 제2 AND 논리소자를 포함하는, 3-레벨 부스트 컨버터용 제어회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 3-레벨 부스트 컨버터의 안정적인 모드 변경 및 캐패시터 전압의 빠른 보정이 가능하도록 한 3-레벨 부스트 컨버터용 제어회로에 관한 것이다.

배 경 기 술

[0002] 모바일 디바이스 내부에는 솔리드 스테이트 드라이브(SSD), LED 백라이트 등과 같은 다양한 애플리케이션이 존재하고, 이들 애플리케이션은 높은 공급 전압을 필요로 한다. 반면 모바일 디바이스의 입력전압은 5V 이하의 낮은 전압을 제공하는 USB 전원 또는 배터리 전원을 사용한다. 따라서 이들 모바일 디바이스 등에는 낮은 입력전압에서 높은 출력 전압을 얻기 위한 회로, 즉 부스트 컨버터가 필요하다.

[0003] 부스트 컨버터는 높은 효율 및 높은 전압 변환 비율을 가져야 한다. 이러한 부스트 컨버터의 일 예로 3-레벨 부

스트 컨버터가 제안된 바 있다. 3-레벨 부스트 컨버터는 이상적으로는 전압 변환비율이 높고, 스위치 소자에 걸리는 전압 소모를 작게하여 전력 효율을 높일 수 있어 제품 신뢰성을 향상시킬 수 있는 여러 이점들이 있다.

[0004] 물론 3-레벨 부스트 컨버터가 제공하는 기능들이 충실히 보장받기 위해서는 3-레벨 부스트 컨버터용 캐패시터 소자에 저장되는 플라잉 캐패시터 전압(V_{CF}) 크기가 출력 전압(V_O)의 1/2이 되는 경우에만 가능하다. 그러나 3-레벨 부스트 컨버터를 제작할 때 여러 공정 변수 및 예상치 못한 요소들로 인해 상기한 조건이 보장되지 못할 가능성이 있으며, 이럴 경우 상기 이점들을 보장받지 못한다. 또 3-레벨 부스트 컨버터를 제작할 때 상기한 이점들을 보장받을 수 있다고 가정하여, 내압이 작은 스위치 소자를 사용할 경우가 있다. 그러나 플라잉 캐패시터 전압(V_{CF}) 크기가 출력 전압(V_O)의 1/2이 되지 못하면, 과부하가 걸리게 되면서 제품 고장을 초래하게 된다.

[0005] 한편 3-레벨 부스트 컨버터용 캐패시터에 저장되는 전압은 출력 전압일 수 있다. 입력 전압은 배터리 등의 전원을 사용하기 때문에 비교적 안정적이라 할 수 있지만 출력 전압은 계속 변동되는 경향이 있다. 즉 3-레벨 부스트 컨버터의 플라잉 커패시터 전압은 변동이 잦은 출력 전압에 따라 보정되어야 한다.

[0006] 따라서 플라잉 캐패시터 전압(V_{CF})을 빠르게 보정할 수 있는 방안이 필요하다. 이때 플라잉 캐패시터 전압(V_{CF})에 대한 보정속도가 상대적으로 느리면, 트랜지스터의 고장 및 신뢰성 문제가 발생할 수 있어 대량 양산이 어려울 수 있다.

[0007] 또한 3-레벨 부스트 컨버터는 입력 및 출력 전압의 비율에 따라 2가지 동작 모드로 구동되는데, 강제적인 모드 전환 시 출력전압이 불안정하게 동작할 수도 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 한국등록특허 10-1710911(2017. 2. 22. 등록)

발명의 내용

해결하려는 과제

[0009] 본 발명의 목적은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 3-레벨 부스트 컨버터의 인덕터 전류 상태를 기초로 하여 안정적인 모드 전환이 가능하도록 한 3-레벨 부스트 컨버터용 제어회로 및 제어방법을 제공하는 것이다.

[0010] 본 발명의 다른 목적은 3-레벨 부스트 컨버터의 플라잉 캐패시터 전압을 빠르게 보정할 수 있는 3-레벨 부스트 컨버터용 제어회로 및 제어방법을 제공하는 것이다.

[0011] 즉 본 발명의 목적은 직류 전압을 승압하는 3-레벨 부스트 컨버터 회로에서 입력 전압과 출력 전압이 급변하더라도 안정적인 동작모드의 변화와 빠른 속도의 플라잉 커패시터 전압 보정을 가능하게 하고, 또 입/출력 전압차에 기반하여 전류 슬로프(slope)를 가변시켜 안정도를 보상할 수 있도록 하는 제어방식을 제공하는 것이다.

[0012] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0013] 이와 같은 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 3-레벨 부스트 컨버터용 제어회로는, 3-레벨 부스트 컨버터의 동작모드를 제어하는 회로이고, 상기 3-레벨 부스트 컨버터의 인덕터 전류를 센싱하는 센서부; 상기 3-레벨 부스트 컨버터의 인덕터 전류(I_{LS})와 슬로프 전류(I_{SLOPE})를 가산하는 가산기; 상기 가산기를 통해 출력된 센싱 전압 V_{SEN}과 출력 에러 전압 V_C을 비교하는 비교기; 및 상기 비교기 출력 신호를 기초로 하여 인덕터 전류 상태 및 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 3-레벨 부스트 컨버터의 동작 모드를 선택하는 동작 모드 선택부를 포함하여 구성된다.

[0014] 상기 동작 모드는, 상기 인덕터 전류 상태에 따른 제1 동작 모드(Φ_{M1}) 및 제2 동작 모드(Φ_{M2}); 상기 플라잉 캐

패시터 전압(V_{CF})에 따른 충전 모드(Φ_{CH}) 및 방전 모드(Φ_{DIS})를 포함한다.

[0015] 상기 제1 동작 모드(Φ_{M1}) 및 제2 동작 모드(Φ_{M2})은 인버터 전류의 상태에 따라 결정되며, 상기 제1 동작모드(Φ_{M1})는 인덕터 전류의 크기가 이전 주기보다 높아졌을 경우에 선택되고, 상기 제2 동작모드(Φ_{M2})는 인덕터 전류의 크기가 이전 주기보다 낮아졌을 경우에 선택된다.

[0016] 상기 충전 모드(Φ_{CH})는 플라잉 캐패시터 전압(V_{CF})이 1/2 출력전압($V_O/2$)보다 작은 경우에 선택되고, 상기 방전 모드(Φ_{DIS})는 플라잉 캐패시터 전압(V_{CF})이 1/2 출력전압($V_O/2$)보다 큰 경우에 선택되며, 상기 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})은 상기 플라잉 캐패시터 전압(V_{CF})이 상기 1/2 출력전압($V_O/2$)과 동일해질 때까지 같은 동작 모드가 연속적으로 수행된다.

[0017] 본 발명의 제어회로는, 상기 슬로프 전류(I_{SLOPE})를 제공하는 적응형 슬로프 발생부(Adaptive Slope Generator); 및 상기 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 3-레벨 부스트 컨버터가 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})로 동작되게 하는 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)를 더 포함하여 구성된다.

[0018] 상기 적응형 슬로프 발생부는, 3-레벨 부스트 컨버터의 감지전압(V_{CS+}) 및 피드백 전압(V_{FB}), 그리고 클럭 신호(CLK)를 입력으로 하여 상기 슬로프 전류(I_{SLOPE})를 생성하고, 상기 감지전압(V_{CS+}) 및 피드백 전압(V_{FB})은 각각 입력전압 V_{IN}와 출력전압 V_O이 저항으로 분압된 전압이다.

[0019] 상기 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)는, 비교기 소자를 기반으로 플라잉 캐패시터 전압(V_{CF})을 보정하며, 플라잉 캐패시터의 양단 전압(V_A, V_B)과 출력전압(V_O)을 인가받는 비교기; 상기 비교기의 입력 단자(+, -)에 각각 연결된 제1 내지 제3 저항(R_1, R_2, R_3); 상기 비교기의 출력 측과 연결되어 상기 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})신호를 출력하는 D-플립플롭을 포함한다.

[0020] 상기 동작 모드 선택부는, 상기 비교기로부터 서로 다른 출력 신호 V_{COMP+}, V_{COMP-}을 인가받는 OR 논리소자; 상기 OR 논리소자의 출력과 클럭 신호를 입력으로 하여 듀티 신호(D)을 출력하는 SR 플립플롭; 상기 SR 플립플롭의 듀티 신호(D)와 상기 비교기 출력 신호 V_{COMP+}을 입력받아 제1 동작 모드(Φ_{M1}) 신호를 출력하는 제1 AND 논리소자; 및 상기 SR 플립플롭의 듀티 신호(D)와 상기 비교기 출력 신호 V_{COMP-}을 입력받아 제2 동작 모드(Φ_{M2}) 신호를 출력하는 제2 AND 논리소자를 포함하여 구성된다.

발명의 효과

[0021] 이와 같은 본 발명에 따르면, 3-레벨 부스트 컨버터의 플라잉 캐패시터 전압의 보정시간을 빠르게 수행할 수 있어 빠른 출력전압의 변동에도 회로의 손상 없이 안정적으로 출력전압을 제공할 수 있다.

[0022] 본 발명에 따르면, 3-레벨 부스트 컨버터의 안정적인 동작모드의 변경이 가능하다.

도면의 간단한 설명

[0023] 도 1은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 동작모드를 설명하기 위한 도면이다.

도 2는 본 발명의 실시 예에 따른 3-레벨 부스트 컨버터용 제어 회로를 설명하는 구성도이다.

도 3(a)는 도 2에 도시한 적응형 슬로프 발생부(ASG)의 회로 구성도, 도 3(b)는 타이밍도이다.

도 4(a)는 도 2에 도시한 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)의 회로 구성도, 도 4(b)는 타이밍도이다.

도 5는 3-레벨 부스트 컨버터의 모드 전환과 관련된 동작 타이밍도이다.

도 6은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 제조 사양을 설명한 도면이다.

도 7은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 입력 전압이 5V일 때 측정된 파형도이다.

도 8은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 스타트-업 시간과 모드 천이 파형을 보인 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0025] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0026] 본 발명에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

[0029] 이하에서는 도면에 도시한 실시 예에 기초하면서 본 발명에 대하여 더욱 상세하게 설명하기로 한다.

[0031] 도 1은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 동작모드를 설명하기 위한 도면이다.

[0032] 도 1을 살펴보면, 인덕터 전류 상태에 따른 제1 동작 모드(Φ_{M1}) 및 제2 동작 모드(Φ_{M2}), 플라잉 캐패시터 전압(V_{CF})에 따른 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})로 구분할 수 있다.

[0033] 기존에는 이러한 4가지 동작모드에 따라 정해진 순서대로만 동작하였다. 예를 들어 3-레벨 부스트 컨버터는 입력전압(V_{IN})과 출력전압(V_O)의 비율에 따라 제1 동작모드(Φ_{M1}, $2V_{IN}>V_O$)와 제2 동작모드 (Φ_{M2}, $2_{VIN}<V_O$)의 2가지 동작 모드가 있고, 이들 동작 모드는 V_{IN}과 V_O의 변화에 따라 $2V_{IN}$이 V_O와 같을 때 모드 전환이 일어나야 한다. 그러나 모드 전환이 갑자기 발생하면 출력 전압이 변동될 수 있다.

[0034] 기존에 출력 전압의 변동폭을 최소화하거나 방지하기 위해 3-레벨 부스트 컨버터는 전류 모드 제어 방식의 제어 방식을 채택했다. 이는 모드 전환점에서 미리 정해진 주기마다 간헐적으로 강제 모드 선택 신호에 의해 제1 동작모드(Φ_{M1})와 제2 동작모드(Φ_{M2}) 사이에서 모드를 전환하는 방식이다. 그런데 이 시점에서 전류 모드 제어는 밸리(Valley) 및 피크(Peak) 전류 모드를 교대로 반복하며, 이는 두 모드 사이의 인덕터 전류의 DC 오프셋으로 인해 출력 전압 변동에 영향을 받았다.

[0035] 따라서 본 실시 예는 인덕터 전류 및 플라잉 캐패시터 전압 상태에 기반하여 유동적으로 동작할 수 있는 방안을 제시한다.

[0036] 도 1에서 인덕터 전류가 계속 증가하면 과전류가 흐를 수 있기 때문에 제1 동작모드(Φ_{M1})가 선택되고, 인덕터 전류가 감소하면 인덕터 전류를 증가시키도록 제2 동작 모드(Φ_{M2})가 선택된다. 또한 플라잉 캐패시터 전압(V_{CF})의 목표치(기준전압)는 출력 전압(V_O)의 1/2이기 때문에, 플라잉 캐패시터 전압(V_{CF})이 기준전압보다 작은 경우에는 플라잉 캐패시터 전압(V_{CF})을 올려주기 위한 충전 모드(Φ_{CH})가 선택되고, 반대로 플라잉 캐패시터 전압(V_{CF})이 기준전압보다 큰 경우에는 플라잉 캐패시터 전압(V_{CF})을 내려주기 위한 방전 모드(Φ_{DIS})가 선택된다.

[0037] 이때 플라잉 캐패시터 전압(V_{CF}) 상태에 따라 상기 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})는 기준전압이 될 때까지 지속적으로 수행된다. 기존의 플라잉 캐패시터 전압을 보정하는 동작은 충/방전 동작을 교대로 반복하여 수행하였고 따라서 시간이 상대적으로 많이 소모되었다. 반면 본 실시 예는 연속적으로 충/방전 동작을 수행하여

플라잉 캐패시터 전압(V_{CF})을 보정할 수 있어 보정 시간을 빠르게 가져갈 수 있다.

[0039] 도 2는 본 발명의 실시 예에 따른 3-레벨 부스트 컨버터용 제어 회로를 설명하는 구성도이다.

[0040] 본 실시 예의 3-레벨 부스트 컨버터는 공지된 기술로서 상세한 설명은 생략하기로 할 것이다. 본 실시 예의 3-레벨 부스트 컨버터는 전류 모드 제어방식이다. 3-레벨 부스트 컨버터는 전압모드 또는 전류모드로 설계가 가능하나, 전류모드가 동작특성을 더 향상시킬 수 있기 때문이다.

[0041] 도 2를 살펴보면, 전체 회로(10)는 3-레벨 부스트 컨버터(100)와, 그 3-레벨 부스트 컨버터(100)의 동작을 제어하기 위한 제어 회로(control circuit)(200)를 포함한다. 제어 회로(200)는 제어부, 제어 유닛, 제어블록 등으로 불리기도 한다. 여기서 상기 제어 회로(200)는 FSPS(Fully State-based Phase Selection)일 수 있다. 상기 FSPS를 이용하여 3-레벨 부스트 컨버터(100)를 제어하기 때문이다.

[0042] 도 2에서 제어 회로(200), 즉 FSPS(Fully State-based Phase Selection)는 인덕터 전류(I_{LS})를 제공하는 센서부(210)와, 상기 인덕터 전류(I_{LS})와 슬로프 전류(I_{SLOPE})를 가산하는 가산기(212), 가산기(212)를 통해 출력된 센싱 전압 V_{SEN}과 출력 에러 전압 V_C을 비교하는 비교기(240), 비교기(240)의 출력 신호에 따라 동작모드를 선택하는 동작 모드 선택부(250)를 포함하여 구성된다. 그리고 상기 슬로프 전류(I_{SLOPE})를 생성하는 적응형 슬로프 발생부(Adaptive Slope Generator, ASG)(220) 및 플라잉 캐패시터 전압(V_{CF}) 보정을 위한 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)(260)를 포함하고 있다.

[0043] 센서부(210)는 트랜스 컨덕터 G_m을 포함한다. 상기 트랜스 컨덕터 G_m은 3-레벨 부스트 컨버터(100)의 입력 전압(V_{IN})과 스위칭 전압 노드(V_{SW}) 사이에 연결된 인덕터(L)의 좌/우 측에 연결된 한 쌍의 감지저항(R_{S1}, R_{S2})과 캐패시터(C_S)가 감지한 감지전압 V_{cs+} 및 V_{cs-}을 인가받아 인덕터 전류 I_{LS}를 제공한다.

[0044] 비교기(240)는 +단자를 통해 센싱 전압 V_{SEN}을 제공받고 -단자를 통해 출력 에러 전압 V_C을 제공받는다. 상기 출력 에러 전압 V_C은 피드백 전압(V_{FB})과 기준전압(V_{REF})을 비교하는 에러 앰프(230)로부터 제공된다.

[0045] 동작 모드 선택부(250)는, 1개의 OR 논리소자, 1개의 SR 플립플롭, 2개의 AND 논리소자 및 인버터를 포함한다. 상기 OR 논리소자는 비교기(240)의 서로 다른 출력 신호 V_{COMP+}, V_{COMP-}을 입력받고, SR 플립플롭에서 S 단자는 클럭신호, R 단자는 OR 논리소자의 출력신호를 입력받아 듀티 신호(D)을 출력한다. 그리고 제1 AND 논리소자는 듀티 신호(D)와 V_{COMP+}를 입력받고, 제2 AND 논리소자는 듀티 신호(D)와 V_{COMP-}을 입력받아, 모드 선택 신호(모드 1 Φ_{M1}, 모드 2 Φ_{M2})를 출력한다.

[0046] 적응형 슬로프 발생부(Adaptive Slope Generator, ASG)(220)은 인덕터 전류의 안정성을 위한 것이다. 3개의 신호(V_{cs+}, V_{FB}, CLK)를 입력으로 하여 상기 슬로프 전류(I_{slope})를 출력한다. 적응형 슬로프 발생부(220)는 후술하여 살펴본다,

[0047] 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)(260)는 상기 SR 플립플롭이 출력하는 듀티 신호(D), 출력전압(V_O) 및 플라잉 캐패시터의 단자 전압(V_A, V_B)를 기반으로 하여 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})가 선택되도록 한다.

[0049] 도 3(a)는 도 2에 도시한 적응형 슬로프 발생부(ASG)의 회로 구성도, 도 3(b)는 타이밍도이다.

[0050] 일반적으로 3-레벨 부스트 컨버터(100)를 전류 모드 방식으로 제어할 경우, 인덕터 전류의 안정성을 확보하기 위해 램프 형태의 신호가 필요하다. 종래에 이러한 램프 신호의 기울기는 항상 특정 값으로 고정된 값만 사용했다. 그래서 회로 최적화가 쉽지 않았다. 반면, 램프 신호의 기울기가 출력전압 V_O와 입력전압 V_{IN}의 범위에 따라 변경될 수 있으면, 3-레벨 부스트 컨버터(100)의 속도 등을 향상시킬 수 있다.

[0051] 도 3(a)의 적응형 슬로프 발생부(220)는, 출력전압 V_O와 입력전압 V_{IN}에 따라 램프파형의 기울기를 - ~ + 범위

내에서 유동적으로 조절할 수 있다. 이렇게 하면 입력전압 V_{IN}과 출력전압 V_O의 비율에 따라 입출력 전압의 범위가 크더라도 회로 최적화가 가능하다.

[0052] 도 3(a)을 살펴보면, 두 입력 V_{FB}와 V_{CS+}는 각각 출력전압 V_O와 입력 전압 V_{IN}이 저항으로 분압된 전압이다. V_{FB}는 V_O의 1/10, V_{CS+}는 V_{IN}의 1/5로 설계되어 두 입력이 모드 전환 지점($2V_{IN} \approx V_O$)에서 동일할 수 있다.

[0053] 그리고 V_{FB} 및 R_{B1}은 V_O에 비례하는 전류 I_{VO}를 생성하고, 생성된 전류 I_{VO}는 전류 미러를 통해 C_{B1}로 흐르며, C_{B1}의 전압은 CLK의 상승 에지에서 주기적으로 재설정되어 V_O에 비례하는 기울기로 램프 전압 V_{UP}을 생성한다. V_{UP}은 R_{B2}를 통해 램프 전류 I_{UP}로 변환되고 적응형 슬로프 발생부(220)의 출력으로 흐르게 된다. 마찬가지로 R_{B3}, R_{B4}, C_{B2}를 통해 V_{CS+}는 기울기가 V_{IN}에 비례하는 램프 전류 I_{down}을 만들고 적응형 슬로프 발생부(220)의 출력으로 흐르게 된다.

[0054] 모드 전환점에서 I_{UP}과 I_{down}의 기울기가 같도록 저항과 캐패시터의 값을 $R_{B1}=R_{B4}$, $R_{B2}=R_{B3}$, $C_{B1}=C_{B2}$로 설계하였다.

[0055] 적응형 슬로프 발생부(220)에서 각 전류 및 전압의 값과 기울기 방정식은 다음과 같다.

$$I_{VO} = \frac{V_{FB}}{R_{B1}}, \quad \frac{dV_{up}}{dt} = \frac{V_{FB}}{R_{B1}C_{B1}}$$

$$\frac{dI_{up}}{dt} = \frac{V_{FB}}{R_{B1}R_{B2}C_{B1}}$$

$$I_{VIN} = \frac{V_{CS+}}{R_{B4}}, \quad \frac{dV_{down}}{dt} = -\frac{V_{CS+}}{R_{B4}C_{B2}}$$

$$\frac{dI_{down}}{dt} = \frac{V_{CS+}}{R_{B3}R_{B4}C_{B2}}$$

$$I_{slope} = I_{offset} + I_{up} - I_{down}$$

$$\frac{dI_{slope}}{dt} = \frac{1}{R_{B1}R_{B2}C_{B1}}(V_{FB} - V_{CS+})$$

[0056]

[0057] 여기서 I_{offset} 은 I_{slope} 의 DC 오프셋을 만드는 전류 소스 값을 말한다.

[0058] 그리고 V_{FB}와 V_{CS+}의 차는 V_O와 V_{IN}의 차와 비례하므로 인덕터 전류의 기울기에 따라 I_{slope}의 기울기가 변하게 된다.

[0059] 따라서 본 실시 예의 적응형 슬로프 발생부(220)를 적용하면 전류 모드 제어의 넓은 I/O 범위에서 원활한 모드 전환과 최적의 슬로프 보상이 가능하게 된다.

[0061] 도 4(a)는 도 2에 도시한 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)의 회로 구성도, 도 4(b)는 타이밍도이다.

[0062] 본 실시 예의 3-레벨 부스트 컨버터(100)는 플라잉 캐패시터 전압(V_{CF})이 출력전압((V_O)의 절반(1/2)이 되게 할 필요가 있다. 그래서 플라잉 캐패시터 전압(V_{CF})을 보정할 필요가 있다.

[0063] 플라잉 캐패시터 전압(V_{CF})을 보정하기 위해서는 플라잉 캐패시터 전압(V_{CF})을 센싱해서 확인해야 하는데, 기존에

는 플라잉 캐패시터 전압(V_{CF})을 센싱하는 것은 어려웠다. 플라잉 캐패시터의 양단 전압을 센싱하여 정보를 읽어야 하지만, 동작 모드에 따라 플라잉 캐패시터의 양단 전압은 일정하지만 전위 자체는 기준이 없이 계속 변동되기 때문이다.

[0064] 도 4(a)을 살펴보면, C_F-CDPS(260)는 캐패시터에 차징된 전압 상태를 체크할 수 있도록 6개의 저항(각각 2개의 R_1, R_2, R_3), 비교기 및 논리회로를 포함하고 이를 통해 차징 모드 또는 방전 모드를 선택하게 한다.

[0065] 비교기의 + 단자에는 플라잉 캐패시터의 일 단 전압(V_A)이 입력되며, - 단자에는 플라잉 캐패시터의 타 단 전압(V_B)이 입력되며, 각 단자에는 제1 내지 제3 저항(R_1, R_2, R_3)이 대칭되게 배치된다. 제1 저항(R_1)은 일 단 전압(V_A) 및 타 단 전압(V_B) 측과 각각 연결되고, 제2 저항(R_2)은 + 단자 및 - 단자와 각각 접지단 사이에 연결되며, 2개의 제3 저항(R_3) 중 하나는 + 단자와 출력단(V_O) 사이에, 다른 하나는 - 단자와 접지단 사이에 연결된다.

[0066] 도 4(a)에서, $R_2 = 2R_1$일 경우, 비교기 입력 전압 V_{IN+}, V_{IN-}, 상기 입력 전압의 차는 다음과 같다.

$$V_{IN+} = \frac{G_1}{G_1 + G_2 + G_3} V_A$$

$$V_{IN-} = \frac{G_1 V_B + G_2 V_O}{G_1 + G_2 + G_3}$$

$$V_{IN+} - V_{IN-} = \frac{G_1}{G_1 + G_2 + G_3}\left[(V_A - V_B) - \frac{V_O}{2}\right]$$

$$= \frac{G_1}{G_1+G_2+G_3}\left(V_{CF} - \frac{V_O}{2}\right)$$

[0067]

[0068] 상기 식에서, G_1, G_2 및 G_3은 R_1, R_2 및 R_3의 컨덕턴스(conductance)이다.

[0069] 따라서 비교기는 플라잉 캐패시터 전압(V_{CF})과 $V_O/2$를 비교하여 플라잉 캐패시터 전압(V_{CF})을 보정하기 위한 신호를 출력한다. 즉, 비교기의 +, - 단자를 통해 플라잉 캐패시터의 양단 전압(V_A, V_B)이 인가되고, 비교기는 플라잉 캐패시터의 양단 전압과 출력 전압의 1/2 값의 차이를 비교하는 바, 비교기의 출력은 플라잉 캐패시터 전압(V_{CF})의 상태를 나타낼 수 있는 것이다.

[0070] 그래서 본 실시 예에 적용된 C_F-CDPS(260)를 이용하면 플라잉 캐패시터 전압(V_{CF})이 불안정하게 변동되더라도 안정되게 센싱할 수 있다.

[0071] 도 4(b)는 C_F-CDPS 동작의 타이밍도이다.

[0072] C_F-CDPS(260)의 동작 과정은 Φ_M(D의 상승 에지)에서 플라잉 캐패시터 전압(V_{CF})의 상태를 미리 확인하고 Φ_S(D의 하강 에지)에서 Φ_{CH} 또는 Φ_{DIS} 중 하나를 선택한다.

[0073] 이처럼 본 실시 예의 C_F-CDPS(260)는 플라잉 캐패시터 전압(V_{CF})과 출력 전압의 1/2($V_O/2$) 관계를 센싱하면서, 센싱결과에 따라 플라잉 캐패시터 전압(V_{CF})을 보정하기 위한 신호를 동시에 수행하고 있는 것이다.

[0074] 한편 기존에 플라잉 캐패시터 전압을 센싱하고 보정하는 방식은 대부분 증폭기를 이용해서 설계하는 경우가 많았다. 그러나 증폭기를 이용할 경우, 안정성을 보장하기 위해서 보상기가 별도로 필요하고, 이러한 보상기의 추가로 인해 회로가 복잡해진다. 반면 본 실시 예의 C_F-CDPS(260)는 증폭기 대신 비교기 소자를 기반으로 하기 때문에, 플라잉 캐패시터 전압(V_{CF})을 빠르게 보정할 수 있다. 그리고 보상기가 필요하지 않아 회로 자체를 간단하게 구현할 수 있다.

[0076] 다음에는 본 실시 예의 3-레벨 부스트 컨버터의 모드 전환 동작에 대해 도 5를 참조하여 살펴본다. 도 5는 3-레

벨 부스트 컨버터의 모드 전환과 관련된 동작 타이밍도이다.

[0078] 인덕터 전류에 기반한 모드 전환 동작

[0079] 본 실시 예의 3-레벨 부스트 컨버터(100)는 입력 전압(V_{IN})과 출력 전압(V_O)의 비율에 따른 제1 동작 모드 (Φ_{M1}, $2V_{IN}>V_O$) 및 제2 동작 모드(Φ_{M2}, $2V_{IN}<V_O$)가 제공된다. 그리고 동작 모드 선택부(250)는 입력 전압(V_{IN})과 출력 전압(V_O)의 비에 따른 인덕터 전류의 상태 변화에 따라 3-레벨 부스트 컨버터(100)가 상기 제1 동작모드(Φ_{M1}) 또는 제2 동작모드(Φ_{M2})로 동작되게 한다. 구체적으로 동작 모드 선택부(250)는 입력 전압(V_{IN})이 출력 전압(V_O)의 절반보다 크면 인덕터 전류는 이전 주기보다 높아지게 되어 이를 낮추기 위한 제1 동작 모드(Φ_{M1})로 동작되게 하고, 입력 전압(V_{IN})이 출력 전압(V_O)의 절반보다 작으면 인덕터 전류는 이전 주기보다 낮아지게 되어 이를 높이기 위한 제2 동작모드(Φ_{M2})로 동작되게 한다.

[0080] 도 5를 참조하면, 제1 동작모드(Φ_{M1})는 밸리 전류 모드로 동작하고(이 경우 $V_{SEN}>V_C$), 제2 동작모드(Φ_{M2})는 피크 전류 모드로 동작한다(이 경우 $V_{SEN}<V_C$). 그리고 모드 천이 시점에서 인덕터 전류는 오프셋 없이 일정한 DC 값을 가지므로 출력 전압의 변동 없이 원활한 모드 변경이 가능하다.

[0081] 이와 같이 동작 모드가 변경되는 시점에서 제1 동작 모드(Φ_{M1})와 제2 동작 모드(Φ_{M2})가 한번씩 번갈아 가면서 동작하는 것을 확인할 수 있다. 그래서 동작 모드가 바뀌는 영역에서도 인덕터 전류는 일정하게 유지되며, 결과적으로 출력 전압도 안정되게 출력될 수 있는 것이다.

[0082] 이와 관련하여 종래에도 2가지 동작 모드를 변경하는 기법이 실시되고 있지만, 그 변경되는 시점이 구체적이고 정확하지 않았다. 따라서 대략적인 변경 시점에 따라 단순히 동작 모드를 변경하는 제어방식을 취하였다. 이 경우 출력 전압 자체가 불안정할 수 밖에 없었다.

[0084] 캐패시터 전압에 기반한 모드 전환 동작

[0085] 앞서 설명한 바와 같이 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)(260)는 듀티 신호(D), 출력전압(V_O), 플라잉 캐패시터의 단자 전압(V_A, V_B)를 기반으로 하여 충전 모드(Φ_{CH}) 또는 방전 모드(Φ_{DIS})가 선택한다.

[0086] 구체적으로 플라잉 캐패시터 전압(V_{CF})과 1/2 출력전압($V_O/2$)을 비교한다. 그리고 비교 결과 플라잉 캐패시터 전압(V_{CF})이 1/2 출력전압($V_O/2$)보다 작은 경우에는 3-레벨 부스트 컨버터(100)를 플라잉 캐패시터 전압(V_{CF})을 올려주기 위한 충전 모드(Φ_{CH})로 동작시킨다. 반면 플라잉 캐패시터 전압(V_{CF})이 1/2 출력전압($V_O/2$)보다 큰 경우에는 3-레벨 부스트 컨버터(100)를 플라잉 캐패시터 전압(V_{CF})을 내려주기 위한 방전 모드(Φ_{DIS})로 동작시킨다.

[0087] 그리고 1/2 출력전압($V_O/2$)과 비교되는 플라잉 캐패시터 전압(V_{CF})이 크거나 작을 경우 그 1/2 출력전압($V_O/2$)이 되도록 계속 충전 모드 또는 방전 모드로 연속하여 동작하기 때문에, 플라잉 캐패시터 전압(V_{CF})을 빠르게 보정할 수 있다. 따라서 플라잉 캐패시터 전압(V_{CF})의 보정 속도가 느려서 3-레벨 부스트 컨버터 회로가 손상되는 것을 방지할 수 있고, 그에 신뢰성을 보장할 수 있을 것이다.

[0088] 이와 같이 본 발명에 따르면 3-레벨 부스트 컨버터의 동작을 유동적으로 선택이 가능하기 때문에, 플라잉 캐패시터 전압을 빠르게 보정할 수 있고, 안정적으로 모드 변경이 가능하게 됨을 알 수 있다.

[0090] 도 6은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 제조 사양을 설명한 도면이다. 도 6을 보면 3-레벨 부스트 컨버터의 칩 면적은 1.9㎜ × 2.9㎜이고, 0.18㎛ BCD 공정으로 시제품을 완성하였다. 그리고 5V의 항복전압을 갖는 CMOS 소자를 제어회로에 사용하였으며 16V의 항복전압을 갖는 LDMOS 소자를 3-레벨 부스트 컨버터의 고출력 전압을 견디기 위한 파워트랜지스터로 사용하였다.

[0092] 도 7은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 입력 전압이 5V일 때 측정된 파형도이다.

[0093] 이를 도면 도 7(a)는 V_O=6V($2V_{IN}$>V_O)일 때 스위칭 노드 전압(Vsw)이 V_O와 V_O/2 사이를 스위칭 하는 제1 동작 모드(Φ_{M1})로 동작하고, 도 7(c)는 V_O=16V($2V_{IN}$< V_O)이며 스위칭 노드 전압(Vsw)이 V_O/2와 접지 사이를 스위칭 하는 제2 동작 모드(Φ_{M2})로 동작하며, 이때 인덕터 전류 저조파 진동은 나타나지 않음을 알 수 있다.

[0094] 그리고 도 7(b)는 모드 천이 시점인 V_O=10V 일 때 제1 동작 모드(Φ_{M1})와 제2 동작 모드(Φ_{M2})가 교대로 반복하여 동작하며, 이때 인덕터 전류의 DC 값이 일정하기 때문에 모드 천이에 따른 출력 전압은 변동하지 않고 있다.

[0096] 도 8은 본 발명 실시 예에 따른 3-레벨 부스트 컨버터의 스타트-업 시간과 모드 천이 파형을 보인 도면이다.

[0097] 도 8(a)에서 3-레벨 부스트 컨버터는 플라잉 캐패시터 전압(V_{CF})이 V_O/2이 될 때까지 방전 모드(Φ_{DIS})를 반복하며, 셋팅 시간 60㎲를 포함하여 총 스타트 업 시간은 490㎲로 측정되었다. 또한 도 8(b)를 보면 제1 동작 모드(Φ_{M1})에서 제2 동작 모드(Φ_{M2})로 모드 전환 시점을 통해 전환되는 동안 출력 전압의 변동 없이 부드럽게 동작 모드가 전환되고 있음을 알 수 있다.

[0099] 다음 [표 1]은 본 발명의 제어회로에 의한 3-레벨 부스트 컨버터의 성능을 예시한 표이다.

[0100] 표 1을 보면 최대 효율을 95.3%이고, 인덕터 전류 리플 및 전도 손실은 이전 방법 대비 각각 2.3배, 54.8%가 감소하였다.

표 1

[0101]

	ISSCC'20 [5]	VLSI'16 [1]	VLSI'18 [2]	TPE'21 [3]	CICC'22 [4]	JSSC'20 [7]	**This work**
Process	0.35μm CMOS	65nm CMOS	0.25μm CMOS	0.13μm BCD	0.18μm CMOS	65nm CMOS	**0.18μm BCD**
V_{IN} (V)	2-4.4	5	2.6-5	8	20m-200m	0.3-3	**2-6**
V_{OUT} (V)	9-20	0.6-4.2	0.34-4.5	1.8-3.3	1.2	2.4-5	**5-32**
Topology	Reversed DSD	3-Level buck	3-Level buck	3-Level buck	3-Level boost	3-Level boost	**3-Level boost**
Current mode w/ smooth mode transition	NO (voltage mode)	NO (voltage mode)	NO (current mode)	NO (voltage mode)	NO (voltage mode)	NO (current mode)	**YES (current mode)**
Frequency	2MHz	50MHz	4.4-11.8MHz	0.8-1MHz	2MHz	0.5-45MHz	**1MHz**
Inductor (L)	2×3.3μH	100nH	220nH	10μH	N/A	N/A	**10μH**
Flying cap. (C_F)	2×0.47μF	5nF	1μF	2×4.7μF	N/A	N/A	**4.7μF**
Output cap. (C_O)	10μF	10nF	2.4μF	N/A	N/A	N/A	**10μF**
Peak efficiency	93.5%	90%	92.8%	88.6%	86.7%	96.8%	**95.3%**
V_{CF} calibration (compensation*)	Needed (N/A)	Duty feedback (Needed)	Duty feedback (Needed)	Capacitor hard switching (No)	Duty feedback (Needed)	Pulse frequency modulation (No)	**Phase selection (No)**
V_{CF} setting time	N/A	206μs**	162μs**	No Feedback	N/A	N/A	**≈0s**
I_L sub-harmonic	N/A	O	O	X	O	X	**X**

[0102] 표 1에서 선행연구 (1) 내지 (5), (7)은 다음과 같다.

[0103] (1)] X. Liu et al., "A 50MHz 5V 3W 90% efficiency 3-level buck converter with real-time calibration and wide output range for fast-DVS in 65nm CMOS," IEEE Symp. VLSI Circuits, June 2016.

[0104] (2) Y. Karasawa et al., "A 92.8% Efficiency Adaptive-On/Off-Time Control 3-Level Buck Converter for Wide Conversion Ratio with Shared Charge Pump Intermediate Voltage Regulator," IEEE Symp. VLSI Circuits, pp. 227-228, June 2018.

[0105] (3) W. Jung et al., "Dual-Path Three-Level Buck Converter with Loop-Free Autocalibration for Flying

Capacitor Self-Balancing," IEEE TPEL, vol. 36, no. 1, pp. 51-55, Jan. 2021.

[0106] (4) L. P.-Nguyen et al., "An 86.7%-Efficient Three-Level Boost Converter with Active Voltage Balancing for Thermoelectric Energy Harvesting," IEEE CICC, pp. 1-2, April, 2022.

[0107] (5) M. Huang et al., "A 2-Phase Soft-Charging Hybrid Boost Converter with Doubled-Switching Pulse Width and Shared Bootstrap Capacitor Achieving 93.5% Efficiency at a Conversion Ratio of 4.5," ISSCC, pp. 198-200, Feb, 2020.

[0108] [7] W. C. Liu et al., "A Three-Level Boost Converter with Full-Range Auto-Capacitor-Compensation Pulse Frequency Modulation," in IEEE JSSC, vol. 55, no. 3, pp. 744-755, March 2020.

[0110] 이상에서 설명한 바와 같이 본 발명에 적용된 3-레벨 부스트 컨버터는, 인덕터 전류의 상태에 기반한 동작 모드 선택 및 플라잉 캐패시터 충/방전 위상 선택부(C_F-CDPS)을 사용하여 종래보다 부드러운 동작 모드의 전환이 가능하도록 하였으며 빠른 플라잉 캐패시터 전압의 보정으로 인해 고주파(수백 MHz) 다중 레벨 변환기에 적용할 수 있음을 알 수 있다.

[0112] 이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

부호의 설명

[0113] 10: 본 발명 전체 회로

100: 3-레벨 부스트 컨버터

200: 제어 회로

210: 센서부

212: 가산기

220: 적응형 슬로프 발생부(ASG)

230: 에러 앰프

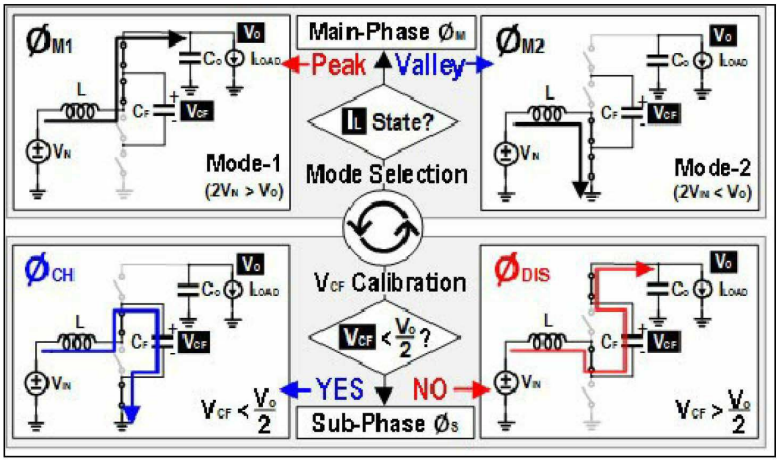
240: 비교기

250: 동작 모드 선택부

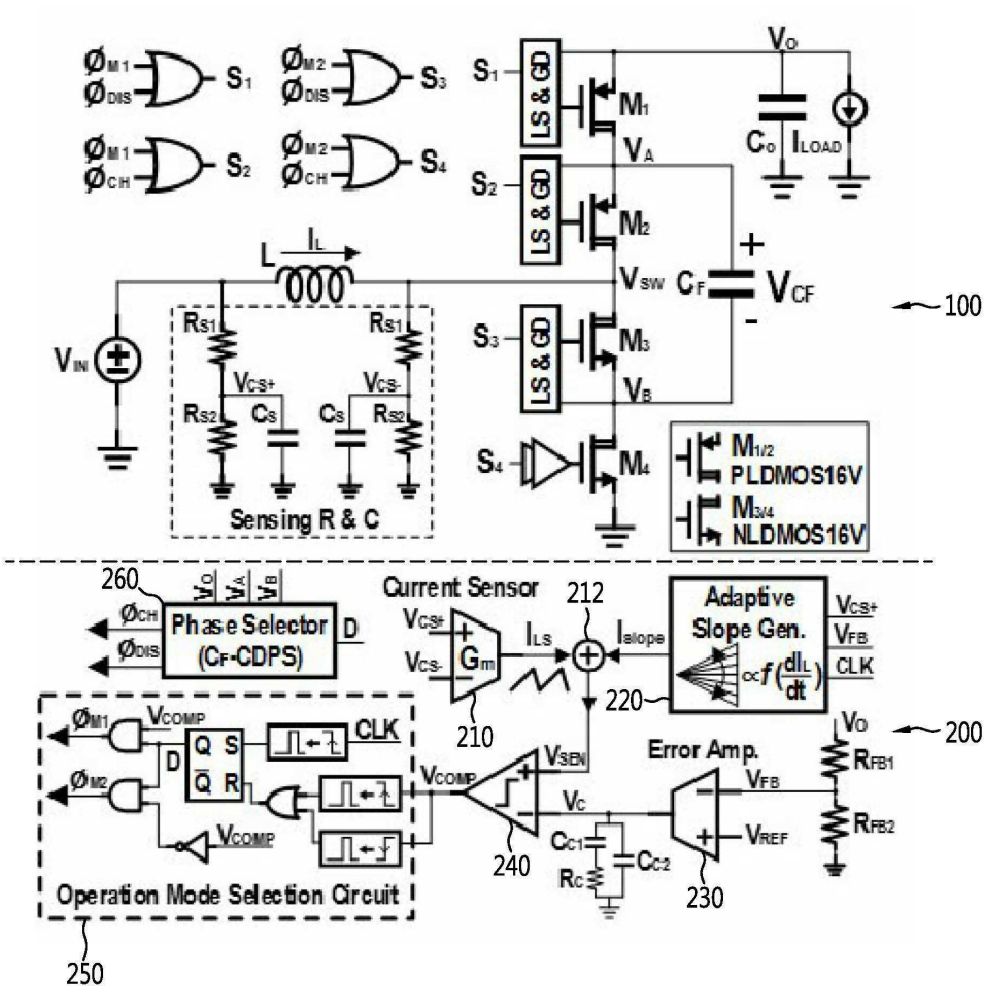
260: 플라잉 캐패시터 충/방전 위상 선택부(CF-CDPS)

도면

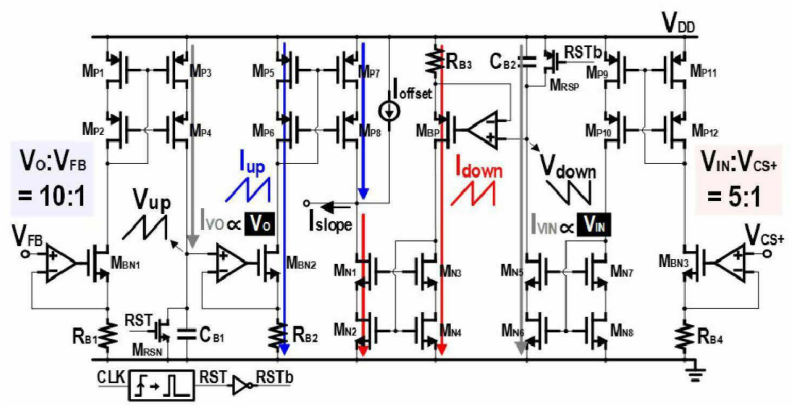
도면1


Main-Phase ØM
Peak
Valley
IL State?
Mode Selection
VCF Calibration
VCF < Vo/2 ?
YES
NO
Sub-Phase Øs
Mode-1
(2VIN > Vo)
Mode-2
(2VIN < Vo)
VCF < Vo/2
VCF > Vo/2

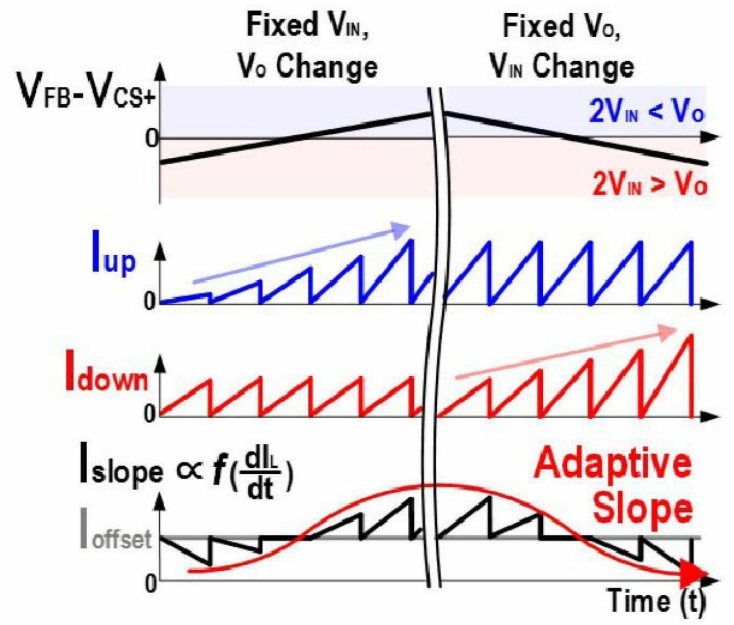
도면2


10
LS & GD
Sensing R & C
MH1/2 PLDMOS16V
ML3/4 NLDMOS16V
100
Phase Selector (CF-CDPS)
Current Sensor
Adaptive Slope Gen.
Error Amp.
Operation Mode Selection Circuit
200
210
212
220
230
240
250
260

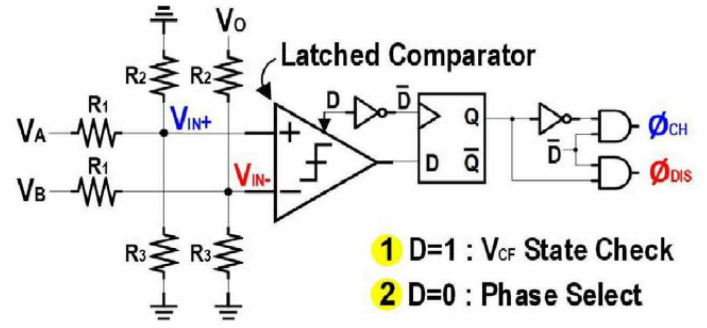
도면3a



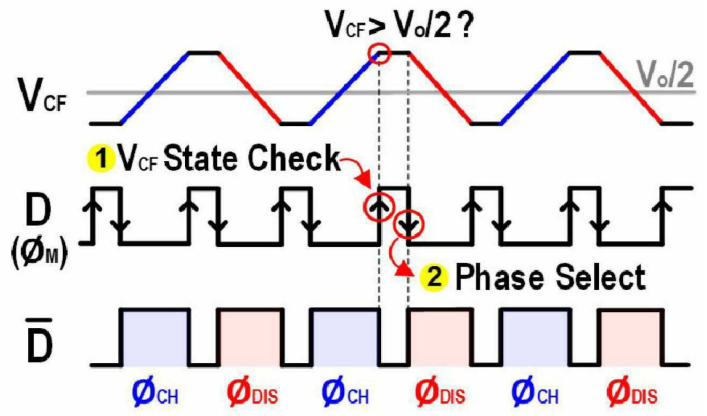
도면3b



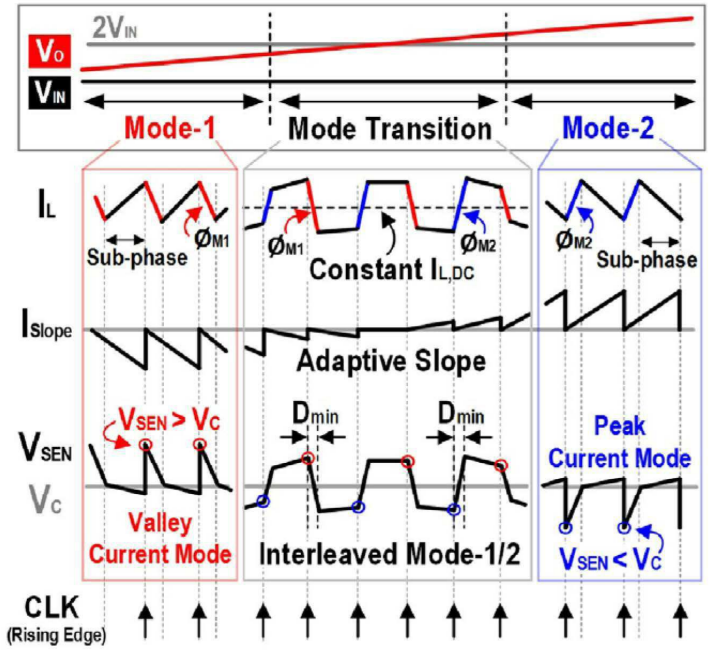
도면4a



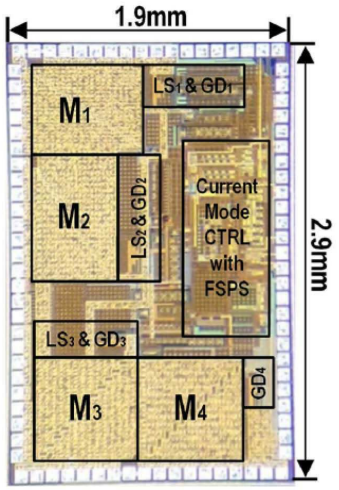
도면4b


VCF > Vo/2 ?
VCF
Vo/2
1 VCF State Check
D
(ØM)
2 Phase Select
D̄
ØCH
ØDIS
ØCH
ØDIS
ØCH
ØDIS

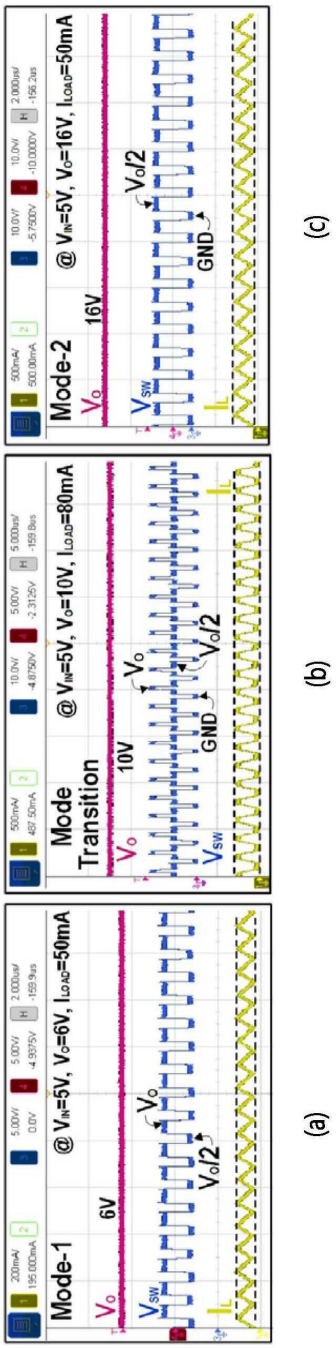
도면5


2VIN
Vo
VIN
Mode-1
Mode Transition
Mode-2
IL
ØM1
Sub-phase
ØM1
ØM2
Constant IL,DC
ØM2
Sub-phase
ISlope
Adaptive Slope
VSEN > VC
Dmin
Dmin
Peak
Current Mode
VSEN
VC
Valley
Current Mode
Interleaved Mode-1/2
VSEN < VC
CLK
(Rising Edge)

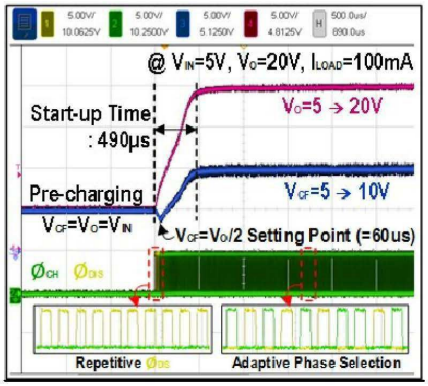
도면6


1.9mm
2.9mm
M1
LS1 & GD1
M2
LS2 & GD2
Current Mode CTRL with FSPS
LS3 & GD3
M3
M4
GD4

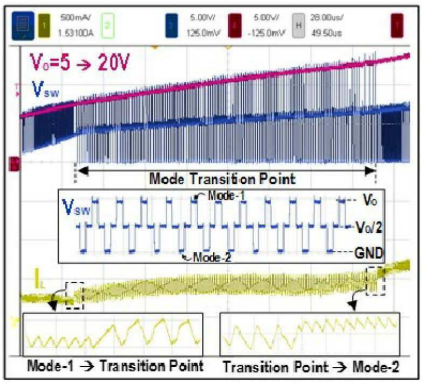
도면7


Mode-1
@ VIN=5V, VO=6V, ILOAD=50mA
6V
VO
VSW
IL
VO
VO/2
(a)
Mode
Transition
@ VIN=5V, VO=10V, ILOAD=80mA
10V
VO
VSW
IL
VO
VO/2
GND
(b)
Mode-2
@ VIN=5V, VO=16V, ILOAD=50mA
16V
VO
VSW
IL
VO/2
GND
(c)

도면8


@ VIN=5V, VO=20V, ILOAD=100mA
Start-up Time
: 490μs
VO=5 → 20V
Pre-charging
VCF=VO=VIN
VCF=5 → 10V
VCF=VO/2 Setting Point (=60us)
ØCH
ØDS
Repetitive ØDS
Adaptive Phase Selection

(a)


VO=5 → 20V
VSW
Mode Transition Point
VSW
Mode-1
Mode-2
VO
VO/2
GND
IL
Mode-1 → Transition Point
Transition Point → Mode-2

(b)