

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6554324号
(P6554324)

(45) 発行日 令和1年7月31日 (2019.7.31)

(24) 登録日 令和1年7月12日 (2019.7.12)

(51) Int.Cl.	F I
HO2M 7/48 (2007.01)	HO2M 7/48 E
HO2M 7/5387 (2007.01)	HO2M 7/5387 Z

請求項の数 2 (全 18 頁)

(21) 出願番号	特願2015-105507 (P2015-105507)	(73) 特許権者	390010308
(22) 出願日	平成27年5月25日 (2015.5.25)		東芝デベロップメントエンジニアリング株式会社
(65) 公開番号	特開2016-220468 (P2016-220468A)		神奈川県川崎市幸区堀川町580番地
(43) 公開日	平成28年12月22日 (2016.12.22)	(74) 代理人	100108855
審査請求日	平成30年5月7日 (2018.5.7)		弁理士 蔵田 昌俊
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100153051
			弁理士 河野 直樹
		(74) 代理人	100140176
			弁理士 砂川 克

最終頁に続く

(54) 【発明の名称】 DC/ACインバータ

(57) 【特許請求の範囲】

【請求項 1】

第1の入力端子および第2の入力端子を介して直流電圧を入力し、当該直流電圧を変換することによって生成した交流電圧を第1の出力端子および第2の出力端子を介して出力するDC/ACインバータであって、

前記第1の入力端子と前記第1の出力端子との間に挿入される第1のノーマリオフ型トランジスタと、

前記第2の入力端子と前記第1の出力端子との間に挿入される第2のノーマリオフ型トランジスタと、

前記第1の入力端子と前記第2の出力端子との間に挿入される第3のノーマリオフ型トランジスタと、

前記第2の入力端子と前記第2の出力端子との間に挿入される第4のノーマリオフ型トランジスタと、

前記第1のノーマリオフ型トランジスタに直列接続される第1のノーマリオフ型トランジスタ対と、

前記第2のノーマリオフ型トランジスタに直列接続される第2のノーマリオフ型トランジスタ対と、

前記第3のノーマリオフ型トランジスタに直列接続される第3のノーマリオフ型トランジスタ対と、

前記第4のノーマリオフ型トランジスタに直列接続される第4のノーマリオフ型トラン

10

20

ジスタ対と、

前記第 1 のノーマリオフ型トランジスタの制御端子と前記第 1 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する第 1 の電圧源と、

前記第 2 のノーマリオフ型トランジスタの制御端子と前記第 2 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する第 2 の電圧源と、

前記第 3 のノーマリオフ型トランジスタの制御端子と前記第 3 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する第 3 の電圧源と、

前記第 4 のノーマリオフ型トランジスタの制御端子と前記第 4 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する第 4 の電圧源と、

前記第 1 のノーマリオフ型トランジスタ対を ON / OFF 駆動する第 1 の駆動回路と、 10

前記第 2 のノーマリオフ型トランジスタ対を ON / OFF 駆動する第 2 の駆動回路と、

前記第 3 のノーマリオフ型トランジスタ対を ON / OFF 駆動する第 3 の駆動回路と、

前記第 4 のノーマリオフ型トランジスタ対を ON / OFF 駆動する第 4 の駆動回路とを具備し、

前記第 1 のノーマリオフ型トランジスタ対、前記第 2 のノーマリオフ型トランジスタ対、前記第 3 のノーマリオフ型トランジスタ対および前記第 4 のノーマリオフ型トランジスタ対の耐圧は、前記第 1 のノーマリオフ型トランジスタ、前記第 2 のノーマリオフ型トランジスタ、前記第 3 のノーマリオフ型トランジスタおよび前記第 4 のノーマリオフ型トランジスタの耐圧に比べて低い、

DC / AC インバータ。 20

【請求項 2】

前記第 1 の入力端子と前記第 1 の出力端子の間を接続する第 1 のダイオードと、

前記第 2 の入力端子と前記第 1 の出力端子の間を接続する第 2 のダイオードと、

前記第 1 の入力端子と前記第 2 の出力端子の間を接続する第 3 のダイオードと、

前記第 2 の入力端子と前記第 2 の出力端子の間を接続する第 4 のダイオードと

をさらに具備し、

前記第 1 のダイオード、前記第 2 のダイオード、前記第 3 のダイオードおよび前記第 4 のダイオードの順方向電圧は、前記第 1 のノーマリオフ型トランジスタ、前記第 2 のノーマリオフ型トランジスタ、前記第 3 のノーマリオフ型トランジスタおよび前記第 4 のノーマリオフ型トランジスタの順方向電圧よりも小さい、 30

請求項 1 記載の DC / AC インバータ。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、DC / AC インバータに関する。

【背景技術】

【0002】

直流電力から交流電力を生成するために、DC (Direct Current) / AC (Alternative Current) インバータが利用される。DC / AC インバータでは、メイン FET (Field Effect Transistor) の ON / OFF 動作に伴って、当該メイン FET のボディ (寄生) ダイオードにリカバリ電流が発生することがある。このリカバリ電流は、スイッチング損失およびノイズを増大させるうえにメイン FET の破損を引き起こすおそれもある。 40

【0003】

従来、例えば、メイン FET のボディダイオードの順方向電流を阻止する第 1 のダイオードを当該メイン FET に直列接続し、電流を迂回させる第 2 のダイオードを当該第 1 のダイオードのアノードとメイン FET のソース端子との間に接続することで、当該ボディダイオードにおけるリカバリ電流の発生を防止する技法が知られている。しかしながら、係る技法では、素子数の増大に伴うコスト上昇、上記第 1 のダイオードの順方向電圧による損失 (すなわち、DC / AC インバータの効率低下) などが問題となる。 50

【0004】

また、リカバリ電流へのさらなる対策として、SRB (Synchronous Reverse Blocking) 回路が知られている。しかしながら、SRB回路は、高耐圧/高速環流ダイオードを必要とするので、損失が依然として問題となる。

【0005】

さらに、メインFETをノーマリオン型トランジスタで実現することにより、リカバリ電流を削減する技法も知られている。しかしながら、係る技法では、メインFETのOFF期間に、外部回路の作用により当該メインFETのドレイン-ソース間電圧 V_{ds} が変化すると、当該メインFETの帰還容量 C_{dg} (または C_{rss}) を介してゲート-ソース間電圧 V_{gs} が上昇し、当該メインFETが誤ってONとなる可能性がある。メインFETがOFF期間であるにも関わらず誤ってONとなれば、損失が増大するだけでなく当該メインFETが破損するおそれがある。なお、外部回路の共振周波数を低くして V_{ds} を緩やかに変化させることで V_{gs} の上昇を抑えることも可能であるが、外部回路の大型化、デッドタイムの長期化による効率の低下などが問題となる。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-067051号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

実施形態は、DC/ACインバータのメイントランジスタのボディダイオードにおけるリカバリ電流を削減することを目的とする。

【課題を解決するための手段】

【0008】

実施形態によれば、DC/ACインバータは、第1の入力端子および第2の入力端子を介して直流電圧を入力し、当該直流電圧を変換することによって生成した交流電圧を第1の出力端子および第2の出力端子を介して出力する。DC/ACインバータは、第1のノーマリオフ型トランジスタ、第2のノーマリオフ型トランジスタ、第3のノーマリオフ型トランジスタ、第4のノーマリオフ型トランジスタ、第5のノーマリオフ型トランジスタ、第6のノーマリオフ型トランジスタ、第7のノーマリオフ型トランジスタ、第8のノーマリオフ型トランジスタ、第1の電圧源、第2の電圧源、第3の電圧源、第4の電圧源、第1の駆動回路、第2の駆動回路、第3の駆動回路および第4の駆動回路を含む。第1のノーマリオフ型トランジスタは、第1の入力端子と第1の出力端子との間に挿入される。第2のノーマリオフ型トランジスタは、第2の入力端子と第1の出力端子との間に挿入される。第3のノーマリオフ型トランジスタは、第1の入力端子と第2の出力端子との間に挿入される。第4のノーマリオフ型トランジスタは、第2の入力端子と第2の出力端子との間に挿入される。第5のノーマリオフ型トランジスタは、第1の端子、第2の端子および制御端子を備え、当該第1の端子を介して第1のノーマリオフ型トランジスタに直列接続される。第6のノーマリオフ型トランジスタは、第1の端子、第2の端子および制御端子を備え、当該第1の端子を介して第2のノーマリオフ型トランジスタに直列接続される。第7のノーマリオフ型トランジスタは、第1の端子、第2の端子および制御端子を備え、当該第1の端子を介して第3のノーマリオフ型トランジスタに直列接続される。第8のノーマリオフ型トランジスタは、第1の端子、第2の端子および制御端子を備え、当該第1の端子を介して第4のノーマリオフ型トランジスタに直列接続される。第1の電圧源は、第1のノーマリオフ型トランジスタの制御端子と第5のノーマリオフ型トランジスタの第2の端子との間の電位差を固定する。第2の電圧源は、第2のノーマリオフ型トランジスタの制御端子と第6のノーマリオフ型トランジスタの第2の端子との間の電位差を固定する。第3の電圧源は、第3のノーマリオフ型トランジスタの制御端子と第7のノーマリオフ型トランジスタの第2の端子との間の電位差を固定する。第4の電圧源は、第4のノ

30

40

50

ーマリオフ型トランジスタの制御端子と第 8 のノーマリオフ型トランジスタの第 2 の端子との間の電位差を固定する。第 1 の駆動回路は、第 5 のノーマリオフ型トランジスタを ON / OFF 駆動する。第 2 の駆動回路は、第 6 のノーマリオフ型トランジスタを ON / OFF 駆動する。第 3 の駆動回路は、第 7 のノーマリオフ型トランジスタを ON / OFF 駆動する。第 4 の駆動回路は、第 8 のノーマリオフ型トランジスタを ON / OFF 駆動する。第 5 のノーマリオフ型トランジスタ、第 6 のノーマリオフ型トランジスタ、第 7 のノーマリオフ型トランジスタおよび第 8 のノーマリオフ型トランジスタの耐圧は、第 1 のノーマリオフ型トランジスタ、第 2 のノーマリオフ型トランジスタ、第 3 のノーマリオフ型トランジスタおよび第 4 のノーマリオフ型トランジスタの耐圧に比べて低い。

【 0 0 0 9 】

実施形態によれば、DC / AC インバータは、第 1 の入力端子および第 2 の入力端子を介して直流電圧を入力し、当該直流電圧を変換することによって生成した交流電圧を第 1 の出力端子および第 2 の出力端子を介して出力する。DC / AC インバータは、第 1 のノーマリオフ型トランジスタ、第 2 のノーマリオフ型トランジスタ、第 3 のノーマリオフ型トランジスタ、第 4 のノーマリオフ型トランジスタ、第 1 のノーマリオフ型トランジスタ対、第 2 のノーマリオフ型トランジスタ対、第 3 のノーマリオフ型トランジスタ対、第 4 のノーマリオフ型トランジスタ対、第 1 の電圧源、第 2 の電圧源、第 3 の電圧源、第 4 の電圧源、第 1 の駆動回路、第 2 の駆動回路、第 3 の駆動回路および第 4 の駆動回路を含む。第 1 のノーマリオフ型トランジスタは、第 1 の入力端子と第 1 の出力端子との間に挿入される。第 2 のノーマリオフ型トランジスタは、第 2 の入力端子と第 1 の出力端子との間に挿入される。第 3 のノーマリオフ型トランジスタは、第 1 の入力端子と第 2 の出力端子との間に挿入される。第 4 のノーマリオフ型トランジスタは、第 2 の入力端子と第 2 の出力端子との間に挿入される。第 1 のノーマリオフ型トランジスタ対は、第 1 のノーマリオフ型トランジスタに直列接続される。第 2 のノーマリオフ型トランジスタ対は、第 2 のノーマリオフ型トランジスタに直列接続される。第 3 のノーマリオフ型トランジスタ対は、第 3 のノーマリオフ型トランジスタに直列接続される。第 4 のノーマリオフ型トランジスタ対は、第 4 のノーマリオフ型トランジスタに直列接続される。第 1 の電圧源は、第 1 のノーマリオフ型トランジスタの制御端子と第 1 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する。第 2 の電圧源は、第 2 のノーマリオフ型トランジスタの制御端子と第 2 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する。第 3 の電圧源は、第 3 のノーマリオフ型トランジスタの制御端子と第 3 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する。第 4 の電圧源は、第 4 のノーマリオフ型トランジスタの制御端子と第 4 のノーマリオフ型トランジスタ対の共通端子との間の電位差を固定する。第 1 の駆動回路は、第 1 のノーマリオフ型トランジスタ対を ON / OFF 駆動する。第 2 の駆動回路は、第 2 のノーマリオフ型トランジスタ対を ON / OFF 駆動する。第 3 の駆動回路は、第 3 のノーマリオフ型トランジスタ対を ON / OFF 駆動する。第 4 の駆動回路は、第 4 のノーマリオフ型トランジスタ対を ON / OFF 駆動する。第 1 のノーマリオフ型トランジスタ対、第 2 のノーマリオフ型トランジスタ対、第 3 のノーマリオフ型トランジスタ対および第 4 のノーマリオフ型トランジスタ対の耐圧は、第 1 のノーマリオフ型トランジスタ、第 2 のノーマリオフ型トランジスタ、第 3 のノーマリ

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】第 1 の実施形態に係る DC / AC インバータを例示する回路図。

【図 2】DC / AC インバータの基本回路を例示する回路図。

【図 3】図 2 の DC / AC インバータにおいて発生するリカバリ電流の説明図。

【図 4】比較例に係る DC / AC インバータを例示する回路図。

【図 5】図 4 の DC / AC インバータの効果の説明図。

【図 6】図 1 の DC / AC インバータの効果の説明図。

【図 7】第 2 の実施形態に係る DC / AC インバータを例示する回路図。

【発明を実施するための形態】

【0011】

以下、図面を参照しながら実施形態の説明が述べられる。尚、以降、説明済みの要素と同一または類似の要素には同一または類似の符号が付され、重複する説明は基本的に省略される。以降の説明では、FETは、例えば、窒素ガリウム(GaN)トランジスタ、炭化ケイ素(SiC)トランジスタなどの種々のノーマリオフ型トランジスタに置き換えられてもよい。

【0012】

(第1の実施形態)

図2には、DC/ACインバータの基本回路が例示される。図2のDC/ACインバータは、リカバリ電流への対策が施されていないものの、基本的な動作原理では第1の実施形態に係るDC/ACインバータと共通する。

10

【0013】

図2のDC/ACインバータは、第1の入力端子および第2の入力端子(接地)を介して直流電圧(V_{in})を入力し、当該直流電圧を変換することによって生成した交流電圧を第1の出力端子OUT1および第2の出力端子OUT2を介して出力する。

【0014】

図2のDC/ACインバータは、メインFET Q205と、メインFET Q206と、メインFET Q207と、メインFET Q208と、電圧源E201と、電圧源E202と、電圧源E203と、駆動回路Drive201と、駆動回路Drive202と、駆動回路Drive203と、駆動回路Drive204とを含む。

20

【0015】

メインFET Q205は、そのドレイン端子がDC/ACインバータの第1の入力端子に接続され、そのゲート端子が抵抗器R202を介して駆動回路Drive201の出力端子(Output)に接続され、そのソース端子がインダクタL1を介してDC/ACインバータの第1の出力端子に接続される。図2には、メインFET Q205のボディダイオードD201も描かれている。駆動回路Drive201は、電圧源E201を電源として用いてメインFET Q205のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。

【0016】

30

メインFET Q206は、そのドレイン端子がインダクタL1を介してDC/ACインバータの第1の出力端子に接続され、そのゲート端子が抵抗器R205を介して駆動回路Drive202の出力端子(Output)に接続され、そのソース端子がDC/ACインバータの第2の入力端子に接続される(すなわち、接地される)。図2には、メインFET Q206のボディダイオードD202も描かれている。駆動回路Drive202は、電圧源E202を電源として用いてメインFET Q206のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。

【0017】

メインFET Q207は、そのドレイン端子がDC/ACインバータの第1の入力端子に接続され、そのゲート端子が抵抗器R208を介して駆動回路Drive203の出力端子(Output)に接続され、そのソース端子がインダクタL2を介してDC/ACインバータの第2の出力端子に接続される。図2には、メインFET Q207のボディダイオードD203も描かれている。駆動回路Drive203は、電圧源E203を電源として用いてメインFET Q207のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。

40

【0018】

メインFET Q208は、そのドレイン端子がインダクタL2を介してDC/ACインバータの第2の出力端子に接続され、そのゲート端子が抵抗器R211を介して駆動回路Drive204の出力端子(Output)に接続され、そのソース端子がDC/ACインバータの第2の入力端子に接続される(すなわち、接地される)。図2には、メインFET

50

T Q 2 0 8 のボディダイオード D 2 0 4 も描かれている。駆動回路 D r i v e 2 0 4 は、電圧源 E 2 0 2 を電源として用いてメイン F E T Q 2 0 8 の O N / O F F を制御するための制御信号を生成し、出力端子を介して出力する。

【 0 0 1 9 】

駆動回路 D r i v e 2 0 1、駆動回路 D r i v e 2 0 2、駆動回路 D r i v e 2 0 3 および駆動回路 D r i v e 2 0 4 は、メイン F E T Q 2 0 5、メイン F E T Q 2 0 6、メイン F E T Q 2 0 7 およびメイン F E T Q 2 0 8 をそれぞれ O N / O F F 駆動することにより、D C / A C インバータの第 1 の出力端子 O U T 1 および第 2 の出力端子 O U T 2 へと交流電力を供給する。

【 0 0 2 0 】

図 2 の D C / A C インバータでは、各メイン F E T のボディダイオードにリカバリ電流が生じるおそれがある。例えば、メイン F E T Q 2 0 8 のドレイン電流がソース端子からドレイン端子の方向へと流れている状態で当該メイン F E T Q 2 0 8 が O N 状態から O F F 状態へと切り替わると、その後のデッドタイムに亘ってボディダイオード D 2 0 4 に順方向電流が流れることになる。故に、デッドタイム終了時にメイン F E T Q 2 0 7 が O F F 状態から O N 状態へと切り替わると、図 3 に例示されるように、ボディダイオード D 2 0 4 においてリカバリ電流が瞬間的に発生し、D C / A C インバータのスイッチング損失を増大させる。

【 0 0 2 1 】

図 4 には、比較例に係る D C / A C インバータが例示される。図 4 の D C / A C インバータは、第 1 の実施形態に係る D C / A C インバータと比べて、リカバリ電流の対策機構において異なるものの、基本的な動作原理では共通する。具体的には、図 4 の D C / A C インバータは、ダイオード D 2 0 5、ダイオード D 2 0 6、ダイオード D 2 0 7、ダイオード D 2 0 8、ダイオード D 2 0 9、ダイオード D 2 1 0、ダイオード D 2 1 1 およびダイオード D 2 1 2 を図 2 の D C / A C インバータに対して追加した構成に相当する。

【 0 0 2 2 】

ダイオード D 2 0 5 は、D C / A C インバータの第 1 の入力端子とメイン F E T Q 2 0 5 との間に挿入され、当該メイン F E T Q 2 0 5 のボディダイオード D 2 0 1 の順方向電流を阻止する。

【 0 0 2 3 】

ダイオード D 2 0 6 は、D C / A C インバータの第 1 の出力端子とメイン F E T Q 2 0 6 との間に挿入され、当該メイン F E T Q 2 0 6 のボディダイオード D 2 0 2 の順方向電流を阻止する。

【 0 0 2 4 】

ダイオード D 2 0 7 は、D C / A C インバータの第 1 の入力端子とメイン F E T Q 2 0 7 との間に挿入され、当該メイン F E T Q 2 0 7 のボディダイオード D 2 0 3 の順方向電流を阻止する。

【 0 0 2 5 】

ダイオード D 2 0 8 は、D C / A C インバータの第 2 の出力端子とメイン F E T Q 2 0 8 との間に挿入され、当該メイン F E T Q 2 0 8 のボディダイオード D 2 0 4 の順方向電流を阻止する。

【 0 0 2 6 】

ダイオード D 2 0 9 は、メイン F E T Q 2 0 5 のソース端子とダイオード D 2 0 5 のアノードとの間を接続し、電流の迂回路を形成する。ダイオード D 2 0 9 として、リカバリ電流が（各ボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオード D 2 0 9 は、ショットキーバリアダイオードであってよい。

【 0 0 2 7 】

ダイオード D 2 1 0 は、メイン F E T Q 2 0 6 のソース端子とダイオード D 2 0 6 のアノードとの間を接続し、電流の迂回路を形成する。ダイオード D 2 1 0 として、リカバ

10

20

30

40

50

リ電流が（各ボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD 2 1 0は、ショットキーバリアダイオードであってよい。

【0028】

ダイオードD 2 1 1は、メインFET Q 2 0 7のソース端子とダイオードD 2 0 7のアノードとの間を接続し、電流の迂回路を形成する。ダイオードD 2 1 1として、リカバリ電流が（各ボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD 2 1 1は、ショットキーバリアダイオードであってよい。

【0029】

ダイオードD 2 1 2は、メインFET Q 2 0 8のソース端子とダイオードD 2 0 8のアノードとの間を接続し、電流の迂回路を形成する。ダイオードD 2 1 2として、リカバリ電流が（各ボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD 2 1 2は、ショットキーバリアダイオードであってよい。

【0030】

図4のDC/ACインバータでは、図2のDC/ACインバータに比べてリカバリ電流が効果的に削減される。例えば、メインFET Q 2 0 8のソース端子からドレイン端子の方向への電流はダイオードD 2 0 8によって阻止されるので、当該メインFET Q 2 0 8がON状態からOFF状態へと切り替わってもボディダイオードD 2 0 4には順方向電流が流れない。他方、図5に例示されるように、ダイオードD 2 1 2にはメインFET

Q 2 0 8を迂回したドレイン電流が順方向電流として流れるものの、前述のようにダイオードD 2 1 2によるリカバリ電流の影響は小さい。従って、図4のDC/ACインバータによればリカバリ電流を効果的に削減することができる。反面、図4のDC/ACインバータでは、素子数の増大に伴うコスト上昇、ならびに、ダイオードD 2 0 5、ダイオードD 2 0 6、ダイオードD 2 0 7およびダイオードD 2 0 8の順方向電圧による損失（すなわち、DC/ACインバータの効率低下）などが問題となる。

【0031】

第1の実施形態に係るDC/ACインバータは、各メインFETのゲート端子をバイアス用の電圧源に接続し、当該メインFETのON/OFFを当該メインFETに直列接続される（メインFETに比べて）低耐圧のスイッチングFETを介して制御する。本実施形態に係るDC/ACインバータが図1に例示される。

【0032】

図1のDC/ACインバータは、第1の入力端子および第2の入力端子（接地）を介して直流電圧（ V_{in} ）を入力し、当該直流電圧を変換することによって生成した交流電圧を第1の出力端子OUT 1および第2の出力端子OUT 2を介して出力する。

【0033】

図1のDC/ACインバータは、メインFET Q 1 0 1と、メインFET Q 1 0 2と、メインFET Q 1 0 3と、メインFET Q 1 0 4と、スイッチングFET Q 1 0 5と、スイッチングFET Q 1 0 6と、スイッチングFET Q 1 0 7と、スイッチングFET Q 1 0 8と、電圧源E 1 0 1と、電圧源E 1 0 2と、電圧源E 1 0 3と、駆動回路Drive 1 0 1と、駆動回路Drive 1 0 2と、駆動回路Drive 1 0 3と、駆動回路Drive 1 0 4と、ダイオードD 1 0 1と、ダイオードD 1 0 2と、ダイオードD 1 0 3と、ダイオードD 1 0 4とを含む。なお、図1には、各FETのボディダイオードは描かれていない。

【0034】

メインFET Q 1 0 1は、そのドレイン端子がDC/ACインバータの第1の入力端子に接続され、そのゲート端子が電圧源E 1 0 1の正極端子に接続され、そのソース端子がスイッチングFET Q 1 0 5のドレイン端子およびダイオードD 1 0 1のカソードに共通に接続される。メインFET Q 1 0 1のゲート端子とスイッチングFET Q 1 0

10

20

30

40

50

5のソース端子との電位差は電圧源E101によって固定されているので、スイッチングFET Q105を制御すればメインFET Q101のON/OFFを切り替えることができる。なお、電圧源E101の起電力は、メインFET Q101の閾値電圧を超えることとする。

【0035】

メインFET Q102は、そのドレイン端子がインダクタL1を介してDC/ACインバータの第1の出力端子に接続され、そのゲート端子が電圧源E102の正極端子に接続され、そのソース端子がスイッチングFET Q106のドレイン端子およびダイオードD102のカソードに共通に接続される。メインFET Q102のゲート端子とスイッチングFET Q106のソース端子との電位差は電圧源E102によって固定されているので、スイッチングFET Q106を制御すればメインFET Q102のON/OFFを切り替えることができる。なお、電圧源E102の起電力は、メインFET Q102およびメインFET Q104の閾値電圧を超えることとする。

10

【0036】

メインFET Q103は、そのドレイン端子がDC/ACインバータの第1の入力端子に接続され、そのゲート端子が電圧源E103の正極端子に接続され、そのソース端子がスイッチングFET Q107のドレイン端子およびダイオードD103のカソードに共通に接続される。メインFET Q103のゲート端子とスイッチングFET Q107のソース端子との電位差は電圧源E103によって固定されているので、スイッチングFET Q107を制御すればメインFET Q103のON/OFFを切り替えることができる。なお、電圧源E103の起電力は、メインFET Q103の閾値電圧を超えることとする。

20

【0037】

メインFET Q104は、そのドレイン端子がインダクタL2を介してDC/ACインバータの第2の出力端子に接続され、そのゲート端子が電圧源E102の正極端子に接続され、そのソース端子がスイッチングFET Q108のドレイン端子およびダイオードD104のカソードに共通に接続される。メインFET Q104のゲート端子とスイッチングFET Q108のソース端子との電位差は電圧源E102によって固定されているので、スイッチングFET Q108を制御すればメインFET Q104のON/OFFを切り替えることができる。

30

【0038】

なお、メインFET Q104およびスイッチングFET Q108を駆動するための補助電源は、メインFET Q102およびスイッチングFET Q106を駆動するための補助電源とは独立して設けることも可能であるが、図1の電圧源E102のように両者を共通化することで構成を簡略することができる。

【0039】

スイッチングFET Q105は、そのドレイン端子がメインFET Q101のソース端子およびダイオードD101のカソードに共通に接続され、そのゲート端子が抵抗器R102を介して駆動回路Drive101の出力端子(Out)に接続され、そのソース端子がインダクタL1を介してDC/ACインバータの第1の出力端子に接続され、さらにダイオードD101のアノードに接続される。駆動回路Drive101は、電圧源E101を電源として用いてスイッチングFET Q105のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。

40

【0040】

スイッチングFET Q106は、そのドレイン端子がメインFET Q102のソース端子およびダイオードD102のカソードに共通に接続され、そのゲート端子が抵抗器R105を介して駆動回路Drive102の出力端子(Out)に接続され、そのソース端子がダイオードD102のアノードおよびDC/ACインバータの第2の入力端子に共通に接続される(すなわち、接地される)。駆動回路Drive102は、電圧源E102を電源として用いてスイッチングFET Q106のON/OFFを制御するための

50

制御信号を生成し、出力端子を介して出力する。

【0041】

スイッチングFET Q107は、そのドレイン端子がメインFET Q103のソース端子およびダイオードD103のカソードに共通に接続され、そのゲート端子が抵抗器R108を介して駆動回路Drive103の出力端子(Out)に接続され、そのソース端子がインダクタL2を介してDC/ACインバータの第2の出力端子に接続され、さらにダイオードD103のアノードおよびメインFET Q104のドレイン端子に共通に接続される。駆動回路Drive103は、電圧源E103を電源として用いてスイッチングFET Q107のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。

10

【0042】

スイッチングFET Q108は、そのドレイン端子がメインFET Q104のソース端子およびダイオードD104のカソードに共通に接続され、そのゲート端子が抵抗器R111を介して駆動回路Drive104の出力端子(Out)に接続され、そのソース端子がダイオードD104のアノードおよびDC/ACインバータの第2の入力端子に共通に接続される(すなわち、接地される)。駆動回路Drive104は、電圧源E102を電源として用いてスイッチングFET Q108のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。

【0043】

ダイオードD101は、スイッチングFET Q105のドレイン-ソース間を接続する。ダイオードD101として、リカバリ電流が(各メインFETのボディダイオードに比べて)小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD101は、ショットキーバリアダイオードであってよい。

20

【0044】

ダイオードD102は、スイッチングFET Q106のドレイン-ソース間を接続する。ダイオードD102として、リカバリ電流が(各メインFETのボディダイオードに比べて)小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD102は、ショットキーバリアダイオードであってよい。

【0045】

ダイオードD103は、スイッチングFET Q107のドレイン-ソース間を接続する。ダイオードD103として、リカバリ電流が(各メインFETのボディダイオードに比べて)小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD103は、ショットキーバリアダイオードであってよい。

30

【0046】

ダイオードD104は、スイッチングFET Q108のドレイン-ソース間を接続する。ダイオードD104として、リカバリ電流が(各メインFETのボディダイオードに比べて)小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD104は、ショットキーバリアダイオードであってよい。

【0047】

駆動回路Drive101、駆動回路Drive102、駆動回路Drive103および駆動回路Drive104は、スイッチングFET Q105、スイッチングFET Q106、スイッチングFET Q107およびスイッチングFET Q108をそれぞれON/OFF駆動し、これらに連動してメインFET Q101、メインFET Q102、メインFET Q103およびメインFET Q104をON/OFFさせることにより、DC/ACインバータの第1の出力端子OUT1および第2の出力端子OUT2へと交流電力を供給する。

40

【0048】

なお、メインFET Q101、メインFET Q102、メインFET Q103およびメインFET Q104の寄生容量(図示されない)を充電する電荷は、抵抗器R101、抵抗器R104、抵抗器R107および抵抗器R110を介してキャパシタC10

50

1、キャパシタC102、キャパシタC103およびキャパシタC104を充電する。故に、係る電荷の移動により、駆動回路Drive101、駆動回路Drive102、駆動回路Drive103および駆動回路Drive104の消費電力の一部または全部を賄うことが可能である。係る作用によって、DC/ACインバータの効率を向上させることができる。

【0049】

図1のDC/ACインバータでは、図2のDC/ACインバータに比べてリカバリ電流が効果的に削減される。例えば、スイッチングFET Q108がOFF状態からON状態へと切り替わると、メインFET Q104のゲート-ソース間電圧 V_{gs} は電圧源E102の起電力(>メインFET Q104の閾値電圧)に略一致するので、メインFET Q104はONとなる。

10

【0050】

他方、スイッチングFET Q108のドレイン電流がソース端子からドレイン端子の方向へと流れている状態で当該スイッチングFET Q108がON状態からOFF状態へと切り替わったとしても、ダイオードD104は順方向バイアスされている(すなわち、導通している)のでメインFET Q104のソース電位は略維持され、メインFET

Q104はON状態を継続する。故に、ダイオードD104の順方向電流は、メインFET Q104のチャンネルを通過して負荷へと供給される。より正確には、メインFET Q104のチャンネル抵抗による電圧降下が当該メインFET Q104のボディダイオードの順方向電圧よりも小さければ、メインFET Q104のチャンネルを電流が

20

流れている間も当該ボディダイオードはカットオフ状態となる(すなわち、順方向電流が流れない)。故に、図6に例示されるように、デッドタイム終了後にスイッチングFET Q107およびメインFET Q103がOFF状態からON状態へと切り替わっても、メインFET Q104はそのボディダイオードにリカバリ電流が流れることなくOFF状態に切り替わることができる。

【0051】

なお、スイッチングFET Q108のドレイン電流がドレイン端子からソース端子の方向へと流れている状態で当該スイッチングFET Q108がON状態からOFF状態へと切り替わったとすると、ダイオードD104は逆方向バイアスされているので、メインFET Q104のソース電位はゲート電位に略一致し、メインFET Q104もON状態からOFF状態へと切り替わる。そして、デッドタイムでは、メインFET Q104のボディダイオードは逆方向バイアスされているので順方向電流が流れない。故に、デッドタイム終了後にスイッチングFET Q107およびメインFET Q103がOFF状態からON状態へと切り替わっても、メインFET Q104はそのボディダイオードにリカバリ電流が流れることなくOFF状態に切り替わることができる。

30

【0052】

以上説明したように、第1の実施形態に係るDC/ACインバータは、メインFETを直接駆動せずに当該メインFETに直列接続されたスイッチングFETをON/OFF駆動する。メインFETはそのゲート端子がバイアス用の電圧源に接続されているので、対応するスイッチングFETのドレイン電流がソース端子からドレイン端子の方向へと流れている状態で当該スイッチングFETがON状態からOFF状態へと切り替わってもON状態を維持し、当該ドレイン電流をボディダイオードではなくチャンネルに流すことができる。従って、このDC/ACインバータによれば、メインFETのボディダイオードにおいてリカバリ電流の発生を防止(少なくとも削減)することができる。なお、このDC/ACインバータによれば、メインFETはそのゲート端子がバイアス用の電圧源に接続されているので、外部回路によりドレイン-ソース間電圧 V_{ds} が変化してもゲート-ソース間電圧 V_{gs} は上昇せず、当該メインFETが誤オンして破損することもない。

40

【0053】

また、このDC/ACインバータによれば、高耐圧(大型)のメインFETではなく低耐圧(小型)のスイッチングFETを駆動すればよいので、メインFETを直接的に駆動

50

する場合に比べて消費電力を削減してDC/ACインバータの効率を向上させることができる。加えて、このDC/ACインバータは、高耐圧/高速環流ダイオードも不要であるから、小規模（低コスト）かつ低損失に実現可能である。

【0054】

さらに、このDC/ACインバータによれば、スイッチングFETのドレイン・ソース間を接続するダイオードには、例えばショットキーバリアダイオードなどの順方向電圧の小さいダイオードが採用されるので、損失（すなわち、DC/ACインバータの効率低下）を抑制することができる。なお、係るダイオードを省略したとしても、当該ダイオードの役割をスイッチングFETのボディダイオードが担うことで、メインFETのボディダイオードに生じるリカバリ電流を削減することもできる。

10

【0055】

（第2の実施形態）

前述の第1の実施形態に係るDC/ACインバータは、メインFETのチャンネル抵抗による電圧降下が当該メインFETのボディダイオードの順方向電圧よりも小さければ、リカバリ電流の発生を防止できる。他方、このDC/ACインバータは、メインFETのチャンネル抵抗による電圧降下が当該メインFETのボディダイオードの順方向電圧と同じである場合には、当該ボディダイオードにはある程度の順方向電流が流れるのでリカバリ電流が生じることになる。第2の実施形態に係るDC/ACインバータは、メインFETのチャンネル抵抗の大きさに関わらず、当該メインFETのボディダイオードに順方向電流が流れることを阻止し、リカバリ電流の発生を防止する。

20

【0056】

第2の実施形態に係るDC/ACインバータは、各メインFETのゲート端子をバイアス用の電圧源に接続し、当該メインFETのON/OFFを当該メインFETに直列接続される（メインFETに比べて）低耐圧のスイッチングFET対（ソース共通）を介して制御する。本実施形態に係るDC/ACインバータが図7に例示される。

【0057】

図7のDC/ACインバータは、第1の入力端子および第2の入力端子（接地）を介して直流電圧（ V_{in} ）を入力し、当該直流電圧を変換することによって生成した交流電圧を第1の出力端子OUT1および第2の出力端子OUT2を介して出力する。

【0058】

図7のDC/ACインバータは、メインFET Q101と、メインFET Q102と、メインFET Q103と、メインFET Q104と、スイッチングFET Q305と、スイッチングFET Q306と、スイッチングFET Q307と、スイッチングFET Q308と、スイッチングFET Q309と、スイッチングFET Q310と、スイッチングFET Q311と、スイッチングFET Q312と、電圧源E101と、電圧源E102と、電圧源E103と、電圧源E304と、駆動回路Drive301と、駆動回路Drive302と、駆動回路Drive303と、駆動回路Drive304と、ダイオードD301と、ダイオードD302と、ダイオードD303と、ダイオードD304とを含む。なお、図7には、各FETのボディダイオードは描かれていない。

30

40

【0059】

メインFET Q101は、そのドレイン端子がDC/ACインバータの第1の入力端子に加えてダイオードD301のカソードに接続され、そのゲート端子が電圧源E101の正極端子に接続され、そのソース端子がスイッチングFET Q305のドレイン端子に接続される。メインFET Q101のゲート端子とスイッチングFET Q305およびスイッチングFET Q306のソース端子との電位差は電圧源E101によって固定されているので、スイッチングFET Q305およびスイッチングFET Q306を制御すればメインFET Q101のON/OFFを切り替えることができる。なお、前述のように、電圧源E101の起電力は、メインFET Q101の閾値電圧を超えることとする。

50

【0060】

メインFET Q102は、そのドレイン端子がインダクタL1を介してDC/ACインバータの第1の出力端子に接続され、さらにダイオードD302のカソードに接続され、そのゲート端子が電圧源E102の正極端子に接続され、そのソース端子がスイッチングFET Q307のドレイン端子に接続される。メインFET Q102のゲート端子とスイッチングFET Q307およびスイッチングFET Q308のソース端子との電位差は電圧源E102によって固定されているので、スイッチングFET Q307およびスイッチングFET Q308を制御すればメインFET Q102のON/OFFを切り替えることができる。なお、前述のように、電圧源E102の起電力は、メインFET Q102の閾値電圧を超えることとする。

10

【0061】

メインFET Q103は、そのドレイン端子がDC/ACインバータの第1の入力端子に加えてダイオードD303のカソードに接続され、そのゲート端子が電圧源E103の正極端子に接続され、そのソース端子がスイッチングFET Q309のドレイン端子に接続される。メインFET Q103のゲート端子とスイッチングFET Q309およびスイッチングFET Q310のソース端子との電位差は電圧源E103によって固定されているので、スイッチングFET Q309およびスイッチングFET Q310を制御すればメインFET Q103のON/OFFを切り替えることができる。なお、前述のように、電圧源E103の起電力は、メインFET Q103の閾値電圧を超えることとする。

20

【0062】

メインFET Q104は、そのドレイン端子がインダクタL2を介してDC/ACインバータの第2の出力端子に接続され、さらにダイオードD304のカソードに接続され、そのゲート端子が電圧源E304の正極端子に接続され、そのソース端子がスイッチングFET Q311のドレイン端子に接続される。メインFET Q104のゲート端子とスイッチングFET Q311およびスイッチングFET Q312のソース端子との電位差は電圧源E304によって固定されているので、スイッチングFET Q311およびスイッチングFET Q312を制御すればメインFET Q104のON/OFFを切り替えることができる。なお、電圧源E304の起電力は、メインFET Q104の閾値電圧を超えることとする。

30

【0063】

スイッチングFET Q305は、そのドレイン端子がメインFET Q101のソース端子に接続され、そのゲート端子が抵抗器R102を介して駆動回路Drive301の出力端子(Output)に接続され、そのソース端子がスイッチングFET Q306のソース端子に接続される。

【0064】

スイッチングFET Q306は、そのドレイン端子がインダクタL1を介してDC/ACインバータの第1の出力端子に接続され、さらにダイオードD301のアノードに接続され、そのゲート端子が抵抗器R301を介して駆動回路Drive301の出力端子(Output)に接続され、そのソース端子がスイッチングFET Q305のソース端子に接続される。

40

【0065】

駆動回路Drive301は、電圧源E101を電源として用いてスイッチングFET Q305およびスイッチングFET Q306のON/OFFを制御するための制御信号を生成し、出力端子を介して出力する。なお、スイッチングFET Q305およびスイッチングFET Q306は、ゲート電位およびソース電位が共通であるから、ON/OFFの挙動も共通である。

【0066】

スイッチングFET Q307は、そのドレイン端子がメインFET Q102のソース端子に接続され、そのゲート端子が抵抗器R302を介して駆動回路Drive302

50

の出力端子 (Out) に接続され、そのソース端子がスイッチング FET Q308 のソース端子に接続される。

【0067】

スイッチング FET Q308 は、そのドレイン端子が DC / AC インバータの第 2 の入力端子およびダイオード D302 のアノードに共通に接続され、そのゲート端子が抵抗器 R302 を介して駆動回路 Drive302 の出力端子 (Out) に接続され、そのソース端子がスイッチング FET Q307 のソース端子に接続される。

【0068】

駆動回路 Drive302 は、電圧源 E102 を電源として用いてスイッチング FET Q307 およびスイッチング FET Q308 の ON / OFF を制御するための制御信号を生成し、出力端子を介して出力する。なお、スイッチング FET Q307 およびスイッチング FET Q308 は、ゲート電位およびソース電位が共通であるから、ON / OFF の挙動も共通である。

10

【0069】

スイッチング FET Q309 は、そのドレイン端子がメイン FET Q103 のソース端子に接続され、そのゲート端子が抵抗器 R303 を介して駆動回路 Drive303 の出力端子 (Out) に接続され、そのソース端子がスイッチング FET Q310 のソース端子に接続される。

【0070】

スイッチング FET Q310 は、そのドレイン端子がインダクタ L2 を介して DC / AC インバータの第 2 の出力端子に接続され、さらにダイオード D303 のアノードに接続され、そのゲート端子が抵抗器 R303 を介して駆動回路 Drive303 の出力端子 (Out) に接続され、そのソース端子がスイッチング FET Q309 のソース端子に接続される。

20

【0071】

駆動回路 Drive303 は、電圧源 E103 を電源として用いてスイッチング FET Q309 およびスイッチング FET Q310 の ON / OFF を制御するための制御信号を生成し、出力端子を介して出力する。なお、スイッチング FET Q309 およびスイッチング FET Q310 は、ゲート電位およびソース電位が共通であるから、ON / OFF の挙動も共通である。

30

【0072】

スイッチング FET Q311 は、そのドレイン端子がメイン FET Q104 のソース端子に接続され、そのゲート端子が抵抗器 R304 を介して駆動回路 Drive304 の出力端子 (Out) に接続され、そのソース端子がスイッチング FET Q312 のソース端子に接続される。

【0073】

スイッチング FET Q312 は、そのドレイン端子が DC / AC インバータの第 2 の入力端子およびダイオード D304 のアノードに共通に接続され、そのゲート端子が抵抗器 R304 を介して駆動回路 Drive304 の出力端子 (Out) に接続され、そのソース端子がスイッチング FET Q311 のソース端子に接続される。

40

【0074】

駆動回路 Drive304 は、電圧源 E304 を電源として用いてスイッチング FET Q311 およびスイッチング FET Q312 の ON / OFF を制御するための制御信号を生成し、出力端子を介して出力する。なお、スイッチング FET Q311 およびスイッチング FET Q312 は、ゲート電位およびソース電位が共通であるから、ON / OFF の挙動も共通である。

【0075】

ダイオード D301 は、そのアノードがインダクタ L1 を介して DC / AC インバータの第 1 の出力端子に接続され、さらにスイッチング FET Q306 のドレイン端子に接続され、そのカソードがメイン FET Q101 のドレイン端子および DC / AC インバ

50

ータの第1の入力端子に共通に接続される。ダイオードD301として、リカバリ電流が（各メインFETのボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD301は、ショットキーバリアダイオードであってよい。

【0076】

ダイオードD302は、そのアノードがスイッチングFET Q308のドレイン端子およびDC/ACインバータの第2の入力端子に共通に接続され、そのカソードがインダクタL1を介してDC/ACインバータの第1の出力端子に接続され、さらにメインFET Q102のドレイン端子に接続される。ダイオードD302として、リカバリ電流が（各メインFETのボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD302は、ショットキーバリアダイオードであってよい。

10

【0077】

ダイオードD303は、そのアノードがインダクタL2を介してDC/ACインバータの第2の出力端子に接続され、さらにスイッチングFET Q310のドレイン端子に接続され、そのカソードがメインFET Q103のドレイン端子およびDC/ACインバータの第1の入力端子に共通に接続される。ダイオードD303として、リカバリ電流が（各メインFETのボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD303は、ショットキーバリアダイオードであってよい。

20

【0078】

ダイオードD304は、そのアノードがスイッチングFET Q312のドレイン端子およびDC/ACインバータの第2の入力端子に共通に接続され、そのカソードがインダクタL2を介してDC/ACインバータの第2の出力端子に接続され、さらにメインFET Q104のドレイン端子に接続される。ダイオードD304として、リカバリ電流が（各メインFETのボディダイオードに比べて）小さい若しくは問題とならない種別のダイオードが採用される。具体的には、ダイオードD304は、ショットキーバリアダイオードであってよい。

【0079】

駆動回路Drive301、駆動回路Drive302、駆動回路Drive303および駆動回路Drive304は、スイッチングFET Q305およびスイッチングFET Q306、スイッチングFET Q307およびスイッチングFET Q308、スイッチングFET Q309およびスイッチングFET Q310、ならびに、スイッチングFET Q311およびスイッチングFET Q312をそれぞれON/OFF駆動し、これらに連動してメインFET Q101、メインFET Q102、メインFET Q103およびメインFET Q104をON/OFFさせることにより、DC/ACインバータの第1の出力端子OUT1および第2の出力端子OUT2へと交流電力を供給する。

30

【0080】

図7のDC/ACインバータでは、図2のDC/ACインバータに比べてリカバリ電流が効果的に削減される。例えば、スイッチングFET Q311およびスイッチングFET Q312がOFF状態からON状態へと切り替わると、メインFET Q104のゲート-ソース間電圧 V_{gs} は電圧源E304の起電力（>メインFET Q104の閾値電圧）に略一致するので、メインFET Q104はONとなる。

40

【0081】

他方、スイッチングFET Q311およびスイッチングFET Q312がON状態からOFF状態へと切り替わると、メインFET Q104のソース電位はゲート電位に略一致し、メインFET Q104もON状態からOFF状態へと切り替わる。そして、スイッチングFET Q311およびスイッチングFET Q312がOFF状態であって、かつ、これらのボディダイオードの方向は相反するので、デッドタイムでは、メイン

50

F E T Q 1 0 4 のチャンネル抵抗の大きさに関わらずそのボディダイオードには電流が流れない。具体的には、メイン F E T Q 1 0 4 が O N 状態から O F F 状態へと切り替わる直前に、当該メイン F E T Q 1 0 4 のドレイン電流がソース端子からドレイン端子の方向へと流れていたとしても、係る電流は O F F 状態のスイッチング F E T Q 3 1 2 およびそのボディダイオード（逆方向バイアス）によって阻止され、ダイオード D 3 0 4 を迂回することになる。故に、デッドタイム終了後にスイッチング F E T Q 3 0 9 およびスイッチング F E T Q 3 1 0 ならびにメイン F E T Q 1 0 3 が O F F 状態から O N 状態へと切り替わっても、メイン F E T Q 1 0 4 はそのボディダイオードにリカバリ電流が流れない。

【 0 0 8 2 】

10

以上説明したように、第 2 の実施形態に係る D C / A C インバータは、メイン F E T を直接駆動せずに当該メイン F E T に直列接続されたスイッチング F E T 対を O N / O F F 駆動する。スイッチング F E T 対はソース端子が共通接続されているので、そのボディダイオードの方向は相反する。故に、スイッチング F E T 対が O N 状態から O F F 状態へと切り替わると、対応するメイン F E T も連動して O N 状態から O F F 状態へと切り替わり、当該メイン F E T のボディダイオードの順方向電流は、O F F 状態のスイッチング F E T およびそのボディダイオード（逆バイアス）によって阻止される。従って、この D C / A C インバータによれば、メイン F E T のチャンネル抵抗の大きさに関わらず当該メイン F E T のボディダイオードにおけるリカバリ電流の発生を防止することができる。

【 0 0 8 3 】

20

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 0 8 4 】

C 1 0 1 , C 1 0 2 , C 1 0 3 , C 1 0 4 , C 2 0 1 , C 2 0 2 , C 2 0 3 , C 2 0 4
 , C O . . . キャパシタ
 D 1 0 1 , D 1 0 2 , D 1 0 3 , D 1 0 4 , D 2 0 5 , D 2 0 6 , D 2 0 7 , D 2 0 8
 , D 2 0 9 , D 2 1 0 , D 2 1 1 , D 2 1 2 , D 3 0 1 , D 3 0 2 , D 3 0 3 , D 3 0 4
 . . . ダイオード
 D 2 0 1 , D 2 0 2 , D 2 0 3 , D 2 0 4 . . . ボディダイオード
 D r i v e 1 0 1 , D r i v e 1 0 2 , D r i v e 1 0 3 , D r i v e 1 0 4 , D r i
 v e 2 0 1 , D r i v e 2 0 2 , D r i v e 2 0 3 , D r i v e 2 0 4 , D r i v e 3 0
 1 , D r i v e 3 0 2 , D r i v e 3 0 3 , D r i v e 3 0 4 . . . 駆動回路
 E 1 0 1 , E 1 0 2 , E 1 0 3 , E 2 0 1 , E 2 0 2 , E 2 0 3 , E 3 0 4 . . . 電圧
 源

30

L 1 , L 2 . . . インダクタ

40

O U T 1 , O U T 2 . . . 出力端子

Q 1 0 1 , Q 1 0 2 , Q 1 0 3 , Q 1 0 4 , Q 2 0 5 , Q 2 0 6 , Q 2 0 7 , Q 2 0 8
 . . . メイン F E T

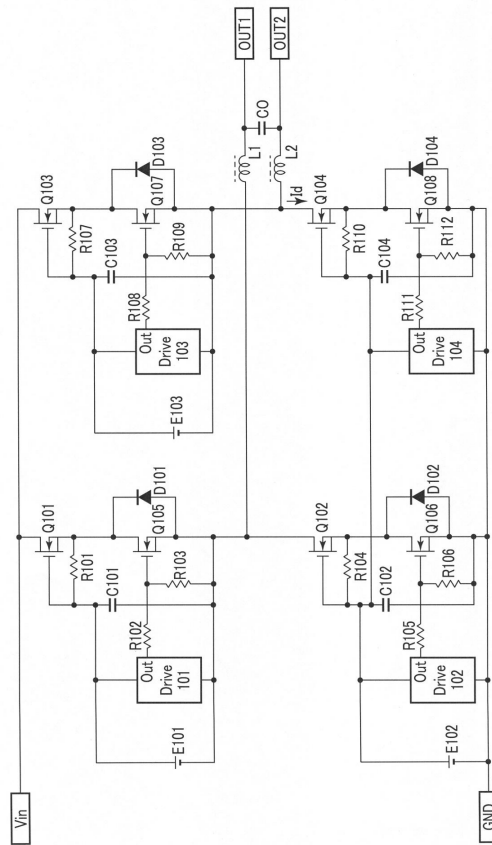
Q 1 0 5 , Q 1 0 6 , Q 1 0 7 , Q 1 0 8 , Q 3 0 5 , Q 3 0 6 , Q 3 0 7 , Q 3 0 8
 , Q 3 0 9 , Q 3 1 0 , Q 3 1 1 , Q 3 1 2 . . . スwitching F E T

R 1 0 1 , R 1 0 2 , R 1 0 3 , R 1 0 4 , R 1 0 5 , R 1 0 6 , R 1 0 7 , R 1 0 8
 , R 1 0 9 , R 1 1 0 , R 1 1 1 , R 1 1 2 , R 2 0 2 , R 2 0 3 , R 2 0 5 , R 2 0 6
 , R 2 0 8 , R 2 0 9 , R 2 1 1 , R 2 1 2 , R 3 0 1 , R 3 0 2 , R 3 0 3 , R 3 0 4
 , R 3 0 5 , R 3 0 6 , R 3 0 7 , R 3 0 8 , R 3 0 9 , R 3 1 0 , R 3 1 1 , R 3 1 2
 . . . 抵抗器

50

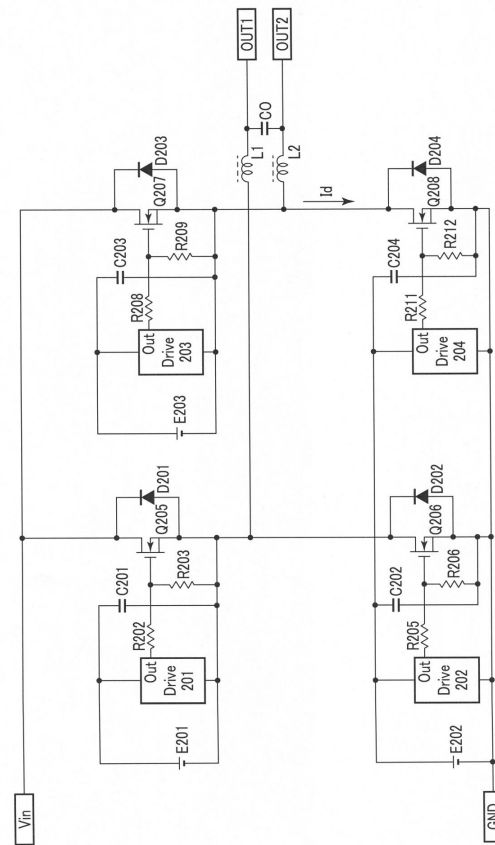
【図 1】

図 1



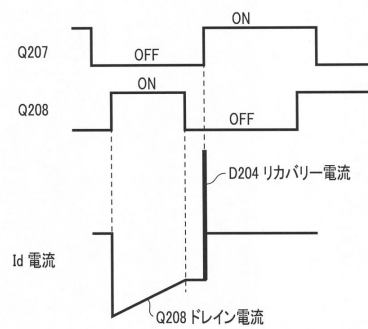
【図 2】

図 2



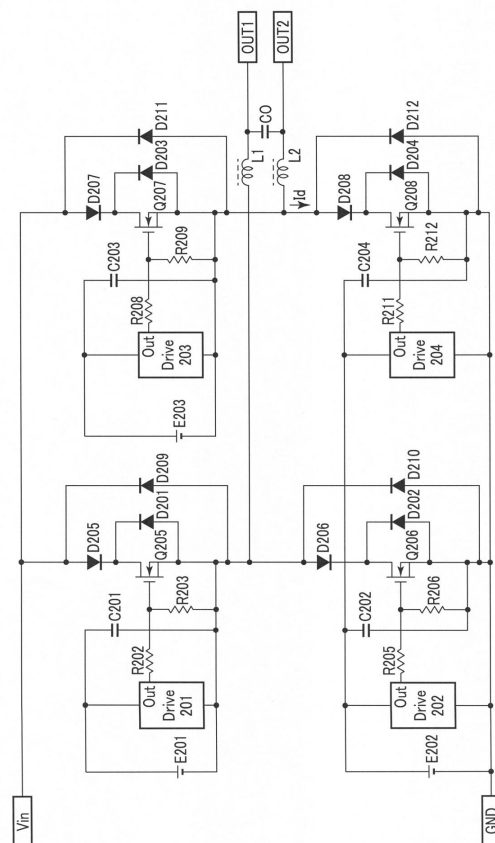
【図 3】

図 3



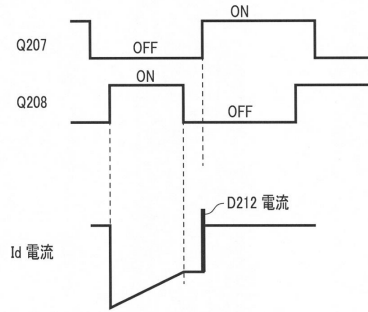
【図 4】

図 4



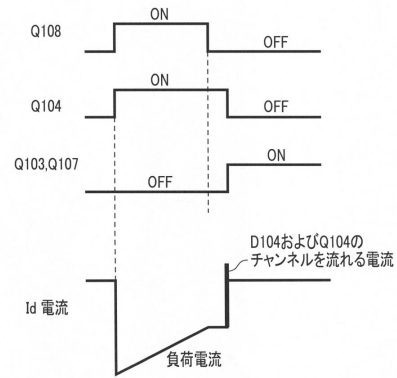
【図 5】

図5



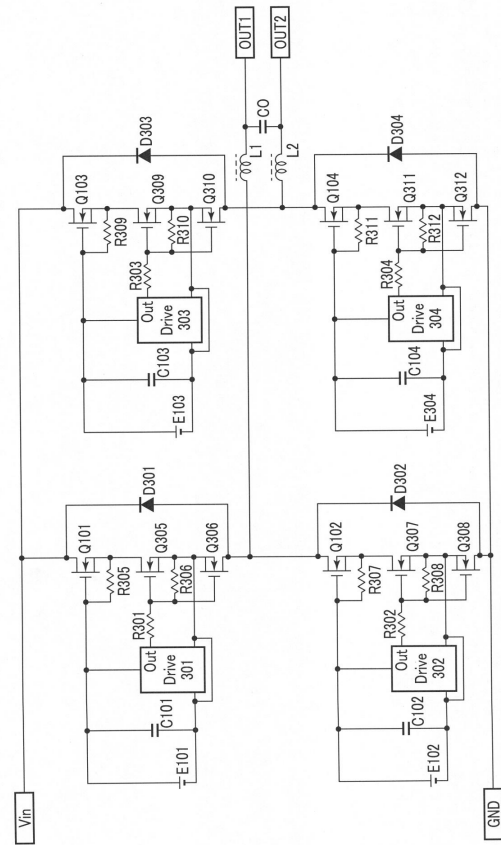
【図 6】

図6



【図 7】

図7



フロントページの続き

(74)代理人 100179062

弁理士 井上 正

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(72)発明者 森岡 静夫

東京都青梅市新町 3 丁目 3 番地の 5 東芝デジタルメディアエンジニアリング株式会社内

(72)発明者 鶴谷 守

埼玉県坂戸市塚越 1 2 2 0 - 1 パワーアシストテクノロジー株式会社内

(72)発明者 水谷 彰

埼玉県坂戸市塚越 1 2 2 0 - 1 パワーアシストテクノロジー株式会社内

審査官 石坂 知樹

(56)参考文献 特開 2 0 1 3 - 0 8 5 4 4 8 (J P , A)

特開 2 0 0 8 - 1 9 3 8 3 9 (J P , A)

特開 2 0 1 1 - 0 6 7 0 5 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 7 / 4 8

H 0 2 M 7 / 5 3 8 7