



(12)发明专利申请

(10)申请公布号 CN 109872749 A

(43)申请公布日 2019.06.11

(21)申请号 201711264932.7

(22)申请日 2017.12.05

(71)申请人 华邦电子股份有限公司

地址 中国台湾台中市大雅区科雅一路8号

(72)发明人 林立伟 庄育铮 李松益

(74)专利代理机构 北京同立钧成知识产权代理

有限公司 11205

代理人 马雯雯 臧建明

(51)Int.Cl.

G11C 13/00(2006.01)

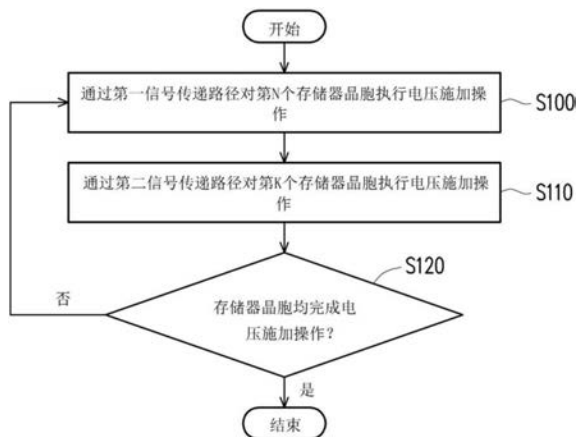
权利要求书2页 说明书7页 附图8页

(54)发明名称

电阻式存储器装置及其操作方法

(57)摘要

本发明提供一种电阻式存储器装置,包括存储器晶胞阵列以及电压选择器电路。存储器晶胞阵列包括多个存储器晶胞。电压选择器电路耦接至存储器晶胞阵列。电压选择器电路通过多个不同的信号传递路径对存储器晶胞执行电压施加操作。各信号传递路径通过其中一个存储器晶胞。信号传递路径当中的两个信号传递路径的电阻压降实质上相同,且两个信号传递路径的信号传递方向不相同。另外,一种电阻式存储器装置的操作方法也被提出。



1. 一种电阻式存储器装置,包括:
存储器晶胞阵列,包括多个存储器晶胞;以及
电压选择器电路,耦接至所述存储器晶胞阵列,通过多个不同的信号传递路径对所述多个存储器晶胞执行电压施加操作,且各所述信号传递路径通过所述多个存储器晶胞的其中一者,
其中多个信号传递路径当中的两个信号传递路径的电阻压降实质上相同,且所述两个信号传递路径的信号传递方向不相同。
2. 根据权利要求1所述的电阻式存储器装置,其中在所述多个信号传递路径当中,两两一组,每一组信号传递路径的电阻压降实质上相同,且信号传递方向不相同。
3. 根据权利要求2所述的电阻式存储器装置,其中所述存储器晶胞阵列包括第一端、第二端、第三端及第四端,每一组信号传递路径包括第一信号传递路径及第二信号传递路径,所述第一信号传递路径位于所述第一端与所述第二端之间,其上的信号由所述第一端传递至所述第二端,且所述第二信号传递路径位于所述第三端与所述第四端之间,其上的信号由所述第三端传递至所述第四端。
4. 根据权利要求3所述的电阻式存储器装置,其中所述电压选择器电路包括:
第一电压选择器,耦接至所述存储器晶胞阵列的所述第一端,用以选择将所述第一端耦接至第一电压或第二电压;以及
第二电压选择器,耦接至所述存储器晶胞阵列的所述第二端,用以选择将所述第二端耦接至第三电压或第四电压。
5. 根据权利要求4所述的电阻式存储器装置,其中所述电压选择器电路更包括:
第三电压选择器,耦接至所述存储器晶胞阵列的所述第三端,用以选择将所述第三端耦接至所述第一电压或所述第二电压;以及
第四电压选择器,耦接至所述存储器晶胞阵列的所述第四端,用以选择将所述第四端耦接至所述第三电压或所述第四电压。
6. 根据权利要求3所述的电阻式存储器装置,其中各所述存储器晶胞包括开关元件,所述开关元件包括第一端、第二端及控制端,所述开关元件的所述第一端通过比特线耦接至所述存储器晶胞阵列的所述第一端及所述第三端,所述开关元件的所述第二端通过源极线耦接至所述存储器晶胞阵列的所述第二端及所述第四端,且所述开关元件的所述控制端耦接至字符线。
7. 根据权利要求6所述的电阻式存储器装置,其中在所述电压选择器电路对所述多个存储器晶胞当中的存储器晶胞执行所述电压施加操作时,所述存储器晶胞的所述开关元件被导通,其余的所述多个存储器晶胞的所述多个开关元件不导通。
8. 根据权利要求1所述的电阻式存储器装置,其中所述电压选择器电路依据输入指令,对所述多个存储器晶胞执行所述电压施加操作。
9. 根据权利要求1所述的电阻式存储器装置,其中所述电压选择器电路在上电程序之后,对所述多个存储器晶胞执行所述电压施加操作。
10. 根据权利要求1所述的电阻式存储器装置,其中所述电压施加操作包括形成程序、初始重置操作、重置操作、设定操作、写入操作以及读取操作的其中一者或其组合。
11. 一种电阻式存储器装置的操作方法,其中电阻式存储器装置包括M个存储器晶胞,

所述操作方法包括：

第一步骤：通过第一信号传递路径对所述M个存储器晶胞当中的第N个存储器晶胞执行电压施加操作，其中所述第一信号传递路径通过所述第N个存储器晶胞，且 $N < M$ ，M、N为正整数；

第二步骤：通过第二信号传递路径对所述M个存储器晶胞当中的第K个存储器晶胞执行所述电压施加操作，其中所述第二信号传递路径通过所述第K个存储器晶胞，且 $K \leq M$ ，K为正整数；以及

第三步骤：重复执行所述第一步骤及所述第二步骤，直到所述M个存储器晶胞均完成所述电压施加操作，

其中M、N、K符合关系式： $N+K=M+1$ ，且所述第一信号传递路径的电阻压降与所述第二信号传递路径的电阻压降实质上相同，所述第一信号传递路径的信号传递方向与所述第二信号传递路径的信号传递方向不相同。

12. 根据权利要求11所述的电阻式存储器装置的操作方法，其中所述电压施加操作是依据输入指令来执行。

13. 根据权利要求11所述的电阻式存储器装置的操作方法，其中所述电压施加操作是在上电程序之后来执行。

14. 根据权利要求11所述的电阻式存储器装置的操作方法，其中所述电压施加操作包括形成程序、初始重置操作、重置操作、设定操作、写入操作以及读取操作的其中一者或其组合。

电阻式存储器装置及其操作方法

技术领域

[0001] 本发明涉及一种存储器装置及其操作方法,尤其涉及一种电阻式存储器装置及其操作方法。

背景技术

[0002] 近年来电阻式存储器(诸如电阻式随机存取存储器(Resistive Random Access Memory,RRAM))的发展极为快速,是目前最受瞩目的未来存储器的结构。由于电阻式存储器具备低功耗、高速运作、高密度以及相容于互补式金属氧化物半导体制程技术的潜在优势,因此非常适合作为下一世代的非易失性存储器元件。

[0003] 现行的电阻式存储器通常包括相对配置的上电极与下电极以及位于上电极与下电极之间的介电层。在现行的电阻式存储器可反复地在高低电阻状态间切换以存储数据前,首先需进行通道形成(forming)的程序。形成程序包括对电阻式存储器施加一偏压,例如正偏压,使电流从上电极流至下电极,使得介电层中产生氧空缺(oxygen vacancy)和氧离子(oxygen ion)而形成电流路径,使电阻式存储器自高阻态(high resistance state, HRS)变为低阻态(low resistance state, LRS),以形成导电灯丝(filament)。通常,在所形成的灯丝中,邻近上电极处的部分的直径会小于邻近下电极处的部分的直径。之后,可对电阻式存储器进行重置(reset)或设定(set),使电阻式存储器分别切换为高阻态与低阻态,以完成数据的存储。此外,当对现行的电阻式存储器进行重置时,包括对电阻式存储器施加与设定时极性相反的反向偏压,使电流从下电极流至上电极。此时,邻近上电极处的氧空缺与部分氧离子结合而中断电流路径,使得灯丝在邻近上电极处断开。当对现行的电阻式存储器进行设定时,包括可对电阻式存储器施加与灯丝成形的程序时极性相同的偏压,使电流从上电极流至下电极。此时,邻近上电极处的氧离子脱离,重新形成氧空缺,使得灯丝在邻近上电极处重新形成。

[0004] 然而,在现有技术中,在对存储器晶胞进行形成程序和/或初始重置操作时,在不同位置的存储器晶胞,其相对于电压源的距离可能不相同。此距离会衍生出寄生的电阻压降(IR drop)效应。在完成形成程序和/或初始重置操作之后,在不同位置的存储器晶胞会因电阻压降效应而有不同的特性,造成存储器晶胞阵列整体的品质不均,从而降低存储器晶胞的读写的可靠度。

发明内容

[0005] 本发明提供一种电阻式存储器装置及其操作方法,此操作方法可自动执行,且可增加存储器晶胞的读写的可靠度。

[0006] 本发明的电阻式存储器装置包括存储器晶胞阵列以及电压选择器电路。存储器晶胞阵列包括多个存储器晶胞。电压选择器电路耦接至存储器晶胞阵列。电压选择器电路通过多个不同的信号传递路径对存储器晶胞执行电压施加操作。各信号传递路径通过其中一个存储器晶胞。信号传递路径当中的两个信号传递路径的电阻压降实质上相同,且两个信

号传递路径的信号传递方向不相同。

[0007] 在本发明的一实施例中,在信号传递路径当中,两两一组,每一组信号传递路径的电阻压降实质上相同,且信号传递方向不相同。

[0008] 在本发明的一实施例中,上述的存储器晶胞阵列包括第一端、第二端、第三端及第四端。每一组信号传递路径包括第一信号传递路径及第二信号传递路径。第一信号传递路径位于第一端与第二端之间,其上的信号由第一端传递至第二端。第二信号传递路径位于第三端与第四端之间,其上的信号由第三端传递至第四端。

[0009] 在本发明的一实施例中,上述的电压选择器电路包括第一电压选择器以及第二电压选择器。第一电压选择器耦接至存储器晶胞阵列的第一端。第一电压选择器用以选择将第一端耦接至第一电压或第二电压。第二电压选择器耦接至存储器晶胞阵列的第二端。第二电压选择器用以选择将第二端耦接至第三电压或第四电压。

[0010] 在本发明的一实施例中,上述的电压选择器电路更包括第三电压选择器以及第四电压选择器。第三电压选择器耦接至存储器晶胞阵列的第三端。第三电压选择器用以选择将第三端耦接至第一电压或第二电压。第四电压选择器耦接至存储器晶胞阵列的第四端。第四电压选择器用以选择将第四端耦接至第三电压或第四电压。

[0011] 在本发明的一实施例中,上述各存储器晶胞包括开关元件。开关元件包括第一端、第二端及控制端。开关元件的第一端通过比特线耦接至存储器晶胞阵列的第一端及第三端。开关元件的第二端通过源极线耦接至存储器晶胞阵列的第二端及第四端。开关元件的控制端耦接至字符线。

[0012] 在本发明的一实施例中,其中一存储器晶胞的开关元件被导通以执行电压施加操作,且其余的存储器晶胞的开关元件不导通。

[0013] 在本发明的一实施例中,上述的电压选择器电路依据输入指令,对存储器晶胞执行电压施加操作。

[0014] 在本发明的一实施例中,上述的电压选择器电路在上电(power up)程序之后,对存储器晶胞执行电压施加操作。

[0015] 在本发明的一实施例中,上述的电压施加操作包括形成程序、初始重置(initial reset)操作、重置操作、设定操作、写入操作以及读取操作的其中一者或其组合。

[0016] 本发明的电阻式存储器装置的操作方法包括多个步骤。电阻式存储器装置包括M个存储器晶胞。第一步骤:通过第一信号传递路径对M个存储器晶胞当中的第N个存储器晶胞执行电压施加操作,其中第一信号传递路径通过第N个存储器晶胞,且 $N < M$,M、N为正整数;第二步骤:通过第二信号传递路径对M个存储器晶胞当中的第K个存储器晶胞执行电压施加操作,其中第二信号传递路径通过第K个存储器晶胞,且 $K \leq M$,K为正整数;以及第三步骤:重复执行第一步骤及第二步骤,直到M个存储器晶胞均完成电压施加操作。M、N、K符合关系式: $N+K=M+1$ 。第一信号传递路径的电阻压降与第二信号传递路径的电阻压降实质上相同,且第一信号传递路径的信号传递方向与第二信号传递路径的信号传递方向不相同。

[0017] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

- [0018] 图1示出本发明一实施例的电阻式存储器装置的概要示意图；
- [0019] 图2示出图1实施例的存储器晶胞阵列以及电压选择器电路的概要示意图；
- [0020] 图3A、图3B、图3C及图3D示出图2实施例的电压选择器电路对存储器晶胞执行电压施加操作的概要示意图；
- [0021] 图4示出本发明一实施例的电阻式存储器装置的操作方法的步骤流程图；
- [0022] 图5示出本发明另一实施例的电阻式存储器装置的操作方法的步骤流程图；
- [0023] 附图标记说明
- [0024] 100:电阻式存储器装置；
- [0025] 110:存储器控制器；
- [0026] 120:存储器晶胞阵列；
- [0027] 122_1、122_m:存储器晶胞；
- [0028] 130:电压选择器电路；
- [0029] 132_1、132_2、132_3、132_4:电压选择器；
- [0030] N1:第一端；N4:第四端；
- [0031] N2:第二端；BL:比特线；
- [0032] N3:第三端；20SL:源极线；
- [0033] WL_1、WL_2、WL_(m-1)、WL_m:字符线；
- [0034] R1、R2、R(m-1)、Rm:可变电阻元件；
- [0035] T1、T2、T(m-1)、Tm:开关元件；
- [0036] V1、V2、V3、V4:电压；
- [0037] H:高电平的控制信号；
- [0038] L:低电平的控制信号；
- [0039] F_L、bF_L、R_R、bR_R、F_R、bF_R、R_L、bR_L:控制信号；
- [0040] IR1_1、IR2_1、IR1_2、IR2_2:信号传递路径；
- [0041] S100、S110、S120、S200、S210、S220、S230、S240、S250:方法步骤。

具体实施方式

[0042] 以下提出多个实施例来说明本发明，然而本发明不仅限于所例示的多个实施例。又实施例之间也允许有适当的结合。在通篇说明书及申请专利范围当中所提及的“耦接”一词在本说明书中包含任何直接及间接的电性连接手段。因此，若文中描述一第一装置耦接至一第二装置，则代表该第一装置可直接电性连接至该第二装置，或通过其它装置或连接手段而间接地电性连接至该第二装置。在本说明书以及权利要求中的序数，例如“第一”、“第二”、“第三”等等，彼此之间并没有顺序上的先后关系。

[0043] 图1示出本发明一实施例的电阻式存储器装置的概要示意图。图2示出图1实施例的存储器晶胞阵列以及电压选择器电路的概要示意图。请参考图1及图2，本实施例的电阻式存储器装置100包括存储器控制器110以及存储器晶胞阵列120。在本实施例中，存储器控制器110用以控制存储器晶胞阵列120整体的操作，例如包括形成程序、初始重置操作、重置操作、设定操作、写入操作及读取操作等程序或操作，其控制方式可以由所属技术领域的技术获致足够的教导、建议与实施说明。

[0044] 在本实施例中,存储器晶胞阵列120包括源极线SL、比特线BL、多个字符线WL₁至WL_m以及多个存储器晶胞122₁至122_m。在本实施例中,存储器晶胞阵列120包括M个存储器晶胞,其中M为正整数。每一存储器晶胞包括可变电阻元件及开关元件。例如,存储器晶胞122₁包括可变电阻元件R₁及开关元件T₁,存储器晶胞122_m包括可变电阻元件R_m及开关元件T_m,其余存储器晶胞的结构可依此类推。

[0045] 在本实施例中,存储器晶胞阵列120包括第一端N₁、第二端N₂、第三端N₃及第四端N₄。电压选择器电路130用以将存储器晶胞阵列120的第一端N₁、第二端N₂、第三端N₃及第四端N₄耦接至预设的电压,以对存储器晶胞122₁至122_m执行电压施加操作。电压选择器电路130可设置在存储器晶胞阵列120上或者电阻式存储器装置100中的其他电路区块,本发明对存储器晶胞阵列120的设置位置并不加以限制。在本实施例中,每一存储器晶胞122₁至122_m的开关元件的第一端通过比特线BL耦接至第一端N₁及第三端N₃。每一存储器晶胞122₁至122_m的开关元件的第二端通过源极线SL耦接至第二端N₂及第四端N₄。此外,每一存储器晶胞122₁至122_m的开关元件的控制端耦接至对应的字符线WL₁至WL_m。

[0046] 具体而言,在本实施例中,电压选择器电路130包括第一电压选择器132₁、第二电压选择器132₂、第三电压选择器132₃及第四电压选择器132₄。在本实施例中,第一电压选择器132₁依据控制信号F_L、bF_L选择将存储器晶胞阵列120的第一端N₁耦接至第一电压V₁或第二电压V₂。第二电压选择器132₂依据控制信号R_R、bR_R选择将存储器晶胞阵列120的第二端N₂耦接至第三电压V₃或第四电压V₄。第三电压选择器132₃依据控制信号F_R、bF_R选择将存储器晶胞阵列120的第三端N₃耦接至第一电压V₁或第二电压V₂。第四电压选择器132₄依据控制信号R_L、bR_L选择将存储器晶胞阵列120的第四端N₄耦接至第三电压V₃或第四电压V₄。因此,在电压施加操作执行时,第一电压V₁、第二电压V₂、第三电压V₃及第四电压V₄可被选择并且施加至对应的存储器晶胞。

[0047] 在本实施例中,控制信号F_L、bF_L、R_R、bR_R、F_R、bF_R、R_L、bR_L可由额外设置的Y数据多路器(Y-multiplexer,简称:Y-MUX,未示出)来输出并且用以控制第一电压选择器132₁、第二电压选择器132₂、第三电压选择器132₃及第四电压选择器132₄的输出电压。在本实施例中,第一电压V₁例如是比特线电压V_{BL},第二电压V₂及第三电压V₃例如是接地电压(0伏特),第四电压V₄是例如是源极线电压V_{SL}。本发明对电压选择器电路130的实现方式以及第一电压V₁、第二电压V₂、第三电压V₃及第四电压V₄的电压值并不加以限制。

[0048] 在本实施例中,电压选择器电路130通过多个不同的信号传递路径对存储器晶胞122₁至122_m执行电压施加操作。每一信号传递路径包括存储器晶胞122₁至122_m中的一个存储器晶胞。图3A至图3D示出图2实施例的电压选择器电路对存储器晶胞执行电压施加操作的概要示意图。图4示出本发明一实施例的电阻式存储器装置的操作方法的步骤流程图。

[0049] 具体而言,请参考图3A至图4,在步骤S100中,电压选择器电路130通过第一信号传递路径IR1₁对第N个存储器晶胞执行电压施加操作,如图3A所示,其中N为正整数且小于M(N<M)。在图3A中,电压选择器电路130是对第1个存储器晶胞122₁执行电压施加操作,即N=1。在步骤S110中,电压选择器电路130通过第二信号传递路径IR2₁对第K个存储器晶胞执行电压施加操作,如图3B所示,其中K为正整数且小于或等于M(K≤M)。在图3B中,电压选择器电路130是对第M个存储器晶胞122_m执行电压施加操作,即K=M。举例而言,在一实施

例中,存储器晶胞阵列120例如包括1024个存储器晶胞,即 $M=1024$ 。在步骤S110中,电压选择器电路130是对第1024个存储器晶胞执行电压施加操作。因此,在步骤S100、S110中, M 、 N 、 K 符合关系式: $N+K=M+1$ 。

[0050] 在本实施例中,第一信号传递路径IR1_1与第二信号传递路径IR2_1的电阻压降实质上相同,且信号传递方向不相同。举例而言,第一信号传递路径IR1_1位于第一端N1与第二端N2之间,在开关元件T1导通时,电流信号通过第一端N1流经可变电阻元件R1及开关元件T1而传递至第二端N2。此时,开关元件T1的第一端通过可变电阻元件R1耦接至第一电压V1,第二端耦接至第三电压V3。第二信号传递路径IR2_1位于第三端N3与第四端N4之间,在开关元件T_m导通时,电流信号通过第三端N3流经可变电阻元件R_m及开关元件T_m而传递至第四端N4。此时,开关元件T_m的第一端通过可变电阻元件R_m耦接至第一电压V1,第二端耦接至第三电压V3。因此,在本实施例中,第一信号传递路径IR1_1的电阻压降与第二信号传递路径IR2_1的电阻压降实质上相同,且第一信号传递路径IR1_1的信号传递方向与第二信号传递路径IR2_1的信号传递方向不相同。

[0051] 接着,在步骤S120中,若尚其他的存储器晶胞还未进行电压施加操作,电压选择器电路130会再次执行步骤S110,通过第一信号传递路径IR1_2对第2个存储器晶胞122_2执行电压施加操作,即 $N=2$,如图3C所示。之后,在步骤S110,电压选择器电路130通过第二信号传递路径IR2_2对第 $M-1$ 个存储器晶胞122_($m-1$)执行电压施加操作,即 $K=M-1$,如图3D所示。举例而言,在一实施例中,存储器晶胞阵列120例如包括1024个存储器晶胞,即 $M=1024$ 。在此次的步骤S110中,电压选择器电路130是对第1023个存储器晶胞执行电压施加操作。在此次的步骤S100、S110中, M 、 N 、 K 也符合关系式: $N+K=M+1$ 。因此,在本实施例中,第一信号传递路径IR1_2的电阻压降与第二信号传递路径IR2_2的电阻压降实质上相同,且第一信号传递路径IR1_2的信号传递方向与第二信号传递路径IR2_2的信号传递方向不相同。电压选择器电路130对其余的存储器晶胞执行的电压施加操作可依上述揭示内容类推。

[0052] 在步骤S120中,若所有的存储器晶胞均已完成电压施加操作,则结束所述操作方法。即,电压选择器电路130会重复执行步骤S100、S110,直到 M 个存储器晶胞均完成电压施加操作。在一实施例中,步骤S120例如可由存储器控制器110来执行,由存储器控制器110控制电压选择器电路130是否重复执行步骤S100、S110来完成电压施加操作。

[0053] 在本实施例中,第一信号传递路径例如是指位于第一端N1与第二端N2之间,且其上的信号(例如电流信号)通过第一端N1传递至第二端N2的信号传递路径。第二信号传递路径例如是指位于第三端N3与第四端N4之间,且其上的信号(例如电流信号)通过第三端N3传递至第四端N4的信号传递路径。

[0054] 此外,在本实施例中,在电压选择器电路130对存储器晶胞122_1至122_m执行电压施加操作时,其中的一个存储器晶胞的开关元件被导通,其余的存储器晶胞的开关元件不导通。举例而言,当存储器晶胞122_1的开关元件T1导通时,其余的存储器晶胞122_2至122_m的开关元件不导通。存储器晶胞122_m的开关元件T_m导通时,其余的存储器晶胞122_1至122_($m-1$)的开关元件T($m-1$)不导通。开关元件T1至T_m的导通状态可由字符线解码器来控制,其控制方式可以由所属技术领域的技术获致足够的教示、建议与实施说明。在图3A至图3D中,标示H表示开关元件的控制信号为高电平,并且使开关元件导通,标示L表示开关元件的控制信号为低电平,并且使开关元件不导通。

[0055] 总结来说,在图3A至图4的实施例中,信号传递路径两两一组,每一组信号传递路径的电阻压降实质上相同,且信号传递方向不相同。例如,第一信号传递路径IR1_1与第二信号传递路径IR2_1一组,两者的电阻压降实质上相同,信号传递方向不相同。又例如,第一信号传递路径IR1_2与第二信号传递路径IR2_2一组,两者的电阻压降实质上相同,信号传递方向不相同。其余信号传递路径组的说明可依此类推。通过以电阻压降实质上相同的信号传递路径两两一组为基础,依序来对存储器晶胞执行电压施加操作,可减缓存储器晶胞因电阻压降而造成的电压施加不均的现象,从而提高存储器晶胞在进行读写操作时的可靠度。

[0056] 此外,在本发明的示范实施例中,电压施加操作例如包括形成程序、初始重置操作、重置操作、设定操作、写入操作或读取操作等程序或操作。举例而言,在一实施例中,电压施加操作例如是形成程序,在形成程序中,第一电压V1(比特线电压VBL)可被设定为4伏特,第四电压V4(源极线电压VSL)可被设定为0伏特。在一实施例中,电压施加操作例如是初始重置操作,在初始重置操作中,第一电压V1(比特线电压VBL)可被设定为0伏特,第四电压V4(源极线电压VSL)可被设定为+2至+3.5V伏特。在一实施例中,电压施加操作例如是重置操作,在重置操作中,第一电压V1(比特线电压VBL)可被设定为0伏特,第四电压V4(源极线电压VSL)可被设定为+2至+3.5伏特。在一实施例中,电压施加操作例如是设定操作,在设定操作中,第一电压V1(比特线电压VBL)可被设定为+1.5至+3.5伏特,第四电压V4(源极线电压VSL)可被设定为0伏特。惟上述程序或操作的各电压的电压值仅用以例示说明,本发明并不加以限制。

[0057] 在本发明的示范实施例中,电压施加操作也可自动执行。举例而言,在一实施例中,电压选择器电路130可依据输入指令自动对存储器晶胞122_1至122_m执行电压施加操作。例如,客户或制造商(出货前)可以下达自动执行的指令来使电压选择器电路130自动执行形成程序和/或初始重置操作,以降低测试成本。在一实施例中,电压选择器电路130可在上电程序之后自动对存储器晶胞122_1至122_m执行电压施加操作。例如,客户或制造商(出货前)可以在第一次上电程序之后使电压选择器电路130自动执行形成程序和/或初始重置操作,以降低测试成本。

[0058] 图5示出本发明另一实施例的电阻式存储器装置的操作方法的步骤流程图。请参考图5,本实施例的电阻式存储器装置的操作方法例如是对存储器晶胞122_1至122_m执行形成程序和/或初始重置操作。在步骤S200中,对电阻式存储器装置100执行第一次上电程序。在步骤S210中,电阻式存储器装置100进入自动形成程序和/或初始重置操作的测试模式。在步骤S220中,存储器控制器110将形成程序和/或初始重置操作设定为从存储器晶胞122_1及122_m开始,依序执行。在步骤S230中,电压选择器电路130通过第一信号传递路径对M个存储器晶胞当中的第N个存储器晶胞执行电压施加操作。接着,在步骤S240中,电压选择器电路130通过第二信号传递路径对M个存储器晶胞当中的第K个存储器晶胞执行电压施加操作。在本实施例中,对第N个存储器晶胞及第K个存储器晶胞而言,第一信号传递路径的电阻压降与第二信号传递路径的电阻压降实质上相同,且第一信号传递路径的信号传递方向与第二信号传递路径的信号传递方向不相同。

[0059] 在本实施例中,电阻式存储器装置的操作方法会重复执行步骤S230及步骤S250,直到M个存储器晶胞均完成形成程序和/或初始重置操作,如步骤S230至步骤S250的回圈

(loop) 所示。在一实施例中,对1024个存储器晶胞而言,所述操作方法例如会执行步骤S230至步骤S250的回圈512次。

[0060] 在本实施例中,若电压选择器电路130是对存储器晶胞执行形成程序,在形成程序中,第一电压V1(比特线电压VBL)可被设定为4伏特,第四电压V4(源极线电压VSL)可被设定为0伏特。在本实施例中,若电压选择器电路130是对存储器晶胞执行初始重置操作,在初始重置操作中,第一电压V1(比特线电压VBL)可被设定为0伏特,第四电压V4(源极线电压VSL)可被设定为+2至+3.5伏特。在本实施例中,若电压选择器电路130是对存储器晶胞执行形成程序及初始重置操作,电压选择器电路130可先对目标存储器晶胞先执行形成程序后,再执行初始重置操作。以存储器晶胞122_1及122_m为例,电压选择器电路130例如先对存储器晶胞122_1执行形成程序后,再执行初始重置操作。接着,电压选择器电路130例如再依序对存储器晶胞122_m执行形成程序及初始重置操作。

[0061] 另外,本发明的实施例的电阻式存储器装置的操作方法可以由图1至图4实施例的叙述中获致足够的教导、建议与实施说明,因此不再赘述。

[0062] 综上所述,在本发明的示范实施例中,电压施加操作包括形成程序、初始重置操作、重置操作、设定操作、写入操作或读取操作等程序或操作。通过以电阻压降实质上相同的信号传递路径两两一组为基础,依序来对存储器晶胞执行电压施加操作,可减缓存储器晶胞因电阻压降而造成的电压施加不均的现象,从而提高存储器晶胞在进行读写操作时的可靠度。此外,客户或制造商(出货前)可以下达自动执行的指令或者在第一次上电程序之后自动执行形成程序和/或初始重置操作,以降低测试成本。

[0063] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视权利要求所界定者为准。

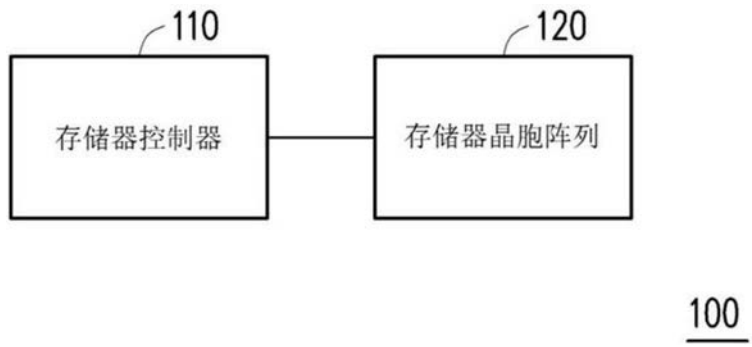


图1

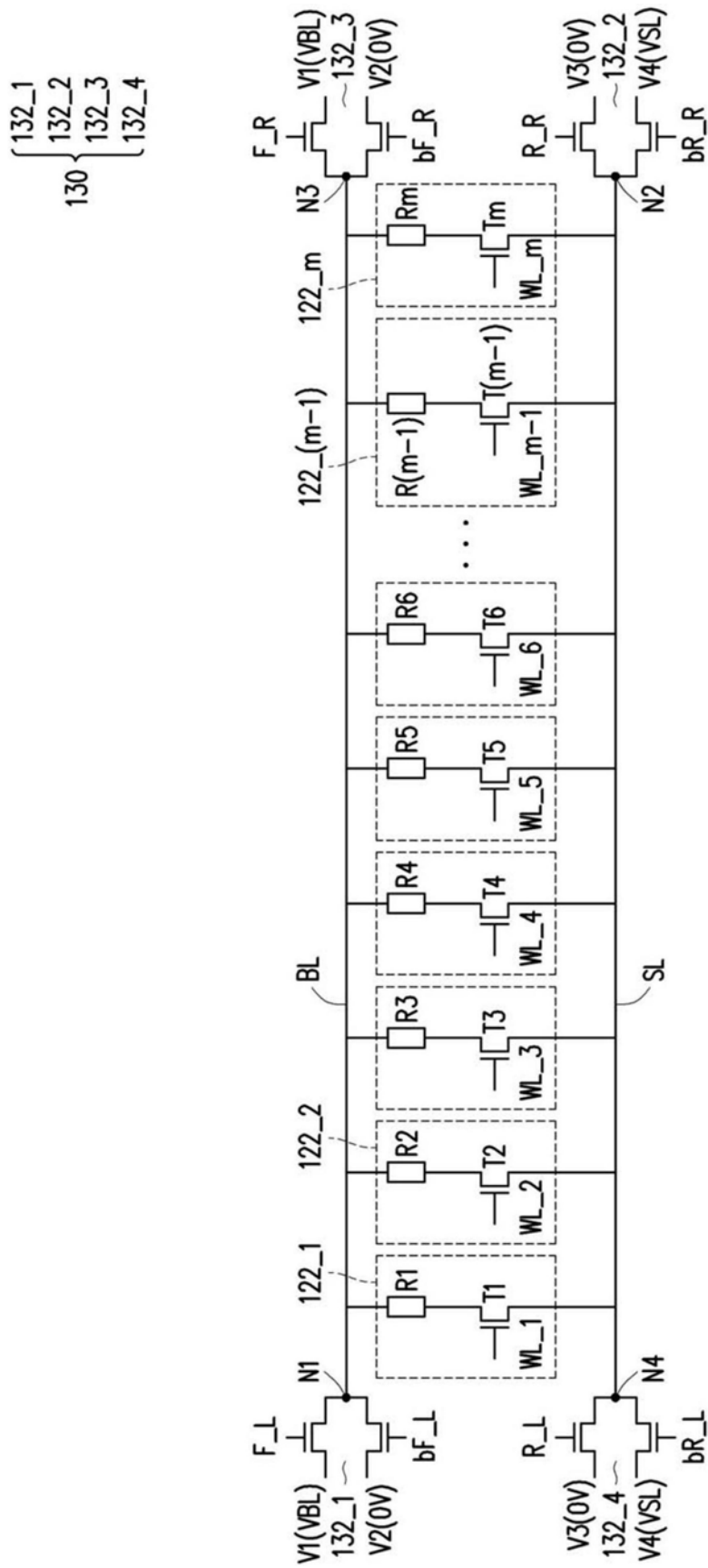


图2

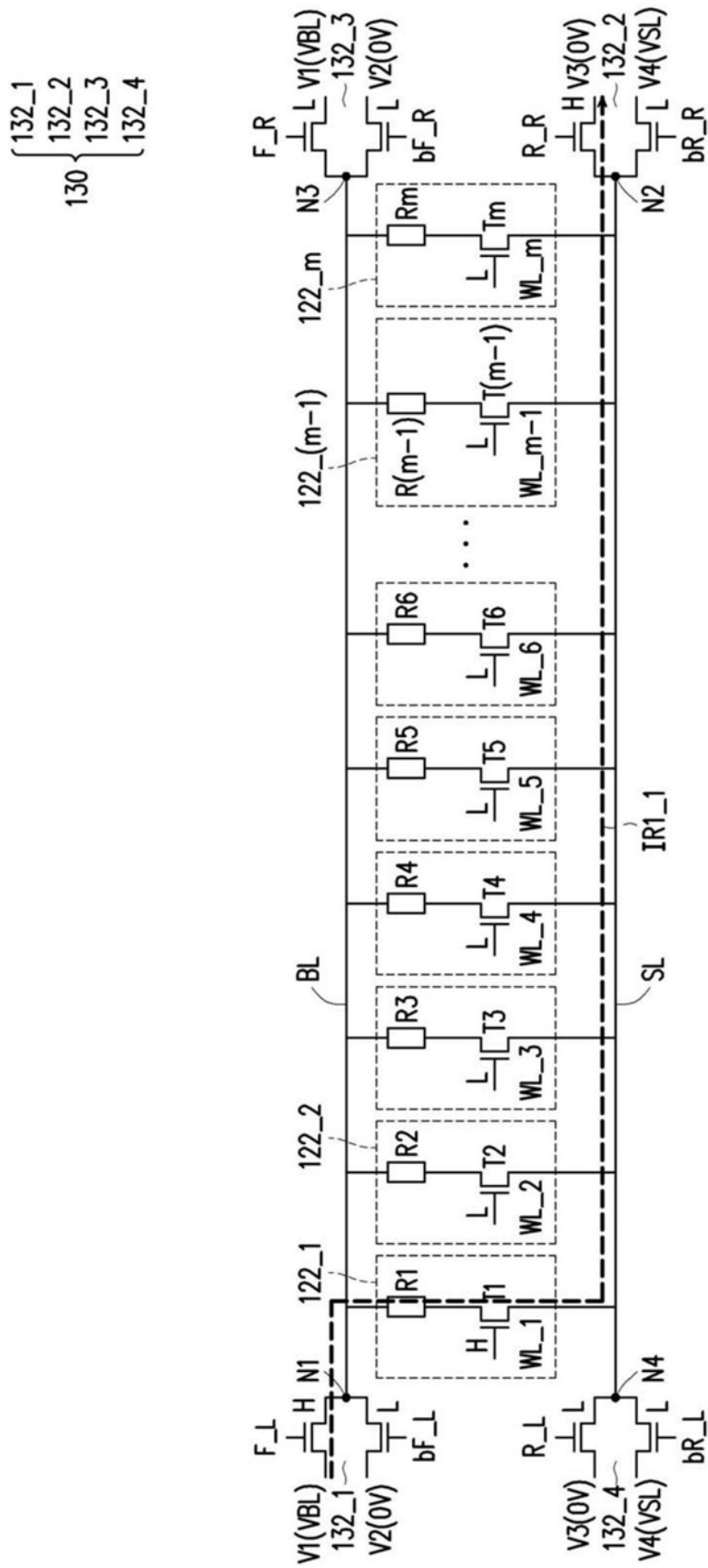


图3A

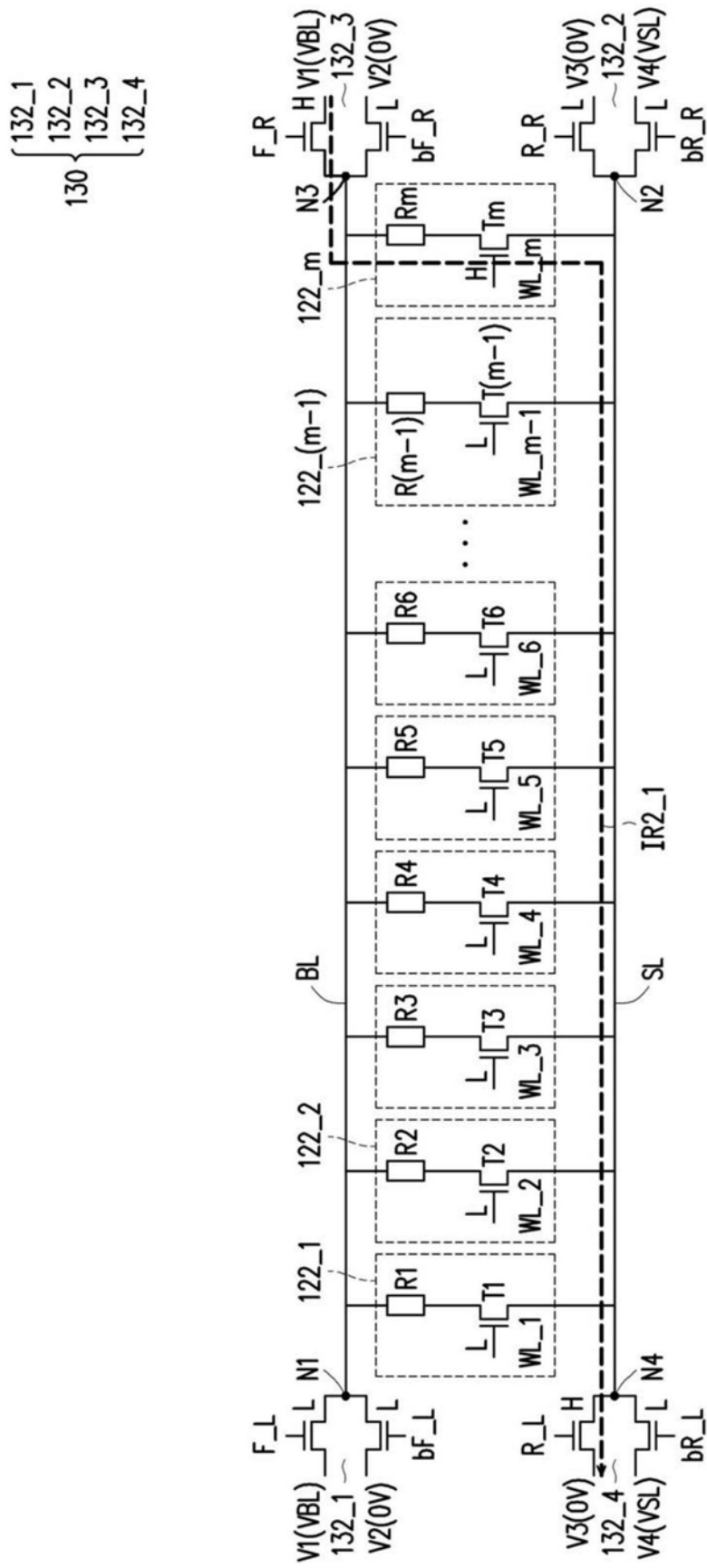


图3B

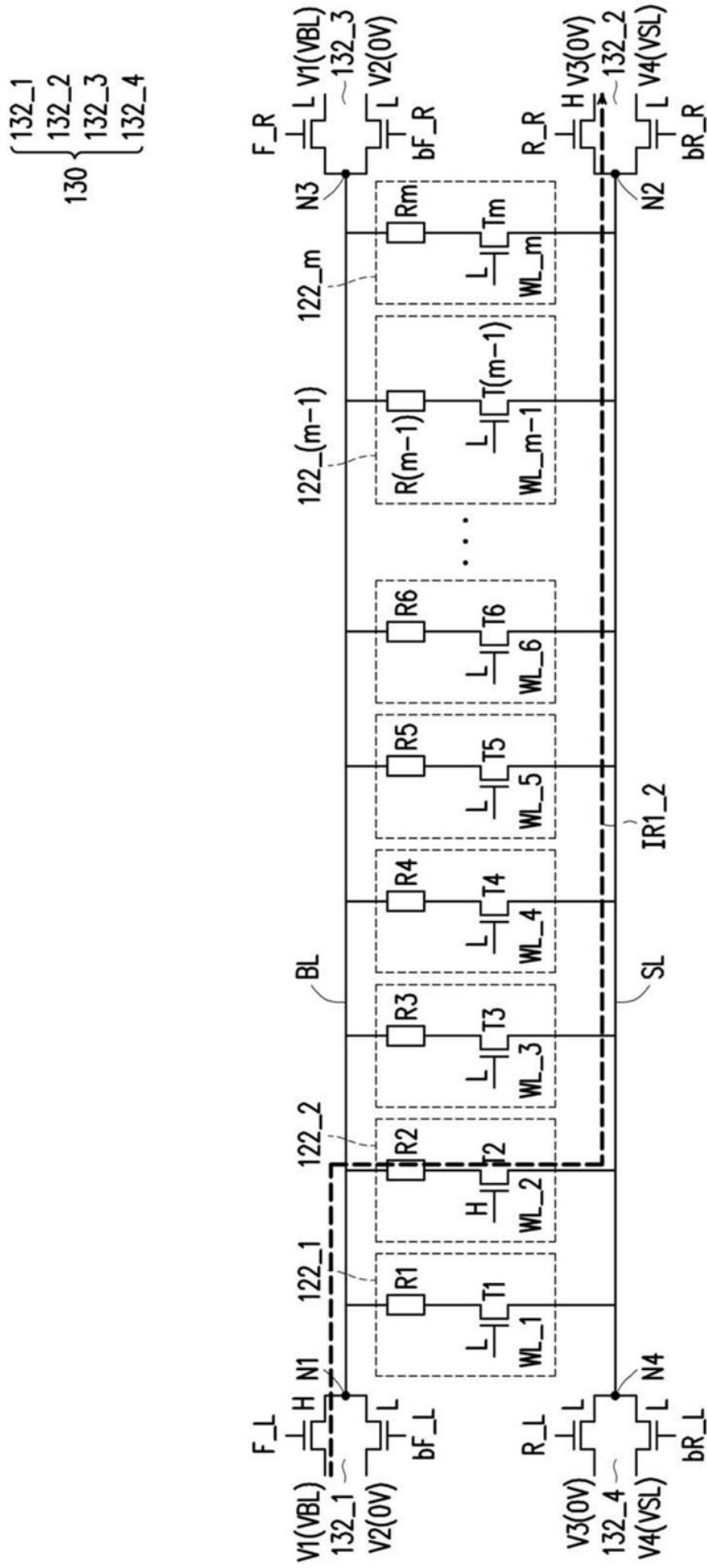


图3C

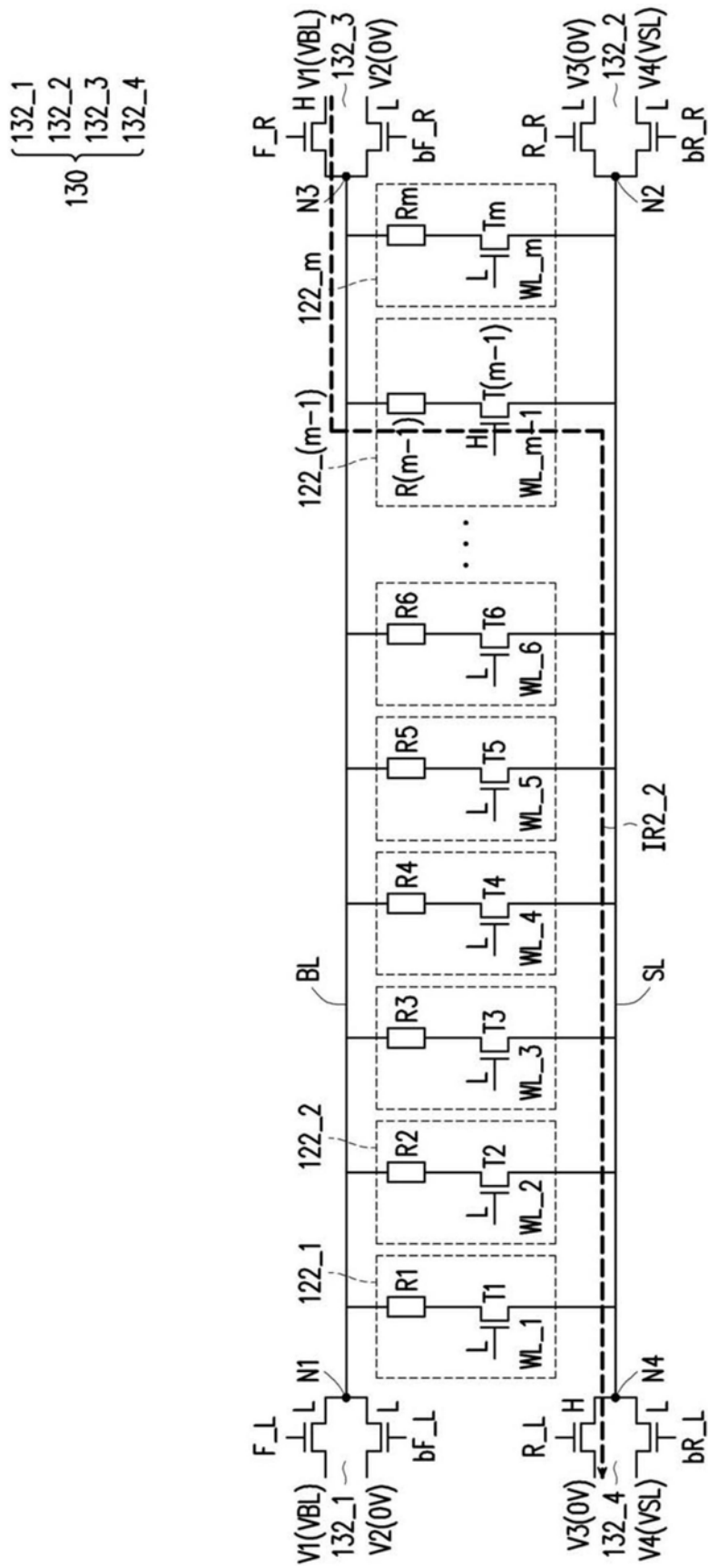


图3D

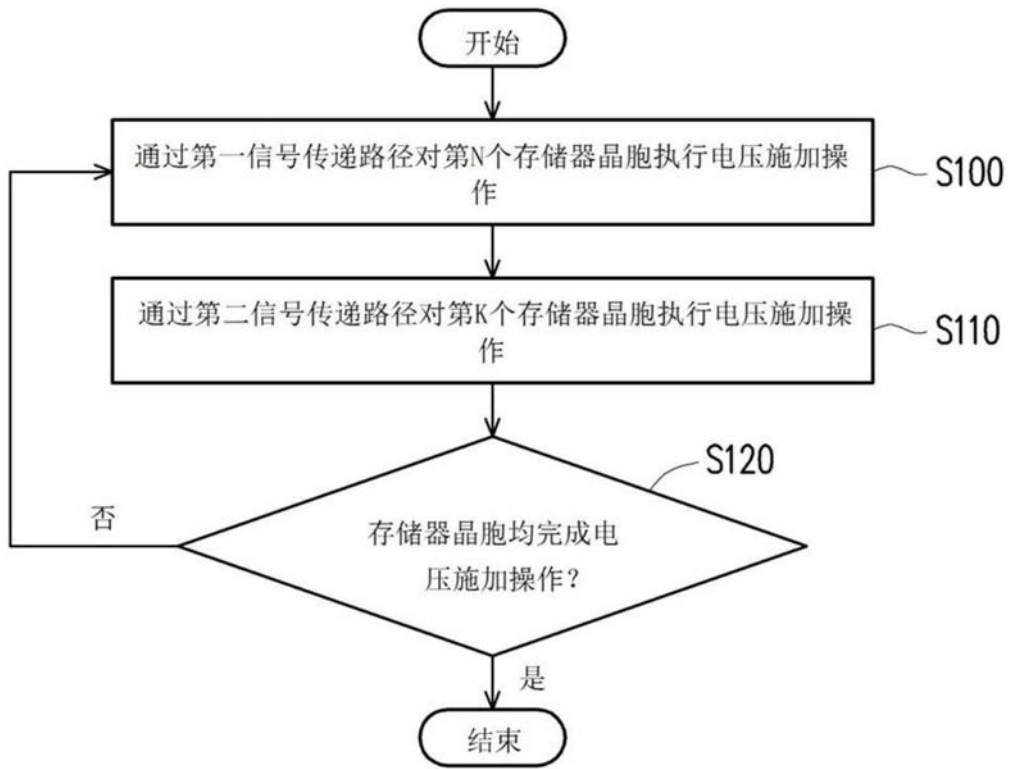


图4

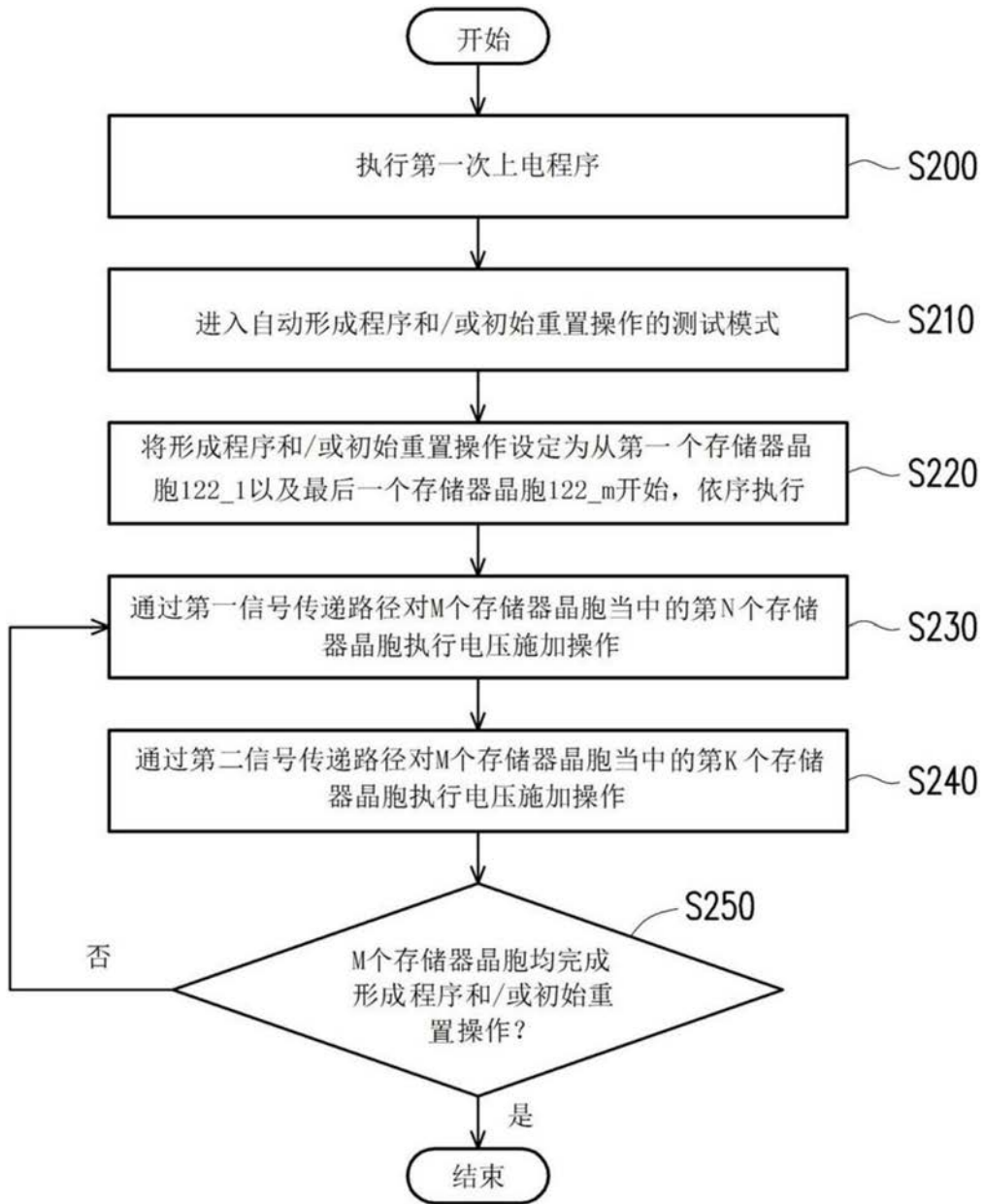


图5