

(45) 공고일자 2022년02월24일
(11) 등록번호 10-2367096
(24) 등록일자 2022년02월21일

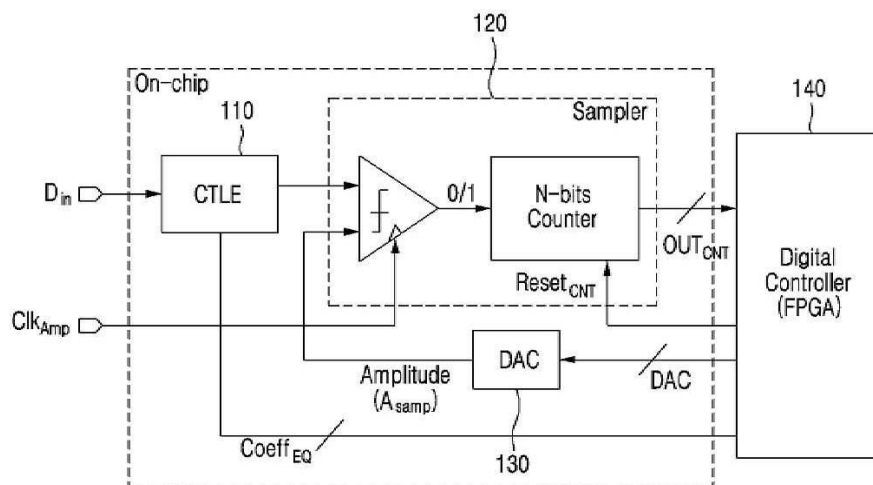
- (73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대
학교)
- (72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 104동 1202
호(우면동, 서초호반써밋)
- 김남용**
경기도 수원시 장안구 수성로340번길 8-8, 402호
(영화동, 영화아트빌)
- (74) 대리인
양성보

심사관 : 황철규

(54) 발명의 명칭 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템

저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템은 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 등화기, 등화된 데이터를 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하는 비교기 및 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 N-비트 카운터를 포함하는 샘플러, 샘플러의 비교기에 기준 전압을 공급하는 디지털-아날로그 변환기(DAC) 및 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 디지털 컨트롤러를 포함한다.

대표도



(52) CPC특허분류

H04L 2025/03675 (2013.01)

H04L 2025/03681 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116050
과제번호	10080285
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	미래소자 원천기술개발사업
연구과제명	[민간] 8k/4k 디스플레이를 위한 interface 표준화 및 IP 기술 개발(4차년도)
기 여 율	1/1
과제수행기관명	인하대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 등화기;

등화된 데이터를 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하는 비교기 및 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 N-비트 카운터를 포함하는 샘플러;

샘플러의 비교기에 기준 전압을 공급하는 디지털-아날로그 변환기(DAC); 및

등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 디지털 컨트롤러

를 포함하고,

상기 디지털 컨트롤러는,

미리 정해진 시간 마다 카운터 값을 생성하는 타이밍 카운터(Timing Counter);

타이밍 카운터로부터 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키는 진폭 제어기(Amplitude Controller);

등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하는 누적기(Accumulator); 및

입력 받은 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하는 계수 제어기(Coefficient Controller)

를 포함하며,

상기 디지털 컨트롤러는,

등화 계수의 값을 초기화 하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한 후, 미조정된 등화 계수를 조정하여 해당 히스토그램의 누적값을 저장하며,

모든 등화 계수의 값이 조정되었는지 판단하여, 모든 등화 계수의 값이 조정되지 않은 경우, 상기 미조정된 등화 계수를 조정하는 과정부터 반복하고,

모든 등화 계수의 값이 조정된 경우, 초기 등화 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들을 비교하고,

초기 등화 계수 값의 카운트 누적값이 최대인지 판단하여, 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료하고,

초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘을 통해 등화 계수의 값을 조정하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장하는 과정부터 반복함으로써, 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는

적응형 등화 시스템.

청구항 2

삭제

청구항 3

제1항에 있어서,

디지털 컨트롤러는,

샘플링 클럭을 입력 받아 미리 정해진 횟수로 샘플링하여 DAC에 입력되는 코드의 값을 증가시키고, 타이밍 카운터의 카운터 값을 받아 누적시킨 후 리셋하며, DAC에 입력되는 코드값이 최대값이 되어 리셋되면 누적값을 메모리에 저장하고 등화기의 계수를 조정하여 동작을 반복하는

적응형 등화 시스템.

청구항 4

제1항에 있어서,

디지털 컨트롤러는,

등화 계수에 따른 누적값을 증가시키는 방향으로 등화기의 계수를 수렴시키고, 등화 계수에 따른 누적값이 최대값이 되면 동작을 종료하는

적응형 등화 시스템.

청구항 5

등화기를 통해 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 단계;

등화된 데이터를 샘플러의 비교기를 통해 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하고, 샘플러의 카운터를 통해 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 단계; 및

디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계

를 포함하고,

상기 디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계는,

타이밍 카운터를 통해 미리 정해진 시간 마다 카운터 값을 생성하고,

타이밍 카운터로부터 진폭 제어기가 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키며,

누적기를 통해 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하며,

입력 받은 카운터 값의 누적값을 계수 제어기를 통해 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하고,

상기 디지털 컨트롤러는 등화 계수의 값을 초기화 하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한 후, 미조정된 등화 계수를 조정하여 해당 히스토그램의 누적값을 저장하며,

모든 등화 계수의 값이 조정되었는지 판단하여, 모든 등화 계수의 값이 조정되지 않은 경우, 상기 미조정된 등화 계수를 조정하는 과정부터 반복하고,

모든 등화 계수의 값이 조정된 경우, 초기 등화 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들을 비교하고,

초기 등화 계수 값의 카운트 누적값이 최대인지 판단하여, 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료하고,

초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘을 통해 등화 계수의 값을 조정하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장하는 과정부터 반복함으로써, 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는

적응형 등화 시스템의 동작 방법.

청구항 6

삭제

청구항 7

제5항에 있어서,

디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계는,

샘플링 클럭을 입력 받아 미리 정해진 횟수로 샘플링하여 DAC에 입력되는 코드의 값을 증가시키고, 타이밍 카운터의 카운트 값을 받아 누적시킨 후 리셋하며, DAC에 입력되는 코드값이 최대값이 되어 리셋되면 누적값을 메모리에 저장하고 등화기의 계수를 조정하여 동작을 반복하는

적응형 등화 시스템의 동작 방법.

청구항 8

제5항에 있어서,

디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계는,

등화 계수에 따른 누적값을 증가시키는 방향으로 등화기의 계수를 수렴시키고, 등화 계수에 따른 누적값이 최대값이 되면 동작을 종료하는

적응형 등화 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 최근에 인공지능과 모바일 통신이 발달됨에 따라 다루는 데이터의 양이 매우 커지면서 고속 인터페이스 시스템의 송수신 회로의 성능이 중요해지고 있다. 일반적으로 초당 수 기가비트의 전송 속도를 가지는 고속 인터페이스 내의 신호 품질은 리시버 시스템을 통과한 신호의 BER(Bit Error Rate)로 측정을 한다. 따라서 BER을 측정하는 여러 가지 방법과 BER을 이용한 여러 회로가 제안되고 있다.

[0003] 한국 등록특허공보 제10-1277782호(2013.06.17.)는 데이터 통신 수신기용 적응형 등화기에 관한 것으로, 더욱 상세하게는, 수신 데이터의 비트당 갖는 폭을 비교하여 채널에서 감쇄되는 데이터의 고주파 성분에 대한 보상 정도를 조절할 수 있고, 데이터의 비트당 갖는 폭을 비교하는 데 이용되는 기준 전압을 자동으로 조절할 수 있는 데이터 통신 수신기용 등화기에 관하여 개시하고 있다.

[0004] 일례로, 채널로부터 수신되는 수신 데이터들의 고주파 성분의 증폭 양을 미세 조절 전압과 성근한 조절 신호에 의해 조절하여 출력 데이터들을 발생시키는 필터, 상기 출력 데이터들의 차이를 크게 넓이고 중간 레벨을 잡아 이퀄라이징 데이터들을 발생시키는 슬라이서, 상기 출력 데이터들의 비트당 갖는 폭과 상기 이퀄라이징 데이터들의 비트당 갖는 폭을 일정하게 맞추게 하는 상기 미세 조절 전압을 조절하는 세밀한 조절 루프 회로, 기준 전압의 최대값인 최대 기준 전압과 상기 기준 전압의 최소값인 최소 기준 전압 각각과 상기 미세 조절 전압의 비교를 통해 상기 성근한 조절 신호를 조절하는 성근한 코드 발생기 및 상기 기준 전압을 발생시키며, 상기 성근한 조절 신호에 의해 상기 기준 전압을 조절하는 자가-조정 기준 전압 발생기를 포함하는 것을 특징으로 하는 데이터 통신 수신기용 적응형 등화기가 개시된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 등록특허공보 제10-1277782호(2013.06.17.)

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 데이터의 속도보다 매우 느린 비동기 클럭을 이용하여 데이터를 샘플링하고 전송 품질을 분석하여 데이터를 적응 등화하는 시스템 및 그 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 일 측면에 있어서, 본 발명에서 제안하는 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템은 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 등화기, 등화된 데이터를 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하는 비교기 및 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 N-비트 카운터를 포함하는 샘플러, 샘플러의 비교기에 기준 전압을 공급하는 디지털-아날로그 변환기(DAC) 및 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 디지털 컨트롤러를 포함한다.

[0008] 디지털 컨트롤러는 미리 정해진 시간 마다 카운터 값을 생성하는 타이밍 카운터(Timing Counter), 타이밍 카운터로부터 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키는 진폭 제어기(Amplitude Controller), 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하는 누적기(Accumulator) 및 입력 받은 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하는 계수 제어기(Coefficient Controller)를 포함한다.

[0009] 디지털 컨트롤러는 샘플링 클럭을 입력 받아 미리 정해진 횟수로 샘플링하여 DAC에 입력되는 코드의 값을 증가시키고, 타이밍 카운터의 카운터 값을 받아 누적시킨 후 리셋하며, DAC에 입력되는 코드값이 최대값이 되어 리셋되면 누적값을 메모리에 저장하고 등화기의 계수를 조정하여 동작을 반복한다.

[0010] 디지털 컨트롤러는 등화 계수에 따른 누적값을 증가시키는 방향으로 등화기의 계수를 수렴시키고, 등화 계수에 따른 누적값이 최대값이 되면 동작을 종료한다.

[0011] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템의 동작 방법은 등화기를 통해 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 단계, 등화된 데이터를 샘플러의 비교기를 통해 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하고, 샘플러의 카운터를 통해 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 단계 및 디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계를 포함한다.

발명의 효과

[0012] 본 발명의 실시예들에 따르면 데이터의 속도보다 매우 느린 비동기 클럭을 이용하여 데이터를 샘플링하고 전송 품질을 분석하여 데이터를 적응 등화할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템의 전체 블록도이다.

도 2는 본 발명의 일 실시예에 따른 비동기식 적응형 등화 시스템의 디지털 컨트롤러의 블록도이다.

도 3은 본 발명의 일 실시예에 따른 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템의 동작 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 일 실시예에 따른 디지털 컨트롤러의 동작 방법을 설명하기 위한 흐름도이다.

도 5는 본 발명의 일 실시예에 따른 시뮬레이션 결과 및 아이 다이어그램을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템의 전체 블록도이다.
- [0017] 제안하는 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템은 등화기(Continuous Time Linear Equalizer; CTLE)(110), 샘플러(Sampler)(120), 디지털-아날로그 변환기(Digital-Analog Converter; DAC)(130) 및 디지털 컨트롤러(Digital Controller)(140)를 포함한다.
- [0018] 등화기(110)는 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화한다.
- [0019] 샘플러(120)는 비교기 및 N-비트 카운터를 포함한다. 비교기는 등화된 데이터를 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력한다. N-비트 카운터는 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋된다.
- [0020] 디지털-아날로그 변환기(130)는 샘플러의 비교기에 기준 전압을 공급한다.
- [0021] 본 발명의 실시예에 따르면, 등화기(110)에 데이터가 입력되면 디지털 컨트롤러(140)에서 받은 등화 계수에 따라 데이터가 등화되어 샘플러(120)의 비교기로 입력된다. 비교기에 입력되는 기준 전압(V_{ref})은 DAC에서 공급되며, 그 값은 FPGA(Field Programmable Gate Array)에서 주어진다. 데이터는 비동기 클럭에 맞추어 비교기에서 기준 전압과 비교되고 기준 전압보다 큰 신호가 들어오면 1의 값을 카운터로 출력한다. 카운터는 일정한 시간 동안 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋된다.
- [0022] 디지털 컨트롤러(140)는 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절한다.
- [0023] 디지털 컨트롤러(140)는 미리 정해진 시간 마다 카운터 값을 생성하는 타이밍 카운터(Timing Counter), 타이밍 카운터로부터 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키는 진폭 제어기(Amplitude Controller), 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하는 누적기(Accumulator) 및 입력 받은 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하는 계수 제어기(Coefficient Controller)를 포함한다. 도 2를 참조하여 디지털 컨트롤러(140)를 더욱 상세히 설명한다.
- [0025] 도 2는 본 발명의 일 실시예에 따른 비동기식 적응형 등화 시스템의 디지털 컨트롤러 블록도이다.
- [0026] 본 발명의 일 실시예에 따른 디지털 컨트롤러는 타이밍 카운터(Timing Counter)(210), 누적기(Accumulator)(220), 진폭 제어기(Amplitude Controller)(230), 계수 제어기(Coefficient Controller)(240) 및 메모리(Memory)(250)를 포함한다.
- [0027] 타이밍 카운터(210)는 미리 정해진 시간 마다 카운터 값을 생성한다.
- [0028] 진폭 제어기(230)는 타이밍 카운터(210)로부터 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시킨다.
- [0029] 누적기(220)는 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기(240)로 출력한다.
- [0030] 계수 제어기(240)는 입력 받은 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구한다.
- [0031] 다시 말해, 디지털 컨트롤러에서는 타이밍 카운터(210)의 신호를 받아 일정 시간마다 카운터의 값을 받고, 진폭

제어기(230)에서 DAC 코드 값을 증가시킨다. 또한 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적기(220)에서 누적하고 메모리(250)에 저장한다. 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값이 리셋되고, 등화 계수에 따른 카운터 값의 합을 계수 제어기(240)로 보낸다. 계수 제어기(240)는 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값이 최대가 되는 등화 계수를 구한다. 디지털 컨트롤러는 누적값의 합이 커지는 방향으로 CTLE의 계수(CoeffEQ)를 최적화된 값으로 수렴시킨다.

[0033] 도 3은 본 발명의 일 실시예에 따른 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템의 동작 방법을 설명하기 위한 흐름도이다.

[0034] 제안하는 저속 비동기 신호 카운팅 방식 기반의 적응형 등화 시스템의 동작 방법은 등화기를 통해 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 단계(310), 등화된 데이터를 샘플러의 비교기를 통해 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하고, 샘플러의 카운터를 통해 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 단계(320) 및 디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계(330)를 포함한다.

[0035] 단계(310)에서, 등화기를 통해 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화한다.

[0036] 단계(320)에서, 등화된 데이터를 샘플러의 비교기를 통해 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하고, 샘플러의 카운터를 통해 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋된다. 디지털-아날로그 변환기는 샘플러의 비교기에 기준 전압을 공급한다.

[0037] 본 발명의 실시예에 따르면, 등화기에 데이터가 입력되면 디지털 컨트롤러에서 받은 등화 계수에 따라 데이터가 등화되어 샘플러의 비교기로 입력된다. 비교기에 입력되는 기준 전압(V_{ref})은 DAC에서 공급되며, 그 값은 FPGA(Field Programmable Gate Array)에서 주어진다. 데이터는 비동기 클럭에 맞추어 비교기에서 기준 전압과 비교되고 기준 전압보다 큰 신호가 들어오면 1의 값을 카운터로 출력한다. 카운터는 일정한 시간 동안 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋된다.

[0038] 단계(330)에서, 디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절한다.

[0039] 디지털 컨트롤러는 타이밍 카운터를 통해 미리 정해진 시간 마다 카운터 값을 생성하고, 타이밍 카운터로부터 진폭 제어가 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시킨다. 이후, 누적기를 통해 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하며, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력한다. 입력 받은 카운터 값의 누적값을 계수 제어기를 통해 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구한다.

[0040] 디지털 컨트롤러는 샘플링 클럭을 입력 받아 미리 정해진 횟수로 샘플링하여 DAC에 입력되는 코드의 값을 증가시키고, 타이밍 카운터의 카운터 값을 받아 누적시킨 후 리셋하며, DAC에 입력되는 코드값이 최대값이 되어 리셋되면 누적값을 메모리에 저장하고 등화기의 계수를 조정하여 동작을 반복한다.

[0041] 디지털 컨트롤러는 등화 계수에 따른 누적값을 증가시키는 방향으로 등화기의 계수를 수렴시키고, 등화 계수에 따른 누적값이 최대값이 되면 동작을 종료한다.

[0043] 도 4는 본 발명의 일 실시예에 따른 디지털 컨트롤러의 동작 방법을 설명하기 위한 흐름도이다.

[0044] 디지털 컨트롤러는 먼저 등화 계수의 값을 초기화 하고(410), 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한다(420). 이후, 미조정된 등화기의 계수를 조정하고(430), 히스토그램의 누적값을 저장한다(440). 모든 등화 계수의 값이 조정되었는지 판단하여(450), 모든 등화 계수의 값이 조정되지 않은 경우 미조정된 등화기의 계수를 조정하는 단계(430)부터 반복한다. 모든 등화 계수의 값이 조정된 경우, 초기 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들은 비교 한다(460). 이후, 초기 등화 계수 값의 카운트 누적 값이 최대인지 판단한다(470). 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료한다(490). 초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘을 통해 등화 계수의 값을

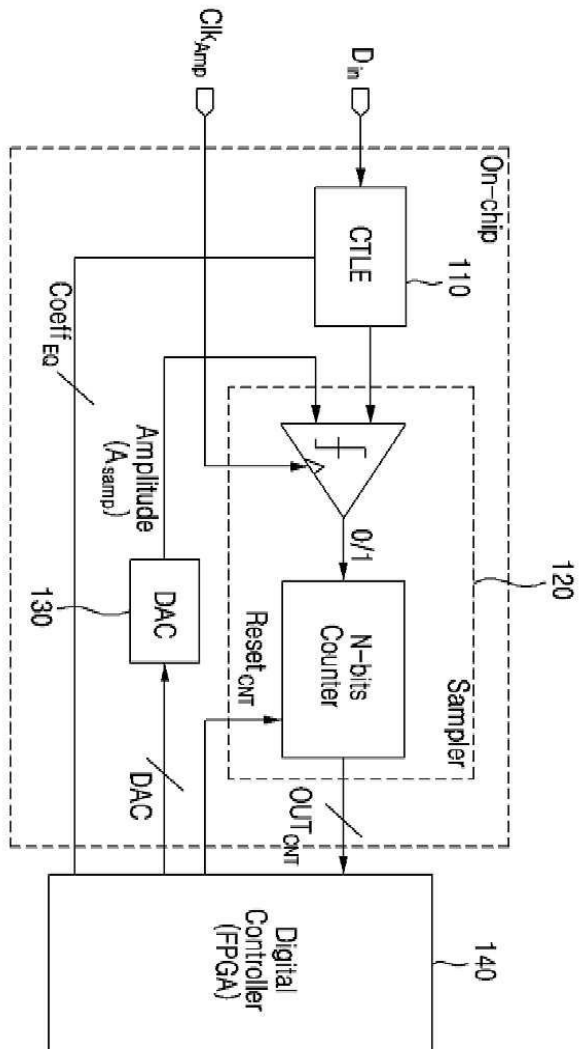
조정하고(480), 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장(420)하는 과정부터 반복한다.

- [0045] 디지털 컨트롤러는 샘플링 클럭을 받아서 일정 횟수 샘플링이 되면 DAC에 들어가는 코드의 값을 증가시키고 카운터의 값을 받아서 누적시킨 후에 리셋한다. DAC에 들어가는 코드값이 최대값이 되어 리셋되면 누적시킨 값을 저장하고 등화기의 계수를 바꾸어 동작을 반복한다. 변화된 등화기의 계수에 따른 누적값을 얻으면 이전의 누적값과 비교하여 증가시키는 방향으로 계수를 변화시킨다. 등화기의 계수에 따른 누적값이 최대값이 되면 동작을 종료한다.
- [0047] 도 5는 본 발명의 일 실시예에 따른 시뮬레이션 결과 및 아이 다이어그램을 나타내는 도면이다.
- [0048] 도 5(a)는 시뮬레이션 결과이고, 도 5(b)는 등화기의 등화 전 데이터와 등화 후 데이터의 아이 다이어그램이다.
- [0049] Matlab과 Xilinx Vivado를 이용하여 적응형 등화기를 구현 및 시뮬레이션 하였다. 2.5Gb/s 입력 신호에 대하여 PCB trace 70cm 모델링 채널을 통과시킨 후 등화필터의 계수에 의해 등화된 데이터를 모델링한 값을 Xilinx Zynq ZC706 Board를 사용하여 시뮬레이션했다. 시뮬레이션 결과를 통하여 등화기의 계수가 최적화되도록 제어가 되는 것을 확인할 수 있었다.
- [0051] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0052] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0053] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0054] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0055] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한

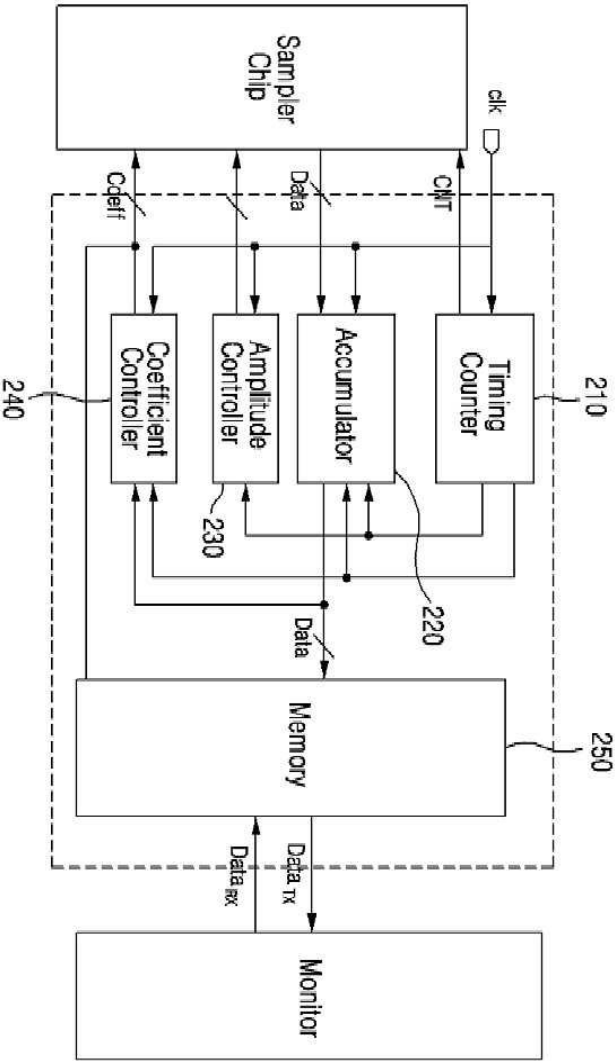
다.

도면

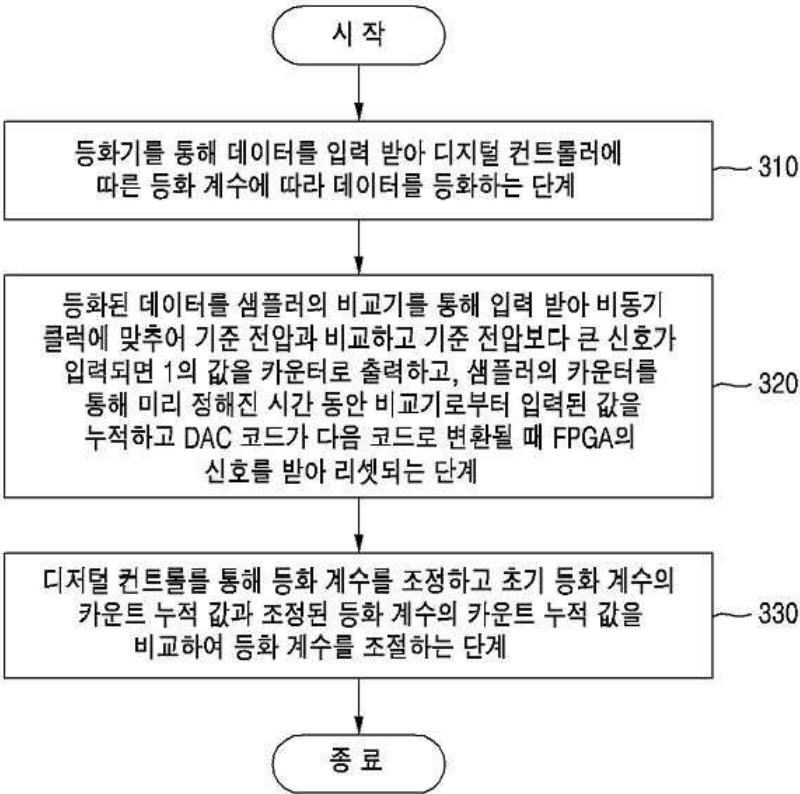
도면1



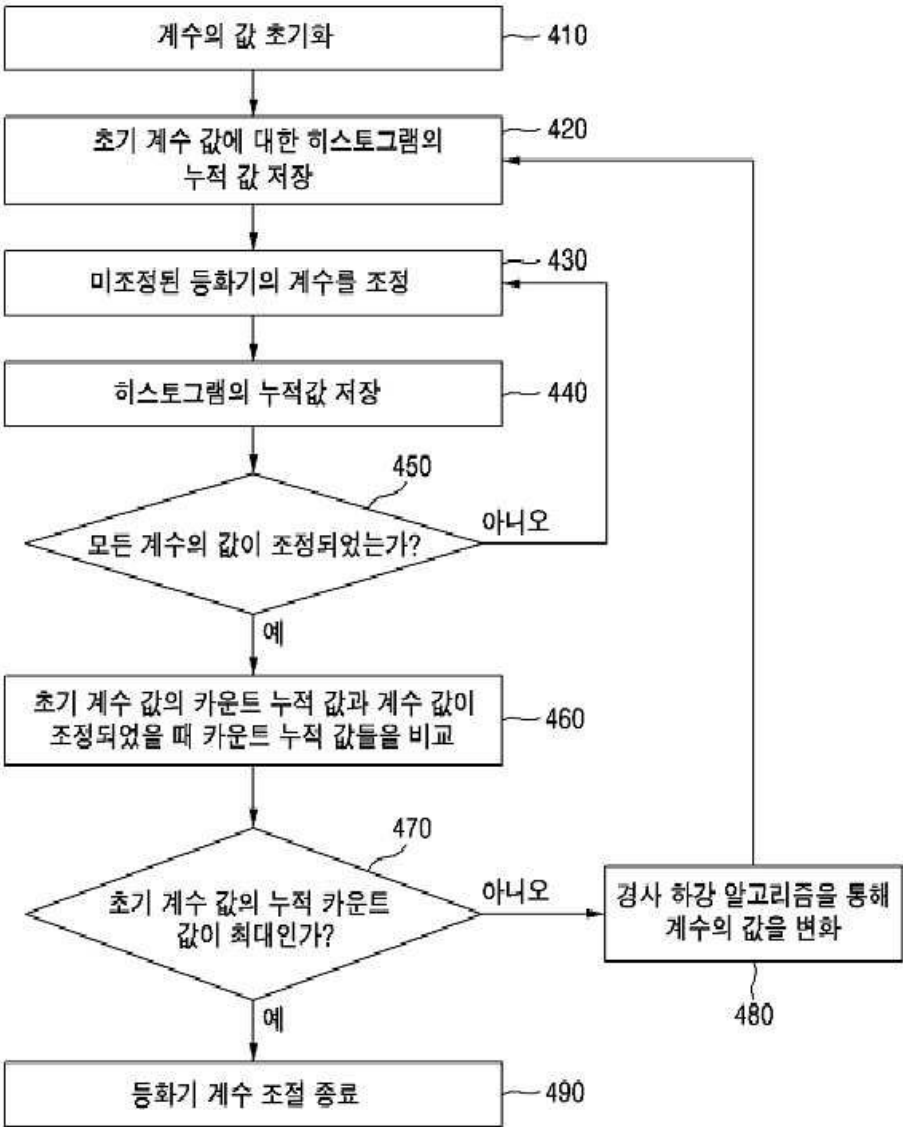
도면2



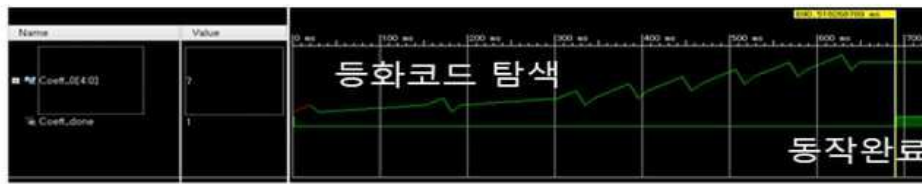
도면3



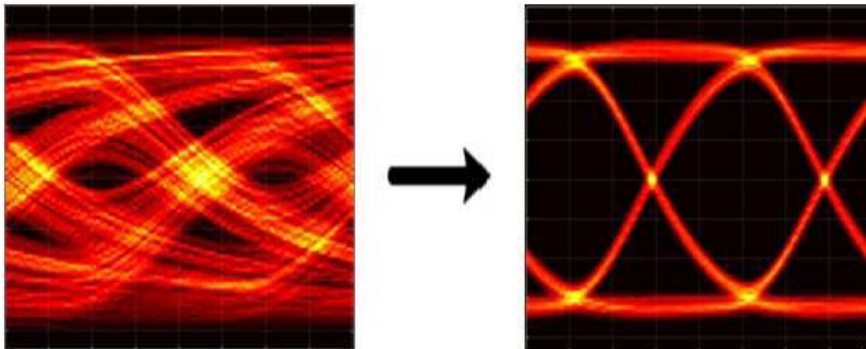
도면4



도면5



(a)



(b)

【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 등화기;

등화된 데이터를 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하는 비교기 및 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 N-비트 카운터를 포함하는 샘플러;

샘플러의 비교기에 기준 전압을 공급하는 디지털-아날로그 변환기(DAC); 및

등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 디지털 컨트롤러

를 포함하고,

상기 디지털 컨트롤러는,

미리 정해진 시간 마다 카운터 값을 생성하는 타이밍 카운터(Timing Counter);

타이밍 카운터로부터 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키는 진폭 제어기(Amplitude Controller);

등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하는 누적기(Accumulator); 및

입력 받은 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하는 계수 제어기(Coefficient Controller)

를 포함하며,

상기 디지털 컨트롤러는,

등화 계수의 값을 초기화 하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한 후, 미조정된 등화 계수를 조정하여 해당 히스토그램의 누적값을 저장하며,

모든 등화 계수의 값이 조정되었는지 판단하여, 모든 등화 계수의 값이 조정되지 않은 경우, 상기 미조정된 등화 계수를 조정하는 과정부터 반복하고,

모든 등화 계수의 값이 조정된 경우, 초기 등화 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들을 비교하고,

초기 등화 계수 값의 카운트 누적값이 최대인지 판단하여, 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료하고,

초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘은 통해 등화 계수의 값을 조정하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장하는 과정부터 반복함으로써, 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는

적응형 등화 시스템.

【변경후】

데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 등화기;

등화된 데이터를 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하는 비교기 및 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 N-비트 카운터를 포함하는 샘플러;

샘플러의 비교기에 기준 전압을 공급하는 디지털-아날로그 변환기(DAC); 및

등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 디지털 컨트롤러

를 포함하고,

상기 디지털 컨트롤러는,

미리 정해진 시간 마다 카운터 값을 생성하는 타이밍 카운터(Timing Counter);

타이밍 카운터로부터 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키는 진폭 제어기(Amplitude Controller);

등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하는 누적기(Accumulator); 및

입력 받은 카운터 값의 누적값을 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하는 계수 제어기(Coefficient Controller)

를 포함하며,

상기 디지털 컨트롤러는,

등화 계수의 값을 초기화 하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한 후, 미조정된 등화 계수를 조정하여 해당 히스토그램의 누적값을 저장하며,

모든 등화 계수의 값이 조정되었는지 판단하여, 모든 등화 계수의 값이 조정되지 않은 경우, 상기 미조정된 등화 계수를 조정하는 과정부터 반복하고,

모든 등화 계수의 값이 조정된 경우, 초기 등화 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들을 비교하고,

초기 등화 계수 값의 카운트 누적값이 최대인지 판단하여, 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료하고,

초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘을 통해 등화 계수의 값을 조정하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장하는 과정부터 반복함으로써, 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는

적응형 등화 시스템.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

등화기를 통해 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 단계;

등화된 데이터를 샘플러의 비교기를 통해 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하고, 샘플러의 카운터를 통해 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 단계; 및

디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계

를 포함하고,

상기 디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계는,

타이밍 카운터를 통해 미리 정해진 시간 마다 카운터 값을 생성하고,

타이밍 카운터로부터 진폭 제어기가 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키며,

누적기를 통해 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하며,

입력 받은 카운터 값의 누적값을 계수 제어기를 통해 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하고,

상기 디지털 컨트롤러는 등화 계수의 값을 초기화 하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한 후, 미조정된 등화 계수를 조정하여 해당 히스토그램의 누적값을 저장하며,

모든 등화 계수의 값이 조정되었는지 판단하여, 모든 등화 계수의 값이 조정되지 않은 경우, 상기 미조정된 등화 계수를 조정하는 과정부터 반복하고,

모든 등화 계수의 값이 조정된 경우, 초기 등화 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들은 비교하고,

초기 등화 계수 값의 카운트 누적값이 최대인지 판단하여, 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료하고,

초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘은 통해 등화 계수의 값을 조정하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장하는 과정부터 반복함으로써, 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는

적응형 등화 시스템의 동작 방법.

【변경후】

등화기를 통해 데이터를 입력 받아 디지털 컨트롤러에 따른 등화 계수에 따라 데이터를 등화하는 단계;

등화된 데이터를 샘플러의 비교기를 통해 입력 받아 비동기 클럭에 맞추어 기준 전압과 비교하고 기준 전압보다 큰 신호가 입력되면 1의 값을 카운터로 출력하고, 샘플러의 카운터를 통해 미리 정해진 시간 동안 비교기로부터 입력된 값을 누적하고 DAC 코드가 다음 코드로 변환될 때 FPGA의 신호를 받아 리셋되는 단계; 및

디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트

누적 값을 비교하여 등화 계수를 조절하는 단계

를 포함하고,

상기 디지털 컨트롤러를 통해 등화 계수를 조정하고 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는 단계는,

타이밍 카운터를 통해 미리 정해진 시간 마다 카운터 값을 생성하고,

타이밍 카운터로부터 진폭 제어기가 카운터 값을 입력 받아 카운터 값에 따라 DAC 코드 값을 증가시키며,

누적기를 통해 등화 계수에 따른 각 기준 전압 값과 비교한 카운터 값을 누적하고, 모든 기준 전압에 대한 카운트 값이 구해지면 DAC 코드의 값을 리셋하고, 등화 계수에 따른 카운터 값의 누적값을 계수 제어기로 출력하며,

입력 받은 카운터 값의 누적값을 계수 제어기를 통해 경사하강 알고리즘을 이용하여 카운터 값의 누적값이 최대가 되는 등화 계수를 구하고,

상기 디지털 컨트롤러는 등화 계수의 값을 초기화 하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장한 후, 미조정된 등화 계수를 조정하여 해당 히스토그램의 누적값을 저장하며,

모든 등화 계수의 값이 조정되었는지 판단하여, 모든 등화 계수의 값이 조정되지 않은 경우, 상기 미조정된 등화 계수를 조정하는 과정부터 반복하고,

모든 등화 계수의 값이 조정된 경우, 초기 등화 계수 값의 카운트 누적 값과 등화 계수 값이 조정되었을 때 카운트 누적값들을 비교하고,

초기 등화 계수 값의 카운트 누적값이 최대인지 판단하여, 초기 등화 계수 값의 카운트 누적값이 최대인 경우, 등화 계수 조절을 종료하고,

초기 등화 계수 값의 카운트 누적값이 최대가 아닌 경우, 경사 하강 알고리즘을 통해 등화 계수의 값을 조정하고, 초기 등화 계수 값에 대한 히스토그램의 누적값을 저장하는 과정부터 반복함으로써, 초기 등화 계수의 카운트 누적 값과 조정된 등화 계수의 카운트 누적 값을 비교하여 등화 계수를 조절하는

적응형 등화 시스템의 동작 방법.