

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6907332号
(P6907332)

(45) 発行日 令和3年7月21日(2021.7.21)

(24) 登録日 令和3年7月2日(2021.7.2)

(51) Int. Cl.		F I			
HO 1 L 23/08	(2006.01)	HO 1 L	23/08	Z	
HO 1 L 23/04	(2006.01)	HO 1 L	23/04	E	
HO 1 L 23/12	(2006.01)	HO 1 L	23/12	3 O 1 Z	

請求項の数 8 (全 10 頁)

(21) 出願番号	特願2019-554062 (P2019-554062)	(73) 特許権者	000004064
(86) (22) 出願日	平成29年11月14日 (2017.11.14)		日本碍子株式会社
(86) 国際出願番号	PCT/JP2017/040854		愛知県名古屋市瑞穂区須田町2番56号
(87) 国際公開番号	W02019/097564	(74) 代理人	100088672
(87) 国際公開日	令和1年5月23日 (2019.5.23)		弁理士 吉竹 英俊
審査請求日	令和2年4月16日 (2020.4.16)	(74) 代理人	100088845
			弁理士 有田 貴弘
		(74) 代理人	100134991
			弁理士 中尾 和樹
		(74) 代理人	100148507
			弁理士 喜多 弘行
		(72) 発明者	若園 芳嗣
			愛知県名古屋市瑞穂区須田町2番56号
			日本碍子株式会社内

最終頁に続く

(54) 【発明の名称】 パッケージおよび半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体素子(300)が実装されることになる実装領域(11)と前記実装領域(11)を囲む枠領域(12)とを有し、金属からなるベース板(10)と、

前記ベース板(10)の前記枠領域(12)上に設けられ、前記枠領域(12)に面する第1の面(S1)と前記第1の面(S1)の反対の第2の面(S2)とを有する枠体(100)と、

前記枠体(100)の前記第2の面(S2)に接合されたリードフレーム(20A, 20B)と、

を備え、

前記枠体(100)は、積層構造を有する複数の誘電体層(110)と、前記半導体素子(300)に電気的に接続されることになる素子接続部(121A, 121B)とを含み、前記複数の誘電体層(110)は、第1の誘電率を有する第1の誘電体層と、前記第1の誘電率と異なる第2の誘電率を有する第2の誘電体層とを含む、

パッケージ。

【請求項2】

前記枠体(100)の前記素子接続部(121A, 121B)は前記第2の面(S2)上において前記リードフレーム(20A, 20B)から電気的に分離されている、請求項1に記載のパッケージ。

【請求項3】

前記枠体(100)は、前記複数の誘電体層(110)の少なくともいずれかを貫通する少なくとも1つのビア電極(140)を有している、請求項1または2に記載のパッケージ。

【請求項4】

前記少なくとも1つのビア電極(140)は、前記枠体(100)の前記素子接続部(121A, 121B)につながるビア電極(140)を含む、請求項3に記載のパッケージ。

【請求項5】

前記枠体(100)は、前記リードフレーム(20A, 20B)に接続されたフレーム接続部(122A, 122B)を有しており、

前記少なくとも1つのビア電極(140)は、前記フレーム接続部(122A, 122B)につながるビア電極(140)を含む、請求項3または4に記載のパッケージ。

【請求項6】

前記枠体(100)は、前記複数の誘電体層(110)の間に挟まれた少なくとも1つの電極層(130)を有している、請求項1から5のいずれか1項に記載のパッケージ。

【請求項7】

請求項1から6のいずれか1項に記載のパッケージと、

前記パッケージの前記ベース板(10)の前記実装領域(11)上に実装され、端子(312A, 312B)を有する半導体素子(300)と、

前記パッケージの前記枠体(100)の前記素子接続部(121A, 121B)と、前記半導体素子(300)の前記端子(312A, 312B)との間を接続する配線部(400A, 400B)と、
を備える、半導体装置(700)。

【請求項8】

前記半導体素子(300)の前記端子(312A, 312B)は、前記半導体素子(300)からの電気信号を5オーム以下の特性インピーダンスで出力するものであり、前記リードフレーム(20A, 20B)は、前記電気信号を50オームの特性インピーダンスで出力するものである、請求項7に記載の半導体装置(700)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パッケージおよび半導体装置に関し、特に、リードフレームを有するパッケージと、パッケージを有する半導体装置とに関するものである。

【背景技術】

【0002】

電力増幅器などの半導体装置は、多くの場合、半導体素子と、それが実装されるパッケージとを有している。パッケージには、多くの場合、複数のリードフレームが設けられている。リードフレームは、半導体装置の入力端子または出力端子としての機能を有し得る。入力端子および出力端子のそれぞれは、特性インピーダンスとして、入力インピーダンスおよび出力インピーダンスを有しており、これらの値は、外部の電気系統と整合されていることが望まれる。電気系統の特性インピーダンスは、典型的な例として、50オームに標準化される。半導体装置の特性インピーダンスが所望のものから大きくずれている場合は、特性インピーダンスを調整するための整合回路を必要とする。この整合回路の機能をパッケージ自体が有していれば、パッケージ外に整合回路を付加する必要がなくなる。これにより部品数を削減することができる。また、整合回路を含む装置のサイズを、全体として抑えやすい。

【0003】

特開2014-107398号公報(特許文献1)に記載の技術は、高周波装置のフィードスルー部にインピーダンスの調整機能を付加することを開示している。具体的には、高周波装置は、主面を有するベース板と、誘電体と、信号ラインと、島パターンと、金属

10

20

30

40

50

フレームと、リードフレームと、半導体チップと、ワイヤとを有している。誘電体は、上記ベース板の一側面に沿うように上記主面に形成されている。信号ラインは、上記誘電体の上に、上記一側面側から上記主面の中央部へ伸びるように形成されている。島パターンは、上記誘電体の上の上記信号ラインの隣に、上記一側面側から上記中央部へ伸び、かつ上記信号ラインに接しないように金属で形成されている。金属フレームは、上記主面と接する接触部と、上記信号ラインの一部および上記島パターンの一部に形成された追加誘電体を介して上記信号ラインおよび上記島パターンの上に形成された橋状部とを有している。上記接触部と上記橋状部とが全体として上記中央部を囲んでいる。リードフレームは、上記信号ラインのうち上記金属フレームの外側に位置する部分である外側信号ラインと接続されている。半導体チップは上記中央部に固定されている。ワイヤは、上記半導体チップと、上記信号ラインのうち上記金属フレームに囲まれた部分である内側信号ラインとを接続している。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-107398号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記公報に記載の技術を単に用いるのみでは、特性インピーダンスを微調整することはできるにしても、十分なインピーダンス整合を得ることが困難なことがある。特に、1オーム程度の低い出力インピーダンスを有する半導体素子が実装されている場合に、この半導体素子からの信号を出力するリードフレームの出力インピーダンスを50オーム程度へ調整することは、大きなインピーダンス調整が必要であり、上記技術では困難である。

20

【0006】

本発明は以上のような課題を解決するためになされたものであり、その目的は、インピーダンス整合をより十分に行なうことができるパッケージを提供することである。

【課題を解決するための手段】

【0007】

本発明の一の局面に従うパッケージは、ベース板と、枠体と、リードフレームとを有している。ベース板は、半導体素子が実装されることになる実装領域と、実装領域を囲む枠領域とを有しており、金属からなる。枠体は、ベース板の枠領域上に設けられており、枠領域に面する第1の面と、第1の面の反対の第2の面とを有している。リードフレームは枠体の第2の面に接合されている。枠体は、積層構造を有する複数の誘電体層と、半導体素子に電氣的に接続されることになる素子接続部とを含む。複数の誘電体層は、第1の誘電率を有する第1の誘電体層と、第1の誘電率と異なる第2の誘電率を有する第2の誘電体層とを含む。

30

【発明の効果】

【0009】

本発明の一の局面に従うパッケージによれば、パッケージの枠体は、第1の誘電率を有する第1の誘電体層と、第1の誘電率と異なる第2の誘電率を有する第2の誘電体層とを含む。これにより枠体を用いてインピーダンス整合を行う構成の設計の自由度が高められる。よってパッケージの枠体を用いてのインピーダンス整合をより十分に行なうことができる。

40

【図面の簡単な説明】

【0011】

【図1】本発明の実施の形態における半導体装置の構成を図2の線I-Iに沿って概略的に示す断面図である。

【図2】本発明の実施の形態における半導体装置の構成を、蓋体の図示を省略しつつ、概略的に示す平面図である。

50

【図3】本発明の実施の形態における半導体装置の等価回路の一例を示す回路図である。

【図4】変形例の半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0012】

以下、図面に基づいて本発明の実施の形態について説明する。

【0013】

図1は、本実施の形態における半導体装置700の構成を図2の線I-Iに沿って概略的に示す断面図である。図2は、半導体装置700の構成を、蓋体500の図示を省略しつつ、概略的に示す平面図である。

【0014】

半導体装置700は、半導体素子300と、配線部400A、400Bと、蓋体500と、パッケージとを有している。パッケージは、ベース板10と、枠体100と、リードフレーム20A、20Bとを有している。蓋体500は、枠体100上に取り付けられることによって、枠体100に囲まれたキャビティCV(図1)を封止するものである。蓋体500は絶縁体からなる。蓋体500の取り付けは、例えば、接着剤を用いて行い得る。

【0015】

ベース板10は、半導体素子300が実装されることになる実装領域11と、実装領域11を囲む枠領域12とを有している。ベース板10は金属からなる。

【0016】

半導体素子300は、ベース板10の実装領域11上に実装されている。半導体素子300は、半導体部301と、端子312A、312Bと、裏面電極311とを有している。

【0017】

リードフレーム20A、20Bは枠体100の枠上面S2に接合されている。リードフレーム20A、20Bは、平面レイアウト(図2の視野)において、枠体100の外側へ突出している。リードフレーム20A、20Bは金属からなる。

【0018】

枠体100は、ベース板10の枠領域12上に設けられている。枠体100は、枠領域12に面する枠下面S1(第1の面)と、枠上面S2(第1の面の反対の第2の面)とを有している。枠体100は、積層構造を有する複数の誘電体層110と、素子接続部121A、121Bと、少なくとも1つのビア電極140(図1に示された例においては複数のビア電極140)と、フレーム接続部122A、122Bと、少なくとも1つの電極層130(図1に示された例においては複数の電極層130)と、ベース接続部125とを有している。

【0019】

素子接続部121A、121Bは枠上面S2上に設けられている。素子接続部121A、121Bは金属からなる。素子接続部121A、121Bは、半導体素子300に電氣的に接続されている。素子接続部121A、121Bは枠上面S2上においてリードフレーム20A、20Bから電氣的に分離されている。

【0020】

複数の誘電体層110は、図1に示された例においては、下部誘電体層111と、上部誘電体層112と、中間誘電体層113、114とを有している。下部誘電体層111は、直接またはベース接続部125を介して、枠体100の枠下面S1をなしている。上部誘電体層112は、直接または電極構造を介して、枠体100の枠上面S2をなしており、この電極構造は、フレーム接続部122A、122Bまたは素子接続部121A、121Bである。中間誘電体層113、114は下部誘電体層111と上部誘電体層112との間に挟まれている。

【0021】

複数の誘電体層110は、第1の誘電率を有する第1の誘電体層と、第1の誘電率と異

10

20

30

40

50

なる第2の誘電率を有する第2の誘電体層とを含む。具体的には、第1の誘電体層および第2の誘電体層の材料は、以下の5つの種類

誘電体(1): $BaO - Al_2O_3 - SiO_2 - Bi_2O_3$ ($k = 7$)

誘電体(2): $BaO - TiO_2 - ZnO$ ($k = 27$)

誘電体(3): $BaO - Nd_2O_3 - Bi_2O_3 - TiO_2$ ($k = 81$)

誘電体(4): $BaO - R_2O_3 - TiO_2$ ($k = 125$)

誘電体(5): high-k材 ($k = 1000$)

のいずれかであることが好ましい。なお上記において、括弧内の値kは、典型的な比誘電率である。第1の誘電体層の誘電体と第2の誘電体層の誘電体とは、互いに異なるように選択される。よって第1および第2誘電体層の少なくともいずれかは、上記誘電体(1) ~ (4)のいずれかであることが好ましい。high-k材は、例えばチタン酸バリウムまたはチタン酸バリウム系材料であってよい。以上のような材料選択によって、誘電体層110の積層体を、その内部に電極構造を設けつつ、低温同時焼成セラミックス(Low Temperature Co-fired Ceramics(LTCC))として容易に形成し得る。

10

【0022】

電極層130は、複数の誘電体層110の間に挟まれている。ビア電極140は、複数の誘電体層110の少なくともいずれかを貫通している。ビア電極140の一方端は素子接続部121Aまたは121Bにつながっていてもよい。またビア電極140は電極層130につながっていてもよい。ビア電極140はフレーム接続部122Aまたは122B

20

【0023】

フレーム接続部122A, 122Bは、枠体100の枠上面S2上に設けられている。言い換えれば、フレーム接続部122A, 122Bは、上部誘電体層112上に設けられている。フレーム接続部122A, 122Bは、金属からなる。フレーム接続部122Aおよび122Bのそれぞれは、リードフレーム20Aおよび20Bに接続されている。素子接続部121A, 121Bは、枠上面S2上においてリードフレーム20A, 20Bから電氣的に分離されている。

30

【0024】

配線部400Aは、枠体100の素子接続部121Aと、半導体素子300の端子312Aとの間を接続している。配線部400Bは、枠体100の素子接続部121Bと、半導体素子300の端子312Bとの間を接続している。配線部400A, 400Bは、典型的には、ボンディングワイヤである。

【0025】

図3は、半導体装置700の等価回路の一例を示す回路図である。本例においては、半導体装置700は、入力端子としてのリードフレーム20Aと、出力端子としてのリードフレーム20Bとを有する電力増幅装置である。入力インピーダンスおよび出力インピーダンスのそれぞれを最適化するために、枠体100を用いて入力整合回路100Aおよび出力整合回路100Bが構成されている。入力整合回路100Aは、図示されているように、キャパシタ181と、インダクタ182とを有している。出力整合回路100Bは、キャパシタ183, 184と、インダクタ185とを有している。これらキャパシタおよびインダクタは、主に枠体100によって構成されるものであるが、リードフレーム20A, 20B、ベース板10および配線部400A, 400Bからの寄与があってもよい。本実施の形態の枠体100によれば、より単純な内部構造しか有しない枠体を用いられる場合に比して、図示された等価回路を容易に実現し得る。

40

【0026】

なお、前述した誘電体(1)からなる誘電体層を用いることで、高Qを有するインダクタを形成することができる。また、前述した誘電体(3) ~ (5)の少なくともいずれかを用いることによって、単位面積当たり高キャパシタンスを有するキャパシタを形成する

50

ことができる。また、耐電圧を確保する観点で誘電体の種類が選択されてもよい。

【0027】

また本例においては、半導体素子300は、入力端子としての端子312Aと、出力端子としての端子312Bと、接地端子としての裏面電極311とを有する電力増幅素子である。端子312Bは、半導体素子300からの電気信号を5オーム以下の特性インピーダンスで出力するものであり得る。そのような場合であっても、出力整合回路100Bが用いられることによって、リードフレーム20Bは、上記電気信号を、標準的な50オームの特性インピーダンスで出力することが可能である。なお、標準的な50オームの出力インピーダンスが期待される場合であっても、ある程度のインピーダンス誤差は、通常、許容されるものであり、例えば誤差5オーム程度は許容される。同様に、入力整合回路100Aが用いられることによって、リードフレーム20Aは、半導体素子300への電気信号を、標準的な50オームの特性インピーダンスで受け入れることが可能である。

10

【0028】

(効果)

本実施の形態によれば、パッケージの枠体100は、第1の誘電率を有する第1の誘電体層と、第1の誘電率と異なる第2の誘電率を有する第2の誘電体層とを含む。これにより枠体を用いてインピーダンス整合を行う構成の設計の自由度が高められる。よってパッケージの枠体を用いてのインピーダンス整合をより十分に行なうことができる。例えば、高キャパシタンスを有するキャパシタが形成される領域に、高い誘電率を有する誘電体を適用することによって、枠体100のサイズを抑えることができる。このとき、高い耐電圧を要する領域には、絶縁信頼性を優先して、より低い誘電率を有する誘電体が適用されてよい。

20

【0029】

枠体100の素子接続部121A, 121Bは枠上面S2上においてリードフレーム20A, 20Bから電氣的に分離されている。これにより、素子接続部121A, 121Bとリードフレーム20A, 20Bとの間に設けられる整合回路が、枠上面S2上で短絡された回路に限定されなくなる。よってパッケージの枠体100を用いてのインピーダンス整合をより十分に行ないやすくなる。特に、出力整合回路100B(図3)のような回路を構成しやすくなる。

【0030】

枠体100は、複数の誘電体層110の少なくともいずれかを貫通する少なくとも1つのビア電極140を有している。これにより枠体100を用いてインピーダンス整合を行う構成の設計の自由度が高められる。よってパッケージの枠体を用いてのインピーダンス整合をより十分に行なうことができる。

30

【0031】

少なくとも1つのビア電極140は、枠体100の素子接続部121A, 121Bにつながるビア電極140を含む。これにより枠体100を用いてインピーダンス整合を行う構成の設計の自由度が高められる。よってパッケージの枠体を用いてのインピーダンス整合をより十分に行なうことができる。ビア電極140は、フレーム接続部122A, 122Bにつながるビア電極140を含む。これにより、リードフレーム20A, 20Bから誘電体層110の積層体内部へと、金属からなる電氣的経路を設けることができる。

40

【0032】

枠体100は、複数の誘電体層110の間に挟まれた少なくとも1つの電極層130を有している。これにより枠体100を用いてインピーダンス整合を行う構成の設計の自由度が高められる。よってパッケージの枠体を用いてのインピーダンス整合をより十分に行なうことができる。

【0033】

半導体素子300の端子312A, 312Bは、半導体素子300からの電気信号を5オーム以下の特性インピーダンスで出力するものであることがしばしばある。本実施の形態のパッケージが出力整合回路100B(図3)として機能することで、リードフレーム

50

20Bは、上記電気信号を50オームの特性インピーダンスで出力することができる。これにより、半導体装置700外にさらなる整合回路を付加することなく、50オームという標準的な出力インピーダンスでの出力が可能となる。

【0034】

(変形例)

枠体100の構成は、求められるインピーダンス整合に応じて適宜変更され得る。具体的には、複数の誘電体層110のすべてが、同じ誘電率を有していてもよい。素子接続部121A, 121Bは、枠上面S2上においてリードフレーム20A, 20Bから電氣的に分離されていなくてもよい。ビア電極140は省略されてもよい。ビア電極140のいずれもが、枠体100の素子接続部121A, 121Bから分離されていてもよい。フレーム接続部122A, 122Bは省略されてもよい。ビア電極140のいずれもがフレーム接続部122A, 122Bから分離されていてもよい。電極層130は省略されてもよい。ベース接続部125は省略されてもよい。複数の誘電体層110の数は、図1においては4つであるが、2つ以上の任意の数であってよい。複数の誘電体層110の数が2つである場合、中間誘電体層は存在しない。なお枠体100によって、整合回路に加えてさらに他の回路が構成されてもよい。

【0035】

また上記実施の形態における半導体装置700はその整合回路が実質的に枠体100によって構成されているが、整合回路は、枠体と、他の部材とによって構成されていてもよい。図4は、このような変形例の半導体装置700Vを示す断面図である。半導体装置700との相違点として、半導体装置700Vにおいては、枠体100と共に入力整合回路を構成する誘電体素子801と、枠体100と共に出力整合回路を構成する誘電体素子802とが設けられている。枠体100の素子接続部121Aと半導体素子300との間は誘電体素子801を介して配線部400Aによって接続されている。また枠体100の素子接続部121Bと半導体素子300との間は誘電体素子802を介して配線部400Bによって接続されている。誘電体素子801および802は実装領域11上に実装されていてよい。

【0036】

この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

【符号の説明】

【0037】

- CV キャパティ
- S1 枠下面(第1の面)
- S2 枠上面(第2の面)
- 10 ベース板
- 11 実装領域
- 12 枠領域
- 121A, 121B 素子接続部
- 20A, 20B リードフレーム
- 100 枠体
- 100A 入力整合回路
- 100B 出力整合回路
- 110 誘電体層
- 122A, 122B フレーム接続部
- 130 電極層
- 140 ビア電極
- 181, 183, 184 キャパシタ
- 182, 185 インダクタ

10

20

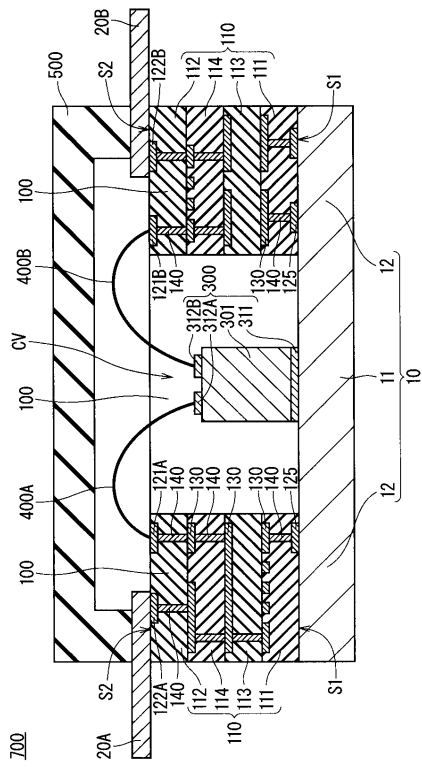
30

40

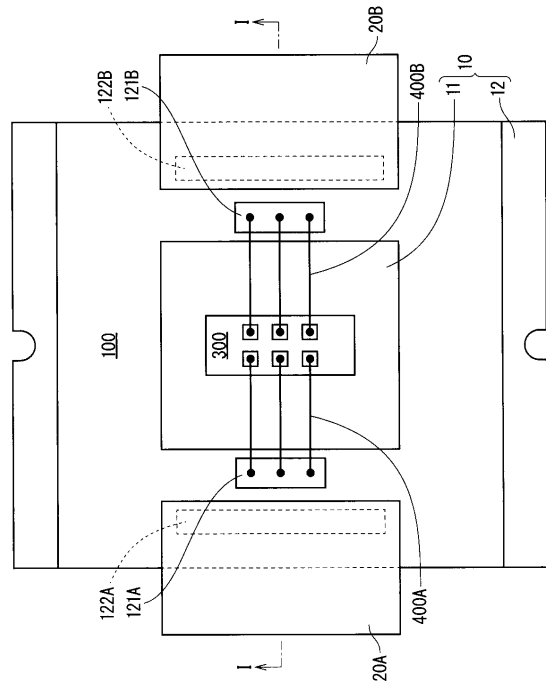
50

- 3 0 0 半 導 体 素 子
- 3 0 1 半 導 体 部
- 3 1 1 裏 面 電 極
- 3 1 2 A , 3 1 2 B 端 子
- 4 0 0 A , 4 0 0 B 配 線 部
- 5 0 0 蓋 体
- 7 0 0 半 導 体 装 置

【 図 1 】



【 図 2 】



フロントページの続き

審査官 豊島 洋介

(56)参考文献 特開2004-311568(JP,A)
特開2014-107398(JP,A)
特開昭63-257255(JP,A)
特開2000-312103(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L21/54
23/00-23/04
23/06-23/26