

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-135018

(P2012-135018A)

(43) 公開日 平成24年7月12日(2012.7.12)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0175 (2006.01)	H03K 19/00 I O I F	5J055
H03K 19/094 (2006.01)	H03K 19/094	5J056
H03K 19/0952 (2006.01)	H03K 17/687 F	
H03K 17/687 (2006.01)	H03K 17/14	
H03K 17/14 (2006.01)		

審査請求 有 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2012-33511 (P2012-33511)  
 (22) 出願日 平成24年2月20日 (2012. 2. 20)  
 (62) 分割の表示 特願2007-55046 (P2007-55046) の分割  
 原出願日 平成19年3月6日 (2007. 3. 6)

(71) 出願人 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番23  
 (74) 代理人 100092152  
 弁理士 服部 毅巖  
 (72) 発明者 森井 正晴  
 東京都品川区西五反田八丁目9番5号 富士通デバイス株式会社内  
 Fターム(参考) 5J055 AX39 BX16 CX25 CX26 CX27  
 DX12 DX62 DX72 DX83 EX01  
 EX07 EY01 EY21 EZ03 EZ07  
 EZ08 EZ09 EZ51 FX05 FX12  
 FX19 FX31 FX37 GX01 GX04  
 GX05

最終頁に続く

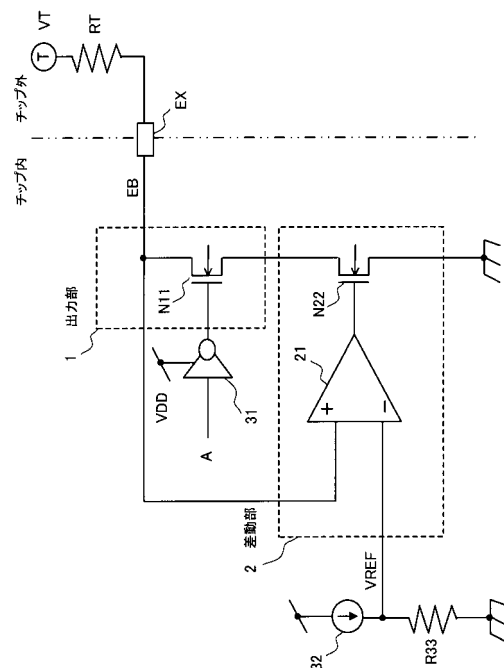
(54) 【発明の名称】 半導体出力回路及び外部出力信号生成方法並びに半導体装置

(57) 【要約】

【課題】電源電圧の低下による外部出力信号のばらつきを抑制する。

【解決手段】内部入力信号Aの電位がグランド側からVDD側、あるいはVDD側からグランド側へ変化するのに応じて、出力部1は外部出力信号EBの電位を変化させる。差動部2は、外部出力信号EBと、所定の基準信号VREFとに応じた出力信号を出力し、外部出力信号EBが所定の基準信号VREFに応じた電位となるようボルテージフォロアとして機能する。これにより、外部出力信号EBの低電圧側出力電圧VOLのばらつきを抑制する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

チップ間の情報伝達に用いられる外部出力信号を生成する半導体出力回路において、内部入力信号が直接または間接的に入力され、前記内部入力信号に応じて前記外部出力信号を生成する出力部と、

一方の入力端子に前記出力部の内部信号、他方の入力端子に所定の基準信号が入力され、出力端子に前記出力部が接続され、前記外部出力信号または前記内部信号を前記所定の基準信号に応じて制御する出力信号を出力する差動部と、を備え、

前記差動部は、前記一方の入力端子が前記出力部のトランジスタのソース側に接続され、前記出力部の前記内部信号の電位を制御する、ことを特徴とする半導体出力回路。

10

**【請求項 2】**

チップ間の情報伝達に用いられる外部出力信号を生成する半導体出力回路において、内部入力信号が直接または間接的に入力され、前記内部入力信号に応じて前記外部出力信号を生成する出力部と、

一方の入力端子に前記出力部から出力される前記外部出力信号が入力され、他方の入力端子に前記内部入力信号が入力され、出力端子に前記出力部が接続され、前記内部入力信号に応じて前記外部出力信号の電位を制御する差動部と、

を有することを特徴とする半導体出力回路。

**【請求項 3】**

チップ間の情報伝達に用いられる外部出力信号を生成する外部出力信号生成方法において、

トランジスタを有する出力部が、直接または間接的に入力される内部入力信号に応じて前記外部出力信号を生成し、

出力端子に前記出力部を接続した差動部が、一方の入力端子から前記出力部から出力される前記出力部の内部信号を入力し、他方の入力端子から所定の基準信号を入力し、前記外部出力信号または前記内部信号を前記所定の基準信号に応じて制御する出力信号を出力し、前記出力信号によって前記出力部の前記外部出力信号を前記所定の基準信号に応じた値に制御し、

前記差動部は、前記一方の入力端子が前記出力部の前記トランジスタのソース側に接続され、前記出力部の前記内部信号の電位を制御する、ことを特徴とする外部出力信号生成方法。

20

30

**【請求項 4】**

チップ間の情報伝達に用いられる外部出力信号を生成する外部出力信号生成方法において、

第 1 のトランジスタを有する出力部が、直接または間接的に入力される内部入力信号に応じて前記外部出力信号を生成し、

出力端子に前記出力部を接続した差動部が、一方の入力端子から前記出力部から出力される前記外部出力信号を入力し、他方の入力端子から前記内部入力信号を入力し、前記内部入力信号に応じて前記外部出力信号の電位を制御する、ことを特徴とする外部出力信号生成方法。

40

**【請求項 5】**

チップ間をバス配線で接続し、前記バス配線を介して前記チップ間の情報伝達を行う半導体装置において、

前記チップ間の情報伝達に用いられる外部出力信号の信号レベルを規定する内部入力信号が直接または間接的に入力され、前記内部入力信号に応じて前記外部出力信号を生成する出力部と、一方の入力端子に前記出力部の内部信号、他方の入力端子に所定の基準信号が入力され、出力端子に前記出力部が接続され、前記外部出力信号または前記内部信号を前記所定の基準信号に応じて制御する出力信号を出力する差動部と、を備え、前記バス配線を介して前記外部出力信号を出力する出力回路、を有し、

前記差動部は、前記一方の入力端子が前記出力部のトランジスタのソース側に接続され

50

、前記出力部の前記内部信号の電位を制御する、ことを特徴とする半導体装置。

【請求項 6】

チップ間をバス配線で接続し、前記バス配線を介して前記チップ間の情報伝達を行う半導体装置において、

前記チップ間の情報伝達に用いられる外部出力信号の信号レベルを規定する内部入力信号が直接または間接的に入力され、前記内部入力信号に応じて前記外部出力信号を生成する出力部と、一方の入力端子に前記出力部から出力される前記外部出力信号が入力され、他方の入力端子に前記内部入力信号が入力され、出力端子に前記出力部が接続され、前記内部入力信号に応じて前記外部出力信号の電位を制御する差動部と、を備え、前記バス配線を介して前記外部出力信号を出力する出力回路、

10

を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体出力回路及び外部出力信号生成方法並びに半導体装置に関し、特にチップ間の情報伝達に用いられる外部出力信号を生成する半導体出力回路及び外部出力信号生成方法並びにこの出力回路を有する半導体装置に関する。

【背景技術】

【0002】

大規模集積回路 (LSI; Large Scale Integration) の微細化技術によって、チップの高集積化が進み、1チップに搭載できる機能回路の規模も飛躍的に増大している。しかし、一般的な半導体集積回路装置は、1チップに多機能を搭載するよりも、所定の機能を有する複数のチップをバス配線で接続する構成をとる場合が多い。そこで、各チップには、チップ間相互の情報伝達のための信号を出力する (半導体) 出力回路が具備される。

20

【0003】

図7は、従来 of 半導体出力回路の構成例を示した回路図である。

図は、半導体出力回路を含むチップ91から、他のチップ93へ外部出力信号EBを出力する出力回路部分の例である。ここでは、入出力インタフェースの1つであるGTL (Gunning Transceiver Logic) 出力回路の例を示している。

【0004】

30

チップ91内の機能回路 (図示せず) の動作に応じて電位を変化させる内部入力信号Aは、インバータ91cを経由して出力段のNチャンネルオープンドレイン回路を構成するトランジスタ91bのゲートに接続する。VDDは、内部電源電圧である。内部入力信号Aの電位がグランド側から正電源側 (論理値がLからH) へ変化したときは、出力段のトランジスタ91bが非導通状態 (以下、オフとする) となり、パッド91aを介して出力される外部出力信号EBは、終端電圧VTに立ち上げられる。また、内部入力信号Aの電位が反対方向 (論理値がHからL) へ変化したときは、出力段のトランジスタ91bが導通状態 (以下、オンとする) となり、外部出力信号EBの電位は低電圧側出力電圧VOLへ低下する。受信側では、このトランジスタ91bのオンオフによる外部出力信号EBの変化を基準電圧に対する振幅の僅かな振幅の遷移として検出し、外部出力信号EBの論理値を判断する。たとえば、終端電圧は標準的なGTLでは「 $1.2V \pm 5\%$ 」、GTL+では「 $1.5V \pm 10\%$ 」と決められている。

40

【0005】

しかしながら、高集積化に伴うLSI内部電源電圧の低下に従って、出力段のトランジスタ91bのゲート-ソース間電圧 (以下、Vgsと表記する) が小さくなり、DC特性のばらつきが大きくなるという問題点があった。

【0006】

そこで、電力増幅用GaAsFETを飽和領域近くで動作させた場合にVgsを制御し、飽和出力電力の低下を防止するバイアス回路が提案されている (たとえば、特許文献1参照)。

50

## 【0007】

また、ボルテージフォロワの出力を分圧して負帰還することで $V_{gs}$ を制御する半導体出力回路も提案されている（たとえば、特許文献2参照）。

## 【先行技術文献】

## 【特許文献】

## 【0008】

【特許文献1】特開平9-46141号公報（図1）

【特許文献2】特開2002-232243号公報（図1）

## 【発明の概要】

## 【発明が解決しようとする課題】

10

## 【0009】

ところで、高集積化に伴って $V_{DD}$ の電圧が低下すると、出力段のトランジスタ91bのDC特性のばらつきが大きくなるという原因のひとつは、出力バッファの非飽和条件式(1)、

$$|V_{gs} - V_{th}| > |V_{ds}| \quad \dots (1)$$

において、左辺( $V_{gs} - V_{th}$ )が小さくなることによって動作点が非飽和領域から飽和領域側へシフトしたことにある。これにより、出力段のトランジスタ91bの動作に応じて信号レベルが決まる外部出力信号EBの低電圧側出力電圧 $V_{OL}$ のばらつきが大きくなる。

## 【0010】

20

図8は、従来の半導体出力回路における出力トランジスタの出力DC特性を示した図である。内部入力信号Aが低電圧側のときのDC特性を示している。

内部電源電圧 $V_{DD}$ が高いときには $V_{gs}$ は大きく、内部電源電圧 $V_{DD}$ が低くなると $V_{gs}$ は小さくなる。図は、高集積化による内部電源電圧 $V_{DD}$ が低下する前の $V_{gs}$ 大のときの出力トランジスタの特性95と、チップが高集積化して内部電源電圧 $V_{DD}$ が低下し、 $V_{gs}$ 小となったときの出力トランジスタの特性96と、を示している。なお、それぞれの $V_{gs}$ における特性のばらつきは、プロセスのばらつきにより生じる。

## 【0011】

したがって、負荷線から得られる $V_{gs}$ 大のときの $V_{OL}$ のばらつき( $V_{OL}$ )97に対し、飽和領域側に近い $V_{gs}$ 小のときの $V_{OL}$ のばらつき( $V_{OL}$ )98の方が大きくなる。

30

## 【0012】

図9は、従来の半導体出力回路の信号波形を示した図である。図は、(A) $V_{gs} = 2.5V$ の場合と、(B) $V_{gs} = 1.8V$ の場合とにおける内部入力信号Aと、外部出力信号EBの信号波形の一例を示している。

## 【0013】

内部電源電圧が高く $V_{gs}$ が大きい(A) $V_{gs} = 2.5V$ の場合の例では、外部出力信号EBの $V_{OL}$ のばらつき( $V_{OL}$ )は、130mVである。これに対し、内部電源電圧が低下し、 $V_{gs}$ が0.7V低下した(B) $V_{gs} = 1.8V$ の場合の例では、外部出力信号EBの $V_{OL}$ のばらつき( $V_{OL}$ )は、203mVに拡大している。

40

## 【0014】

このように、高集積化にともなう内部電源電圧の低下に伴い、出力トランジスタのDC特性及び低電圧側出力電圧 $V_{OL}$ のばらつきが大きくなるという問題点があった。

本発明はこのような点に鑑みてなされたものであり、内部電源電圧が低下したときの外部出力信号EBの低電圧側出力電圧 $V_{OL}$ のばらつきを小さくすることを目的とする。

## 【課題を解決するための手段】

## 【0015】

本発明では上記課題を解決するために、図1に示すような半導体出力回路が提供される。本発明の半導体出力回路は、出力部1と、差動部2とを有し、チップ間の情報伝達に用いられる外部出力信号を生成して出力する。出力部1は、内部入力信号Aによって直接ま

50

たは間接的に制御され、内部入力信号 A に応じた外部出力信号 E B を出力する。差動部 2 は、一方の入力端子が出力部 1 から出力される外部出力信号 E B または出力部 1 の内部信号、他方の入力端子に所定の基準信号 V R E F、及び出力端子に出力部 1 が接続され、外部出力信号 E B または内部信号を所定の基準信号 V R E F に応じて制御する出力信号を生成する。なお、図 1 は、内部入力信号 A によって外部出力信号 E B が直接制御され、差動部 2 の一方の入力端子に外部出力信号 E B が接続される場合の回路構成例を示している。

【 0 0 1 6 】

このような半導体出力回路によれば、内部入力信号 A の電位がグランド側から電源 V D D 側、あるいは電源 V D D 側からグランド側へ変化するのに応じて、出力部 1 は外部出力信号 E B の電位を変化させる。差動部 2 は、外部出力信号 E B または出力部 1 の内部信号と、所定の基準信号 V R E F とに応じた出力信号を出力し、外部出力信号 E B または内部信号が所定の基準信号 V R E F に応じた電位となるようボルテージフォロアとして機能する。これにより、外部出力信号 E B の低電圧側出力電圧 V O L のばらつきを抑制する。

10

【 0 0 1 7 】

また、上記課題を解決するために、チップ間の情報伝達に用いられる外部出力信号を生成する外部出力信号生成方法において、出力部が、内部入力信号に直接または間接的に接続され、前記内部入力信号に応じて前記外部出力信号を生成し、差動部が、一方の入力端子が前記出力部から出力される前記外部出力信号または前記出力部の内部信号、他方の入力端子に所定の基準信号、及び出力端子に前記出力部が接続され、前記外部出力信号または前記内部信号を前記所定の基準信号に応じて制御する出力信号を出力し、前記差動部の前記出力信号によって前記出力部の前記外部出力信号を前記所定の基準信号に応じた値に制御する、ことを特徴とする外部出力信号生成方法、が提供される。

20

【 0 0 1 8 】

このような外部出力信号生成方法によれば、内部入力信号の電位がグランド側から電源側、あるいは、電源側からグランド側に変化するのに応じて、出力部は、外部出力信号の電位を変化させる。差動部は、外部出力信号または出力部の内部信号が所定の基準信号に応じた電位となるように出力信号を出力して制御し、外部出力信号の信号レベルを制御する。

【 0 0 1 9 】

また、上記課題を解決するために、チップ間をバス配線で接続し、前記バス配線を介して前記チップ間の情報伝達を行う半導体装置において、前記チップ間の情報伝達に用いられる外部出力信号の信号レベルを規定する内部入力信号に直接または間接的に接続され、前記内部入力信号に応じて前記外部出力信号を生成する出力部と、一方の入力端子が前記出力部から出力される前記外部出力信号または前記出力部の内部信号、他方の入力端子に所定の基準信号、及び出力端子に前記出力部が接続され、前記外部出力信号または前記内部信号を前記所定の基準信号に応じて制御する出力信号を出力する差動部と、を備え、前記バス配線を介して前記外部出力信号を出力する出力回路、を有することを特徴とする半導体装置、が提供される。

30

【 0 0 2 0 】

このような半導体装置では、出力回路の出力部は、情報伝達のための外部出力信号のレベルを規定する内部入力信号を入力し、内部入力信号に応じた外部出力信号を出力する。差動部は、外部出力信号または出力部の内部信号が、所定の基準信号に応じた電位となるように制御する出力信号を出力し、外部出力信号の信号レベルを制御する。

40

【 発明の効果 】

【 0 0 2 1 】

本発明の半導体出力回路では、差動部によって、出力部から出力される外部出力信号の信号レベルを制御する。これにより、チップの微細化などによって内部電源電圧が低下することで外部出力信号の低電圧側出力電圧にばらつきが生じるような場合であっても、ばらつきを抑制することが可能となる。

【 図面の簡単な説明 】

50

## 【 0 0 2 2 】

【図 1】本発明の第 1 の実施の形態の半導体出力回路構成を示した回路図である。

【図 2】本発明の実施の形態の半導体出力回路の信号波形を示した図である。

【図 3】本発明の第 2 の実施の形態の半導体出力回路構成を示した回路図である。

【図 4】本発明の第 3 の実施の形態の半導体出力回路構成を示した回路図である。

【図 5】本発明の第 4 の実施の形態の半導体出力回路構成を示した回路図である。

【図 6】本発明の第 5 の実施の形態の半導体出力回路構成を示した回路図である。

【図 7】従来の半導体出力回路の構成例を示した回路図である。

【図 8】従来の半導体出力回路における出力トランジスタの出力 DC 特性を示した図である。

10

【図 9】従来の半導体出力回路の信号波形を示した図である。

【発明を実施するための形態】

## 【 0 0 2 3 】

以下、本発明の実施の形態を図面を参照して説明する。

図 1 は、本発明の第 1 の実施の形態の半導体出力回路構成を示した回路図である。

本発明の第 1 の実施の形態の半導体出力回路は、外部出力信号 E B を生成する出力部 1 と、外部出力信号 E B の電圧を制御する差動部 2 と、を有し、内部入力信号 A によって外部出力信号 E B が直接制御され、差動部 2 の一方の入力端子に外部出力信号 E B が接続される場合の回路構成の一例を示している。

## 【 0 0 2 4 】

20

出力部 1 は、出力線が出力パッド E X に接続して外部出力信号 E B を出力する N チャンネルオープンドレイン出力回路で構成される。トランジスタ N 1 1 は、単一極性型トランジスタであり、ゲートにインパタ 3 1 を介して内部入力信号 A、ソースに差動部 2 の出力を供給するトランジスタ N 2 2、及びドレインに外部出力信号 E B を出力する出力パッド E X が接続される。内部入力信号 A の電位がグランド側から電源 V D D 側に変化すると、トランジスタ N 1 1 はオフし、外部出力信号 E B は V T 電位に立ち上がる。また、内部入力信号 A の電位が電源 V D D 側からグランド側に変化すると、出力段のトランジスタ N 1 1 がオンし、外部出力信号 E B は低電圧側出力電圧 V O L まで立ち下げられる。

## 【 0 0 2 5 】

差動部 2 は、演算増幅器 (Operation Amplifier; 以下、オペアンプとする) 2 1 と、トランジスタ N 2 2 とを有し、基準信号 V R E F を発生させる電流源 3 2 と抵抗 R 3 3 とを有する基準電圧発生回路が接続される。オペアンプ 2 1 は、非反転入力端子 (+) に外部出力信号 E B、反転入力端子 (-) に基準信号 V R E F、及び出力端子がトランジスタ N 2 2 のゲートに接続され、外部出力信号 E B の電位と、基準信号 V R E F とが等しくなるように出力信号を生成する。N チャンネルのトランジスタ N 2 2 は、ゲートがオペアンプ 2 1 の出力端子、ソースがグランド、及びドレインが出力部 1 のトランジスタ N 1 1 のソースに直列に接続し、オペアンプ 2 1 の出力信号に応じて出力部 1 のトランジスタ N 1 1 のソース電圧を制御する。

30

## 【 0 0 2 6 】

基準電圧発生部は、電流源 3 2 と抵抗 R 3 3 とが直列に接続され、電流源 3 2 と抵抗 R 3 3 とで決まる一定の電圧 (これを基準電圧 V R E F と呼ぶ) を発生させる。

40

このような構成の本発明の第 1 の実施の形態の半導体出力回路の動作について説明する。

## 【 0 0 2 7 】

出力部 1 は、内部入力信号 A がグランド側から V D D 側 (論理値の L から H) へ変化すると、出力段のトランジスタ N 1 1 がオフし、外部出力信号 E B の電位が V T に立ち上がる。このとき、トランジスタ N 1 1 はオフしているため、外部出力信号 E B に対する差動部 2 のオペアンプ 2 1 の影響はない。一方、内部入力信号 A が V D D 側からグランド側 (論理値の H から L) へ変化すると、トランジスタ N 1 1 がオンし、外部出力信号 E B の電位が V O L に立ち下がる。このとき外部出力信号 E B は、トランジスタ N 1 1 がオンする

50

ため、直列に接続される差動部 2 の影響を受ける。差動部 2 では、外部出力信号 E B の電位が基準電圧 V R E F となるようにオペアンプ 2 1 による負帰還が作用するので、内部入力信号 A が L レベルのときは、外部出力信号 E B は基準電圧 V R E F となるように動作する。基準電圧 V R E F を低電圧側出力電圧 V O L としておけば、内部電源電圧 V D D の大きさによらず、外部出力信号 E B が低電圧側出力電圧 V O L となるように制御されるので、外部出力信号 E B の低電圧側出力電圧 V O L のばらつきを小さくすることができる。

**【 0 0 2 8 】**

このように、本発明の第 1 の実施の形態では、外部出力信号 E B の低電圧側出力電圧 V O L が所定の電圧となるように差動部 2 による負帰還が作用するため、低電圧側出力電圧 V O L のばらつきを抑えることができる。作用は、内部電源電圧 V D D の大きさによらず生じるが、内部電源電圧 V D D の低下に伴って大きくなる低電圧側出力電圧 V O L のばらつきに対し、特に効果が大きい。

10

**【 0 0 2 9 】**

図 2 は、本発明の実施の形態の半導体出力回路の信号波形を示した図である。図は、 $V_{gs} = 1.8 V$  ( 図 9 に示した従来の半導体出力回路における  $V_{gs}$  が小さいときと同じ ) における内部入力信号 A と、外部出力信号 E B の信号波形の一例を示している。

**【 0 0 3 0 】**

本発明の実施の形態の半導体出力回路では、内部電源電圧 V D D が低い ( $V_{gs} = 1.8 V$ ) 状態であっても、外部出力信号 E B の低電圧側出力電圧 V O L のばらつきは ( $V_{OL}$ ) は、 $113 mV$  に抑えられている。

20

**【 0 0 3 1 】**

これは、図 9 ( B ) に示した同一条件における従来の半導体出力回路の  $V_{OL}$  ばらつき ( $V_{OL}$ ) の  $203 mV$  に比べてかなり小さく、本発明の実施の形態の回路が、 $V_{OL}$  のばらつきを抑制する効果が高いことがわかる。本発明の実施の形態の外部出力信号 E B の低電圧側出力電圧 V O L のばらつきは、図 9 ( A ) に示した従来の半導体出力回路の  $V_{OL}$  ばらつきの  $130 mV$  と比べてもばらつきが小さいことがわかる。

**【 0 0 3 2 】**

このように、本発明の実施の形態の半導体出力回路によれば、低電圧側出力電圧 V O L のばらつきを抑える効果が大きいことがわかる。

次に、本発明の第 2 の実施の形態について説明する。

30

**【 0 0 3 3 】**

図 3 は、本発明の第 2 の実施の形態の半導体出力回路構成を示した回路図である。

第 2 の実施の形態の半導体出力回路は、図 1 に示した第 1 の実施の形態の半導体出力回路が N チャンネルオープンドレイン出力回路の例であるのに対し、N チャンネルオープンドレイン出力回路を P チャンネルオープンドレイン出力回路に置き換えた場合の例である。

**【 0 0 3 4 】**

すなわち、第 2 の実施の形態では、図 1 に示した第 1 の実施の形態の出力部 1 の N チャンネルのトランジスタ N 1 1 が P チャンネルのトランジスタ P 1 1 に、差動部 2 の N チャンネルのトランジスタ N 2 2 が P チャンネルのトランジスタ P 2 2 に置き換えられている。

40

**【 0 0 3 5 】**

第 2 の実施の形態の半導体出力回路も、第 1 の実施の形態の半導体出力回路と同様に動作し、内部入力信号 A がグランド側から V D D 側電位に変化すると、トランジスタ P 1 1 がオンする。このとき、オペアンプ 2 1 が、外部出力信号 E B の電位が基準電圧 V R E F となるように作用するので、結果として、外部出力信号 E B の低電圧側出力電圧 V O L のばらつきを小さくすることができる。

**【 0 0 3 6 】**

このように、本発明の第 2 の実施の形態の半導体出力回路によれば、外部出力信号 E B の低電圧側出力電圧 V O L のばらつきを抑えることができる。

50

次に、本発明の第3の実施の形態について説明する。

【0037】

図4は、本発明の第3の実施の形態の半導体出力回路構成を示した回路図である。

第3の実施の形態の半導体出力回路では、図1に示した第1の実施の形態の半導体出力回路の差動部2のオペアンプ21の反転入力端子(-)に接続される基準電圧 $V_{REF}$ を発生させる基準電圧発生回路を構成する電流源32と抵抗 $R_{33}$ とが、トランジスタ $N_{34}$ と電流源32との構成に置き換えられている。

【0038】

第3の実施の形態の基準電圧発生回路は、電流源32と、ソースが電流源32、及びドレインとゲートが内部電源 $V_{DD}$ に接続するトランジスタ $N_{34}$ とを備え、トランジスタ $N_{34}$ のソースがオペアンプ21の反転入力端子(-)に接続される。このトランジスタ $N_{34}$ は、出力部を構成するトランジスタ $N_{11}$ と同一極性型のトランジスタで構成される。これにより、第1の実施の形態の基準電圧発生回路が生成する基準電圧 $V_{REF}$ が電流と抵抗とで決まる一定値であるのに対し、第3の実施の形態の基準電圧発生回路では、基準電圧 $V_{REF}$ に出力部を構成するトランジスタと同じトランジスタ特性依存を持たせている。

10

【0039】

第1の実施の形態の基準電圧発生回路では、基準電圧 $V_{REF}$ は常に一定値となるが、基準電圧 $V_{REF}$ の値によっては、出力段のトランジスタ $N_{11}$ 等のトランジスタ特性により、出力される外部出力信号 $E_B$ は基準電圧 $V_{REF}$ からわずかにずれる。そこで、第3の実施の形態の半導体出力回路では、同じトランジスタ特性を有するトランジスタ $N_{34}$ を基準電圧発生回路に設け、基準電圧 $V_{REF}$ の値を制御する。

20

【0040】

このような構成の第3の実施の形態の半導体出力回路では、基準電圧 $V_{REF}$ は、出力部のプロセスばらつきによる差動部のオフセットなどを相殺する方向に作用するという特徴がある。

【0041】

次に、本発明の第4の実施の形態について説明する。

図5は、本発明の第4の実施の形態の半導体出力回路構成を示した回路図である。

第4の実施の形態の半導体出力回路では、図4に示した第3の実施の形態のオペアンプ21が外部出力信号 $E_B$ を帰還するのに対し、出力部のトランジスタ $N_{11}$ と、トランジスタ $N_{11}$ と直列接続される差動部のトランジスタ $N_{22}$ との中間点に接続し、出力部の内部信号を帰還させるようにしている。

30

【0042】

第4の実施の形態では、オペアンプ21は、出力部のトランジスタ $N_{11}$ の内部信号の電圧 $V_A$ を負帰還させ、 $V_A$ が基準電圧 $V_{REF}$ となるように制御を行う。第1の実施の形態から第3の実施の形態では、低電圧側電圧 $V_{OL}$ が基準電圧 $V_{REF}$ となるように外部出力信号 $E_B$ を帰還させていた。しかしながら、外部出力信号 $E_B$ は、内部入力信号 $A$ の変動に応じて信号レベルが変動するため、外部出力信号 $E_B$ が変化する過渡期では、オペアンプ21を安定的に動作させることが難しい。そこで、第4の実施の形態の半導体出力回路では、内部入力信号 $A$ によって変動する外部出力信号 $E_B$ ではなく、非反転入力端子(+)にトランジスタ $N_{11}$ のソースを接続し、出力部の内部信号を帰還させる。これにより、差動部は、 $V_A$ が基準電圧 $V_{REF}$ となるように作用する。

40

【0043】

このような構成の第4の実施の形態の半導体出力回路では、内部入力信号 $A$ によって変動する回路が、負帰還の一部ではなく負荷として接続されるため、安定しやすいという特徴がある。

【0044】

次に、本発明の第5の実施の形態について説明する。

図6は、本発明の第5の実施の形態の半導体出力回路構成を示した回路図である。

50

第5の実施の形態の半導体出力回路は、第1の実施の形態から第4の実施の形態の半導体出力回路が、内部入力信号Aによって出力端のトランジスタN11またはP11が直接制御されるのに対し、内部入力信号Aが差動部を介してトランジスタN11を制御する構成としている。

【0045】

第5の実施の形態では、第1の実施の形態の半導体出力回路に対し、オペアンプ21に所定の基準電圧を供給する基準電圧発生回路が内部入力信号Aに置き換えられ、オペアンプ21の出力が直接出力部のトランジスタN11へ接続する構成をとる。したがって、オペアンプ21は、外部出力信号EBの低電圧側電圧VOLが、内部入力信号Aの低電位側の電圧と同じになるように制御を行う。

10

【0046】

このような構成の第5の実施の形態の半導体出力回路では、外部出力信号EBの低電圧側出力電圧VOLが一定になるように制御が行われるため、低電圧側出力電圧VOLのばらつきを抑制することができる。

【0047】

なお、上記の第1の実施の形態から第5の実施の形態は、回路構成例であり、図に示した実施の形態の各部を組み合わせて、他の回路構成とすることが可能であることは当然である。また、基準電圧発生回路などの細部は、他の回路で適宜置き換えることができる。

【0048】

以上、本発明の実施の形態の半導体出力回路によれば、プロセスの微細化が進むことにより、問題となっていた外部出力信号EBの低電圧側出力電圧VOLのばらつきを抑制することが可能となる。

20

【0049】

また、上記の実施の形態の半導体出力回路は、所定の機能を有する複数のチップをバス配線によって接続する構成をとる半導体装置に適用される。本発明の実施の形態の半導体装置では、チップ間相互の情報伝達のための情報伝達信号の出力部を、上記の出力回路で構成する。この出力回路から出力される外部出力信号(情報伝達信号)を、バスを介して他のチップへ送り、受け側のチップに入力される。受け側のチップでは、入力された情報伝達信号の信号レベルが、終端電圧VT側にあるか、低電圧側出力電圧VOL側にあるかに基づいて伝達される情報を抽出する。したがって、上記の構成の出力回路によって、外部出力信号の低電圧側出力電圧VOLのばらつきが抑制されることによって、受け側のレベル検出が容易になり、安定的に情報が伝達されるようになる。

30

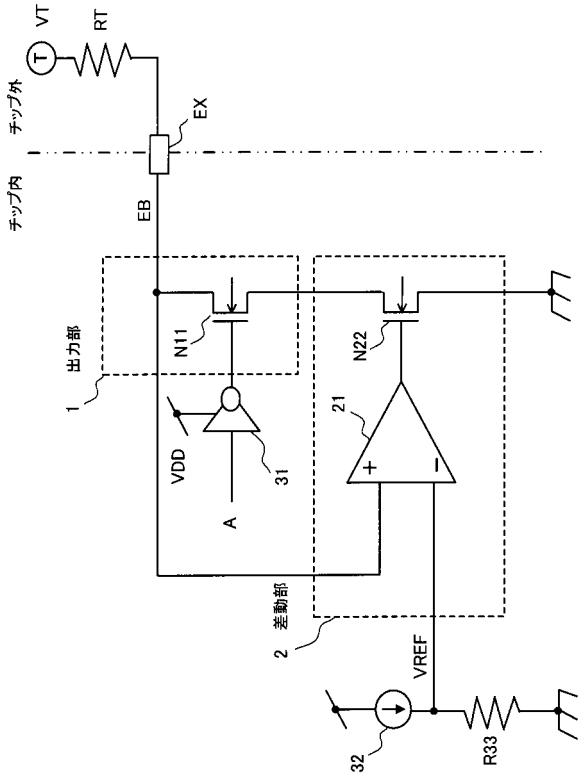
【符号の説明】

【0050】

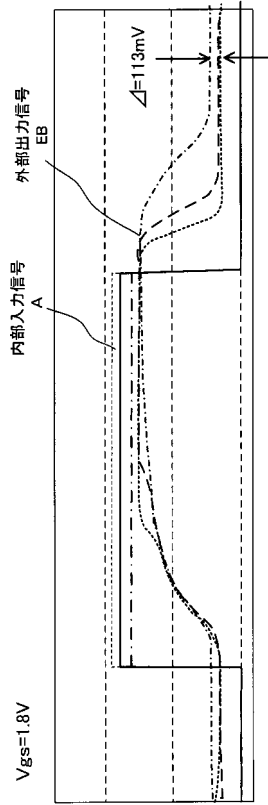
- 1 出力部
- 2 差動部
- 21 オペアンプ(演算増幅器)
- 31 インバータ
- 32 電流源
- A 内部入力信号
- EB 外部出力信号
- EX 出力パッド
- N11、N22 (Nチャンネル)トランジスタ
- REF 基準電圧
- VDD 内部電源電圧

40

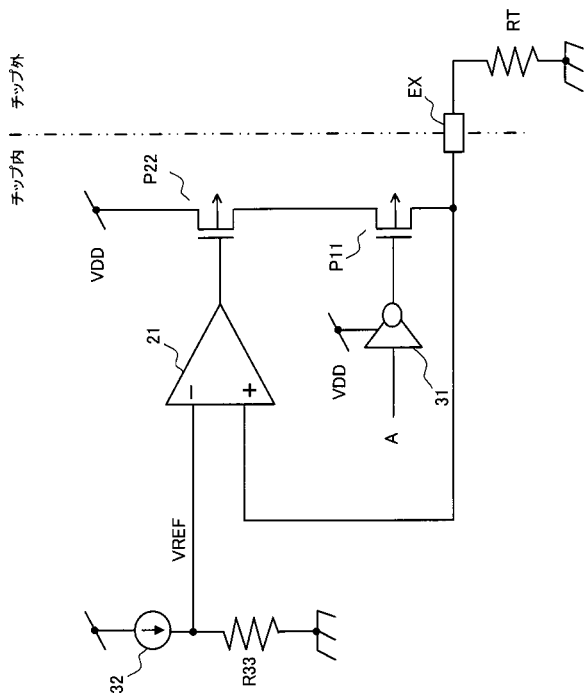
【図 1】



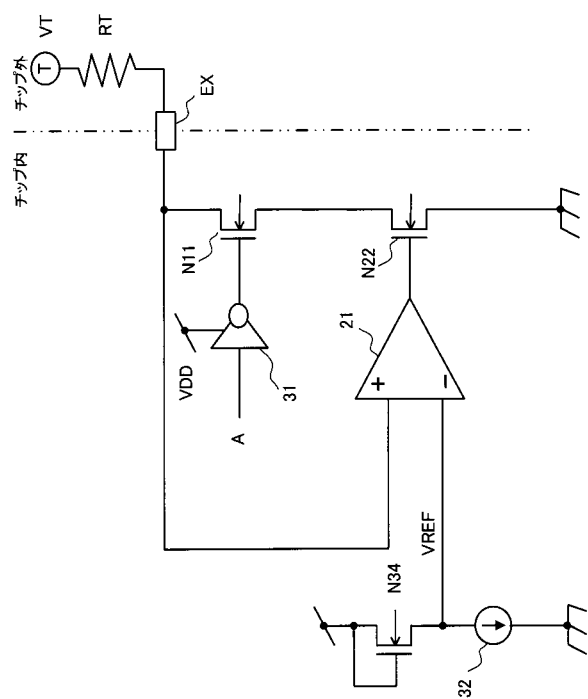
【図 2】



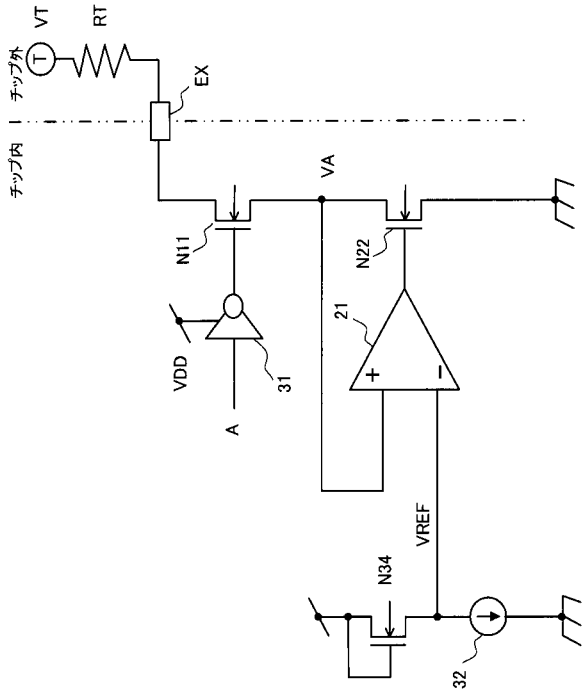
【図 3】



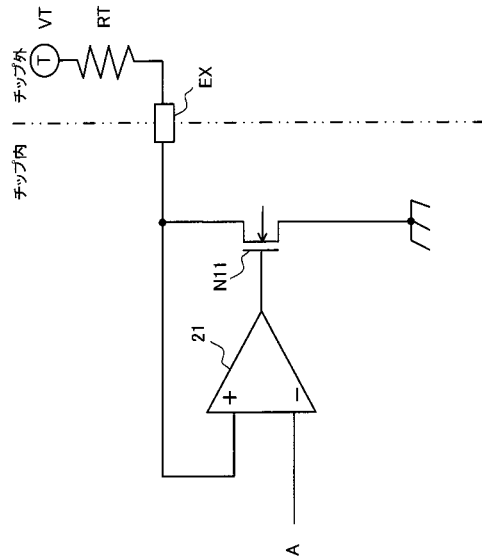
【図 4】



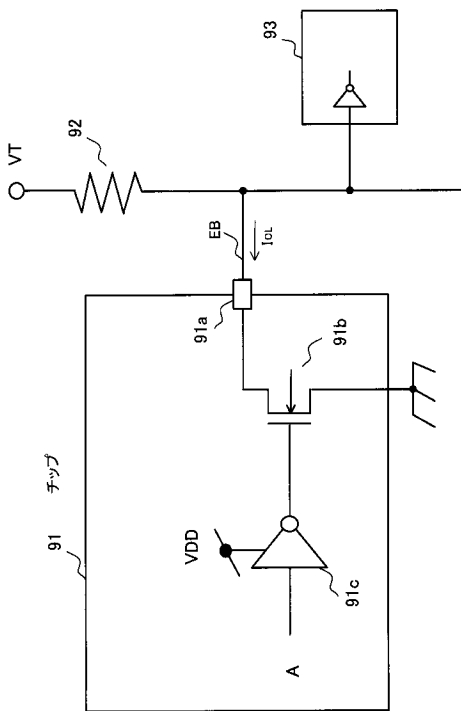
【図 5】



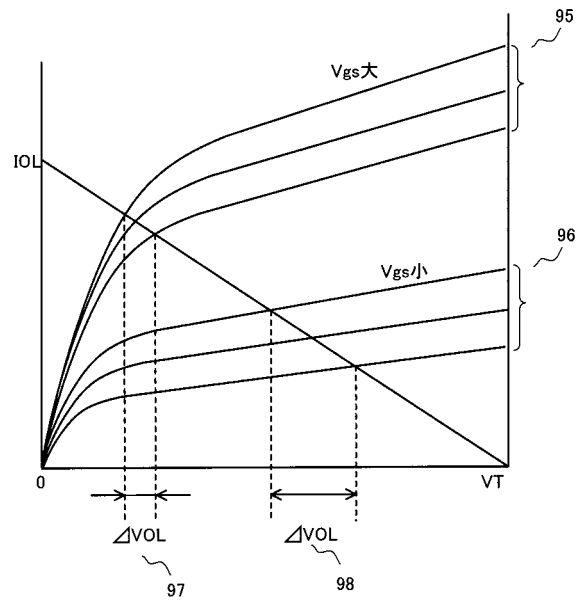
【図 6】



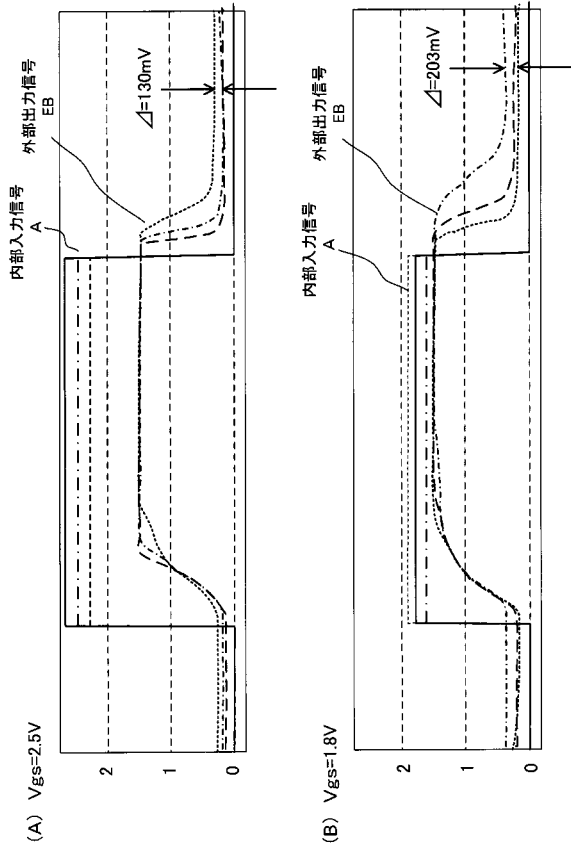
【図 7】



【図 8】



【 図 9 】



---

フロントページの続き

Fターム(参考) 5J056 BB40 CC00 CC01 CC04 CC10 DD12 DD59 EE06 EE07 FF06  
FF08 GG09 KK01 KK03