

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3858932号
(P3858932)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/36

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09G 3/20 611E

G09G 3/20 622C

G09G 3/20 622G

請求項の数 1 (全 28 頁)

(21) 出願番号 特願2005-223775 (P2005-223775)

(22) 出願日 平成17年8月2日(2005.8.2)

(62) 分割の表示 特願2004-161498 (P2004-161498)

の分割

原出願日 平成5年8月9日(1993.8.9)

(65) 公開番号 特開2005-331982 (P2005-331982A)

(43) 公開日 平成17年12月2日(2005.12.2)

審査請求日 平成17年8月2日(2005.8.2)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅誉

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のゲート線と、

複数のソース線と、

前記各ゲート線と前記各ソース線との交差に対応して形成された複数の画素と、

前記各ゲート線を選択状態にする選択信号、もしくは、前記各ゲート線を非選択状態にする非選択信号を供給するゲート線駆動回路とを有するアクティブマトリクス型の液晶表示装置であって、

前記ゲート線駆動回路は、

前記選択信号もしくは前記非選択信号を生成するシフトレジスタと、

前記シフトレジスタと前記各ゲート線との間に設けられたトランジスタと、を備え、

前記トランジスタは、抵抗変調信号が該トランジスタのゲート電極に入力されることにより、前記各ゲート線を選択状態から非選択状態にする際の前記シフトレジスタと前記各ゲート線との間の抵抗値を、前記各ゲート線を選択した状態における抵抗値よりも高くするように制御されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子に薄膜トランジスタなどを用いたアクティブマトリクス方式の液晶装置及び液晶装置の駆動方法に関する。

【背景技術】

【0002】

従来、液晶の電気光学特性を利用して視覚情報を表示する液晶表示装置は、コンピュータ画像の出力装置や、携帯型テレビ、ビデオプロジェクタ、ビデオカメラのビューファインダなど多岐に渡って使用されている。

【0003】

これら液晶表示装置のうち、薄膜トランジスタをアクティブ素子として用いたアクティブマトリクス方式の液晶表示装置の回路構成は、図1にブロック図で示すように、ソース線駆動回路201およびゲート線駆動回路202と、少なくとも画素マトリクス203とが同一の透明絶縁基板204の上に形成されてなる。

10

そのうち、画素マトリクス203は、ソース線駆動回路201に接続された複数のソース線 $X_1, X_2, X_3 \dots$ と、ゲート線駆動回路202に接続された複数のゲート線 $Y_1, Y_2, Y_3 \dots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \dots$ とを有し、各画素 $P_{11}, P_{12} \dots$ には薄膜トランジスタ205および液晶セル206を有する。

【0004】

以上の構成を有する液晶表示装置の等価回路構成について、図2を用いて説明する。図2はアクティブマトリクス型の液晶表示装置の等価回路構成を説明する図である。等価回路は大きく分けて、ソース線駆動回路301およびゲート線駆動回路302と、画素マトリクス303とからなる。前記ソース線駆動回路301は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ304と、その前記ラッチ信号を増幅、整波するためのバッファ305と、ビデオ信号線306に印加されたビデオ信号を、前記バッファ305から送出されるラッチ信号に応じてソース線308, 308'にサンプル、ホールドするためのアナログスイッチ307, 307'と、から構成される。ここで、前記X側シフトレジスタ304は、クロックCLXで規定されるクロックドインバータ331と、クロックCLX*で規定されるクロックドインバータ332と、インバータ333とからなる基本セル334を単位に構成される。

20

【0005】

一方、前記ゲート線駆動回路302は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ309と、その前記ラッチ信号を増幅、整波し、ゲート線311, 311'に送出するためのバッファ310と、から構成される。ここで、前記Y側シフトレジスタ309は、クロックCLYで規定されるクロックドインバータ335と、クロックCLY*で規定されるクロックドインバータ336と、インバータ337と、NORゲート338からなる基本セル339を単位に構成される。

30

【0006】

また、前記画素マトリクス303は、前記ソース線308, 308'...およびゲート線311, 311'...に接続された薄膜トランジスタ312, 312'...と液晶セル313, 313'...とから構成される。

【0007】

次に、図2に等価回路図で示した液晶表示装置の駆動方法の一例について、図2と図3を用いて説明する。図3に、図2の点 $P_1, P_2, Q_1, Q_2, R_1, R_2, V_1$ での電圧を時系列で示す。CLXはX側シフトレジスタのクロックを表しており、CLX*とは逆位相の関係になっている。同様に、CLYはY側シフトレジスタのクロックを表しており、CLY*とは逆位相の関係になっている。ここでは、CLX*とCLY*については図示しない。

40

【0008】

駆動方法を順に説明すると、まず、前記Y側シフトレジスタ309が前記クロックCLY, CLY*のタイミングに応じて、前記クロックCLY, CLY*の周期の1/2の幅のパルスを前記バッファ310に出力する。そのパルスを前記バッファ310が増幅、整波して、前記ゲート線311(P_1)にゲート選択パルス401を出力する。この前記ゲ

50

ート選択パルス401が選択レベルである間、ゲート線311に接続した複数の前記薄膜トランジスタ312, 312'は導通状態になり、このゲート線311に接続した複数の薄膜トランジスタ312, 312'に接続したソース線303, 303'と、液晶セル313, 313'とが電氣的に接続する。このとき、前記X側シフトレジスタ304が前記クロックCLX, CLX*のタイミングに応じて、前記クロックの周期と同じ幅のパルスを前記バッファ305に出力する。そのパルスを増幅、整波してアナログスイッチ307(Q₁)にサンプル・ホールド信号403を出力し、前記アナログスイッチ307はそのパルスに応じて前記ビデオ信号線306(V₁)のビデオ信号405を前記ソース線308(R₁)にサンプル・ホールドする。このとき、先に述べたように前記ゲート線311に接続した複数の前記薄膜トランジスタ312は導通状態にあるため、前記ソース線308にホールドした信号は前記液晶セル313に書き込まれる。同様に、アナログスイッチ307'はソース線308'に前記ビデオ信号405をサンプル・ホールドする。これによって、前記液晶セル313'には前記ソース線308'にサンプル・ホールドした信号が書き込まれる。これを前記ソース線駆動回路301の側で繰り返すことにより、前記ゲート線311に接続した複数の画素の液晶セルへ、前記ビデオ信号405を書き込むことができる。

10

【0009】

次に、前記ゲート選択パルス401が非選択レベルになった後、前記ゲート線駆動回路302からゲート選択パルス402が出力される。この前記ゲート選択パルス402が選択レベルである間に、前述したのと同様に前記ソース線駆動回路301を駆動すると、前記ゲート線311'に接続した複数の画素の液晶セルに前記ビデオ信号405を書き込むことができる。

20

【0010】

以上の操作を繰り返すことによって、各画素の液晶セル単位でビデオ信号を書き込むことが可能になり、液晶セルに書き込まれた信号に応じて各々の液晶セルの偏光状態を変えることで、画像を得ることができる。

【発明の開示】

【発明が解決しようとする課題】

【0011】

上記のアクティブマトリクス方式の液晶表示装置において、ゲート線の遅延が比較的大きいときには、表示画面にフリッカが発生することが知られている。これは、液晶に印加される電圧の平均値が0でない液晶セルがあるために、液晶セルの透過率の差となって視認される現象である。このフリッカは表示品位を落とすだけでなく、液晶の焼き付きにも深い関係を持っている。一般的に液晶は交流で駆動する必要がある。その交流波形の平均値が0にならない場合には、即ち液晶に直流が印加されているということであり、液晶の焼き付きを発生させる原因になる。つまり、表示画面にフリッカが発生しているということは、液晶の焼き付きが生じ易くなっているということである。

30

【0012】

では、なぜ液晶に印加される電圧の平均値が0にならない液晶セルが生ずるのかについて、図4および図5を用いて以下に説明する。ここでは、画素トランジスタ501, 501'にN型の薄膜トランジスタを用いた場合について説明する。また、説明の簡略化のために、ソース線506, 506'を接地し、かつ、画素の液晶セルには電圧が印加されていない場合、つまり点C₁と点C₂が接地レベルと等電位である場合を想定する。

40

【0013】

まず、ゲート選択パルスの選択期間の終了時に液晶の印加電圧が低下する現象、いわゆる突き抜け電圧について説明する。この突き抜け電圧とは、あるゲート線503に印加されるゲート選択パルス502が、画素トランジスタ501, 501'を導通状態にする電圧レベルから、絶縁状態にする電圧レベルに変化する瞬間に、前記ゲート線503と液晶セル504, 504'との結合容量505, 505'によって、前記画素電極に書き込まれた電荷が逃げ、そのため液晶に印加した電圧が低下する、その電圧のことである。こ

50

で、前記結合容量 505, 505' は、主に、前記画素トランジスタ 501, 501' のゲート電極と前記液晶セル 504, 504' の画素電極に接続したドレイン電極との間の容量成分 C_{gd} と、前記液晶セル 504, 504' の画素電極と前記ゲート線 503 との平行容量成分 C_{gd}' とからなる。このうち、容量成分 C_{gd} は前記ゲート電極と前記ドレイン電極との間に印加される電圧 V_{gd} によって変化し、図 4 の場合には、前記ゲート電極と前記ドレイン電極との間に印加される電圧 V_{gd} が上がるに従って、前記容量成分 C_{gd} は増加する。

【0014】

このとき理想的に遅延の無いゲート選択パルスが画素トランジスタに入力されたとする
と、突き抜け電圧 V は数式 1 で示すことができる。

10

【0015】

【数 1】

$$\Delta V = \frac{C_{gd} + C_{gd}'}{C_{all}} \cdot V_{gd}$$

20

【0016】

ここで、 C_{all} は前記画素電極に電氣的に接続した全ての容量成分を表す。また、この遅延の無い理想的な状態での液晶の印加電圧の過渡応答を図 5 を用いて説明する。図 5 は縦軸に電圧を、横軸に時間をとっている。前数式 1 での理想的に遅延の無いゲート選択パルス 611 が入力されたときには、液晶の印加電圧は曲線 621 で表される過渡応答を示す。このときの突き抜け電圧が V である。

【0017】

30

しかしながら実際には、ゲート線の抵抗とゲート線に係る容量によってゲート選択パルスに遅延が生じ、その遅延したゲート選択パルスに応じて、数式 1 の V_{gd} と C_{gd} とが時系列的に変化するため、ゲート選択パルスの遅延の程度によって突き抜け電圧の量が変わることになる。以下に、遅延の程度によって突き抜け電圧 V に差が生じる過程について具体的に説明する。まず、前記ゲート線 503 に前記ゲート選択パルス 502 を入力すると、前記ゲート線 503 の抵抗と、前記ゲート線 503 に寄生する容量とで等価的に表した第 1 の低域通過フィルタ 508 を通って、前記画素トランジスタ 501 (点 G_1) に、第 1 の遅延パルス 510 が入力される。このとき、点 G_1 と点 C_2 の間の結合容量 505 と、画素トランジスタのソース - ドレイン間の抵抗とによって高域通過フィルタが形成されている。この前記高域通過フィルタは、前記結合容量 505 と画素トランジスタの抵抗とがゲート選択パルスの波形に伴って時系列的に変化するため、必然的にその遮断周波数は時系列的に変化する。このとき、前記第 1 の遅延パルスにおいては、第 1 の低域通過フィルタ 508 を通過することにより、理想的なゲート選択パルスには存在した高周波成分が遮断されている。この結果、点 C_1 での突き抜け電圧 V_1 は上述した遅延の無いゲート選択パルスでの突き抜け電圧 V よりも少なくなる。図 5 を用いてこのときの過渡応答の様子を模式的に説明する。曲線 612 は点 G_1 に入力される第 1 の遅延パルスを表し、曲線 622 は点 C_1 での電圧の過渡応答、即ち、液晶に印加される電圧を表している。

40

【0018】

同様に、前記画素トランジスタ 501' のゲート電極 (点 G_2) には、前記第 1 の低域通過フィルタ 508 と第 2 の低域通過フィルタ 509 を通って、第 2 の遅延パルス 511

50

が入力される。このとき前記第2の遅延パルス511においては、前記第1の遅延パルス510にさえ存在した高周波成分も前記第2の低域通過フィルタ509の通過によって遮断されており、このため突き抜け電圧 V_2 は、 V_1 に比べてもなお小さくなる。図5を用いてこのときの過渡応答の様子を同様に模式的に説明する。曲線613は点 G_2 に入力される第2の遅延パルスを表し、曲線623は点 C_2 での電圧の過渡応答、つまり液晶に印加される電圧を表している。

【0019】

この結果、ある1つのゲート線に接続された複数の画素において突き抜け電圧が不均一となり、液晶に印加される電圧の平均値が一定でなくなる。このため液晶に印加される電圧の平均値を全て0にすることが不可能となり、印加電圧の平均値が0でない画素がフリッカとして視認されるようになる。実際には、液晶印加電圧の平均値が液晶セルの透過率の差として視認できない程度に小さければ、フリッカとしては視認されないことが分かっている。

10

【0020】

そこで、フリッカを視認させないためには、ゲート線の遅延を少なくする、即ち、ゲート線に寄生する低域通過フィルタの通過域を高周波側にシフトさせ、前記低域通過フィルタを通過する高周波成分を増やして突き抜け電圧の差を小さくすることが必要である。この方法として、ゲート線の抵抗を下げる方法と、ゲート線に寄生する容量を少なくする方法とが容易に考えられる。前者の方法では、工程的にゲート線の材料を低抵抗のもの、例えば金属薄膜などに変える方法があるが、工程的に複雑化することが多いため現実的に適応できないものも多い。後者の方法は、ゲート線上の絶縁膜の厚さを増す、ゲート線上の絶縁膜を比誘電率の低いものに変える、レイアウトを変えてゲート線に寄生する容量を小さくするなどが考えられるが、現実的には液晶表示装置の精細度の上昇に伴ってゲート線の寄生容量は増加する傾向にあり、精細度を保ったままゲート線の寄生容量を小さくすることは極めて困難である。よって、これらのゲート線の遅延を少なくする方法は、明らかに効果はあるが実現が容易でないと言える。

20

【0021】

それ以外にも、フリッカを視認させないために、前記突き抜け電圧の絶対値を下げることで相対的な前記突き抜け電圧の差を小さくする方法が考えられる。具体的には、各画素のゲート電極と画素電極に接続されたドレイン電極との間に寄生する容量成分を小さくするか、またはゲート線を選択状態から非選択状態にさせるときにゲート線駆動回路自体の電源電圧を下げることによって、ゲート線に印加される電圧波形の波高を低くする方法などが考えられる。前者の方法は、一般的に前記容量成分が画素の高精細化に伴って極度に増加する傾向にあることなどから考えて、設計上の工夫だけで解決できるものではない。これに対し後者の方法は確実に前記突き抜け電圧の差を少なくすることはできるが、ゲート線駆動回路の電源に寄生する全ての容量に対して充放電を繰り返すために消費電流がその分大きくなるという欠点を有している。

30

【0022】

そこで本発明では上記の課題を設計および駆動方法により解決し、フリッカのない液晶表示装置を得る方法について説明する。

40

【課題を解決するための手段】

【0023】

本発明の液晶装置は、複数のゲート線と、複数のソース線と、前記各ゲート線と前記各ソース線との交差に対応して形成された複数の画素と、前記各ゲート線を選択状態にする選択信号、もしくは、前記各ゲート線を非選択状態にする非選択信号を供給するゲート線駆動回路とを有するアクティブマトリクス型の液晶表示装置であって、前記ゲート線駆動回路は、前記選択信号もしくは前記非選択信号を生成するシフトレジスタと、前記シフトレジスタと前記各ゲート線との間に設けられたトランジスタと、を備え、前記トランジスタは、抵抗変調信号が該トランジスタのゲート電極に入力されることにより、前記各ゲート線を選択状態から非選択状態にする際の前記シフトレジスタと前記各ゲート線との間の

50

抵抗値を、前記各ゲート線を選択した状態における抵抗値よりも高くなるように制御されることを特徴とする。

【0024】

本発明の液晶装置は、上記の液晶装置であって、前記ゲート線駆動回路は、前記選択信号もしくは前記非選択信号を生成するシフトレジスタを備えており、前記高域成分減少手段は、前記シフトレジスタと前記各ゲート線との間に設けられた低域通過フィルタであることを特徴とする。

【0025】

本発明の液晶装置は、上記の液晶装置であって、前記ゲート線駆動回路は、前記選択信号もしくは前記非選択信号を生成するシフトレジスタを備えており、前記高域成分減少手段は、前記シフトレジスタと前記各ゲート線との間に設けられ、前記各ゲート線を選択状態から非選択状態にする際に抵抗変調信号によりその抵抗値が制御される抵抗変調回路であることを特徴とする。

10

【0026】

本発明の液晶装置は、上記の液晶装置であって、前記抵抗変調回路は、前記シフトレジスタと前記各ゲート線との間に設けられたトランジスタであり、前記抵抗変調信号が該トランジスタのゲート電極に入力されていることを特徴とする。

【0027】

本発明の液晶装置は、上記の液晶装置であって、前記高域成分減少手段は、前記各ゲート線を選択状態から非選択状態にする際に、前記各ゲート線を、前記各ゲート線を選択状態にする選択電位より低く、かつ、前記各ゲート線を非選択状態にする非選択電位より高い電位にする電位印加手段であることを特徴とする。

20

【0028】

本発明の液晶装置は、上記の液晶装置であって、前記ゲート線駆動回路は、前記選択信号もしくは前記非選択信号を生成するシフトレジスタと、前記シフトレジスタの出力を遅延する遅延手段と、前記シフトレジスタの出力と、前記遅延手段の出力と、前記シフトレジスタの次段の出力とが入力される論理演算回路と、前記各ゲート線を選択状態にする選択電位を印加された第1の電源線と、前記各ゲート線を非選択状態にする非選択電位を印加された第2の電源線と、前記各ゲート線を選択状態にする選択電位より低く、かつ、前記各ゲート線を非選択状態にする非選択電位より高い電位を印加された第3の電源線と、前記論理演算回路の出力により制御され、前記第1の電源線、前記第2の電源線、前記第3の電源線のいずれかを排他的に選択する電源スイッチと、を有することを特徴とする。

30

【0029】

本発明の液晶装置は、上記の液晶装置であって、前記ゲート線駆動回路は、前記選択信号もしくは前記非選択信号を生成するシフトレジスタと、前記シフトレジスタの出力を遅延する遅延手段と、前記シフトレジスタの出力と、前記遅延手段の出力が入力されるE X O R回路と、該E X O R回路の出力と、次段におけるE X O R回路の出力が入力されるN A N D回路と、前記各ゲート線を選択状態にする選択電位より低く、かつ、前記各ゲート線を非選択状態にする非選択電位より高い電位を印加された電源線と、前記N A N D回路の出力により制御され、前記電源線と前記遅延回路の出力のいずれかを前記各ゲート線に接続する回路と、を備えることを特徴とする。

40

【0030】

本発明の液晶装置の駆動方法は、複数のゲート線と複数のソース線、および前記各ゲート線と前記各ソース線との交差に対応して形成された複数の画素と、前記各ゲート線を選択状態にする選択信号、もしくは、前記各ゲート線を非選択状態にする非選択信号を供給するゲート線駆動回路とを有するアクティブマトリクス型の液晶装置の駆動方法であって、前記各ゲート線を選択状態から非選択状態にする際に、前記ゲート線の電位変化を緩やかにすることを特徴とする。

【0031】

本発明の液晶装置の駆動方法は、複数のゲート線と複数のソース線、および前記各ゲ

50

ト線と前記各ソース線との交差に対応して形成された複数の画素と、前記各ゲート線を選択状態にする選択信号、もしくは、前記各ゲート線を非選択状態にする非選択信号を供給するゲート線駆動回路とを有するアクティブマトリクス型の液晶装置の駆動方法であって、前記各ゲート線を選択状態から非選択状態にする際に、前記各ゲート線を選択状態にする選択電位より低く、かつ、前記各ゲート線を非選択状態にする非選択電位より高い電位に前記各ゲート線をした後に前記非選択状態とすることを特徴とする。

【0032】

本発明の液晶装置は、複数のゲート線およびソース線を有するアクティブマトリクス型の液晶装置であって、ゲート線を駆動するインバータが、前記ゲート線を選択状態とするときの前記インバータの第1の電圧源と前記ゲート線との間に流れる電流に対して、前記ゲート線を非選択状態とするときの前記インバータの第2の電圧源と前記ゲート線との間に流れる電流を少なくするように、構成されることを特徴とする。上記の液晶装置において、前記インバータを第1の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L1} と、前記ゲート線駆動回路から最も近い画素と最も遠い画素との間のゲート線に分布定数状に存在する寄生容量および寄生抵抗を第2の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L2} と、前記画素を第1の高域通過フィルタとして等価的に表わした時の遮断周波数 f_H と、の間に $f_H < f_{L2} < f_{L1}$ なる関係が成り立たないようにすることが好ましい。上記の液晶装置において、前記インバータを第1の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L1} と、前記ゲート線駆動回路から最も近い画素と最も遠い画素との間のゲート線に分布定数状に存在する寄生容量および寄生抵抗を第2の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L2} と、前記画素を第1の高域通過フィルタとして等価的に表わした時の遮断周波数 f_H と、の間に $f_H < f_{L1} < f_{L2}$ なる関係、または $f_H < f_{L1}$ 、かつ f_{L1} と f_{L2} とが略同一となる関係が成り立つようにするようにしても良い。上記の液晶装置において、前記ゲート線を非選択状態にするときの第2の電圧源との間の抵抗を R とし、前記インバータに寄生する全容量を C とするとき、この抵抗 R を、 $R < 1 / (2\pi \times C \times f_{L2})$ なる関係が成り立たないようにするようにすることが好ましい。上記の液晶装置において、前記ゲート線を非選択状態にするときの第2の電圧源との間の抵抗を R とし、前記インバータに寄生する全容量を C とするとき、この抵抗 R を、 $R > 1 / (2\pi \times C \times f_{L2})$ なる関係、または R と $1 / (2\pi \times C \times f_{L2})$ とが略同一となる関係が成り立つようにしても良い。上記の液晶装置において、前記インバータとして相補型インバータを用い、画素のスイッチング素子としてN型トランジスタを用いる場合には、前記相補型インバータを構成するP型トランジスタの線形領域でのオン電流に対してN型トランジスタの線形領域でのオン電流を小さくするように設計し、画素のスイッチング素子としてP型トランジスタを用いる場合には、前記相補型インバータを構成するN型トランジスタの線形領域でのオン電流に対してP型トランジスタの線形領域でのオン電流を小さくするよう、前記相補型インバータを設計することが好ましい。

【0033】

また、本発明の液晶装置は、複数のゲート線およびソース線を有するアクティブマトリクス型の液晶装置であって、ゲート線駆動回路と前記ゲート線駆動回路に最も近い画素との間に第1の低域通過フィルタを設けることを特徴とする。上記の液晶装置において、前記第1の低域通過フィルタの遮断周波数 f_{L3} と、前記ゲート線駆動回路のゲート線を駆動するインバータを第2の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L1} と、前記ゲート線駆動回路に最も近い画素と最も遠い画素との間のゲート線に分布定数状に存在する寄生容量および寄生抵抗を第3の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L2} と、前記画素を第2の高域通過フィルタとして等価的に表わした時の遮断周波数 f_H と、の間に $f_{L1} > f_{L3}$ または f_{L1} と f_{L3} とが略同一、かつ $f_{L2} > f_{L3}$ または f_{L2} と f_{L3} とが略同一、かつ $f_{L1} > f_{L2}$ の関係が成り立つようにすることが好ましい。上記の液晶装置において、前記第1の低域通過フィルタの遮断周波数 f_{L3} と、前記ゲート線駆動回路のゲート線を駆動するインバータを第2の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L1} と、前記ゲート線駆動回路に最も近い画素と最も遠い画素との間の

ゲート線に分布定数状に存在する寄生容量および寄生抵抗とを第3の低域通過フィルタとして等価的に表わした時の遮断周波数 f_{L2} と、前記画素を第2の高域通過フィルタとして等価的に表わした時の遮断周波数 f_H と、の間に $f_H < f_{L3} < f_{L2} < f_{L1}$ なる関係が成り立つようにすることが好ましい。上記の液晶装置において、前記第1の低域通過フィルタが、容量と抵抗とから構成されるようにしても良い。上記の液晶装置において、前記第1の低域通過フィルタが、常に導通状態にあるトランジスタと、前記トランジスタを導通状態に保持し続ける電源線とにより構成されるようにしても良い。上記の液晶装置において、画素のスイッチング素子としてN型トランジスタを用いる場合には、前記常に導通状態にあるトランジスタとしてP型トランジスタを用いることが好ましい。上記の液晶装置において、画素のスイッチング素子としてP型トランジスタを用いる場合には、前記常に導通状態にあるトランジスタとしてN型トランジスタを用いることが好ましい。上記の液晶装置において、前記第1の低域通過フィルタがアクティブフィルタにより構成されるようにしても良い。

【0034】

また、ゲート線駆動回路と前記ゲート線駆動回路に最も近い画素との間に抵抗変調回路を設け、さらに前記抵抗変調素子の抵抗を制御する抵抗変調信号を送出する配線を設けることにより本課題を解決する。さらに、前記抵抗変調回路にトランジスタを用い、前記トランジスタのゲート電極が前記配線に接続されており、その前記配線に流れる前記抵抗変調信号が前記トランジスタの閾電圧を越えて前記トランジスタを導通状態にする2状態以上の電圧状態を振動していることにより更なる効果が得られる。さらに、前記抵抗変調信号において、ゲート線を選択状態から非選択状態に推移させる際、前記2状態以上の電圧状態のうち最も高い電圧状態から最も低い電圧状態へ電圧状態を階段状に変化させることにより更なる効果が得られる。より具体的には、ゲート線駆動回路のシフトレジスタの出力と、前記シフトレジスタの出力を一定時間遅延させる遅延回路の出力と、必要ならば次段のシフトレジスタの出力とを、各ゲート段毎に設けた論理演算回路に入力した後、前記論理演算回路の演算結果に基づいて3つの異なる電圧状態を排他的に選択し、最終的に前記ゲート線に選択された前記電圧状態の電圧を印加することを特徴とする。さらに、3つの異なる前記電圧状態が、シフトレジスタ、論理演算回路、遅延回路などの駆動に用いられる正電源および負電源により印加される第1、第2の電圧状態と、前記正電源の電圧より低く前記負電源の電圧より高い第3の電圧状態との3状態であることにより更なる効果が得られる。これらにおいては、前記遅延回路の入出力端子をEXORゲートの入力に接続し、前記EXORゲートの出力端子と次ゲート段のEXORゲートの出力とをNANDゲートの入力端子に接続し、前記NANDゲートの出力端子を前記遅延回路の出力端子とゲート線との間の導通状態を制御するN型トランジスタのゲート電極と、前記第3の電圧状態の電源線と前記ゲート電極との間の導通状態を制御するP型トランジスタのゲート電極と、に接続することにより更なる効果が得られる。

【0035】

さらに、前記遅延回路の遅延時間を制御する信号を前記ゲート線駆動回路で内部発生させる、または、前記遅延回路の遅延時間を制御する信号を前記ゲート線駆動回路の外部で発生させ、前記遅延回路に接続する信号配線を設け、前記信号配線を通じて前記遅延回路の遅延期間を制御することにより新たな効果が得られる。

【発明の効果】

【0036】

上記手段を講じたアクティブマトリクス方式の液晶表示装置においては、画素の突き抜け電圧を画面内で一定に保つことができるため、液晶に印加される電圧が一定となり、面内での輝度の場所依存のない均一な画面を得ることができる。また、表示画面のフリッカ、焼き付きをなくした非常に高品位の画像を得ることができる。このことにより、フリッカに係わる表示不良品を確実になくすることができるため、液晶表示装置の歩留まりを実質的に向上させることができ、製造コストの低減が可能になる。また、液晶セルに印加される直流成分を設計上の対策から最小限にできるため、液晶の焼き付きを最小限にすること

10

20

30

40

50

が可能になり、時系列変化が少なく信頼性の高い液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0037】

次に、本発明の実施形態について以下に説明する。

【0038】

本発明を実施したアクティブマトリクス方式の液晶表示装置においては、回路構成は従来例で示したものと変わらないため、図1、図2および図3を用いて説明する。

【0039】

図1はその回路構成を説明する図である。本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路201およびゲート線駆動回路202と、少なくとも画素マトリクス203が同一の透明絶縁基板204の上に形成されてなる。そのうち、画素マトリクス203は、ソース線駆動回路201に接続された複数のソース線 $X_1, X_2, X_3 \cdots$ と、ゲート線駆動回路202に接続された複数のゲート線 $Y_1, Y_2, Y_3 \cdots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \cdots$ とを有し、各画素 $P_{11}, P_{12} \cdots$ には薄膜トランジスタ205および液晶セル206を有する。

【0040】

以上の回路構成を有する液晶表示装置の等価回路について、図2を用いて説明する。図2はアクティブマトリクス型の液晶表示装置の等価回路を説明する図である。等価回路は大きく分けて、ソース線駆動回路301およびゲート線駆動回路302と、画素マトリクス303とからなる。前記ソース線駆動回路301は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ304と、その前記ラッチ信号を増幅、整波するためのバッファ305と、ビデオ信号線306のビデオ信号を前記バッファ305から送出されるラッチ信号に応じてソース線308, 308'にサンプル、ホールドするアナログスイッチ307, 307'とで構成される。ここで、前記X側シフトレジスタ304は、クロックCLXで規定されるクロックインバータ331と、クロックCLX*で規定されるクロックインバータ332と、インバータ333とからなる基本セル334を単位に構成される。

【0041】

一方、前記ゲート線駆動回路302は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ309と、その前記ラッチ信号を増幅、整波し、ゲート線311, 311'に送出するためのバッファ310とから構成される。ここで、前記Y側シフトレジスタ309は、クロックCLYで規定されるクロックインバータ335と、クロックCLY*で規定されるクロックインバータ336と、インバータ337と、NORゲート338とからなる基本セル339を単位に構成される。

【0042】

また、前記画素マトリクス303は、前記ソース線308, 308'およびゲート線311, 311'に接続された薄膜トランジスタ312, 312'と液晶セル313, 313'とから構成される。

【0043】

次に、図2に等価回路図で示した液晶表示装置の駆動方法の一例について、図2と図3を用いて説明する。図3に、図2の点 $P_1, P_2, Q_1, Q_2, R_1, R_2, V_1$ での電圧を時系列で示す。CLXはX側シフトレジスタのクロックを表しており、CLX*とは逆位相の関係になっている。同様に、CLYはY側シフトレジスタのクロックを表しており、CLY*とは逆位相の関係になっている。ここでは、CLX*とCLY*については図示しない。

【0044】

駆動方法を順に説明すると、まず、前記Y側シフトレジスタ309が前記クロックCLY, CLY*のタイミングに応じて、前記クロックCLY, CLY*の周期の1/2の幅のパルスを前記バッファ310に出力する。そのパルスを前記バッファ310が増幅、整

10

20

30

40

50

波して、前記ゲート線 3 1 1 (P_1) にゲート選択パルス 4 0 1 を出力する。この前記ゲート選択パルス 4 0 1 が選択レベルである間、ゲート線 3 1 1 に接続した複数の前記薄膜トランジスタ 3 1 2 , 3 1 2 ' は導通状態になり、このゲート線 3 1 1 に接続した複数の薄膜トランジスタ 3 1 2 , 3 1 2 ' に接続したソース線 3 0 3 と液晶セル 3 1 3 、ゲート線 3 0 3 ' と液晶セル 3 1 3 ' とが電氣的に接続する。このとき、前記 X 側シフトレジスタ 3 0 4 が前記クロック CLX , CLX^* のタイミングに応じて、前記クロックの周期と同じ幅のパルスを前記バッファ 3 0 5 に出力する。そのパルスを増幅、整波してアナログスイッチ 3 0 7 (Q_1) にサンプル・ホールド信号 4 0 3 を出力し、前記アナログスイッチ 3 0 7 はそのパルスに応じて前記ビデオ信号線 3 0 6 (V_1) のビデオ信号 4 0 5 を前記ソース線 3 0 8 (R_1) にサンプル・ホールドする。このとき、先に述べたように前記ゲート線 3 1 1 に接続した複数の前記薄膜トランジスタ 3 1 2 は導通状態にあるため、前記ソース線 3 0 8 にホールドした信号は前記液晶セル 3 1 3 に書き込まれる。同様に、アナログスイッチ 3 0 7 ' はソース線 3 0 8 ' に前記ビデオ信号 4 0 5 をサンプル・ホールドする。これによって、前記液晶セル 3 1 3 ' には前記ソース線 3 0 8 ' にサンプル・ホールドした信号が書き込まれる。これを前記ソース線駆動回路 3 0 1 の側で繰り返すことにより、前記ゲート線 3 1 1 に接続した複数の画素の液晶セルへ、前記ビデオ信号 4 0 5 を書き込むことができる。

10

【 0 0 4 5 】

次に、前記ゲート選択パルス 4 0 1 が非選択レベルになった後、前記ゲート線駆動回路 3 0 2 からゲート選択パルス 4 0 2 が出力される。この前記ゲート選択パルス 4 0 2 が選択レベルである間に、前述したのと同様に前記ソース線駆動回路 3 0 1 を駆動すると、前記ゲート線 3 1 1 ' に接続した複数の画素の液晶セルに前記ビデオ信号 4 0 5 を書き込むことができる。

20

【 0 0 4 6 】

以上の操作を繰り返すことによって、各画素の液晶セル単位でビデオ信号を書き込むことが可能になり、液晶セルに書き込まれた信号に応じて各々の液晶セルの偏光状態を変えることで画像を得ることができる。

【 0 0 4 7 】

以上の構成を持ったアクティブマトリクス方式の液晶表示装置において、表示画面にフリッカが生じる原因が、面内で突き抜け電圧を一定にすることができないためであることは前に述べた。フリッカが視認される液晶表示装置では、ゲート線駆動回路に最も近い画素の液晶セルでは前記突き抜け電圧が最も大きく、前記ゲート線駆動回路に最も遠い画素の液晶セルでは前記突き抜け電圧が最も小さくなっている。この前記突き抜け電圧の差が、液晶セルの透過率の差として認識できる程度に大きいときにフリッカとして視認されるのであれば、この前記突き抜け電圧の差をフリッカが視認できない程度にまで小さくすれば良いことになる。つまり、前記突き抜け電圧の少ない画素で前記突き抜け電圧を増やすことにより、または、前記突き抜け電圧の多い画素で前記突き抜け電圧を減らすことにより、突き抜け電圧を一定にすることが可能になる。

30

【 実施例 1 】

【 0 0 4 8 】

本実施例 1 では、ゲート線を選択状態から非選択状態に移行する際に、ゲート線駆動回路のゲート線を直接駆動するインバータの抵抗を制限することにより、フリッカのない液晶表示装置を得る方法について説明する。

40

【 0 0 4 9 】

図 6 は、本実施例 1 を用いた液晶表示装置のゲート線駆動回路と画素マトリクスとを、ある一本のゲート線について抜き出した等価回路図である。

【 0 0 5 0 】

ここでゲート線駆動回路の動作を、特にゲート線を直接駆動するインバータの動作に着目して説明する。ここでは、このゲート線 7 0 4 が現在非選択状態にあり選択状態に移行する直前であるとする。まず、ゲート線駆動回路 7 0 1 のシフトレジスタ部より出力され

50

たラッチ信号 702 により、インバータ 703 はゲート線 704 を選択状態とする信号を出力する。以下、選択状態とは、ゲート線 704 に接続された薄膜トランジスタ 706、706' を導通状態にする電圧にゲート線 704 が印加された状態のことをいう。このとき、インバータ 703 の P 型薄膜トランジスタの抵抗を R_p 、N 型薄膜トランジスタの抵抗を R_N とすると $R_N > R_p$ の関係が成り立ち、インバータ 703 には電源配線 V_{dd} から前記 P 型薄膜トランジスタを介してゲート線 704 に電荷を充電する電流 I_p が流れる。次に、ラッチ信号 702 によりインバータ 703 はゲート線を非選択状態とする信号を出力する。以下、非選択状態とは、ゲート線 704 に接続された薄膜トランジスタ 706、706' を不通状態にする電圧にゲート線 704 が印加された状態のことをいう。このとき、インバータ 703 の薄膜トランジスタの抵抗には $R_p > R_N$ の関係が成り立ち、インバータ 703 には前記 N 型薄膜トランジスタを介して接地配線 GND にゲート線 704 に蓄えられた電荷を放出する電流 I_N が流れる。こうして非選択状態になったゲート線 704 は、ゲート線駆動回路 701 のシフトレジスタ部より出力されるラッチ信号 702 を受けて再び選択状態になるまで非選択状態を保持する。

【0051】

本実施例 1 では、以上の動作をするゲート線駆動回路において、非選択状態での N 型薄膜トランジスタの抵抗 R_N を以下に述べる条件に制限することにより、前に説明した突き抜け電圧を各画素で一定にすることができる。

【0052】

まず、ゲート線駆動回路 701 に最も近い第 1 の画素 705 と最も遠い第 2 の画素 705' があるとき、第 1 の画素 705 と第 2 の画素 705' の間に分布定数型に存在するゲート線 704 の抵抗とゲート線 704 に寄生する容量は、等価的に遮断周波数 f_{L2} の低域通過フィルタ 707 として表されるものとする。また、非選択状態でのインバータ 703 には、インバータ 703 に寄生する容量 C_{INV} と N 型薄膜トランジスタの抵抗 R_N とは、等価的に遮断周波数 f_{L1} の低域通過フィルタとして表されるものとする。さらに第 1 の画素 705 は、薄膜トランジスタ 706 の抵抗と薄膜トランジスタ 706 の画素電極に接続したドレイン電極とゲート電極との間の容量とから構成される遮断周波数 f_H の高域通過フィルタ 148 として等価的に表すことができ、同様に第 2 の画素 705' も遮断周波数 f_H の高域通過フィルタ 148' として等価的に表すことができるものとする。

【0053】

これらの各フィルタを用いて図 6 の等価回路図をさらに単純化してみると、図 7 に示す等価回路図に置き換える事ができる。図 7 では、遮断周波数 f_{L1} の低域通過フィルタ 801 はインバータ 703 を等価的に表し、遮断周波数 f_H の高域通過フィルタ 803 は第 1 の画素 705 を等価的に表し、同様に遮断周波数 f_H の高域通過フィルタ 804 は第 2 の画素 705' を等価的に表している。また、遮断周波数 f_{L2} の低域通過フィルタ 802 は、前述した第 1 の画素 705 と第 2 の画素 705' との間の分布定数型の低域通過フィルタ 707 である。これらの各フィルタで表した回路に入力されるインバータ 703 の出力信号は、信号源 804 として表している。

【0054】

本実施例 1 では、この等価回路において $f_{L1} > f_H$ かつ $f_{L2} > f_H$ という関係が成り立っているとき、低域通過フィルタ 801 の遮断周波数 f_{L1} と低域通過フィルタ 802 の遮断周波数 f_{L2} との間に $f_{L1} < f_{L2}$ なる関係が成り立つように、または $f_{L1} < f_{L2}$ の関係が成り立つように、または少なくとも $f_{L1} > f_{L2}$ とならないようにインバータ 703 の低域通過フィルタ 801 を設計する。

【0055】

以下、図 8 を用いて $f_{L1} < f_{L2} > f_H$ とする意味について説明する。図 8 (a) は従来の $f_{L1} > f_{L2} > f_H$ という関係が成り立つときの前記各フィルタの周波数特性を表し、図 8 (b) は本実施例 1 の $f_{L1} < f_{L2} > f_H$ という関係が成り立つときの各フィルタの周波数特性を表す。また、図 8 (c) は従来の $f_{L1} > f_{L2} > f_H$ という関係が成り立つときの図 7 の点 P_{31} 、 P_{32} での周波数特性を表し、図 8 (d) は本実施例 1 の $f_{L1} < f_{L2} > f_H$

10

20

30

40

50

という関係が成り立つときの図 7 の点 P_{31} 、 P_{32} での周波数特性を表す。これら図 8 (a) ~ (d) では縦軸に増幅率を d B 値でとり、横軸に周波数をとっている。さらに、図 8 (e) は従来の $f_{L1} > f_{L2} > f_H$ という関係が成り立つときの図 7 の点 P_{31} 、 P_{32} での電圧波形と突き抜け電圧 V_1 、 V_2 を表し、図 8 (f) は本実施例 1 の $f_{L1} = f_{L2} > f_H$ という関係が成り立つときの図 7 の点 P_{31} 、 P_{32} での電圧波形と突き抜け電圧 V_1' 、 V_2' を表す。これら図 8 (e)、(f) では縦軸に電圧を、横軸に時間をとっている。図 8 (a) に示すように前記各フィルタの間に従来の $f_{L1} > f_{L2} > f_H$ という関係が成り立つとき、前記低域通過フィルタ 801 と高域通過フィルタ 803 とを通過した点 P_{31} と、前記低域通過フィルタ 801 と前記低域通過フィルタ 802 と高域通過フィルタ 803 とを通過した点 P_{32} での周波数特性を比較すると、図 8 (c) に示すように P_{31} での通過周波数帯域に比べて P_{32} の通過周波数帯域が狭くなり、そのため図 8 (e) に示すように P_{31} での突き抜け電圧 V_1 は P_{32} での突き抜け電圧 V_2 より大きくなる。この V_1 と V_2 の差が画素部の液晶の透過率の差として視認される程度であるとき、液晶表示装置の画面にフリッカが視認される。これに対して、図 8 (b) に示すように前記各フィルタの間に $f_{L1} = f_{L2} > f_H$ という関係が成り立つときには、 P_{21} と P_{22} での周波数特性を比較すると図 8 (d) に示すように図 8 (c) に比べ通過周波数帯域の差は少なくなる方向に進み、そのため図 8 (f) に示すように突き抜け電圧 V_1' と V_2' の差は少なくなる。この V_1' と V_2' の差が画素部の液晶の透過率の差として視認できない程度であるとき、液晶表示装置の画面にフリッカは視認されない。

【0056】

さらに $f_{L1} < f_{L2}$ なる関係が成り立つときには、低域通過フィルタ 802 に信号が入力される前に低域通過フィルタ 801 により遮断周波数 f_{L1} 以上の周波数成分は遮断されるため、低域通過フィルタ f_{L2} は高域遮断フィルタとしてはほとんど機能しない。このため必然的に P_{31} 、 P_{32} における突き抜け電圧はほとんど等しくなり、フリッカのない液晶表示装置を実現できる。

【0057】

以上、前記低域通過フィルタ 801 および 802 において $f_{L1} = f_{L2}$ または $f_{L1} < f_{L2}$ なる関係が成り立つときにフリッカのない液晶表示装置を実現できることについて述べたが、少なくとも $f_{L1} > f_{L2}$ の関係が成り立たないように前記低域通過フィルタ 801 を構成するインバータ 703 を設計するならばフリッカレベルそのものを下げることができるために表示検査時の歩留まりを実質的に向上させることができる。

【0058】

さてここで、前記低域通過フィルタ 801 が非選択状態での前記インバータ 703 の N 型薄膜トランジスタの抵抗 R_N とインバータに寄生する容量 C_{INV} とで構成されることは前に述べた。設計においては、この前記インバータ 703 を等価的に表す低域通過フィルタ 801 の遮断周波数 f_{L1} が $1 / (2\pi \times R_N \times C_{INV})$ と等しいと考えて差し支えない。これらから、ゲート線駆動回路に最も近い画素と、ゲート線駆動回路から最も離れた画素との間のゲート線に形成される分布定数型の低域通過フィルタ 802 の遮断周波数 f_{L2} と、 R_N 、 C_{INV} との間に $R_N = 1 / (2\pi \times C_{INV} \times f_{L2})$ なる関係が成り立つよう、または $R_N > 1 / (2\pi \times C_{INV} \times f_{L2})$ なる関係が成り立つように R_N を設計することにより、フリッカのない液晶表示装置を実現することができる。または、少なくとも $R_N < 1 / (2\pi \times C_{INV} \times f_{L2})$ の関係を成立させないよう R_N を設計することにより、低フリッカレベルの液晶表示装置を実現することができる。ここでつけ加えておくが、前記抵抗 R_N は無限大の値で良いはずはなく、前記遮断周波数 f_{L1} の逆数、即ち周波数 f_{L1} での 1 周期 ($2\pi \times R_N \times C_{INV}$) が、ある一つのゲート線に接続された画素群を選択状態に保持するために与えられた期間よりも充分短いことが必要である。

【0059】

以上のように、設計上からフリッカのない液晶表示装置を実現するためには非選択状態でのインバータ 703 の N 型薄膜トランジスタの抵抗 R_N を増加させることが必要になる。これに対して、選択状態での P 型薄膜トランジスタの抵抗 R_P はゲート線を非選択状態

10

20

30

40

50

から選択状態にするときの遅れ具合を左右するため、可能な限り低いほうが良いことは明白である。このことから、より具体的には、ゲート線駆動回路のゲート線を直接駆動するインバータのN型薄膜トランジスタとP型薄膜トランジスタとの設計サイズを故意にアンバランスにする必要がある。通常、相補型トランジスタを用いたインバータを設計する場合には、N型トランジスタの線形領域での抵抗値とP型トランジスタの線形領域での抵抗値とを同じくするように製造プロセスや設計サイズを最適化する。そうすることにより、トランジスタの性能を最大限に利用することができる。これに対して本実施例1では、ゲート線駆動回路のゲート線を直接駆動するインバータのみにおいて、N型薄膜トランジスタの線形領域での抵抗 R_N がP型薄膜トランジスタの線形領域での抵抗 R_P に対して大きくなるように設計する。具体的には、前記インバータのN型薄膜トランジスタのチャンネル長を長くする、チャンネル幅を短くするなど、非常に簡単な設計変更のみでフリッカのない液晶表示装置を実現できる。

10

【0060】

以上、この本実施例1ではゲート線駆動回路のゲート線を直接駆動するインバータに相補型トランジスタを用いたものについて述べたが、プッシュプル型のインバータ等を用いたゲート線駆動回路にも同様に適用できる。また、本実施例1では駆動回路素子および画素のスイッチング素子に薄膜トランジスタを用いたものについて述べたが、これは同様の動作を行うものであれば、例えばMOS型電界効果トランジスタ、SOI型電界効果トランジスタ等を用いたものでも構わない。

20

【実施例2】

【0061】

本実施例2では、ゲート線駆動回路と画素との間に低域通過フィルタを設けることによってフリッカのない液晶表示装置を実現する方法について述べる。

【0062】

図9は、本実施例2を用いた液晶表示装置のゲート線駆動回路と画素マトリクスとを、ある一本のゲート線について抜き出した等価回路図である。ここでは、ゲート線駆動回路121のゲート線を直接駆動するインバータ122と、ゲート線駆動回路121に最も近い第1の画素124との間に、遮断周波数 f_{L3} の低域通過フィルタ123を設ける。このとき、ゲート線駆動回路121に最も近い第1の画素124と、ゲート線駆動回路121から最も遠い第2の画素124'の間には、遮断周波数 f_{L2} の分布定数型の低域通過フィルタとして等価的に表すことのできる、ゲート線125の抵抗とゲート線125に寄生する容量が分布定数的に存在する。

30

【0063】

このような図9に示す構成を有する液晶表示装置を、前述の実施例1の場合と同様に上記の各フィルタを用いて単純化すると、図10に示す等価回路図に置き換えることができる。ここでは、前記インバータ122を、前記インバータを構成するN型薄膜トランジスタの非選択状態での抵抗 R_N と、前記インバータに寄生する容量 C_{IN} とから構成される遮断周波数 f_{L1} の低域通過フィルタ141として置き換え、また、前記第1の画素および第2の画素をそれぞれ、遮断周波数 f_H の高域通過フィルタ144および144'として置き換えた。

40

【0064】

このとき、低域通過フィルタ141と低域通過フィルタ142とをまとめて合成フィルタ143として等価的に表すと、これは前述の実施例1で説明に用いた図7と等しくなる。このことから、ゲート線駆動回路のゲート線を直接駆動するインバータの設計を従来と何等変えることなく、前記ゲート線駆動回路と前記第1の画素との間に低域通過フィルタ142を設けることにより、前述した実施例1と同等の効果を得ることができると言える。

【0065】

以下、さらに詳しく本実施例2を説明する。本実施例2では、この低域通過フィルタ142の遮断周波数 f_{L3} の範囲を以下の通りに規定する。まず、非選択状態でのインバータ

50

1 2 2 に等価的に構成される低域通過フィルタ 1 4 1 の遮断周波数 f_{L1} と、本実施例 2 で新たに設ける低域通過フィルタ 1 4 2 の遮断周波数 f_{L3} との間には $f_{L1} > f_{L3}$ なる関係が、または少なくとも $f_{L1} \geq f_{L3}$ なる関係が成り立っており、この 2 つの低域通過フィルタ 1 4 1、1 4 2 を等価的に表す合成フィルタ 1 4 3 の遮断周波数が遮断周波数 f_{L3} に大きく依存していることが必要である。これは、本実施例 2 で新たに設ける低域通過フィルタ 1 4 2 の遮断周波数 f_{L3} を任意に設計することにより、ゲート線に最も近い画素に出力信号 1 4 6 が入力されるまでに前記信号の通過帯域を制御する必要があるためである。また、複数の画素間にまたがってゲート線に寄生して等価的に構成される分布定数型の低域通過フィルタ 1 4 5 の遮断周波数 f_{L2} と、本実施例 2 で新たに設ける低域通過フィルタ 1 4 2 の遮断周波数 f_{L3} との間には $f_{L2} > f_{L3}$ なる関係が、または少なくとも $f_{L2} \geq f_{L3}$ なる関係が成り立つことが必要である。この関係は前に述べた実施例 1 と同様に説明できる。

10

【0066】

つまり、分布定数型の低域通過フィルタ 1 4 5 によって遮断される周波数成分を極力少なくするために、その分布定数型の低域通過フィルタ 1 4 5 に前記信号を出力する前に、つまりゲート線駆動回路に最も近い画素に前記信号を出力する前に、分布定数型の低域通過フィルタの遮断周波数 f_{L2} よりも低い周波数成分を遮断する必要があるということである。

【0067】

さてここで、従来のフリッカのある液晶表示装置、つまり、突き抜け電圧の差のある液晶表示装置においては、ゲート線駆動回路のゲート線を直接駆動するインバータに等価的に構成される低域通過フィルタの遮断周波数に対して、複数の画素間にまたがってゲート線に寄生して等価的に構成される分布定数型の低域通過フィルタの遮断周波数の方が低いために、ゲート線駆動回路より遠い画素ほど突き抜け電圧の絶対値は小さくなり、結果としてその突き抜け電圧の差がフリッカとして視認される、ということは前に述べた。これを本実施例 2 に適用すると、インバータ 1 2 2 に等価的に構成される低域通過フィルタ 1 4 1 の遮断周波数 f_{L1} と、複数の画素間にまたがってゲート線に寄生して等価的に構成される分布定数型の低域通過フィルタ 1 4 5 の遮断周波数 f_{L2} の間には $f_{L1} > f_{L2}$ なる関係が成り立っていることになる。さらに、そもそもこの突き抜け電圧が生じる液晶表示装置においては、各画素を等価的に表す高域通過フィルタの遮断周波数が、ゲート線に寄生する各低域通過フィルタの遮断周波数よりも低いこと、または少なくとも各低域通過フィルタの遮断周波数に近いことが必要である。

20

30

【0068】

以上の条件をまとめると、フリッカのない液晶表示装置を得るためには、前記の各フィルタの遮断周波数の間に $f_{L1} > f_{L2} > f_{L3} > f_H$ なる関係が成り立つよう本実施例 2 で新たに設ける低域通過フィルタ 1 4 2 の遮断周波数 f_{L3} を設計するのが理想的であるが、少なくとも上記の複数の条件を全て満たすことが可能であるなら、液晶表示装置のフリッカレベルを確実に下げることができるためフリッカに関わる表示不良品の発生を少なくすることができる。

【0069】

では具体的にこの低域通過フィルタをどのように構成するのかについて、以下に図 1 1 を用いて説明する。図 1 1 は、本実施例 2 を用いた液晶表示装置をいずれもある 1 つのゲート線について模式的に抜き出して示したものである。

40

【0070】

まず図 1 1 (a) は、ゲート線駆動回路 1 6 1 と画素群 1 6 7 との間に、抵抗と容量とから構成される低域通過フィルタ 1 6 4 を設けたものである。この場合、前記抵抗と前記容量を設計することで低域通過フィルタ 1 6 4 の遮断周波数を決定することができる。なおここでは、低域通過フィルタ 1 6 4 が分布定数型で構成されているが、集中定数型の低域通過フィルタでも構わない。

【0071】

次に図 (b) は、ゲート線駆動回路 1 6 2 と画素群 1 6 8 との間に、ゲート電極が接地

50

電位に電圧が印加されたP型薄膜トランジスタを用いた低域通過フィルタ165を設けたものである。等価的にみると、この低域通過フィルタ165が前記P型薄膜トランジスタの抵抗と前記P型薄膜トランジスタの寄生容量とから構成されることが分かる。この場合、前記P型薄膜トランジスタのチャネル幅、チャネル長、ゲート酸化膜厚などを変更する方法や、前記P型薄膜トランジスタを複数個並列接続するなどの方法より、前記抵抗と前記寄生容量とを任意に設計することが可能になり、ひいては低域通過フィルタ165の遮断周波数を決定することができる。ここではP型薄膜トランジスタを用いたものを示したが、これはN型薄膜トランジスタ等の同様の機能を実現できるトランジスタやダイオードなどでも構わないし、さらに伝送ゲートなどのようにトランジスタなどを複数個組み合わせたものでも構わない。しかし、画素群のスイッチング素子にN型のトランジスタを用いた場合においてはP型のトランジスタを、画素群のスイッチング素子にP型のトランジスタを用いた場合においてはN型のトランジスタを前記低域通過フィルタとして用いることによってより効果が得られることを以下に説明する。ここでは図11(b)のように前記低域通過フィルタとしてP型のトランジスタを用いた場合を想定して説明する。前記P型薄膜トランジスタは、そのゲート電極が接地電位に電圧印加されているので常に導通状態にある。しかし同じ導通状態にあるとはいえ、ドレイン電極とソース電極の間の抵抗はそれを通過する信号の電圧によって変化し、前記信号の電圧が接地電位に近づくほど前記ドレイン電極と前記ソース電極の間の抵抗は増えることになる。つまり、非選択状態での前記P型薄膜トランジスタの抵抗は、選択状態での前記P型薄膜トランジスタの抵抗よりも高くなるわけで、そのため、非選択状態から選択状態へ移行する際の信号の遅延を、選択状態から非選択状態に移行する際の遅延よりも少なくすることができる。これにより、ゲート線の選択を開始する際におけるゲート線選択信号の遅延時間を増加させることなく、ゲート線の選択期間終了時における突き抜け電圧の差を少なくし、フリッカのない液晶表示装置を得ることができる。このことは、前記画素群にP型のトランジスタを用い、前記低域通過フィルタとしてN型のトランジスタを用いる場合においても同様のことが言える。

10

20

【0072】

さて、次に図11(c)はゲート線駆動回路163と画素群169との間に、オペアンプと抵抗、容量とからなる低域通過フィルタ166を設けたものである。この場合、主に前記抵抗と前記容量とを設計することによって前記低域通過フィルタ166の遮断周波数を決定できる。また、前記オペアンプ自体の入出力インピーダンス、周波数特性などの諸特性を設計する方法でも前記低域通過フィルタ166遮断周波数を決定することができる。ここでは、オペアンプを用いたアクティブフィルタを例として示したが、同様の機能を有する回路であればオペアンプである必要はない。

30

【実施例3】

【0073】

本実施例3では、ゲート線駆動回路と画素群との間に抵抗変調回路を設けることによりフリッカのない液晶表示装置を得る方法とその駆動方法について述べる。図12は本実施例3の一例を示す図で、ゲート線183に沿った等価回路として液晶表示装置を置き換えたものである。本実施例3では、ゲート線駆動回路181と画素群184との間にN型薄膜トランジスタからなる抵抗変調回路185を設けている。この抵抗変調回路185は、電圧源186から出力される抵抗変調信号によりその抵抗値を制御されており、この図では前記N型薄膜トランジスタのゲート電極に前記抵抗変調信号を入力することでその抵抗を変調している。

40

【0074】

次に図12の液晶表示装置の駆動方法について図13のタイムチャートと対応させながら説明する。図12の各点P₃₁、P₃₂、P₃₃、P₃₄における電圧波形を表したのが図13である。ここで、点P₃₁に現れる信号はゲート線駆動回路181内のゲート線を直接駆動する最終インバータを駆動するラッチ信号であり、点P₃₂に現れる信号は前記最終インバータからの出力信号である。また、点P₃₃に現れる信号は抵抗変調回路185を制御する

50

前記抵抗変調信号であり、これは抵抗変調回路 185 に用いられている N 型薄膜トランジスタの閾電圧よりも高い 2 つの電圧状態の間を推移している。さらに、最終的に画素群のゲート電極に印加される電圧を表すのが、点 P_{34} に現れる信号である。まず、画素群への書き込みを開始するために、ゲート線 183 に接続された画素群のスイッチング素子に用いられている薄膜トランジスタを導通状態にする電圧レベルの信号を、ゲート線駆動回路 181 から出力する。このとき点 P_{31} の電圧が接地電位にまで下がるのとほぼ同時に点 P_{32} の電圧は電源電圧にまで上がり、前記画素群を導通状態にすべくゲート線 183 (P_{34}) を充電していく。この時点では、点 P_{33} に現れる抵抗変調信号が前記 2 つの電圧状態のうち電圧の低い方の電圧状態をとっているために、抵抗変調回路 185 は比較的抵抗の高い導通状態になっており、最終的に画素群のゲート電極に印加される電圧 (P_{34}) は遅延を伴っている。その後、信号線 187 に映像信号が入力されるまで、つまり映像信号入力期間 226 が始まるまでに、前記抵抗変調信号 (P_{33}) を前記 2 つの電圧状態のうち電圧の高い方の電圧状態をとるようにすることで抵抗変調回路 185 の N 型薄膜トランジスタの抵抗を充分小さくし、ゲート線への印加電圧を電源電圧にまで飽和させ、画素群のスイッチング素子に用いられている薄膜トランジスタを完全な導通状態にする。さて次に、映像信号入力期間 226 において信号線 187 から入力される前記映像信号を各画素の液晶セルに書き込んだ後、再び前記抵抗変調信号 (P_{33}) を前記 2 つの電圧状態のうち電圧の低い方の電圧状態にして選択期間 226 が終了するのを待つ。そして選択期間 226 を終了すると同時に、ゲート線駆動回路 181 は、ゲート線 183 に接続された画素群 184 のスイッチング素子に用いられている薄膜トランジスタを絶縁状態にする電圧レベルの信号 (P_{32}) を出力する。しかし、このとき抵抗変調素子 186 は比較的抵抗の高い導通状態となっているため、ここで信号に遅延が生じ、最終的にゲート線に印加される電圧 (P_{34}) は緩やかに下がる。これを周波数的に見ると、突き抜け電圧の原因となる高周波成分を遮断することになり、これに加えて前述の実施例 1、実施例 2 と同様の条件を本実施例の抵抗変調回路に適用することにより、フリッカのない液晶表示装置を得ることができる。

【0075】

以上の実施例 3 の液晶表示装置においては、ゲート線を選択終了時にだけゲート線駆動回路の電源電圧を低くする従来の方法を用いたときの前記ゲート線駆動回路の電源に寄生する全容量を充放電するのに要する消費電流に比べ、ゲート線数と同数の薄膜トランジスタだけを充放電すれば良いので遥かに少ない消費電流で同等の効果が得られる。

【実施例 4】

【0076】

実施例 4 では、ゲート線駆動回路のシフトレジスタの出力と、前記シフトレジスタの出力を一定時間遅延させる遅延回路の出力と、必要ならば次段のシフトレジスタの出力とを、各段毎に設けた論理演算回路に入力した後、前記論理演算回路がゲート線に 3 状態の電圧を排他的に印加することによって、フリッカのない液晶表示装置を実現する方法について詳しく説明する。

【0077】

図 14 は本実施例 4 を包括的に説明するブロック図である。この図は、大きく分けてゲート線駆動回路 241 と画素群 248 と 3 つの電源線 249、250、251 とからなる。ゲート線駆動回路 241 は、シフトレジスタ 242 と遅延回路 243 と論理演算回路 244 と 3 つの電源線を排他的に選択する電源スイッチ 245、246、247 とからなる。このとき、電源線 249 は正電源 252 により画素群を導通状態にする電圧 V_{dd} に印加されており、電源線 250 は負電源 253 により画素群を絶縁状態にする電圧 V_{ss} に印加されており、さらに電源線 251 は V_{dd} より低く V_{ss} よりも高い電圧 V_{rr} の電圧源 254 により V_{rr} に印加されている。また、電源スイッチ 245 は電源線 249 とゲート線との間の導通状態を制御するよう設け、電源スイッチ 246 は電源線 250 と前記ゲート線との間の導通状態を制御するよう設け、さらに電源スイッチ 247 は電源線 251 と前記ゲート線との間の導通状態を制御するよう設ける。

10

20

30

40

50

【 0 0 7 8 】

以下に、前記ゲート線駆動回路の動作の順を追って、このブロック図の流れを示す。まず、従来と同じくシフトレジスタ 2 4 2 からはゲート線を選択する選択信号が出力されたとする。このとき、論理演算回路 2 4 4 には前記選択信号と、遅延回路 2 4 3 を通して一定時間の遅延を生じた選択信号と、シフトレジスタ 2 4 2 の次段の出力とが入力される。このとき、まだ次段のゲート線は選択されていないので、シフトレジスタ 2 4 2 の次段の出力は非選択状態になっている。この状態において論理演算回路 2 4 4 は電源線 2 4 9 に接続されたスイッチ 2 4 5 だけを導通状態にする。こうして前記ゲート線は電圧 V_{dd} に印加され、前記ゲート線に接続された画素群は導通状態となる。この状態のまま画素群に接続された信号線に映像信号を送出することにより、前記ゲート線に接続された画素群の液晶セルに信号を書き込むことができる。次に画素への書き込みが終了した後、シフトレジスタ 2 4 2 から前記ゲート線を非選択状態にする非選択信号が出力される。このとき、論理演算回路 2 4 4 には前記非選択信号と、遅延回路 2 4 3 を通して一定時間の遅延を生じた選択信号と、シフトレジスタ 2 4 2 の次段の出力とが入力される。このときシフトレジスタ 2 4 2 の次段の出力には、次段のゲート線を選択状態にする選択信号が出力されている。この状態をさらに詳細に分けて考えると、最初に、遅延回路 2 4 3 にシフトレジスタ 2 4 2 からの非選択信号が入力されてはいるものの出力が遅延しているため、遅延回路 2 4 3 の出力は選択状態のままになっている状態になることが分かる。以下この状態になっている期間を、待ち期間と言うことにする。このとき、論理演算回路 2 4 4 には、シフトレジスタからは前記ゲート線を非選択状態にする非選択信号と、前記次段のゲート線を選択状態にする選択信号と、待ち期間中の遅延回路 2 4 3 からはまだ選択状態にある選択信号が入力されている。そして論理演算の結果、論理演算回路 2 4 4 は電源スイッチ 2 4 7 だけを導通状態にし、前記待ち期間の間前記ゲート線を電圧 V_{rr} に印加し続ける。次にこの待ち期間を過ぎて遅延回路 2 4 3 の出力も非選択状態になると、論理演算回路 2 4 4 は電源スイッチ 2 4 6 だけを導通状態にし、前記ゲート線を電圧 V_{ss} に印加し続ける。以上を各ゲート線毎に繰り返すことにより、全てのゲート線を選択することができる。

【 0 0 7 9 】

さて、ここで前記ゲート線に印加された電圧の時系列変化について整理してみよう。まず、前記ゲート線が選択状態にされ電圧 V_{dd} に印加される。次に、選択期間が終わると同時に前記待ち期間となって電圧 V_{rr} に印加される。最後に待ち期間が終わると同時に前記ゲート線は非選択状態にされ電圧 V_{ss} に印加される。こうしてみると、従来の駆動方法と違うのは選択期間が終了したときに即座に電圧 V_{ss} になるのではなく、電圧 V_{dd} より低く電圧 V_{ss} より高い電圧 V_{rr} に一度落ちついた後で V_{ss} となる、という点である。こうした駆動を行うことによってゲート線を選択状態から非選択状態にする際にゲート線駆動回路から前記ゲート線に印加される立ち下がり信号を緩やかにすることができる。前述の実施例と同様に信号の周波数成分に着目して言えば、立ち下がり信号の高域成分を減少させることになり、前述した突き抜け電圧の絶対値を減少させることができることになる。つまり、液晶表示装置のフリッカをなくすることができるということである。

【 0 0 8 0 】

この実施例 4 を実現する液晶表示装置とその動作について、以下に具体的に説明する。図 1 5 は、本実施例 4 の一例を示した等価回路図である。ゲート線駆動回路 2 6 1 は、シフトレジスタ 2 6 8 と、遅延回路 2 6 3 と、2 入力 EXOR ゲート 2 6 4 と、2 入力 NAND ゲート 2 6 5 と、N 型薄膜トランジスタ 2 6 6 と、P 型薄膜トランジスタ 2 6 7 と、電源線 2 6 9 とから構成される。まず、遅延回路 2 6 3 をシフトレジスタ 2 6 8 の信号出力端子に接続し、この遅延回路 2 6 3 の入力端子と出力端子とを EXOR ゲート 2 6 4 の 2 つの入力端子にそれぞれ接続する。また一方で、遅延回路 2 6 3 の出力端子は、ゲート線 2 7 0 との間に N 型薄膜トランジスタ 2 6 6 を介することで導通状態を制御すべく、N 型薄膜トランジスタの片方のドレイン電極と接続される。また、EXOR ゲート 2 6 4 の出力端子と、次段の EXOR ゲート 2 6 4 ' の出力端子とを NAND ゲート 2 6 5 の 2 つ

の入力端子にそれぞれ接続する。さらに、このNANDゲート265の出力端子を先ほどのN型薄膜トランジスタ266のゲート電極と接続し、NANDゲート265の出力によってゲート線270と遅延回路263との間の導通状態を制御する。また、このNANDゲート265の出力端子は、電源線269とゲート線270との間の導通状態を制御するように設けたP型薄膜トランジスタ267のゲート電極とも接続されている。これをゲート線駆動回路の各段について繰り返すと図15のゲート線駆動回路261を得る。

【0081】

では次に図15と、図16に示すタイムチャートと併せ用いて、このゲート線駆動回路の動作について簡単に説明する。図15の黒丸で示す点 $P_{41} \sim P_{48}$ での電圧の時系列変化を示したのが図16のタイムチャートである。ここでは、 P_{41} 、 P_{42} での電圧波形から分かるようにシフトレジスタが各段に出力する選択信号は各段毎に時系列的に分離されているものとする。

10

【0082】

順を追って説明すると、まず初期状態においてはシフトレジスタ268からの出力はローレベルであり、遅延回路263の前後(P_{41} 、 P_{43})で等電位を保っているのでEXORゲート264からの出力(P_{45})もローレベルとなっている。同様に、次段のEXORゲート264'からの出力(P_{46})もローレベルとなっている。このため、この2つのEXORゲートからの出力を入力するNANDゲート265の出力はハイレベルとなっており、P型薄膜トランジスタ267を絶縁状態にし、N型薄膜トランジスタ266を導通状態にして、遅延回路263からのローレベルの出力(P_{43})をゲート線270(P_{48})に印加していることになる。

20

【0083】

この均衡を破って、シフトレジスタ268から選択パルスが点 P_{41} に出力されたとしよう。まず、遅延回路263の入力端子(P_{41})はハイレベルになるが、遅延回路に263による信号の遅延のため、その出力端子(P_{43})はまだローレベルのままである。よって、その遅延回路263の入出力信号を入力信号とするEXORゲート264はハイレベルの信号(P_{45})を出力する。このとき、次段のEXORゲートはその2つの入力端子に何ら変化がないのでローレベルの信号(P_{46})を出力し続けている。それ故、その2つのEXORゲートの出力信号を入力信号とするNANDゲート265はハイレベルの信号を出力し続けており、N型薄膜トランジスタ266を導通状態にし続け、遅延回路263からの出力(P_{43})をゲート線(P_{48})に通し続ける。この後、遅延回路263の遅延時間によって決定される待ち期間が終了した後も、遅延回路263の入出力端子の電位が等電位となりEXORゲートの出力(P_{45})が再びローレベルの信号を出力するのを除けば、遅延回路263からの出力信号(P_{43})をゲート線270に印加し続けることに何ら変わりはなく、ゲート線270はハイレベルの電圧に印加され、画素群262のうち、それに接続された画素群を導通状態にする。

30

【0084】

この後、前記画素群に映像信号の書き込みを行った後、シフトレジスタ268からゲート線271の選択期間を終了するローレベルの信号(P_{41})が出力される。このとき同時に、シフトレジスタ268の次段の出力(P_{42})は次段のゲート線を選択するためハイレベルとなる。この瞬間、遅延回路263の待ち期間に入るため、EXORゲート264と次段のEXORゲート264'は両方ともハイレベルを出力する(P_{45} 、 P_{46})。これを受けて、入力信号が両方ともハイレベルとなったNANDゲート265はローレベルの信号を出力(P_{47})し、いままでゲート線270と遅延回路263との間を導通状態に保っていたN型薄膜トランジスタ266を絶縁状態にする。さらにそれとは逆に、いままで絶縁状態であったP型薄膜トランジスタ267を導通状態にし、遅延回路263の待ち期間の間、電源線269に印加された電位をゲート線270に印加することになる(P_{48})。この待ち期間が終了して遅延回路263の入出力信号が等電位になるとほぼ同時に、前記2つのEXORゲート264、264'の出力(P_{45} 、 P_{46})は再び両方ともローレベルとなり、それらを入力信号とするNANDゲート265の出力(P_{47})は再びハイレベ

40

50

ルに戻る。ということは、これは再び初期状態に戻ったのと同じことで、ゲート線 270 には遅延回路 263 からのローレベルの信号が印加されることになる。即ち、遅延回路 263 の待ち期間の終了と同時に再び初期状態に戻るようになる。一方、次段のゲート線はというと、遅延回路の待ち期間の終了と同時にハイレベルの信号が印加されており、ゲート線の選択が繰り返されていることがわかる。これをさらにゲート線駆動回路の前段で繰り返すことによって、本実施例 4 のゲート線駆動回路を動作させることができる。

【0085】

さてここで、図 15 の等価回路図と図 14 のブロック図との対応関係について考えてみよう。図 14 のブロック図には 3 本の電源線 252、253、254 があるが、図 15 の等価回路図には 1 本の電源線 269 しか見あたらないことにまず気が付くであろう。ここではまず電源線 251 が電源線 269 に相当していることは明白だが他の 2 本の電源線はなくなったわけではない。図 15 では省略したシフトレジスタ 268 や NAND ゲート、EXOR ゲート等々を駆動する正負 2 つの電圧源が存在していることは、先ほどから述べているハイレベル、ローレベルに相当する電圧の存在からおのずと明かであろう。つまり、前記ハイレベルに相当する電圧を出力する正の電圧源と電源線が、図 14 でいう電圧源 252 と電源線 249 であり、これに対して前記ローレベルに相当する電圧を出力する負の電圧源が、図 14 でいう電圧源 253 と電源線 250 に対応しているのである。

【0086】

以上、実施例 4 では、ゲート線駆動回路 241 の内部に本実施例 4 の回路が組み込まれているものとしたが、同様の構成を有する回路であれば例えば画素群 243 の直前などに設けても構わない。また、遅延回路についてだが、例えばインバータを複数段接続して入力と出力に遅延を生じさせるような遅延回路でも構わないし、容量に蓄えられた電荷の放出時間を利用するような遅延回路など、一定の遅延時間を確保できるものであるならばどのような遅延回路でも構わない。さらには、新たに外部から遅延回路にその遅延時間を制御する信号を送出する配線を設けても構わない。

【図面の簡単な説明】

【0087】

【図 1】従来の液晶表示装置の構成を説明する図である。

【図 2】従来の液晶表示装置を説明する等価回路図である。

【図 3】従来の液晶表示装置の駆動方法の一例を説明する図。

【図 4】従来の液晶表示装置を、一本のゲート線について等価的に抜き出して説明する図である。

【図 5】従来の液晶表示装置の液晶に印加される電圧の過渡応答を説明する図である。

【図 6】本発明の実施例 1 の一例を説明する図である。

【図 7】図 6 の本発明の実施例 1 をより単純化した等価回路にして説明する図である。

【図 8】本発明の実施例 1 の成立条件を説明する図である。図 8 (a) は従来の各周波数フィルタの周波数特性の関係を表す図である。図 8 (b) は実施例 1 での各周波数フィルタの周波数特性の関係を表す図である。図 8 (c) は図 8 (a) の条件が成り立つときの各周波数フィルタ通過後の点 P_1 、点 P_2 での周波数特性の関係を表す図である。図 8 (d) は図 8 (b) の条件が成り立つときの各周波数フィルタ通過後の点 P_1 、点 P_2 での周波数特性の関係を表す図である。図 8 (e) は図 8 (a) の条件が成り立つときの各周波数フィルタ通過後の点 P_1 、点 P_2 での電圧波形を表す図である。図 8 (f) は図 8 (b) の条件が成り立つときの各周波数フィルタ通過後の点 P_1 、点 P_2 での電圧波形を表す図である。

【図 9】本発明の実施例 2 の一例を説明する図である。

【図 10】図 9 の本発明の実施例 2 をより単純化した等価回路にして説明する図である。

【図 11】本発明の実施例 2 の具体例を説明する図である。図 11 (a) は抵抗と容量とからなる低域通過フィルタを用いた具体例を説明する図である。図 11 (b) は薄膜トランジスタからなる低域通過フィルタを用いた具体例を説明する図である。図 11 (c) はオペアンプと容量、抵抗とからなる低域通過フィルタを用いた具体例を説明する図である

10

20

30

40

50

。

【図 1 2】本発明の実施例 3 の一例を説明する図である。

【図 1 3】図 1 2 の実施例 3 の駆動方法の一例を説明する図である。

【図 1 4】本発明の実施例 4 の一例を説明する図である。

【図 1 5】本発明の実施例 4 の一例を説明する図である。

【図 1 6】本発明の実施例 4 の駆動方法の一例を説明する図である。

【符号の説明】

【 0 0 8 8 】

2 0 1	．．．	ソース線駆動回路	
2 0 2	．．．	ゲート線駆動回路	10
2 0 3	．．．	画素マトリクス	
2 0 4	．．．	透明な絶縁基板	
2 0 5	．．．	薄膜トランジスタ	
2 0 6	．．．	液晶セル	
X_1, X_2, X_3	．．．	ソース線	
Y_1, Y_2, Y_3	．．．	ゲート線	
3 0 1	．．．	ソース線駆動回路	
3 0 2	．．．	ゲート線駆動回路	
3 0 3	．．．	画素マトリクス	
3 0 4	．．．	X 側シフトレジスタ	20
3 0 5	．．．	X 側バッファ	
3 0 6	．．．	ビデオ信号線	
3 0 7, 3 0 7'	．．．	アナログスイッチ	
3 0 8, 3 0 8'	．．．	ソース線	
3 0 9	．．．	Y 側シフトレジスタ	
3 1 0	．．．	Y 側バッファ	
3 1 1, 3 1 1'	．．．	ゲート線	
3 1 2, 3 1 2'	．．．	薄膜トランジスタ	
3 1 3, 3 1 3'	．．．	液晶セル	
3 3 1	．．．	クロック C L X で規定されるクロックドインバータ	30
3 3 2	．．．	クロック C L X * で規定されるクロックドインバータ	
3 3 3	．．．	インバータ	
3 3 4	．．．	X 側シフトレジスタの基本セル	
3 3 5	．．．	クロック C L Y で規定されるクロックドインバータ	
3 3 6	．．．	クロック C L Y * で規定されるクロックドインバータ	
3 3 7	．．．	インバータ	
3 3 8	．．．	N O R 論理ゲート	
3 3 9	．．．	Y 側シフトレジスタの基本セル	
3 4 1	．．．	X 側シフトレジスタのスタートパルス入力端子	
3 4 2	．．．	Y 側シフトレジスタのスタートパルス入力端子	40
3 4 4	．．．	ビデオ信号入力端子	
C L X, C L X *	．．．	クロック C L X およびクロック C L X *	
C L Y, C L Y *	．．．	クロック C L Y およびクロック C L Y *	
P_1, P_2	．．．	図 2 の等価回路の点 P_1 および点 P_2	
Q_1, Q_2	．．．	図 2 の等価回路の点 Q_1 および点 Q_2	
R_1, R_2	．．．	図 2 の等価回路の点 R	
V_1	．．．	図 2 の等価回路の点 V_1	
P_1, P_2	．．．	図 2 の等価回路の点 P_1 および点 P_2	
Q_1, Q_2	．．．	図 2 の等価回路の点 Q_1 および点 Q_2	
R_1, R_2	．．．	図 2 の等価回路の点 R	4 0 1
		図 2 の点 P 1 での電圧波形	
4 0 2	．．．	図 2 の点 P 2 での電圧波形	50

4 0 3	・・・	図 2 の点 Q 1 での電圧波形	
4 0 4	・・・	図 2 の点 Q 2 での電圧波形	
4 0 5	・・・	図 2 の点 V 1 での電圧波形	
4 0 6	・・・	図 2 の点 R 1 での電圧波形	
4 0 7	・・・	図 2 の点 R 2 での電圧波形	
4 0 8	・・・	ビデオ中心	
4 1 1	・・・	図 2 のクロック C L Y の電圧波形	
4 1 2	・・・	図 2 のクロック C L X の電圧波形	
5 0 1 , 5 0 1 '	・・・	画素トランジスタ	
5 0 2	・・・	ゲート選択パルス	10
5 0 3	・・・	ゲート線	
5 0 4 , 5 0 4 '	・・・	液晶セル	
5 0 5 , 5 0 5 '	・・・	ゲート線 5 0 3 と液晶セル 5 0 4 , 5 0 4 ' との間の結合容量	
5 0 8	・・・	第 1 の低域通過フィルタ	
5 0 9	・・・	第 2 の低域通過フィルタ	
5 1 0	・・・	第 1 の遅延パルス	
5 1 1	・・・	第 2 の遅延パルス	
C ₁ , C ₂ , G ₁ , G ₂	・・・	図 4 の等価回路図の点 C ₁ , C ₂ , G ₁ , G ₂	6 0 1
・ ・ 時間軸			20
6 0 2	・・・	ゲート選択パルスの電圧	
6 0 3	・・・	液晶印加電圧	
6 1 1	・・・	理想的に遅延のないゲート選択パルス	
6 1 2	・・・	図 4 の点 G ₁ におけるゲート選択パルス	
6 1 3	・・・	図 4 の点 G ₂ におけるゲート選択パルス	
6 2 1	・・・	理想的に遅延のないゲート選択パルスが入力されたときの液晶印加電圧の波形	
6 2 2	・・・	図 4 の点 C ₁ における液晶印加電圧波形	
6 2 3	・・・	図 4 の点 C ₂ における液晶印加電圧波形	
7 0 1	・・・	ゲート線駆動回路	30
7 0 2	・・・	ゲート線駆動回路 7 0 1 の最終インバータ 7 0 3 を駆動するラッチ信号	
7 0 3	・・・	ゲート線駆動回路 7 0 1 のゲート線 7 0 4 を直接駆動する最終インバータ	
7 0 4	・・・	ゲート線	
7 0 5	・・・	ゲート線駆動回路 7 0 1 に最も近い画素	
7 0 5 '	・・・	ゲート線駆動回路 7 0 1 から最も遠い画素	
7 0 6 , 7 0 6 '	・・・	画素トランジスタ	
7 0 7	・・・	画素 7 0 5 と画素 7 0 5 ' の間のゲート線に分布定数状に寄生する容量と抵抗	40
V _{dd}	・・・	正電源電圧	
R _N , R _P	・・・	最終インバータ 7 0 3 を構成する N 型 , P 型薄膜トランジスタの抵抗	
I _P , I _N	・・・	最終インバータ 7 0 3 を構成する N 型 , P 型薄膜トランジスタに流れる電流	
GND	・・・	接地電源	
8 0 1 , 8 0 2	・・・	低域通過フィルタ	
8 0 3 , 8 0 3 '	・・・	高域通過フィルタ	
8 0 4	・・・	ゲート線駆動回路の最終インバータの出力信号	
9 0 1	・・・	周波数軸	50

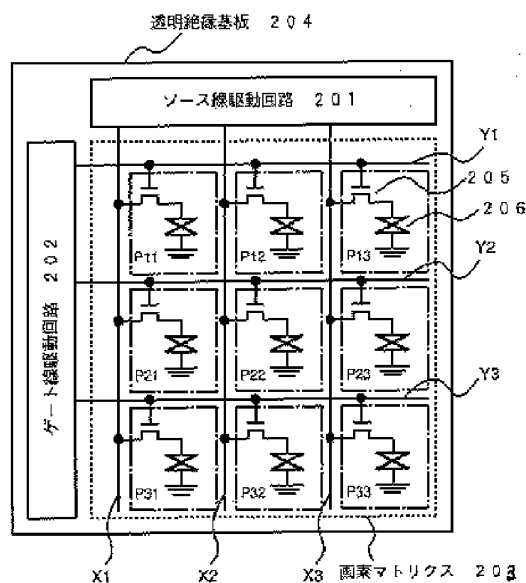
9 0 2	...	各周波数フィルタのゲインを表す軸	
9 0 3	...	点 P_1 , 点 P_2 での信号のゲインを表す軸	9 0 4
9 0 5	...	点 P_1 , 点 P_2 での電圧波形	時間軸
9 0 6	...	図 7 の低域通過フィルタ 8 0 1 の周波数特性	
9 0 7	...	図 7 の低域通過フィルタ 8 0 2 の周波数特性	
9 0 8	...	図 7 の高域通過フィルタ 8 0 3 , 8 0 3 ' の周波数特性	
9 0 9	...	点 P_1 での周波数特性	
9 1 0	...	点 P_2 での周波数特性	
9 1 1	...	点 P_1 での電圧波形	
9 1 2	...	点 P_2 での電圧波形	10
1 2 1	...	ゲート線駆動回路	
1 2 2	...	ゲート線駆動回路 1 2 2 内のゲート線 1 2 5 を直接駆動する最終イン	
バータ			
1 2 3	...	新たに設ける低域通過フィルタ	
1 2 4 , 1 2 4 '	...	第 1 の画素 , 第 2 の画素	
1 2 5	...	ゲート線	
1 4 1 , 1 4 2	...	低域通過フィルタ	
1 4 3	...	低域通過フィルタ 1 4 1 と低域通過フィルタ 1 4 2 とを合成し表した	
合成フィルタ			
1 4 4 , 1 4 4 '	...	高域通過フィルタ	20
1 4 5	...	低域通過フィルタ	
1 4 6	...	最終インバータの出力信号	
1 6 1 , 1 6 2 , 1 6 3	...	ゲート線駆動回路	
1 6 4	...	容量と抵抗とから構成される低域通過フィルタ	
1 6 5	...	P 型薄膜トランジスタから構成される低域通過フィルタ	
1 6 6	...	オペアンプと容量、抵抗とから構成される低域通過フィルタ	1 6 7
1 6 8 , 1 6 9	...	画素マトリクス	
1 8 1	...	ゲート線駆動回路	
1 8 2	...	最終インバータの出力信号	
1 8 3	...	ゲート線	30
1 8 4	...	画素マトリクス	
1 8 5	...	N 型薄膜トランジスタを用いた抵抗変調回路	
1 8 6	...	抵抗変調信号源	
1 8 7	...	信号線	
P_{31} , P_{32} , P_{33} , P_{34}	...	点 P_{31} , P_{32} , P_{33} , P_{34}	2 2 1
2 の点 P_{31}	...	での電圧波形	図 1
2 2 2	...	図 1 2 の点 P_{32} での電圧波形	
2 2 3	...	図 1 2 の点 P_{33} での電圧波形	
2 2 4	...	図 1 2 の点 P_{34} での電圧波形	
2 2 5	...	ゲート線選択期間	40
2 2 6	...	映像信号入力期間	
2 4 1	...	ゲート線駆動回路	
2 4 2	...	シフトレジスタ	
2 4 3	...	遅延回路	
2 4 4	...	論理演算回路	
2 4 5	...	電源線 2 4 9 とゲート線との間の導通状態を制御するスイッチ	
2 4 6	...	電源線 2 5 0 とゲート線との間の導通状態を制御するスイッチ	
2 4 7	...	電源線 2 5 1 とゲート線との間の導通状態を制御するスイッチ	
2 4 8	...	画素マトリクス	
2 4 9	...	電圧 V_{dd} の電源線	50

- 250 . . . 電圧 V_{ss} の電源線
 251 . . . 電圧 V_{rr} の電源線
 252 . . . 電圧 V_{dd} の電源線
 253 . . . 電圧 V_{ss} の電源線
 254 . . . 電圧 V_{rr} の電源線
 261 . . . ゲート線駆動回路
 262 . . . 画素マトリクス
 263 . . . 遅延回路
 264, 264' . . . EXORゲート
 265 . . . NANDゲート
 266 . . . N型薄膜トランジスタ
 267 . . . P型薄膜トランジスタ
 268 . . . シフトレジスタ
 269 . . . 電源線
 270 . . . ゲート線
 $P_{41}, P_{42}, P_{43}, P_{44}, P_{45}, P_{46}, P_{47}, P_{48}$. . . 等価回路の各点、点 P_{41}
 , 点 P_{42} , 点 P_{43} , 点 P_{44} , 点 P_{45} , 点 P_{46} , 点 P_{47} , 点 P_{48} 281 . . . 図15
 の点 P_{41} での電圧波形
 282 . . . 図15の点 P_{42} での電圧波形
 283 . . . 図15の点 P_{43} での電圧波形
 284 . . . 図15の点 P_{44} での電圧波形
 285 . . . 図15の点 P_{45} での電圧波形
 286 . . . 図15の点 P_{46} での電圧波形
 287 . . . 図15の点 P_{47} での電圧波形

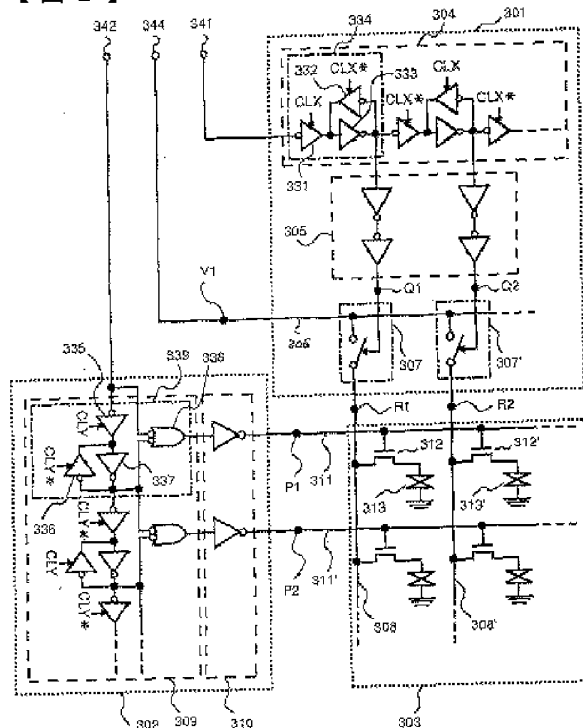
10

20

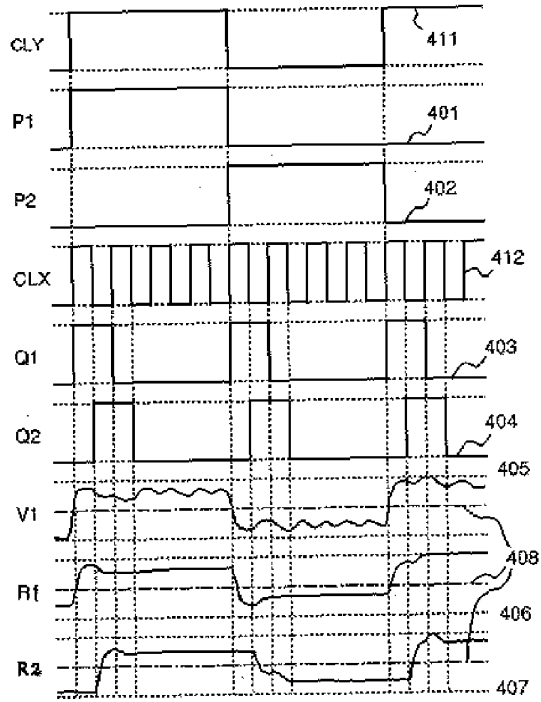
【図1】



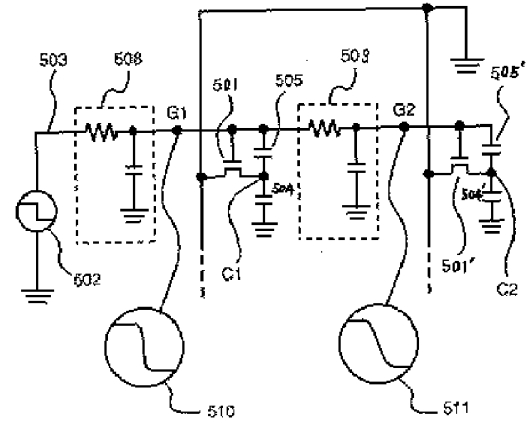
【図2】



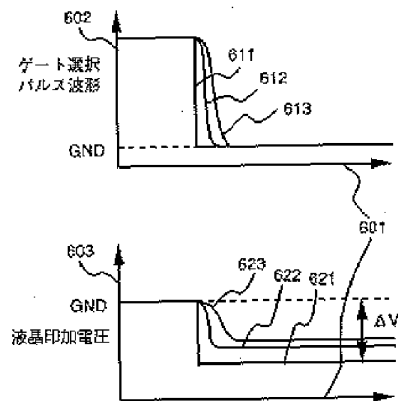
【図 3】



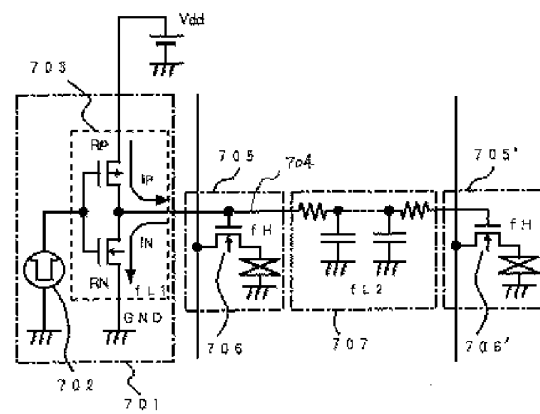
【図 4】



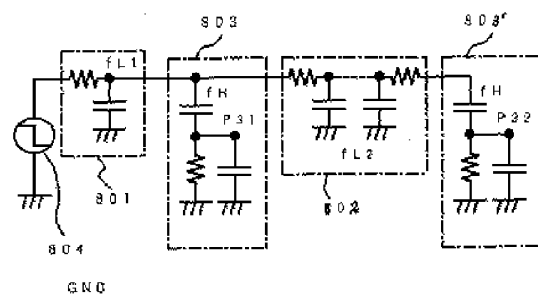
【図 5】



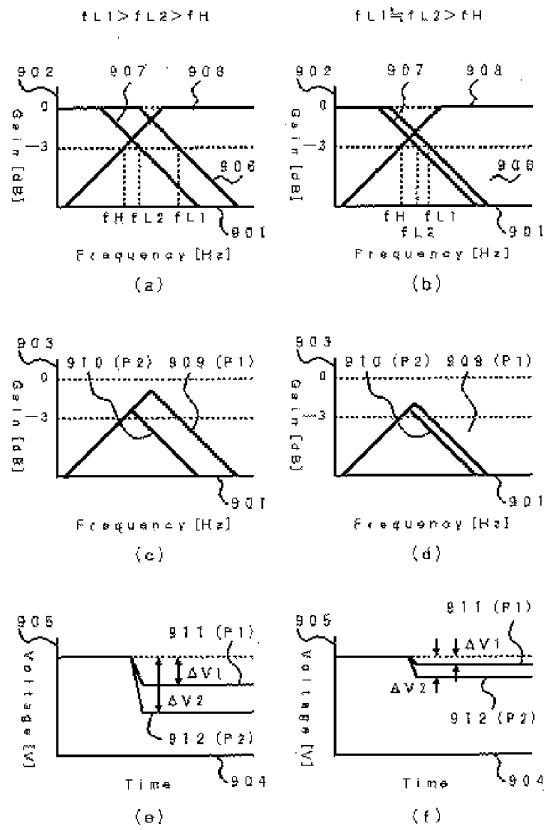
【図 6】



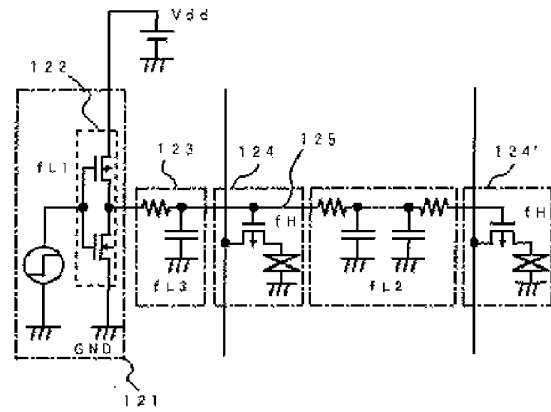
【図 7】



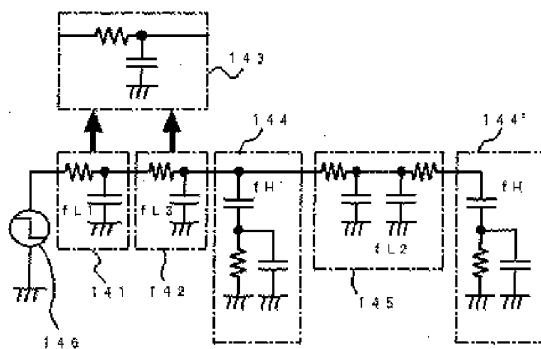
【図 8】



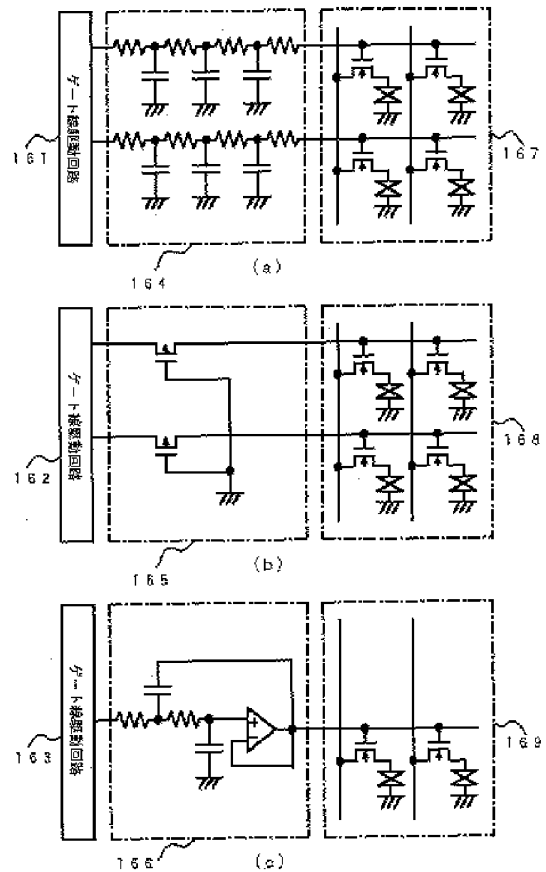
【図 9】



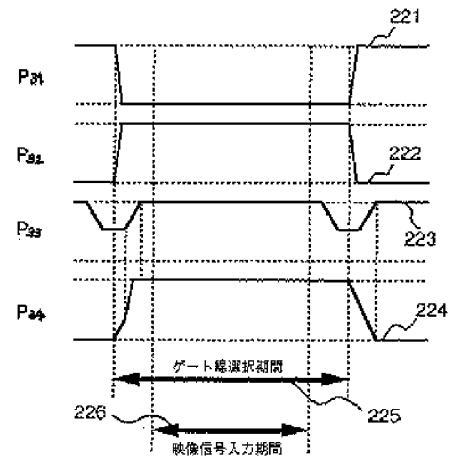
【図 10】



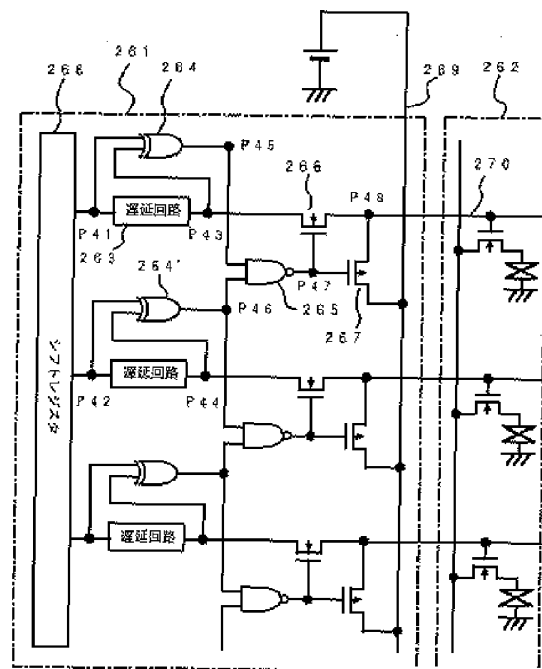
【図 11】



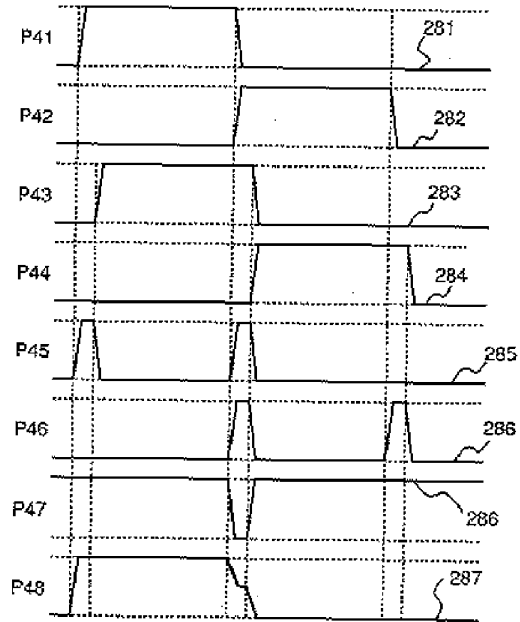
【 図 1 3 】



【 図 1 5 】



【図 16】



フロントページの続き

(56)参考文献 特開平05 - 122639 (JP, A)
特開平01 - 219827 (JP, A)
特開平02 - 074989 (JP, A)
特開平04 - 324418 (JP, A)
特開昭63 - 198022 (JP, A)
特開平06 - 003647 (JP, A)
特開平04 - 313733 (JP, A)
特開平01 - 126628 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38
G02F 1/133 505 - 580