

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(43) 国际公布日  
2017年1月19日 (19.01.2017)

WIPO | PCT

(10) 国际公布号  
WO 2017/008563 A1

- (51) 国际专利分类号:  
G06F 12/06 (2006.01)
- (21) 国际申请号: PCT/CN2016/081615
- (22) 国际申请日: 2016年5月10日 (10.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510417343.2 2015年7月15日 (15.07.2015) CN
- (71) 申请人: 深圳市中兴微电子技术有限公司 (SANE-CHIPS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。
- (72) 发明人: 陆亚军 (LU, Yajun); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。 廖智勇 (LIAO, Zhiyong); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。 刘衡祁 (LIU, Hengqi); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。 王志忠 (WANG, Zhizhong); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: DATA PROCESSING METHOD AND DEVICE, AND STORAGE MEDIUM

(54) 发明名称: 一种数据处理方法及其装置、存储介质

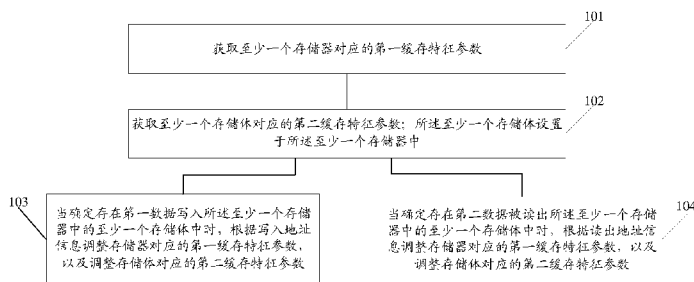


图 1

- 101 ACQUIRING A FIRST BUFFER CHARACTERISTIC PARAMETER CORRESPONDING TO AT LEAST ONE MEMORY
- 102 ACQUIRING A SECOND BUFFER CHARACTERISTIC PARAMETER CORRESPONDING TO AT LEAST ONE MEMORY BANK THE AT LEAST ONE MEMORY BANK BEING PROVIDED IN THE AT LEAST ONE MEMORY
- 103 WHEN IT IS DETERMINED THAT THERE IS FIRST DATA WRITTEN INTO THE AT LEAST ONE MEMORY BANK IN THE AT LEAST ONE MEMORY, ADJUSTING THE FIRST BUFFER CHARACTERISTIC PARAMETER CORRESPONDING TO THE MEMORY AND ADJUSTING THE SECOND BUFFER CHARACTERISTIC PARAMETER CORRESPONDING TO THE MEMORY BANK, ACCORDING TO INFORMATION ABOUT AN ADDRESS INTO WHICH THE FIRST DATA IS WRITTEN
- 104 WHEN IT IS DETERMINED THAT THERE IS SECOND DATA READ OUT OF THE AT LEAST ONE MEMORY BANK IN THE AT LEAST ONE MEMORY, ADJUSTING THE FIRST BUFFER CHARACTERISTIC PARAMETER CORRESPONDING TO THE MEMORY AND ADJUSTING THE SECOND BUFFER CHARACTERISTIC PARAMETER CORRESPONDING TO THE MEMORY BANK, ACCORDING TO INFORMATION ABOUT THE ADDRESS OUT OF WHICH THE SECOND DATA IS READ

(57) Abstract: A data processing method and device, and a storage medium. The method comprises: acquiring a first buffer characteristic parameter corresponding to at least one memory (101); acquiring a second buffer characteristic parameter corresponding to at least one memory bank, the at least one memory bank being provided in the at least one memory (102); when it is determined that there is first data written into the at least one memory bank in the at least one memory, adjusting the first buffer characteristic parameter corresponding to the memory and adjusting the second buffer characteristic parameter corresponding to the memory bank, according to information about an address into which the first data is written (103); and when it is determined that there is second data read out of the at least one memory bank in the at least one memory, adjusting the first buffer characteristic parameter corresponding to the memory and adjusting the second buffer characteristic parameter corresponding to the memory bank, according to information about the address out of which the second data is read (104).

(57) 摘要:

[见续页]



WO 2017/008563 A1



**本国际公布:**

- 包括国际检索报告(条约第 21 条(3))。

---

一种数据处理方法、装置及存储介质，其中方法包括：获取至少一个存储器对应的第一缓存特征参数（101）；获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体设置于所述至少一个存储器中（102）；当确定存在第一数据写入所述至少一个存储器中的至少一个存储体中时，根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数（103）；当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数（104）。

## 一种数据处理方法及其装置、存储介质

### 技术领域

本发明涉及数据读写技术，尤其涉及一种数据处理方法及其装置、存储介质。

### 5 背景技术

随着网络容量和数据业务的发展，数据流量快速增长；而在数据流量快速增长的情况下，报文处理过程中，为满足服务质量（QoS, Quality of Service）的要求，对数据缓存的缓存容量和缓存带宽的要求变得越来越高。

为了降低成本，网络传输芯片一般使用双倍速率同步动态随机存储器  
10 （DDR SDRAM, Double Data Rate Synchronous Dynamic Random Access Memory）存储数据，以满足存储带宽和缓存容量的需求。但是，现有方式中，并不能有效提高 DDR SDRAM 的读写效率以及缓存利用率，因此，亟需一种方法以解决上述问题。

### 发明内容

15 为解决现有存在的技术问题，本发明实施例提供了一种数据处理方法及其装置、存储介质，能有效提升存储器的读写效率以及缓存利用率。

本发明实施例的技术方案是这样实现的：

本发明实施例提供了一种数据处理方法，所述方法包括：

获取至少一个存储器对应的第一缓存特征参数；

20 获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体设置于所述至少一个存储器中；

当确定存在第一数据写入所述至少一个存储器中的至少一个存储体中

时，根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数；

当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整  
5 存储体对应的第二缓存特征参数。

上述方案中，所述方法还包括：

根据所述至少一个存储器对应的第一缓存特征参数确定出第一目标存储器；

根据至少一个存储体对应的第二缓存特征参数确定出第一目标存储  
10 体；所述第一目标存储体设置于所述第一目标存储器中；

根据所述第一目标存储器和所述第一目标存储体对应的地址信息确定出所述写入地址信息，以便于将所述第一数据存储于所述写入地址信息指示的第一目标存储器中的第一目标存储体中。

上述方案中，所述第一缓存特征参数和所述第二缓存特征参数均表征  
15 缓存使用量；对应地，

所述根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，包括：

根据所述写入地址信息所指示的第一目标存储器，调小所述第一目标  
20 存储器对应的缓存使用量；以及根据所述写入地址信息所指示的第一目标存储体，调小所述第一目标存储体对应的缓存使用量。

上述方案中，所述方法还包括：

接收所述读出地址信息；

获取所述读出地址信息所指示的第二目标存储器以及所述第二目标存储器中的第二目标存储体。

25 上述方案中，所述第一缓存特征参数和所述第二缓存特征参数均表征

缓存使用量；对应地，

所述根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，包括：

根据所述读出地址信息所指示的第二目标存储器，调大所述第二目标  
5 存储器对应的缓存使用量；以及根据所述读出地址信息所指示的第二目标  
存储体，调大所述第二目标存储体对应的缓存使用量。

本发明实施例还提供了一种数据处理装置，所述数据处理装置包括：

第一获取单元，配置为获取至少一个存储器对应的第一缓存特征参数；

第二获取单元，配置为获取至少一个存储体对应的第二缓存特征参数；

10 所述至少一个存储体设置于所述至少一个存储器中；

调整单元，配置为当确定存在第一数据写入所述至少一个存储器中的  
至少一个存储体中时，根据写入地址信息调整存储器对应的第一缓存特征  
参数，以及调整存储体对应的第二缓存特征参数；

还配置为当确定存在第二数据被读出所述至少一个存储器中的至少一  
15 个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，  
以及调整存储体对应的第二缓存特征参数。

上述方案中，所述数据处理装置还包括：

第一确定单元，配置为根据所述至少一个存储器对应的第一缓存特征  
参数确定出第一目标存储器；

20 第二确定单元，配置为根据至少一个存储体对应的第二缓存特征参数  
确定出第一目标存储体；所述第一目标存储体设置于所述第一目标存储器  
中；

第三确定单元，配置为根据所述第一目标存储器和所述第一目标存储  
体对应的地址信息确定出所述写入地址信息，以便于将所述第一数据存储  
25 于所述写入地址信息指示的第一目标存储器中的第一目标存储体中。

上述方案中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，

所述调整单元，还配置为根据所述写入地址信息所指示的第一目标存储器，调小所述第一目标存储器对应的缓存使用量；以及根据所述写入地址信息所指示的第一目标存储体，调小所述第一目标存储体对应的缓存使用量。

上述方案中，所述数据处理装置还包括：

接收单元，配置为接收所述读出地址信息；

处理单元，配置为获取所述读出地址信息所指示的第二目标存储器以及所述第二目标存储器中的第二目标存储体。

上述方案中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，

所述调整单元，还配置为根据所述读出地址信息所指示的第二目标存储器，调大所述第二目标存储器对应的缓存使用量；以及根据所述读出地址信息所指示的第二目标存储体，调大所述第二目标存储体对应的缓存使用量。

本发明实施例所述的数据处理方法及其装置、存储介质，能够根据数据的存储变化情况调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，进而最大化地平均地使用每组存储器，以及每组存储器中的存储体，提高了存储器的利用率，同时提升了存储器的读写效率。

## 附图说明

图 1 为本发明实施例数据处理方法的实现流程示意图一；

图 2 为本发明实施例确定写入地址信息的步骤的流程示意图；

图 3 为本发明实施例数据处理装置的结构示意图一；

图 4 为本发明实施例数据处理方法的具体实现流程示意图;

图 5 为本发明实施例具体应用中数据处理装置与其他装置的连接结构示意图;

图 6 为本发明实施例概率曲线示意图;

5 图 7 为本发明实施例数据处理装置的结构示意图二;

图 8 为本发明实施例数据处理装置的结构示意图三。

### 具体实施方式

为了匹配数据流量,通常电子设备会使用多组 DDR SDRAM 芯片,比如在 200Gbps 的数据流量下,电子设备使用 8 组 DDR SDRAM 芯片;这里,由于 DDR SDRAM 芯片的特性,在同一 Bank 换行时需要预充电和激活,所以导致读写效率降低;为解决由于预充电和激活而导致的读写效率降低的问题,现有方式常采用 Bank 间轮询方法,提前对预执行命令的 Bank 进行预充电和激活操作,进而隐藏预充电和激活操作所用时间。进一步地,为了方便管理缓存地址,很多网络传输芯片都将接收到的报文切割为固定长度的分片;但实际上,网络传输芯片处理的报文长度是不定的,将报文切割成固定长度的分片进行存储的方式不仅有可能浪费缓存空间,而且还可能会浪费存储器的存取带宽。因此在公开号为 CN201110057810 的专利中提到了一种拼接的方法,即将尾部分片长度不满足分片长度的报文与下一报文的的首分片进行拼接,以确保分片长度固定,随后再进行处理,从而达到提高 DDR SDRAM 的读写效率和缓存利用率的目的。

但是上述通过 Bank 间轮询方法和拼接的方法虽然提高了读写效率,但是也存在很大的弊端。具体地,所述 Bank 间轮询虽然可以隐藏预充电和激活操作的时间,但是如果电子设备使用了多组 DDR SDRAM 芯片,仅仅通过 Bank 间轮询是不能解决提高缓存利用率的。例如,当电子设备使用 2 组 DDR SDRAM 芯片,写入时通过 Bank 间轮询的方式平均利用 2 组 DDR

SDRAM 芯片，但由于报文区分优先级，因此，高优先级的报文优先被调度出去；假设高优先级报文主要存储在编号为 0 的 DDR SDRAM 芯片中，则随着高优先级报文被调度出去，编号为 0 的 DDR SDRAM 芯片的可用缓存将增加，此时若采用 Bank 间轮询的方式确定缓存地址，由于 DDR SDRAM  
5 间没有切换，即 Bank 间轮询的方式并不会轮询到所述编号为 0 的 DDR SDRAM 芯片中的 Bank，因此编号为 0 的 DDR SDRAM 芯片并未得到充分地利用，所以降低了编号为 0 的 DDR SDRAM 芯片的缓存利用率。

进一步地，对于拼接的方法，报文写入时需要拼接操作，只有等拼接完成后才能被处理，因此，降低了报文写入时的效率；具体地，假设不需  
10 要拼接时报文的处理周期为  $T_0$ ，拼接操作的处理周期为  $T_1$ ，而拼接操作后在进行报文写入时间则变为  $T_0+T_1$ ，时间变长，如此，影响了报文的线速处理；进一步地，在报文被读出后需要进行解拼接，而这部分处理逻辑也是需要时间的，因此，拼接的方法延长了整个报文处理的周期，即延长了报文读写的处理周期。

15 因此，为解决上述问题，本发明实施例提供了一种数据处理方法及其装置、存储介质；为了能够更加详尽地了解本发明的特点与技术内容，下面结合附图对本发明的实现进行详细阐述，所附附图仅供参考说明之用，并非用来限定本发明。

本发明实施例的基本思想是：获取至少一个存储器对应的第一缓存特征参数；获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体设置于所述至少一个存储器中；当确定存在第一数据写入所述至少一个存储器中的至少一个存储体中时，根据写入地址信息调整存储器对应的  
20 第一缓存特征参数，以及调整存储体对应的第二缓存特征参数；当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的  
25

第二缓存特征参数。

### 实施例一

图 1 为本发明实施例数据处理方法的实现流程示意图；应用于数据处  
5 理装置；如图 1 所示，所述方法包括：

步骤 101：获取至少一个存储器对应的第一缓存特征参数；

步骤 102：获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体设置于所述至少一个存储器中；

步骤 103：当确定存在第一数据写入所述至少一个存储器中的至少一个  
10 存储体中时，根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数；

步骤 104：当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数。

15 本实施例中，存储器可以具体为 DDR，或者 DDR SDRAM。

在一具体实施例中，电子设备设置或连接有数据处理装置，所述数据处理装置中设置或连接有 N 组存储器，每组存储器中设置有 M 个存储体 (Bank)，其中，N 和 M 均为大于等于 1 的正整数；例如，所述数据处理装置中连接有 N 组 DDR SDRAM，每组 DDR SDRAM 包含有 M 个 Bank；  
20 此时，所述数据处理装置获取每组 DDR SDRAM 的第一缓存特征参数，共获取到 N 个；所述数据处理装置还获取每组 DDR SDRAM 对应的 M 个 Bank 的第二缓存特征参数，共  $M \times N$  个；如此，当有第一数据预存入至少一个存储器中的至少一个 Bank 中时，所述数据处理装置根据自身获取到的 N 个第一缓存特征参数，以及  $M \times N$  个第二缓存特征参数确定出第一数据对应的  
25 的写入地址信息；具体地，如图 2 所示，确定预写入数据对应的写入地址信息的步骤包括：

步骤 201: 根据所述至少一个存储器对应的第一缓存特征参数确定出第一目标存储器;

步骤 202: 根据至少一个存储体对应的第二缓存特征参数确定出第一目标存储体; 所述第一目标存储体设置于所述第一目标存储器中;

5 步骤 203: 根据所述第一目标存储器和所述第一目标存储体对应的地址信息确定出所述写入地址信息, 以便于将所述第一数据存储于所述写入地址信息指示的第一目标存储器中的第一目标存储体中。

这里, 值得注意的是, 所述第一目标存储体为所述第一目标存储器对应的存储体, 也即所述第一目标存储体设置于所述第一目标存储器中; 进一步地, 为确保所述第一目标存储体即为所述第一目标存储器中的存储体, 10 也就是说, 为避免所述数据处理装置获取非所述第一目标存储器的存储体对应的第二缓存特征参数, 降低自身效率, 本发明实施例中, 所述步骤 202, 还可以具体为:

在所述第一目标存储器对应的至少一个存储体中确定出至少一个存储体对应的第二缓存特征参数, 并根据所述第一目标存储器中的至少一个存储体对应的第二缓存特征参数确定出第一目标存储体。 15

如此, 根据确定出的所述第一目标存储体以及所述第一目标存储器确定出所述写入地址信息, 以便于将所述第一数据写入所述写入地址信息对应的第一目标存储器的第一目标存储体中。

20 本实施例中, 所述数据处理装置还会接收到所述读出地址信息; 进一步地, 当所述数据处理装置接收到所述读出地址信息后, 解析所述读出地址信息, 并根据解析结果获取所述读出地址信息所指示的第二目标存储器以及所述第二目标存储器中的第二目标存储体。

此时, 当所述第一数据写入所述第一目标存储器的第一目标存储体中 25 后, 显然会使得所述第一目标存储器对应的第一缓存特征参数、以及所述

第一目标存储体对应的第二缓存特征参数发现变化；同理，当所述第二数据从所述第二目标存储器中的第二目标存储体中被读出时，显然也会使所述第二目标存储器对应的第一缓存特征参数、以及所述第二目标存储体对应的第二缓存特征参数发现变化；因此，为使所述数据处理装置能够获取到存储器以及存储体的准确的缓存特征参数，进而便于有新的数据写入时，根据最新的缓存特征参数确定出与当前缓存特征匹配的新的写入地址信息，本发明实施例还需要调整存储器以及存储体的缓存特征参数，例如存在第一数据写入存储器中的存储体时，或者存在第二数据从存储器中的存储体中被读出时，均需要调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，具体地，

本实施例中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，

所述根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，包括：

根据所述写入地址信息所指示的第一目标存储器，调小所述第一目标存储器对应的缓存使用量；以及根据所述写入地址信息所指示的第一目标存储体，调小所述第一目标存储体对应的缓存使用量。

进一步地，所述根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，包括：

根据所述读出地址信息所指示的第二目标存储器，调大所述第二目标存储器对应的缓存使用量；以及根据所述读出地址信息所指示的第二目标存储体，调大所述第二目标存储体对应的缓存使用量。

本领域技术人员应该了解，在实际应用中，可以根据写入的第一数据的数据量，调小所述第一目标存储器对应的缓存使用量，以及调小所述第一目标存储体对应的缓存使用量；进一步地，根据读出的第二数据的数据

量，调大所述第二目标存储器对应的缓存使用量，以及调大所述第二目标存储体对应的缓存使用量。

这样，本发明实施例所述的数据处理方法能够根据数据的存储变化情况调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，进而最大化地平均地使用每组存储器，以及每组存储器中的存储体，提高了存储器的利用率；而且，当所述存储器为 DDR SDRAM 时，本发明实施例还能够隐藏 DDR SDRAM 的同 Bank 换行的预充电时间和激活时间，进而提高了 DDR SDRAM 的读写效率。

10 为实现实施例一所述的数据处理方法，本发明实施例还提供了一种数据处理装置，如图 3 所示，所述数据处理装置包括：

第一获取单元 31，配置为获取至少一个存储器对应的第一缓存特征参数；

15 第二获取单元 32，配置为获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体设置于所述至少一个存储器中；

调整单元 33，配置为当确定存在第一数据写入所述至少一个存储器中的至少一个存储体中时，根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数；

20 还配置为当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数。

本实施例中，所述数据处理装置还包括：

第一确定单元 34，配置为根据所述至少一个存储器对应的第一缓存特征参数确定出第一目标存储器；

25 第二确定单元 35，配置为根据至少一个存储体对应的第二缓存特征参数确定出第一目标存储体；所述第一目标存储体设置于所述第一目标存储

器中；

第三确定单元 36，配置为根据所述第一目标存储器和所述第一目标存储体对应的地址信息确定出所述写入地址信息，以便于将所述第一数据存储于所述写入地址信息指示的第一目标存储器中的第一目标存储体中。

5 本实施例中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，

所述调整单元 33，还配置为根据所述写入地址信息所指示的第一目标存储器，调小所述第一目标存储器对应的缓存使用量；以及根据所述写入地址信息所指示的第一目标存储体，调小所述第一目标存储体对应的缓存使用量。

本实施例中，所述数据处理装置还包括：

接收单元 37，配置为接收所述读出地址信息；

处理单元 38，配置为获取所述读出地址信息所指示的第二目标存储器以及所述第二目标存储器中的第二目标存储体。

15 本实施例中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，

所述调整单元 33，还配置为根据所述读出地址信息所指示的第二目标存储器，调大所述第二目标存储器对应的缓存使用量；以及根据所述读出地址信息所指示的第二目标存储体，调大所述第二目标存储体对应的缓存使用量。

本领域技术人员应当理解，本发明实施例的数据处理装置中各处理单元的功能，可参照前述数据处理方法的相关描述而理解。

在实际应用中，所述第一获取单元 31、第二获取单元 32、调整单元 33、第一确定单元 34、第二确定单元 35、第三确定单元 36、接收单元 37 以及处理单元 38 均可由中央处理单元（CPU，Central Processing Unit）、或数字

信号处理（DSP，Digital Signal Processor）、或现场可编程门阵列（FPGA，Field Programmable Gate Array）等来实现；所述CPU、DSP、FPGA均可内置于数据处理装置中。

5 本发明实施例还提出一种计算机可读存储介质，该存储介质包括一组指令，所述指令用于执行实施例一所述的数据处理方法。

应该理解到，在本申请所提供的实施例中，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。为进一步地说明，  
10 以下给出的具体实施例中，所述数据处理装置的划分方式与实施例一不同。

## 实施例二

图4为本发明实施例数据处理方法的具体实现流程示意图；本实施例中存储器具体为DDR SDRAM；所述数据处理方法运行于数据处理装置中；  
15 如图5所示，所述数据处理装置51与DDR控制器52连接；所述DDR控制器52与DDR SDRAM组53连接；也就是说，所述数据处理装置51通过所述DDR控制器52与所述DDR SDRAM组53连接；所述DDR SDRAM组中包含有一组或多组DDR SDRAM，每组DDR SDRAM包含有一个或多个Bank；本实施例中，报文数据的读写操作均是通过所述DDR SDRAM组  
20 实现的，而且，所有的报文数据都是遵循先写入后读出的处理流程的；具体地，如图4所示，所述方法包括：

步骤401：DDR控制器接收第一报文，并将接收的所述第一报文根据需要进行切片，分割成长度相同的一个或多个第一分片；

本实施例中，即使所述第一报文的包尾长度不能满足分片长度时，也  
25 可被当作一个完整分片。

步骤402：DDR控制器将一个或多个第一分片发送至所述数据处理装

置，并触发所述数据处理装置统计所述 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量，以及统计每一组 DDR SDRAM 中的每一个 Bank 的缓存使用量；

5 步骤 403：所述数据处理装置根据所述 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量，以及每一组 DDR SDRAM 中的每一个 Bank 的缓存使用量，确定出第一目标 DDR SDRAM，以及所述第一目标 DDR SDRAM 中的第一目标 Bank；

在实际应用中，所述数据处理装置根据预设规则确定出与缓存使用量对应的概率曲线，进而，使得所述数据处理装置根据所述 DDR SDRAM 组  
10 中的每一组 DDR SDRAM 的缓存使用量，以及每一组 DDR SDRAM 中的每一个 Bank 的缓存使用量，以及与缓存使用量对应的概率曲线确定出第一目标 DDR SDRAM，以及所述第一目标 DDR SDRAM 中的第一目标 Bank。

图 6 为本发明实施例概率曲线示意图；如图 6 所示，缓存使用量越大，该组 DDR SDRAM 被选中的概率就越小；当缓存使用量超过某个最大阈值，  
15 例如最大值（maxth），该组 DDR SDRAM 就不会被选中。

在一具体实施例中，所述数据处理装置根据所述 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量确定出第一目标 DDR SDRAM；进一步地，所述数据处理装置根据所述第一目标 DDR SDRAM 中的每一个 Bank 的缓存使用量确定出第一目标 Bank，此时，所述第一目标 Bank 即为所述  
20 第一目标 DDR SDRAM 中的 Bank。

步骤 404：所述数据处理装置根据所述第一目标 DDR SDRAM 以及所述第一目标 Bank 对应的地址信息确定出写入地址信息；

步骤 405：所述数据处理装置将所述写入地址信息发送至 DDR 控制器中，通过所述 DDR 控制器将所述第一报文中的一个或多个第一分片写入所述  
25 写入地址信息对应的第一目标 DDR SDRAM 的第一目标 Bank 中；

步骤 406: 当所述第一报文按照所述写入地址信息写入所述 DDR SDRAM 组后, 所述 DDR 控制器触发所述数据处理装置根据确定出的所述第一目标 DDR SDRAM 以及所述第一目标 Bank, 调整所述第一目标 DDR SDRAM 对应的缓存使用量, 以及调整所述第一目标 Bank 对应的缓存使用量;

本领域技术人员应该理解, 在实际应用中, 所述数据处理装置确定出的第一目标 DDR SDRAM 可以具体为目标 DDR SDRAM 对应的标识号, 称为 DDR SDRAM 号; 同理, 所述数据处理装置确定出的第一目标 Bank 也可以具体为目标 Bank 对应的标识号, 称为 Bank 号; 如此, 所述数据处理装置通过 DDR SDRAM 号确定出第一目标 DDR SDRAM, 通过 Bank 号在所述第一目标 DDR SDRAM 中确定出第一目标 Bank。

以上步骤即为报文的写入步骤; 在本实施例中, 所有的报文数据都是遵循先写入, 即步骤 401 至步骤 406 的过程, 再读出, 即步骤 407 至步骤 409。

步骤 407: 当所述第一报文需要被读出时, 所述数据处理装置接收到所述 DDR 控制器发送的读出地址信息, 解析所述读出地址信息, 并根据解析结果获取与所述读出地址信息对应的第二目标 DDR SDRAM, 以及所述第二目标 DDR SDRAM 对应的第二目标 Bank;

本实施例中, 由于被读出的是也是第一报文, 而所述第一报文是根据所述写入地址信息写入 DDR SDRAM 组中的, 所以所述读出地址信息与所述写入地址信息相同; 所述第二目标 DDR SDRAM 与所述第一目标 DDR SDRAM 相同, 所述第二目标 Bank 与所述第一目标 Bank 相同。

步骤 408: 所述 DDR 控制器根据所述读出地址信息从所述 DDR SDRAM 组中读出各第一分片, 并将各第一分片组合成完整的第一报文, 输出所述第一报文;

在一具体实施例中，所述数据处理装置将自身确定出的所述第二目标 DDR SDRAM 以及所述第二目标 Bank 发送至所述 DDR 控制器中，进而使得所述 DDR 控制器根据所述第二目标 DDR SDRAM 以及所述第二目标 Bank 读出各第一分片，并将各第一分片组合成完整的第一报文，以输出所述第一报文。

步骤 409：当确定所述第一报文被读出后，所述 DDR 控制器触发所述数据处理装置根据与所述读出地址信息对应的第二目标 DDR SDRAM，以及所述第二目标 DDR SDRAM 对应的第二目标 Bank，调整所述第二目标 DDR SDRAM 对应的缓存使用量，以及调整所述第二目标 Bank 对应的缓存使用量，以释放与所述读地址信息对应的缓存空间。

这样，当再有报文预写入 DDR SDRAM 组时，能够使所述数据处理装置获取到所述 DDR SDRAM 组中的每一组 DDR SDRAM 的最新的缓存使用量，以及每一组 DDR SDRAM 中的每一个 Bank 的最新的缓存使用量，并根据最新的缓存使用量确定出与当前缓存使用量相匹配的新的写入地址信息，如此，最大化地、平均地使用每组 DDR SDRAM，以及每组 DDR SDRAM 中的每个 Bank，进而提高 DDR SDRAM 组的缓存利用率，提高 DDR SDRAM 组的读写效率。

为实现实施例二所述的数据处理方法，本发明实施例还提供了一种数据处理装置，如图 7 所示，所述数据处理装置包括：

包处理模块 71，配置为接收 DDR 控制器发送的一个或多个第一分片；还配置为将一个或多个第一分片发送至 DDR 处理模块和 Bank 处理模块；

还配置为获取与所述读出地址信息对应的第二目标存储器以及获取所述第二目标存储器中的第二目标存储体；具体地，所述包处理模块 71 还配置为获取与读出地址信息对应的第二目标存储器的 DDR SDRAM 号，以及获取与读出地址信息对应的第二目标存储体的 Bank 号。

DDR 处理模块 72, 配置为接收所述包处理模块 71 发送的一个或多个第一分片, 并触发自身统计 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量, 并根据预设规则确定出所述一个或多个第一分片对应的第一目标 DDR SDRAM, 进而将确定出的第一目标 DDR SDRAM 发送至地址模块;

5 还配置为当第一报文写入所述 DDR SDRAM 组时, 调整与所述写入地址信息对应的所述第一目标 DDR SDRAM 的缓存使用量, 具体地增加所述第一目标 DDR SDRAM 对应的缓存使用量; 还配置为当第二报文被读出所述 DDR SDRAM 组时, 调整与所述读出地址信息对应的所述第二目标 DDR SDRAM 的缓存使用量, 具体地减少与所述读出地址信息对应的所述第二目标  
10 标 DDR SDRAM 的缓存使用量。

在一具体实施例中, 如图 8 所示, 所述 DDR 处理模块 72 包括: DDR 统计子模块 721、DDR 选择概率子模块 722 和 DDR 综合判断子模块 723; DDR 统计子模块和 DDR 选择概率子模块的个数均与 DDR SDRAM 的组数相对应; 具体地,

15 DDR 统计子模块 721, 配置为跟踪并统计 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量; 这里, 在一优选实施例中, 有几组 DDR SDRAM, 就需要几个 DDR 统计子模块; 每一个 DDR 统计子模块 721 配置为跟踪并统计 DDR SDRAM 组中的某一组 DDR SDRAM 的缓存使用量; 进而通过多组 DDR 统计子模块 721 跟踪并统计 DDR SDRAM 组中的所有  
20 DDR SDRAM 的缓存使用量; 进一步地, DDR 统计子模块还配置为当第一报文写入所述 DDR SDRAM 组时, 调整与所述写入地址信息对应的所述第一目标 DDR SDRAM 的缓存使用量, 具体地增加所述第一目标 DDR SDRAM 对应的缓存使用量; 还配置为当第二报文被读出所述 DDR SDRAM 组时, 调整与所述读出地址信息对应的所述第二目标 DDR SDRAM 的缓存  
25 使用量, 具体地减少与所述读出地址信息对应的所述第二目标 DDR

SDRAM 的缓存使用量。

DDR 选择概率子模块 722, 配置为根据 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量选取出概率曲线以及控制逻辑; 还配置为根据 DDR SDRAM 组中的每一组 DDR SDRAM 的缓存使用量、概率曲线和控制逻辑确定出与每一组 DDR SDRAM 对应的概率值; 还配置为根据与每一组 DDR SDRAM 对应的概率值以及控制逻辑确定出与该概率值对应的某一组 DDR SDRAM 是否被选中; 具体地, 某一组 DDR SDRAM 的缓存使用量越大, 被选中的概率越小; 在一优选实施例中, DDR 选择概率子模块 722 与 DDR 统计子模块 721 一一对应, 也就是说, 每个 DDR 选择概率子模块 722 与 DDR 统计子模块 721 均对应一个 DDR SDRAM 组, 且每组 DDR SDRAM 对应一个概率曲线。这里, DDR 选择概率子模块只在分片输入时起作用, 分片输出时无效; 也就是说, 当第一数据写入所述 DDR SDRAM 组时, DDR 选择概率子模块起作用; 当所述第二数据被读出所述 DDR SDRAM 组时, DDR 选择概率子模块不起作用。

DDR 综合判断子模块 723, 配置为根据 DDR 选择概率子模块输出的表示本组 DDR SDRAM 是否被选中的信息及自身的判断逻辑选择出第一目标 DDR SDRAM; 具体地, 选择出第一目标 DDR SDRAM 对应的 DDR SDRAM 号; 还配置为将所述第一目标 DDR SDRAM 发送至 Bank 处理模块和地址模块; 具体地, 将所述第一目标 DDR SDRAM 对应的 DDR SDRAM 号发送至 Bank 处理模块和地址模块; 在一优选实施例中, 所述 DDR 综合判断子模块 723 仅设置有一个, 也就是说, 多个 DDR 选择概率子模块 722 与多个 DDR 统计子模块 721 对应一个 DDR 综合判断子模块 723。这里, 所述 DDR 综合判断子模块只在分片输入时起作用, 分片输出时无效; 也就是说, 当第一数据写入所述 DDR SDRAM 组时, 所述 DDR 综合判断子模块起作用; 当所述第二数据被读出所述 DDR SDRAM 组时, 所述 DDR 综合判断子模

块不起作用。

在一具体实施例中，若存在多组 DDR SDRAM 被选中的情况，则结合当前被选中的 DDR SDRAM 号，并根据某种选择算法进行处理，进而确定出唯一的第一个目标 DDR SDRAM，并将确定的唯一的第一个目标 DDR SDRAM 发送至 Bank 处理模块和地址模块；例如，确定出唯一的第一个目标 DDR SDRAM 对应的 DDR SDRAM 号，并将唯一的第一个目标 DDR SDRAM 对应的 DDR SDRAM 号发送至 Bank 处理模块和地址模块。这里，所述选择算法可以是轮询调度（RR）算法、拥塞管理算法（WFQ）等。

所述 Bank 处理模块 73，配置为接收所述包处理模块 71 发送的一个或多个第一个分片，并触发自身跟踪并统计 DDR SDRAM 组中的每一个 Bank 的缓存使用量；还配置为接收所述第一个目标 DDR SDRAM，并根据预设规则在所述第一个目标 DDR SDRAM 中确定出与所述一个或多个第一个分片对应的第一个目标 Bank，进而将所述第一个目标 Bank 发送至地址模块；

还配置为当第一报文写入所述 DDR SDRAM 组时，调整与所述写入地址信息对应的所述第一个目标 Bank 的缓存使用量，具体地增加所述第一个目标 Bank 对应的缓存使用量；还配置为当第二报文被读出所述 DDR SDRAM 组时，调整与所述读出地址信息对应的所述第二个目标 Bank 的缓存使用量，具体地减少与所述读出地址信息对应的所述第二个目标 Bank 的缓存使用量。

在一具体实施例中，所述 Bank 处理模块 73 包括：Bank 统计子模块 731、Bank 选择概率子模块 732、Bank 综合判断子模块 733 以及多路选择子模块（MUX）734；在一优选实施例中，如图 8 所示，每一个 Bank 对应一个 Bank 统计子模块 731、Bank 选择概率子模块 732；但是，每组 DDR SDRAM 中的一个或多个 Bank 对应的 Bank 统计子模块 731、Bank 选择概率子模块 732 被绑定成一组；每一组 DDR SDRAM 中的所有 Bank 对应一个 Bank 综合判断子模块，所有的 Bank 综合判断子模块对应一个多路选择子模块 734；具

体地，

Bank 统计子模块 731，配置为跟踪并统计 DDR SDRAM 组中的每一 Bank 的缓存使用量；进一步地，还配置为当第一报文写入所述 DDR SDRAM 组时，调整与所述写入地址信息对应的所述第一目标 Bank 的缓存使用量，  
5 具体地增加所述第一目标 Bank 对应的缓存使用量；还配置为当第二报文被读出所述 DDR SDRAM 组时，调整与所述读出地址信息对应的所述第二目标 Bank 的缓存使用量，具体地减少与所述读出地址信息对应的所述第二目标 Bank 的缓存使用量。

这里，在实际应用中，所用 DDR SDRAM 组数的不同，以及每组 DDR  
10 SDRAM 中的 Bank 的个数不同，Bank 统计子模块和 Bank 选择概率子模块的个数不一样。以 Bank 统计子模块为例，Bank 选择概率子模块与 Bank 统计子模块相似；假设系统使用了 8 组 DDR SDRAM，每组 DDR SDRAM 有 8 个 Bank，则一共需要 64 个 Bank 统计子模块。但是 64 个 Bank 统计子模块不是完全独立的，而是每 8 个 Bank 统计模块被绑定成一组，对应一组  
15 DDR SDRAM。在实际应用中，每写入一个第一分片时，第一分片所属 Bank 的缓存使用量增加 1；相反地，分片输出时，分片所属 Bank 的使用量减去 1。

Bank 选择概率子模块 732，配置为根据 DDR SDRAM 组中的每一 Bank 的缓存使用量选取概率曲线；还配置为根据每一 Bank 的缓存使用量，以及  
20 概率曲线确定出每一 Bank 对应的概率值；还配置为根据每一 Bank 对应的概率值确定出与该概率值对应的某一 Bank 是否被选中；具体地，某一组 Bank 的缓存使用量越大，被选中的概率越小；这里，Bank 选择概率子模块只在分片输入时起作用，分片输出时无效；也就是说，当第一数据写入所述 DDR SDRAM 组时，Bank 选择概率子模块起作用；当所述第二数据被读  
25 出所述 DDR SDRAM 组时，Bank 选择概率子模块不起作用。在一具体实施

例中，每个 Bank 或每组 DDR SDRAM 或所有组 DDR SDRAM 对应一个概率曲线。

Bank 综合判断子模块 733，配置为根据 Bank 选择概率子模块输出的表示本 Bank 是否被选中的信息以及自身的判断逻辑确定出第一疑似目标 Bank; 还配置为将确定出的第一疑似目标 Bank 发送至多路选择子模块 734; 这里，Bank 综合判断子模块只在分片输入时起作用，分片输出时无效; 也就是说，当第一数据写入所述 DDR SDRAM 组时，Bank 综合判断子模块起作用; 当所述第二数据被读出所述 DDR SDRAM 组时，Bank 综合判断子模块不起作用。

多路选择子模块 734，配置为接收所述第一目标 DDR SDRAM 以及第一疑似目标 Bank; 还配置为根据接收到的第一疑似目标 Bank，以及所述第一目标 DDR SDRAM，在所述第一目标 DDR SDRAM 中确定出第一目标 Bank; 具体地，在所述第一目标 DDR SDRAM 中确定出第一目标 Bank 对应的 Bank 号; 还配置为将所述第一目标 Bank 发送至地址模块。

在一具体实施例中，Bank 综合判断子模块接收输入的属于一组 DDR SDRAM 的多个 Bank 的信息，结合上次被选中的 Bank 对应的信息，根据某个选择算法，比如 RR 轮询、WFQ 等，确定当前被选中的 Bank 号，也即第一疑似目标 Bank 对应的 Bank 号。如果存在多组 DDR SDRAM，就会有对应的多个 Bank 号。此时，将多个 Bank 号，也即多个第一疑似目标 Bank 对应的 Bank 号发送至多路选择子模块; 进而使所述多路选择子模块需要根据 DDR 处理模块输出的第一目标 DDR SDRAM 对应的 DDR SDRAM 号，在所述第一目标 DDR SDRAM 中确定出第一目标 Bank 对应的 Bank 号。

所述地址模块 74，配置为接收第一目标 DDR SDRAM，以及所述第一目标 DDR SDRAM 中的第一目标 Bank，并根据所述第一目标 DDR SDRAM 以及所述第一目标 Bank 确定出写入地址信息; 还配置为将所述写入地址信

息发送至 DDR 控制模块。

在实际应用中，所述包处理模块 71、DDR 处理模块 72、Bank 处理模块 73 以及地址模块 74 均可由中央处理单元(CPU, Central Processing Unit)、或数字信号处理 (DSP, Digital Signal Processor)、或现场可编程门阵列  
5 (FPGA, Field Programmable Gate Array) 等来实现；所述 CPU、DSP、FPGA 均可内置于数据处理装置中。

本发明实施例所述的数据处理方法及装置，能够最大化平均地利用缓存空间，避免了过度使用或过少使用某组或某些 DDR SDRAM，以及 DDR SDRAM 中某个或某些 Bank 的情况；同时，还能够尽可能地平均使用各组  
10 DDR SDRAM 及 DDR SDRAM 中的每个 Bank，进而隐藏预充电时间和激活时间，避免了同 Bank 换行导致的读写效率下降的问题。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结  
15 合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图  
20 图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功  
25 能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理

设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

5 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

10 以上所述仅是本发明实施例的实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明实施例原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本发明实施例的保护范围。

### 工业实用性

15 本发明实施例能够根据数据的存储变化情况调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，进而最大化地平均地使用每组存储器，以及每组存储器中的存储体，提高了存储器的利用率，同时提升了存储器的读写效率。

## 权利要求书

1、一种数据处理方法，包括：

获取至少一个存储器对应的第一缓存特征参数；

5 获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体  
设置于所述至少一个存储器中；

当确定存在第一数据写入所述至少一个存储器中的至少一个存储体中  
时，根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存  
储体对应的第二缓存特征参数；

10 当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体  
中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整  
存储体对应的第二缓存特征参数。

2、根据权利要求1所述的方法，其中，所述方法还包括：

根据所述至少一个存储器对应的第一缓存特征参数确定出第一目标存  
储器；

15 根据至少一个存储体对应的第二缓存特征参数确定出第一目标存储  
体；所述第一目标存储体设置于所述第一目标存储器中；

根据所述第一目标存储器和所述第一目标存储体对应的地址信息确定  
出所述写入地址信息，以便于将所述第一数据存储于所述写入地址信息指  
示的第一目标存储器中的第一目标存储体中。

20 3、根据权利要求2所述的方法，其中，所述第一缓存特征参数和所述  
第二缓存特征参数均表征缓存使用量；对应地，

所述根据写入地址信息调整存储器对应的第一缓存特征参数，以及调  
整存储体对应的第二缓存特征参数，包括：

根据所述写入地址信息所指示的第一目标存储器，调小所述第一目标

存储器对应的缓存使用量；以及根据所述写入地址信息所指示的第一目标存储体，调小所述第一目标存储体对应的缓存使用量。

4、根据权利要求 1 所述的方法，其中，所述方法还包括：

接收所述读出地址信息；

5 获取所述读出地址信息所指示的第二目标存储器以及所述第二目标存储器中的第二目标存储体。

5、根据权利要求 4 所述的方法，其中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，

10 所述根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数，包括：

根据所述读出地址信息所指示的第二目标存储器，调大所述第二目标存储器对应的缓存使用量；以及根据所述读出地址信息所指示的第二目标存储体，调大所述第二目标存储体对应的缓存使用量。

6、一种数据处理装置，包括：

15 第一获取单元，配置为获取至少一个存储器对应的第一缓存特征参数；

第二获取单元，配置为获取至少一个存储体对应的第二缓存特征参数；所述至少一个存储体设置于所述至少一个存储器中；

20 调整单元，配置为当确定存在第一数据写入所述至少一个存储器中的至少一个存储体中时，根据写入地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数；

还配置为当确定存在第二数据被读出所述至少一个存储器中的至少一个存储体中时，根据读出地址信息调整存储器对应的第一缓存特征参数，以及调整存储体对应的第二缓存特征参数。

25 7、根据权利要求 6 所述的数据处理装置，其中，所述数据处理装置还包括：

第一确定单元，配置为根据所述至少一个存储器对应的第一缓存特征参数确定出第一目标存储器；

第二确定单元，配置为根据至少一个存储体对应的第二缓存特征参数确定出第一目标存储体；所述第一目标存储体设置于所述第一目标存储器  
5 中；

第三确定单元，配置为根据所述第一目标存储器和所述第一目标存储体对应的地址信息确定出所述写入地址信息，以便于将所述第一数据存储于所述写入地址信息指示的第一目标存储器中的第一目标存储体中。

8、根据权利要求 7 所述的数据处理装置，其中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，  
10

所述调整单元，还配置为根据所述写入地址信息所指示的第一目标存储器，调小所述第一目标存储器对应的缓存使用量；以及根据所述写入地址信息所指示的第一目标存储体，调小所述第一目标存储体对应的缓存使用量。

9、根据权利要求 6 所述的数据处理装置，其中，所述数据处理装置还包括：  
15

接收单元，配置为接收所述读出地址信息；

处理单元，配置为获取所述读出地址信息所指示的第二目标存储器以及所述第二目标存储器中的第二目标存储体。

10、根据权利要求 9 所述的数据处理装置，其中，所述第一缓存特征参数和所述第二缓存特征参数均表征缓存使用量；对应地，  
20

所述调整单元，还配置为根据所述读出地址信息所指示的第二目标存储器，调大所述第二目标存储器对应的缓存使用量；以及根据所述读出地址信息所指示的第二目标存储体，调大所述第二目标存储体对应的缓存使用量。  
25

11、一种计算机可读存储介质，该存储介质包括一组指令，所述指令用于执行权利要求 1 至 5 任一项所述的数据处理方法。

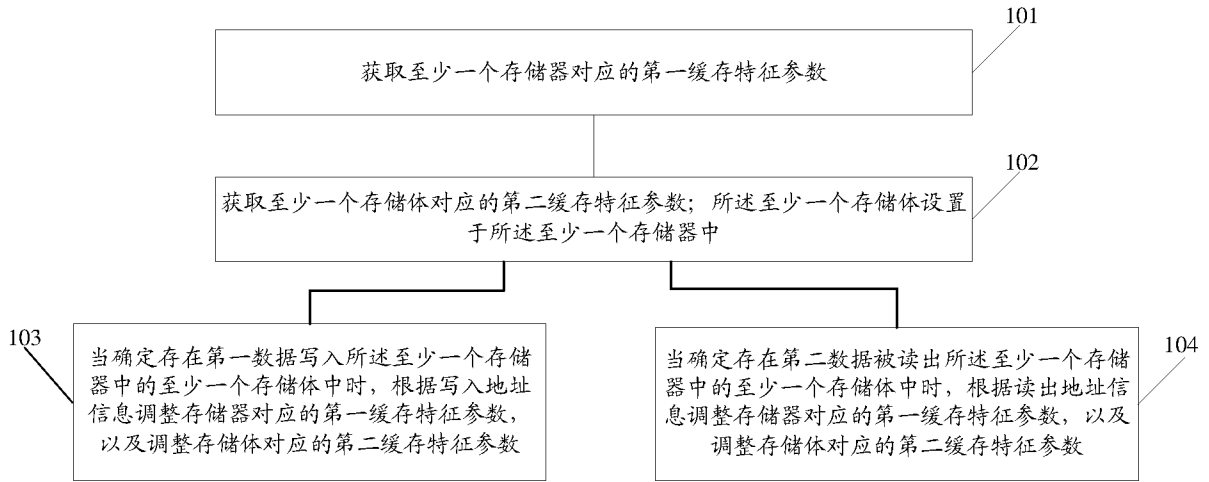


图 1

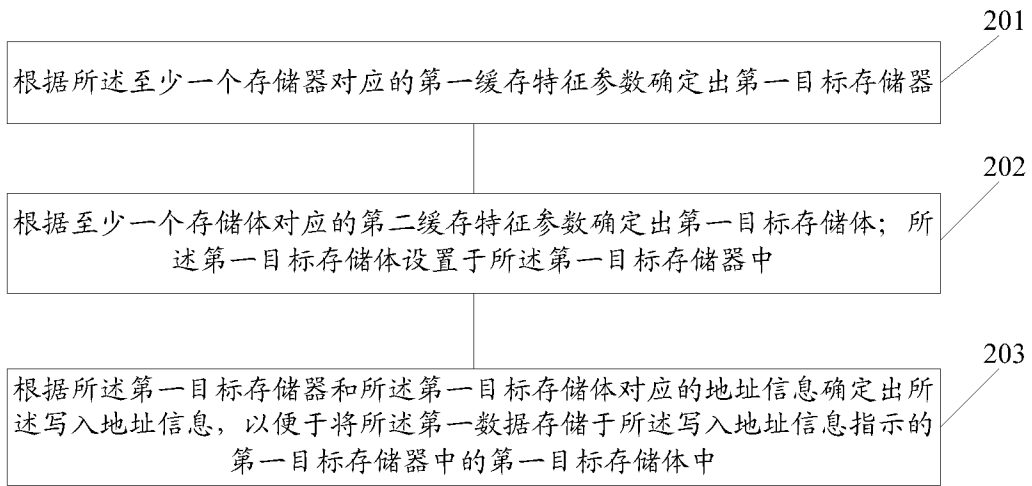


图 2

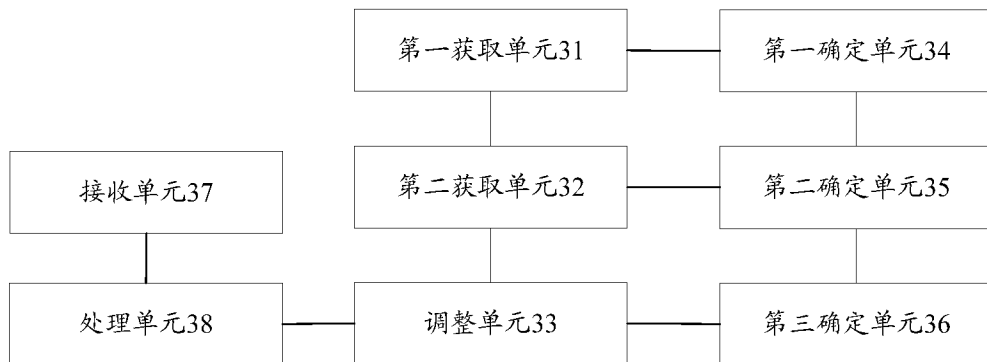


图 3

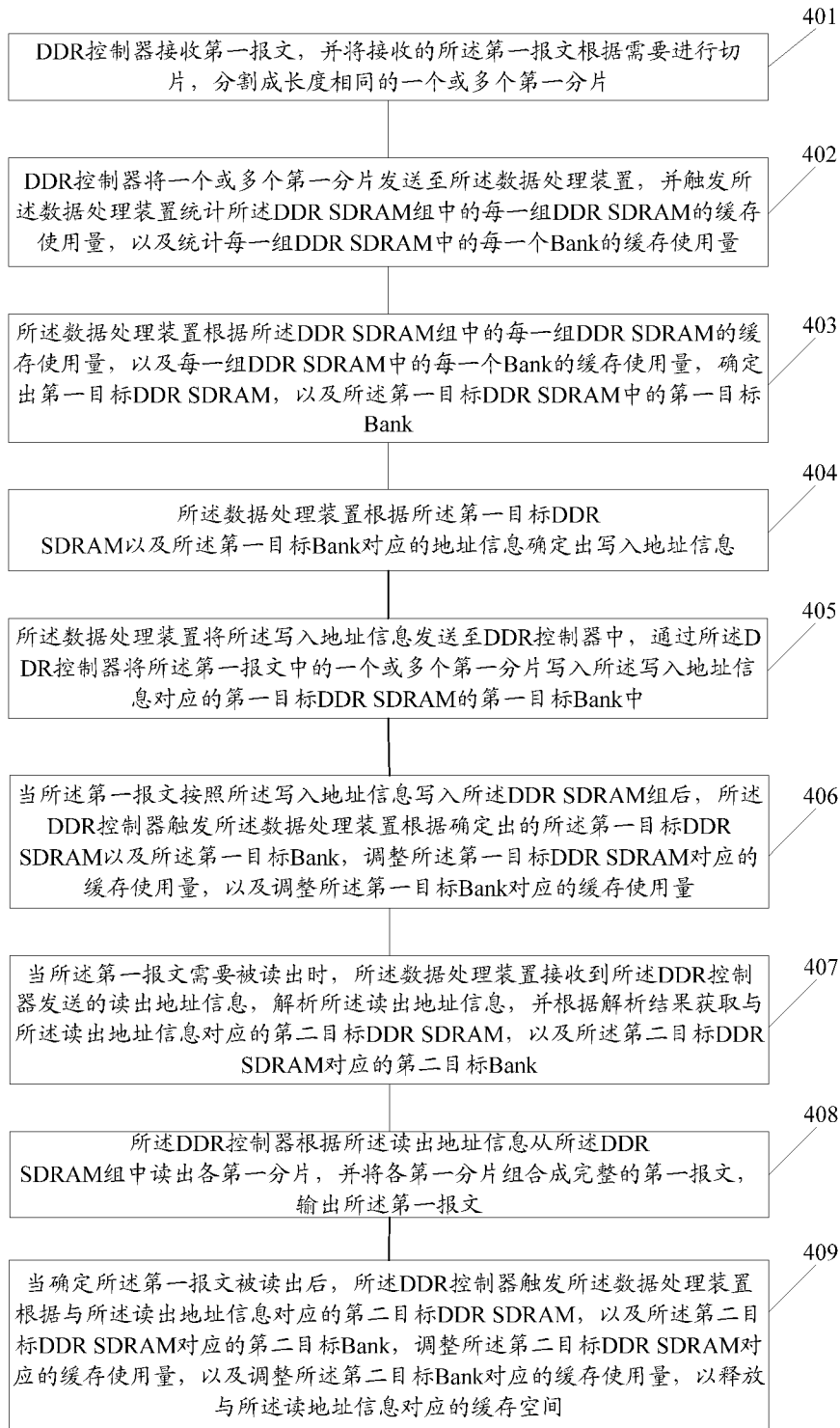


图 4



图 5

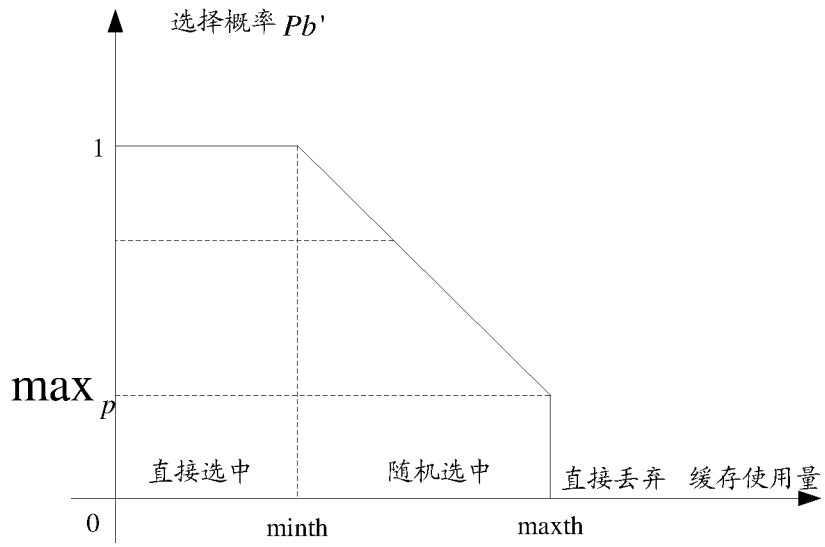


图 6

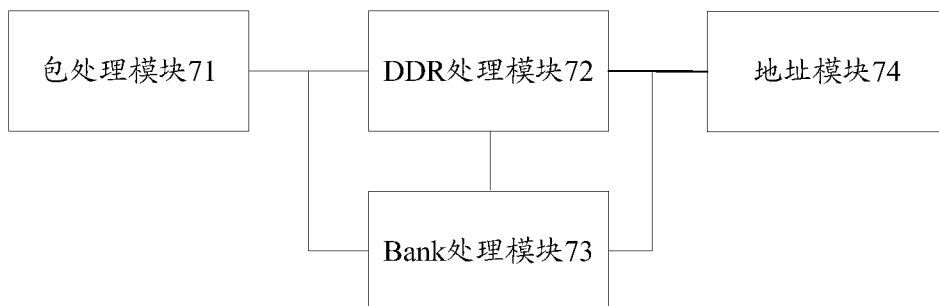


图 7

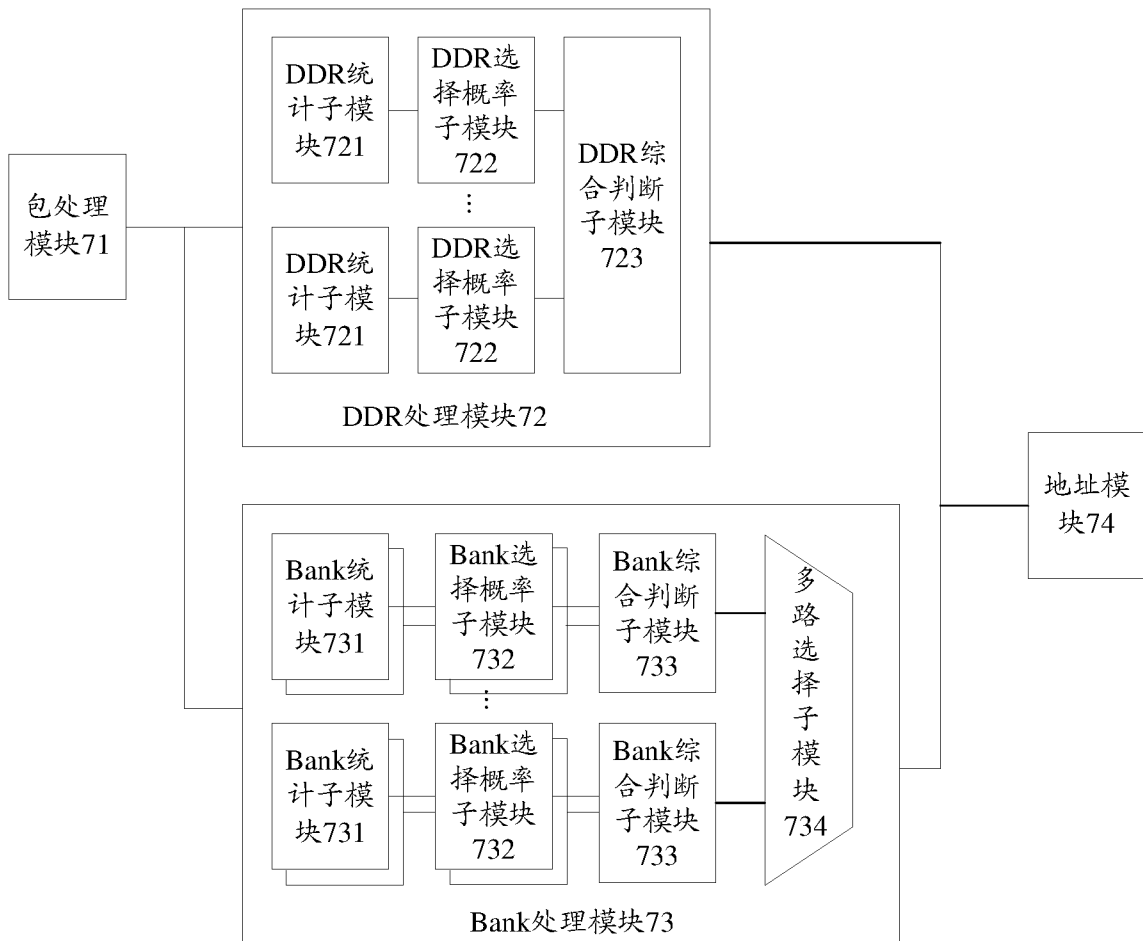


图 8

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2016/081615**

## A. CLASSIFICATION OF SUBJECT MATTER

G06F 12/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE, GOOGLE: memory bank, storage unit, amount, update, determine, average, storage, memory, DDR, SDRAM, bank, writ+, read+, access+, address+, space, size, adjust+, select+, even+, equal+

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102096562 A (HUAWEI TECHNOLOGIES CO., LTD.), 15 June 2011 (15.06.2011), description, paragraphs [0002]-[0036]	1-11
Y	CN 103425437 A (HUAWEI TECHNOLOGIES CO., LTD.), 04 December 2013 (04.12.2013), description, paragraphs [0003]-[0023]	1-11
A	CN 103605478 A (HUAWEI TECHNOLOGIES CO., LTD.), 26 February 2014 (26.02.2014), the whole document	1-11
A	US 6912616 B2 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.), 28 June 2005 (28.06.2005), the whole document	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 27 July 2016 (27.07.2016)	Date of mailing of the international search report <b>16 August 2016 (16.08.2016)</b>
--	--

<p>Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451</p>	<p>Authorized officer  <b>MA, Xiaoyu</b>  Telephone No.: (86-10) <b>010-62413694</b></p>
---	--

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2016/081615**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102096562 A	15 June 2011	US 2012206981 A1	16 August 2012
CN 103425437 A	04 December 2013	None	
CN 103605478 A	26 February 2014	None	
US 6912616 B2	28 June 2005	JP 2004164641 A	10 June 2004

国际检索报告

国际申请号

PCT/CN2016/081615

<p>A. 主题的分类</p> <p>G06F 12/06 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>WPI, EPODOC, CNPAT, CNKI, IEEE, GOOGLE: 存储器, 内存, 存储体, 存储单元, 写, 访问, 读, 地址, 空间, 量, 大小, 调整, 更新, 选择, 确定, 均衡, 均匀, 平均, storage, memory, DDR, SDRAM, bank, writ+, read+, access+, address+, space, size, adjust+, select+, even+, equal+</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 102096562 A (华为技术有限公司) 2011年 6月 15日 (2011 - 06 - 15) 说明书第[0002]-[0036]段</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>CN 103425437 A (华为技术有限公司) 2013年 12月 4日 (2013 - 12 - 04) 说明书第[0003]-[0023]段</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 103605478 A (华为技术有限公司) 2014年 2月 26日 (2014 - 02 - 26) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 6912616 B2 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 2005年 6月 28日 (2005 - 06 - 28) 全文</td> <td>1-11</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 102096562 A (华为技术有限公司) 2011年 6月 15日 (2011 - 06 - 15) 说明书第[0002]-[0036]段	1-11	Y	CN 103425437 A (华为技术有限公司) 2013年 12月 4日 (2013 - 12 - 04) 说明书第[0003]-[0023]段	1-11	A	CN 103605478 A (华为技术有限公司) 2014年 2月 26日 (2014 - 02 - 26) 全文	1-11	A	US 6912616 B2 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 2005年 6月 28日 (2005 - 06 - 28) 全文	1-11
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	CN 102096562 A (华为技术有限公司) 2011年 6月 15日 (2011 - 06 - 15) 说明书第[0002]-[0036]段	1-11															
Y	CN 103425437 A (华为技术有限公司) 2013年 12月 4日 (2013 - 12 - 04) 说明书第[0003]-[0023]段	1-11															
A	CN 103605478 A (华为技术有限公司) 2014年 2月 26日 (2014 - 02 - 26) 全文	1-11															
A	US 6912616 B2 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 2005年 6月 28日 (2005 - 06 - 28) 全文	1-11															
<p>国际检索实际完成的日期</p> <p>2016年 7月 27日</p>	<p>国际检索报告邮寄日期</p> <p>2016年 8月 16日</p>																
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10) 62019451</p>	<p>受权官员</p> <p>马晓宇</p> <p>电话号码 (86-10) 010-62413694</p>																

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/081615

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102096562	A	2011年 6月 15日	US	2012206981	A1	2012年 8月 16日
CN	103425437	A	2013年 12月 4日	无			
CN	103605478	A	2014年 2月 26日	无			
US	6912616	B2	2005年 6月 28日	JP	2004164641	A	2004年 6月 10日

表 PCT/ISA/210 (同族专利附件) (2009年7月)