

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月26日(26.01.2017)



(10) 国際公開番号

WO 2017/014300 A1

- (51) 国際特許分類:
H02J 7/02 (2016.01)
- (21) 国際出願番号: PCT/JP2016/071577
- (22) 国際出願日: 2016年7月22日(22.07.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-145110 2015年7月22日(22.07.2015) JP
- (71) 出願人: 日本蓄電器工業株式会社 (JAPAN CAPACITOR INDUSTRIAL CO., LTD.) [JP/JP]; 〒1970013 東京都福生市武蔵野台1丁目23番地1 Tokyo (JP). 国立研究開発法人宇宙航空研究開発機構 (JAPAN AEROSPACE EXPLORATION AGENCY) [JP/JP]; 〒1828522 東京都調布市深大寺東町七丁目4番地1 Tokyo (JP).
- (72) 発明者: 鵜野 将年 (UNO Masatoshi); 〒3168511 茨城県日立市中成沢町四丁目12番1号 国立大

学法人茨城大学 工学部内 Ibaraki (JP). 久木田 明夫 (KUKITA Akio); 〒2525210 神奈川県相模原市中央区由野台3-1-1 国立研究開発法人宇宙航空研究開発機構 宇宙科学研究所内 Kanagawa (JP). 伊藤 和重 (ITO Kazushige); 〒1970013 東京都福生市武蔵野台1丁目23番地1 日本蓄電器工業株式会社内 Tokyo (JP). 関戸 謹 (SEKIDO Tsutomu); 〒1970013 東京都福生市武蔵野台1丁目23番地1 日本蓄電器工業株式会社内 Tokyo (JP).

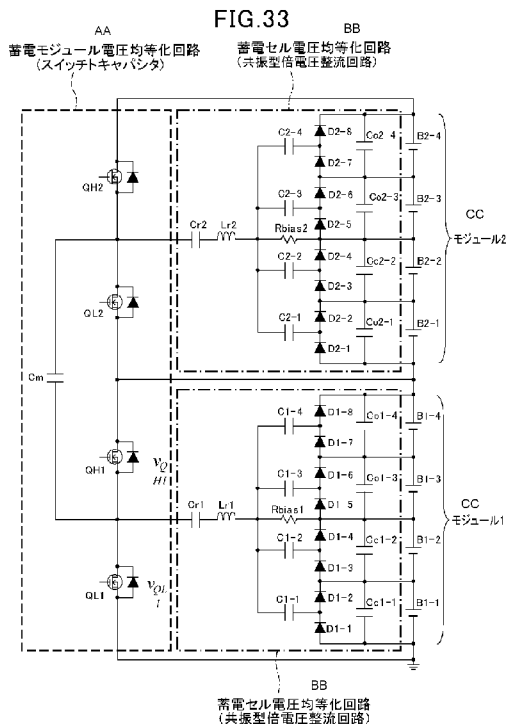
(74) 代理人: 西島 孝喜, 外 (NISHIJIMA Takaki et al.); 〒1008355 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,

[続葉有]

(54) Title: VOLTAGE EQUALIZATION CIRCUIT SYSTEM

(54) 発明の名称: 電圧均等化回路システム



AA Electricity storage module voltage equalization circuit (switched capacitor)
BB Electricity storage cell voltage equalization circuit (resonance-type double-voltage rectifier circuit)
CC Module

(57) Abstract: Provided is an equalization circuit system in which the total number of switches is reduced and the system configuration is simplified. An electricity storage cell voltage equalization circuit is operated using the square wave voltage occurring in a switching node of an electricity storage module voltage equalization circuit as an input voltage, whereby the electricity storage cell voltage equalization circuit is made switchless. As a typical electricity storage cell voltage equalization circuit, a resonance-type double-voltage rectifier circuit can be used, and as the electricity storage module voltage equalization circuit, a switched capacitor, a resonance-type double-voltage rectifier circuit, a step-up/down converter, etc. can be used.

(57) 要約: 総スイッチ数を削減してシステム構成を簡素化した均等化回路システムを提供する。蓄電モジュール電圧均等化回路内のスイッチングノードにおいて発生する矩形波状電圧を入力電圧として蓄電セル電圧均等化回路を動作させることにより、蓄電セル電圧均等化回路をスイッチレス化する。典型的な蓄電セル電圧均等化回路としては共振型倍電圧整流回路を用いることができ、また蓄電モジュール電圧均等化回路としては、スイッチトキャパシタ、共振型倍電圧整流回路、昇降圧コンバータ等を用いることができる。



LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電圧均等化回路システム

技術分野

[0001] 本発明は、複数個の蓄電セル（コンデンサ、二次電池、電気二重層キャパシタ、等）の直列接続により構成される蓄電モジュールにおいて、各蓄電セルの電圧を均等化する均等化回路システムに関する。

背景技術

[0002] 二次電池や電気二重層キャパシタ等の蓄電セルは所望の電圧を得るために複数個の蓄電セルを直列に接続することにより蓄電モジュールを構成して使用される。また、比較的大きな電力及びエネルギーが必要な用途においてはこれらの蓄電モジュールを更に直列に接続し蓄電システムを構成して使用する。

[0003] 上述の蓄電モジュール及び蓄電システムにおいては繰り返し充放電を行ううちに、各蓄電セルの容量、内部抵抗、環境温度、自己放電等のばらつきに起因した蓄電セル電圧のばらつきが発生する。一般的に電圧ばらつきが発生した蓄電モジュールや蓄電システムにおいては、劣化の加速的進行および利用可能エネルギーの低下等といった問題が発生する。このような問題を解消するために、各種の電圧均等化回路が提案されている。

[0004] 規模の大きな蓄電システムでは、上述の蓄電セル電圧のばらつきの発生要因のうち環境温度に起因した電圧ばらつきの発生が深刻になる傾向がある。一般的に、システムの規模が大きい場合は必然的にシステムの物理的サイズも大きくなるため、規模の大きな蓄電システム内の温度分布を均一にすることは困難となる。一方で、蓄電システムを構成する各蓄電モジュールの物理的サイズは蓄電システムと比較して小さいため、蓄電モジュール内の温度分布は比較的小さくなる。言い換えると、各蓄電モジュール内の温度は比較的均一であるため各蓄電セル電圧のばらつきの程度は比較的小さく、一方で各蓄電モジュールの間には比較的大きな温度ばらつきがあるため各蓄電モジュ

ールの電圧ばらつきの程度は大きくなる傾向にある。

先行技術文献

特許文献

[0005] 特許文献1：特開 2 0 1 3 - 1 8 3 5 5 7 号公報

特許文献2：特開 2 0 1 1 - 5 5 6 4 8 号公報

非特許文献

[0006] 非特許文献1：H. S. Park, C. H. Kim, K. B. Park, G. W. Moon, and J. H. Lee, “Design of a charge equalizer based on battery modularization,” IEEE Transactions on Vehicular Technology, vol. 58, no. 7, pp. 3216-3223, 2009.

非特許文献2：鵜野将年、久木田明夫 “直列共振形多段倍電圧整流回路を用いた二石式セルバランス回路－充放電器との統合化に適した動作モードについての検討－,” 電子情報通信学会（電子通信エネルギー研究会）、信学技報 vol.114, no.63, pp.7-12.

発明の概要

発明が解決しようとする課題

[0007] 一般的に、電圧ばらつきの程度が大きいほど電圧均等化回路には大きな容量（電力容量）が求められる。上述のとおり、各蓄電モジュール内の蓄電セルの電圧ばらつきの程度は低く、各蓄電モジュール間の電圧ばらつきの程度は大きくなる傾向にある。よって、各蓄電モジュール内（即ちセル用）と蓄電モジュール間（即ちモジュール用）とで異なる電圧均等化回路を採用するのが有効である。蓄電モジュール内の蓄電セル電圧均等化回路と蓄電モジュール電圧均等化回路に異なる均等化回路方式を用いた方式が提案されている。システムの概念図を図 1 に示す。

[0008] 蓄電モジュール内の均等化と蓄電モジュール間の均等化とで異なる均等化回路方式を用いることで、蓄電システム全体として最適な電圧均等化が可能となる。しかし、蓄電モジュール内の均等化回路（以降、蓄電セル電圧均等

化回路と呼ぶ。)と蓄電モジュール間の均等化回路(以降、蓄電モジュール電圧均等化回路と呼ぶ。)はそれぞれ独立に動作するものであり、各々がスイッチを必要とする。一般的に、スイッチは複数個の部品からなる駆動回路を必要とするため、スイッチの数は回路構成の複雑さを表す指標として用いられる。非特許文献1に示されているスイッチトキャパシタ(図2a)を用いた均等化回路方式では蓄電セルならびに蓄電モジュールの数に比例した多数個のスイッチが必要となるため、システムの回路構成が飛躍的に複雑化してしまう。非特許文献1には1つのスイッチで動作可能な多巻線トランスを用いた均等化回路方式(図2b)も示されているが、多巻線トランスの設計の困難さが最大の短所である。

[0009] 多巻線トランスが不要であり且つ2個のスイッチで動作可能な均等化回路方式が特許文献1により提案されている(図3)。ハーフブリッジ回路と直列共振型倍電圧整流回路の組み合わせにより構成される回路方式であり、ハーフブリッジで生成される矩形波電圧により直列共振型倍電圧回路は駆動される。この均等化回路方式を蓄電セル電圧均等化回路ならびに蓄電モジュール電圧均等化回路に用いれば蓄電システムの回路構成の大幅な簡素化が可能であるが、依然として蓄電セル電圧均等化回路と蓄電モジュール電圧均等化回路の両方にスイッチが必要である。

[0010] 本発明はこのような背景の下でなされたものである。本発明は、蓄電セル電圧均等化回路と蓄電モジュール電圧均等化回路とを備えた均等化回路システムにおいて蓄電セル電圧均等化回路自体がスイッチを有さずとも、その動作を可能とし、回路システム全体としてスイッチ数を削減することによりシステムの簡素化を図ることを目的とする。

課題を解決するための手段

[0011] 上記課題を解決するため、本発明は、第1から第 n (n は2以上の整数)の蓄電モジュールの各々に対して各々接続されて、各々の蓄電モジュールに含まれる複数の蓄電セル間で蓄電セル電圧を均等化するよう各々構成された、第1から第 n の蓄電セル電圧均等化回路と、第1から第 n の蓄電モジュー

ル間で蓄電モジュール電圧を均等化するよう構成された、スイッチ切り替えにより動作する蓄電モジュール電圧均等化回路とを備え、第1から第nの蓄電セル電圧均等化回路の各々は、蓄電モジュール電圧均等化回路から、スイッチ切り替えに応じて変化する入力電圧の入力を受けて動作するよう構成された、電圧均等化回路システムを提供する。

[0012] 上記電圧均等化回路システムによれば、スイッチ式の蓄電モジュール電圧均等化回路の動作に伴い、そのスイッチングノードで発生する矩形波状等の時間変化する電圧を入力電圧として、蓄電セル電圧均等化回路を動作させることが可能となるため、蓄電セル電圧均等化回路自体に別個のスイッチを設ける必要がない。

[0013] 上記電圧均等化回路システムにおいて、第 k (k は1から n のいずれか)の蓄電モジュールに含まれる蓄電セルの数を m_k (m_k は2以上の整数)としたとき、第 k の蓄電セル電圧均等化回路は、直列接続された第1から第 m_k の蓄電セルの各々に対して、2つの直列接続された蓄電セル電圧均等化回路内ダイオードを並列に接続し、更に、2つの直列接続された蓄電セル電圧均等化回路内ダイオードの各々における中間点に蓄電セル電圧均等化回路内キャパシタが接続された、蓄電セル電圧均等化回路内多段倍電圧整流回路と、入力電圧を変換し、蓄電セル電圧均等化回路内キャパシタの各々に対して交流電圧を出力する、蓄電セル電圧均等化回路内共振回路とを備え、蓄電セル電圧均等化回路内共振回路から出力される交流電圧によって第1から第 m_k の蓄電セルの電圧を均等化するよう構成されたものとすることができる。この場合、蓄電セル電圧均等化回路内共振回路としては、直列接続された共振回路内インダクタと共振回路内キャパシタとを備える共振回路を用いることができる。

[0014] 蓄電モジュール電圧均等化回路は、1以上の蓄電モジュール電圧均等化回路内キャパシタを更に備え、スイッチ切り替えにより、第1から第 n の蓄電モジュールと1以上の蓄電モジュール電圧均等化回路内キャパシタとの接続状態を変化させて、第1から第 n の蓄電モジュールに1以上の蓄電モジュール

ル電圧均等化回路内キャパシタを介した相互充放電をさせることにより、第1から第nの蓄電モジュールの電圧を均等化するように構成されたものであってよい。

[0015] あるいは、蓄電モジュール電圧均等化回路は、直列接続された第1から第nの蓄電モジュールの各々に対して、2つの直列接続された蓄電モジュール電圧均等化回路内ダイオードを並列に接続し、更に、2つの直列接続された蓄電モジュール電圧均等化回路内ダイオードの各々における中間点に蓄電モジュール電圧均等化回路内キャパシタが接続された、蓄電モジュール電圧均等化回路内多段倍電圧整流回路と、直列接続された第1から第nの蓄電モジュール各々の電圧の合計電圧の入力を受けて、スイッチ切り替えにより変化する電圧を出力する、蓄電モジュール電圧均等化回路内入力回路と、蓄電モジュール電圧均等化回路内入力回路から出力された電圧を変換し、蓄電モジュール電圧均等化回路内キャパシタの各々に対して交流電圧を出力する、蓄電モジュール電圧均等化回路内共振回路とを備え、蓄電モジュール電圧均等化回路内共振回路から出力される交流電圧によって第1から第nの蓄電モジュールの電圧を均等化するように構成されたものであってよい。この場合、蓄電モジュール電圧均等化回路内共振回路としては、直列接続された共振回路内インダクタと共振回路内キャパシタとを備える共振回路を用いることができる。

[0016] あるいは、蓄電モジュール電圧均等化回路は、蓄電モジュール電圧均等化回路内インダクタを備えたスイッチ式コンバータとして構成され、スイッチ切り替えの時比率を調整することにより第1から第nの蓄電モジュールの電圧を均等化するように構成されたものであってよい。

発明の効果

[0017] 本発明の教示する共振型モジュラー式電圧均等化回路システムにおいては、蓄電モジュール電圧均等化回路内において発生する矩形波状等の電圧を利用して蓄電セル電圧均等化回路を駆動することにより、蓄電セル電圧均等化回路をスイッチレス化することが可能である。すなわち、蓄電セル電圧均等

化回路を受動部品のみにより構成することが可能となるため、蓄電システム
の大幅な簡素化が期待できる。

図面の簡単な説明

[0018] [図1]蓄電モジュール用均等化回路とセル用均等化回路を用いた蓄電システム
の概念図。

[図2a]スイッチトキャパシタを用いた従来の均等化回路方式。

[図2b]多巻線トランスを用いた従来の均等化回路方式。

[図3]特許文献1の提案する、直列共振型倍電圧整流回路を用いた従来の均等
化回路方式。

[図4]特許文献1の均等化回路において用いることができる、多段倍電圧整流
回路の回路図（特許文献1の図3）。

[図5a]特許文献1の均等化回路において入力回路として用いることができる
、ハーフブリッジ型セルの回路図（特許文献1の図4 a）。

[図5b]特許文献1の均等化回路において入力回路として用いることができる
、フルブリッジ型セルの回路図（特許文献1の図4 b）。

[図6a]特許文献1の均等化回路において共振回路として用いることができる
、直列共振回路の回路図（特許文献1の図5 a）。

[図6b]特許文献1の均等化回路において共振回路として用いることができる
、並列共振回路の回路図（特許文献1の図5 b）。

[図6c]特許文献1の均等化回路において共振回路として用いることができる
、直並列共振回路の回路図（特許文献1の図5 c）。

[図6d]特許文献1の均等化回路において共振回路として用いることができる
、LLC回路の回路図（特許文献1の図5 d）。

[図7a]図6 aの直列共振回路に対してトランスを用いた共振回路の回路図（
特許文献1の図6 a）。

[図7b]図6 bの並列共振回路に対してトランスを用いた共振回路の回路図（
特許文献1の図6 b）。

[図7c]図6 cの直並列共振回路に対してトランスを用いた共振回路の回路図

(特許文献 1 の図 6 c)。

[図7d]図 6 d の L L C 回路に対してトランスを用いた共振回路の回路図 (特許文献 1 の図 6 d)。

[図8]図 4 の多段倍電圧整流回路と、図 5 a のハーフブリッジ型セルと、図 6 a の直列共振回路とを接続することにより構成される、特許文献 1 の均等化回路の、一実施形態の回路図 (特許文献 1 の図 7)。

[図9]図 8 の均等化回路において、共振回路内のキャパシタと多段倍電圧整流回路内のキャパシタとを統合して描いた回路図 (特許文献 1 の図 8)。

[図10]図 9 の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたときの、各素子を流れる電流、及びスイッチに印加される電圧の時間変化を表わす図 (特許文献 1 の図 9)。

[図11]図 9 の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード 2 の期間中において流れる電流の経路を示す図 (特許文献 1 の図 10)。

[図12]図 9 の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード 3 の期間中において流れる電流の経路を示す図 (特許文献 1 の図 11)。

[図13]図 9 の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード 4 の期間中において流れる電流の経路を示す図 (特許文献 1 の図 12)。

[図14]図 9 の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード 1 の期間中において流れる電流の経路を示す図 (特許文献 1 の図 13)。

[図15]図 9 の均等化回路の動作をスイッチングの 1 周期に亘って平均化することにより得られる、等価回路の回路図 (特許文献 1 の図 14)。

[図16]図 9 の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたときの、各素子を流れる電流、及びスイッチに印加される電圧の時間変化を表わす図 (特許文献 1 の図 16)。

[図17]図9の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード2の期間中において流れる電流の経路を示す図（特許文献1の図17）。

[図18]図9の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード3の期間中において流れる電流の経路を示す図（特許文献1の図18）。

[図19]図9の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード4の期間中において流れる電流の経路を示す図（特許文献1の図19）。

[図20]図9の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード1の期間中において流れる電流の経路を示す図（特許文献1の図20）。

[図21]図9の均等化回路において、図5aのハーフブリッジ型セルを図5bのフルブリッジ型セルに置き換え、更に図7aの共振回路を用いた構成を示す回路図（特許文献1の図21）。

[図22]図9の均等化回路において、図6aの直列共振回路を図6bの並列共振回路に置き換えた構成を示す回路図（特許文献1の図22）。

[図23]図9の均等化回路において、共振回路と多段倍電圧整流回路との接続点を変更した構成を示す回路図（特許文献1の図23）。

[図24]図23の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード2の期間中において流れる電流の経路を示す図（特許文献1の図24）。

[図25]図23の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード3の期間中において流れる電流の経路を示す図（特許文献1の図25）。

[図26]図23の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード4の期間中において流れる電流の経路を示す図（特許文献1の図26）。

[図27]図23の均等化回路を共振回路の共振周波数よりも高い周波数で動作させたとき、モード1の期間中において流れる電流の経路を示す図（特許文献1の図27）。

[図28]図23の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード2の期間中において流れる電流の経路を示す図（特許文献1の図28）。

[図29]図23の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード3の期間中において流れる電流の経路を示す図（特許文献1の図29）。

[図30]図23の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード4の期間中において流れる電流の経路を示す図（特許文献1の図30）。

[図31]図23の均等化回路を共振回路の共振周波数よりも低い周波数で動作させたとき、モード1の期間中において流れる電流の経路を示す図（特許文献1の図31）。

[図32]本発明の教示するモジュラー均等化回路を用いた電圧均等化回路システムの概念図。

[図33]蓄電モジュール電圧均等化回路にスイッチトキャパシタを用いて構成される、本発明の電圧均等化回路システムを用いた蓄電システムの回路図（直列モジュール数は2）。

[図34]蓄電モジュール電圧均等化回路にスイッチトキャパシタを用いて構成される、従来の電圧均等化回路システムを用いた蓄電システムの回路図（直列モジュール数は2）。

[図35]蓄電モジュール電圧均等化回路にスイッチトキャパシタを用いて構成される、本発明の電圧均等化回路システムを用いた蓄電システムの回路図（直列モジュール数は3）。

[図36]蓄電モジュール電圧均等化回路に直列共振型倍電圧整流回路を用いて構成される、本発明の電圧均等化回路システムを用いた蓄電システムの回路

図（直列モジュール数は3）。

[図37]蓄電モジュール電圧均等化回路に昇降圧型コンバータを用いて構成される、本発明の電圧均等化回路システムを用いた蓄電システムの回路図（直列モジュール数は2）。

発明を実施するための形態

[0019] これより図面を用いて、本発明に係る電圧均等化回路システムの構成、動作を説明する。但し、本発明に係る電圧均等化回路システムの構成、動作は、各図面を用いて説明される特定の具体的構成へと限定されるわけではなく、本発明の範囲内で適宜変更可能である。例えば、以下において各キャパシタは主に単独の蓄電素子であるとして、また蓄電セルはコンデンサ、二次電池、電気二重層キャパシタ等であるとして説明するが、これらは充放電可能な任意の素子、複数の素子からなるモジュール、あるいはそれらモジュールを用いて構成される任意の装置であってもよい。各蓄電素子の容量も、それぞれ異なっていてよい。各スイッチについても、以下においてはMOSFETなどの半導体スイッチであるとして説明するが、任意の電子スイッチ、あるいは機械式スイッチを用いることも可能である。

[0020] 電圧均等化回路システムに用いられる回路要素

本発明の電圧均等化回路システムの構成、動作を説明するに先立ち、これを構成する蓄電セル電圧均等化回路、蓄電モジュール電圧均等化回路に利用することができるスイッチトキャパシタ、共振型倍電圧整流回路の構成、動作を、本発明の発明者の一部又は全てによりなされた先願発明の開示（特許文献1，2）に基づいて説明する。

[0021] スイッチトキャパシタ

スイッチトキャパシタの構成、動作については、本発明者による先願発明（特願2009-202633，特許第4590520号）の明細書（特許文献2）において説明されているとおりである。

[0022] すなわち、図2aのスイッチトキャパシタを用いる場合は、直列にQ1～Q6の順序で配置されているスイッチ群の接続状態を繰り返し切り替えるこ

とでキャパシタC a, C bと蓄電セル（又は蓄電モジュール）B 1～B 3が相互充放電することにより、各キャパシタ及び蓄電セル（又は蓄電モジュール）の電圧が均等となる。

[0023] 具体的には、奇数番号のスイッチQ 1, Q 3, Q 5がオンである時には、キャパシタC aと蓄電セル（又は蓄電モジュール）B 1とが、キャパシタC bと蓄電セル（又は蓄電モジュール）B 2とが、それぞれ並列接続されることとなるため、並列接続されたキャパシタ及び蓄電セル（又は蓄電モジュール）間に電圧のばらつきが発生している場合には相互充放電が行われ、電圧ばらつきが解消される方向へと向かう。また一方で、偶数番号のスイッチQ 2, Q 4, Q 6がオンである時には、キャパシタC aと蓄電セル（又は蓄電モジュール）B 2とが、キャパシタC bと蓄電セル（又は蓄電モジュール）B 3とが、それぞれ並列接続されることとなるため、並列接続されたキャパシタ及び蓄電セル（又は蓄電モジュール）間に電圧のばらつきが発生している場合には相互充放電が行われ、電圧ばらつきが解消される方向へと向かう。

[0024] したがって、奇数番号のスイッチを全てオンとする状態と偶数番号のスイッチを全てオンとする状態との間でスイッチングを繰り返すことにより、各々のキャパシタ及び蓄電セル（又は蓄電モジュール）は他の全てのキャパシタ及び蓄電セル（又は蓄電モジュール）と直接的、又は間接的に（他のキャパシタ等を介して）相互充放電を行うのであり、したがってキャパシタC a, C b及び蓄電セル（又は蓄電モジュール）B 1～B 3の電圧が均等化される。図2 aのスイッチトキャパシタは蓄電セル（又は蓄電モジュール）の直列数が3の場合の例であるが、任意の直列数（2以上）の蓄電セル（又は蓄電モジュール）に対して構成されたスイッチトキャパシタも同様の原理で動作可能である。

[0025] 共振型倍電圧整流回路

共振型倍電圧整流回路の構成、動作については、本発明者のうち一部の発明者による先願発明（特願2012-46569）の明細書（特許文献1）

において説明されているとおりである。

[0026] 図3の均等化回路は、特許文献1の提案する均等化回路の一例であり、多段倍電圧整流回路（キャパシタC1～C4，ダイオードD1～D8，出力側キャパシタCout1～Cout4。ただし出力側キャパシタCout1～Cout4は必須ではなく、これらを省いても動作原理は同様である。）と、ハーフブリッジ型の入力回路（スイッチQ1，Q2）と、共振回路（キャパシタCr，インダクタLr）とから構成されている。多段倍電圧整流回路と共振回路により直列共振型倍電圧整流回路が構成されている。図3に示すとおり均等化回路を蓄電セル（又は蓄電モジュール）B1～B4に接続してスイッチQ1，Q2を交互にスイッチングすることにより、蓄電セル（又は蓄電モジュール）B1～B4の電圧が均等化される。以下、特許文献1の記載を用いることにより（本発明の内容に鑑みて適宜追記等する。）、上記各回路、及びこれらにより構成される特許文献1の提案する均等化回路についての詳細を説明する。

[0027] 多段倍電圧整流回路

図4は、特許文献1の提案する均等化回路において用いることができる、多段倍電圧整流回路の回路図である。多段倍電圧整流回路は、直列接続された蓄電セル（又は蓄電モジュール）SC1～SC6に対して2つの直列接続されたダイオードを並列に接続してなる、ダイオードD1～D12と、2つの直列接続されたダイオードの各々における中間点にキャパシタを接続してなる、キャパシタC1～C6とから構成される。後述のとおり、端子C，D（第3，第4の端子とする。第1，2の端子については後述。）又はE，F（第5，第6の端子とする。）からキャパシタC1～C6、及びダイオードD1～D12を介して交流電圧が入力されることにより、蓄電セル（又は蓄電モジュール）SC1～SC6の電圧が均等化される。なお、蓄電セル（又は蓄電モジュール）の直列接続数は、6に限らず2以上の任意の数であってよい。

[0028] 入力回路

図 5 a, 図 5 b は、それぞれ特許文献 1 の提案する均等化回路において入力回路として用いることができる、ハーフブリッジ型セル、フルブリッジ型セルの回路図である。

[0029] ハーフブリッジ型セルは、直列接続されたスイッチ Q 1, Q 2 の各々にフライホイールダイオード D a, D b を並列接続することにより構成される。スイッチ Q 1, Q 2 の両端間に電圧 V_{in} が入力された状態で、これらスイッチのうちオンとするスイッチを経時的に切り替えることにより、端子 A, B (第 1, 第 2 の端子とする。)の間には、ピーク電圧 V_{in} 、ボトム電圧ゼロの矩形形状の電圧が出力される。

[0030] フルブリッジ型セルは、スイッチ Q 1, Q 2 を直列接続してなるスイッチ組と、スイッチ Q 3, Q 4 を直列接続してなるスイッチ組と、を並列接続し、さらに各々のスイッチにフライホイールダイオード D a ~ D d を並列接続することにより構成される。スイッチ Q 1, Q 2 の両端間 (スイッチ Q 3, Q 4 の両端間) に電圧 V_{in} が入力された状態で、スイッチ Q 1 及び Q 4 をオンとする状態と、スイッチ Q 2 及び Q 3 をオンとする状態と、の間で接続状態を経時的に切り替えることによって、端子 A, B の間には、ピーク電圧 V_{in} 、ボトム電圧 $-V_{in}$ の矩形形状の電圧が出力される。なお、入力回路としてフルブリッジ型セルを用いる場合、後段にはトランスを備えた共振回路を用いる等して、フルブリッジ回路と多段倍電圧整流回路との電圧レベルを独立させる必要がある。

[0031] 共振回路

図 6 a ~ 図 6 d は、それぞれ特許文献 1 の提案する均等化回路において共振回路として用いることができる、直列共振回路、並列共振回路、直並列共振回路、LLC 回路の回路図である。いずれの回路も 1 以上のインダクタと 1 以上のキャパシタとから構成されており、端子 A, B の間に矩形形状の電圧が入力されたとき、端子 C, D の間に交流電圧を出力する。

[0032] なお、交流電圧の波形は一般に正弦波状となるが、単独の周波数成分のみを有する完全な正弦波が得られるとは限らない。また、交流電圧の基本周波

数成分 f_s 、及び振幅 V_M も、共振回路に含まれるインダクタのインダクタンス、キャパシタの容量だけでなく、端子 C、D 間に接続される負荷の特性に依存する。特に、負荷としてキャパシタ C 1～C 6 を備えた多段倍電圧整流回路が接続される場合、 f_s はそれらの容量にも依存して変わりうる。

[0033] しかしながら、図 6 a～図 6 d に示す共振回路のいずれを用いても、あるいは、少なくとも誘導性素子を備えた、他の如何なる回路を用いても（既に述べたとおり、負荷として接続される多段倍電圧整流回路がキャパシタを備える場合、それらキャパシタを容量性素子として、誘導性素子のみを接続することにより共振回路を構成してもよい。）、誘導性素子と容量性素子との共振現象により交流電圧が得られるのであり（後述の図 10 に示すインダクタ電流 i_{Lr} と同様の波形を有する電流が、多段倍電圧整流回路に入力される。）、周波数成分 f_s 、振幅 V_M の具体的な値に関わらず、特許文献 1 の提案する均等化回路を同様の原理で動作させることが可能である。

[0034] なお、図 7 a～図 7 d に示すとおり、端子 C、D の間に導線を設け、これをコアに対して巻回し、更に二次巻線をコアに対して巻回することによりトランスを形成すれば、端子 C、D の間に印加される交流電圧を変圧した上で、二次巻線の両端にある端子 E、F の間に出力することが可能となる。

[0035] 特許文献 1 の提案する均等化回路

図 8 は、図 4 の多段倍電圧整流回路と、図 5 a のハーフブリッジ型セルと、図 6 a の直列共振回路とを接続することにより構成される、均等化回路の一実施形態を示している。図 8 の均等化回路中に存在するスイッチは 2 つのみで、その他は全て受動部品により構成されている。必要となるスイッチは蓄電セルの直列数に関係なく 2 つであり、各種従来方式の均等化回路と比較して回路構成が飛躍的に簡素化されている。また回路内に存在する磁性素子はインダクタ L_r のみであり、すなわち必要となる磁性素子も蓄電セル（又は蓄電モジュール）の直列接続数に関係なく 1 つであるため、各種従来方式の均等化回路と比較して回路の小型化を図ることが容易である。

[0036] 特許文献 1 の提案する均等化回路による均等化動作

以下、特許文献 1 の提案する均等化回路による蓄電セル（又は蓄電モジュール）電圧の均等化動作を、図 9～図 20 を用いて詳しく説明する。

[0037] なお、図 9～図 20 中では共振回路内キャパシタ C_r が描かれていないが、これは、図 8 中、キャパシタ C_r とキャパシタ $C_1 \sim C_6$ とからなるキャパシタ群を、図 9 中でキャパシタ $C_1 \sim C_6$ に統合して描いたためである。具体的には、図 8 中のキャパシタ C_r の容量を C_r 、キャパシタ $C_1 \sim C_6$ の容量を C_i ($i = 1 \sim 6$) としたときに、以下の式

$$1/C'_i = 1/C_r + 1/C_i \quad \dots (1)$$

により計算される合成容量 C'_i をキャパシタ C_i の容量として扱うことにより、キャパシタ C_r の存在を無視して動作を説明することが可能となる。

[0038] また、図 9 中、符号 S_a はスイッチ Q_1 とフライホイールダイオード D_a とから構成される双方向スイッチセル S_a を表し、符号 S_b はスイッチ Q_1 とフライホイールダイオード D_b とから構成される双方向スイッチセル S_b を表す。符号 v_{DSa} 、 v_{DSb} 、及び符号 i_{Sa} 、 i_{Sb} は、これらスイッチセル S_a 、 S_b に印加された電圧、及びこれらを通る電流を表し、符号 i_{Lr} はインダクタ L_r を流れる電流を表し、符号 $i_{C1} \sim i_{C6}$ は、キャパシタ $C_1 \sim C_6$ を流れる電流を表し、符号 $V_{SC1} \sim V_{SC6}$ は、蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ に印加された電圧を表す。

[0039] なお、図 9 中では蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ に対して定電圧の外部充電器 V_{ext} が接続されているが、これは、特許文献 1 の提案する均等化回路が動作するために必須の要素ではない。

[0040] 動作開始時点において、蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ にはそれぞれ任意の電圧が印加されているものとする。スイッチ Q_1 、 Q_2 の両端には、それら蓄電セルに印加された電圧の合計電圧、及び外部充電器 V_{ext} からの定電圧が印加されている。スイッチ Q_1 のゲート電圧 v_{GSa} として所定の電圧を印加することにより、スイッチ Q_1 をオンとし、スイッチ Q_2 のゲート電圧 v_{GSb} をゼロとしてスイッチ Q_2 をオフとする状態と、スイッチ Q_1 のゲート電圧 v_{GSa} をゼロとしてスイッチ Q_1 をオフとし、スイッチ Q_2 のゲー

ト電圧 v_{GSb} として所定の電圧を印加することによりスイッチ Q 2 をオンとする状態と、の間で接続状態を経時的に切り替えることにより、時間に依存する電圧 v_{DSb} が共振回路へと入力される。蓄電セル（又は蓄電モジュール）SC 1 ～ SC 6 の容量がキャパシタ C 1 ～ C 6 の容量等に比較して十分大きく、スイッチングの 1 周期に亘って蓄電セル電圧 $V_{SC1} \sim V_{SC6}$ がほぼ一定であるとすれば、スイッチ Q 1, Q 2 の両端に印加される電圧もスイッチングの 1 周期に亘ってほぼ一定であり、共振回路への入力電圧 v_{DSb} は図 10 に示すとおり矩形状の電圧となる。以下、スイッチングの周波数が共振回路の共振周波数よりも高い場合と低い場合とのそれぞれに関して、スイッチングの 1 周期を 4 つの期間に分割し、それぞれの期間に対応する動作のモード 1 ～ 4（図 10 中、 v_{GSa} のグラフ参照。）を説明する。

[0041] スイッチングの周波数が共振周波数よりも高い場合

便宜上、まずモード 2 の動作を説明する。モード 2 の期間中においては、図 10 中、 v_{GSa} , v_{GSb} のグラフが示すとおり、スイッチ Q 1 がオンとされ、スイッチ Q 2 がオフとされており、インダクタ L_r を含む共振回路に対して、ほぼ一定の正電圧（図 9 中、 v_{DSb} を示す矢印の向きに上昇する電圧。図 10 中、 v_{DSb} のグラフ参照。）が出力される。これによりインダクタ L_r に正の電流（図 9 中、 i_{Lr} を示す矢印の向きに流れる電流。蓄電セル（又は蓄電モジュール）SC 1 ～ SC 6 から、オン状態のスイッチ Q 1 を通ってインダクタ L_r へと流れ込む。）が流れ、さらにこの電流が、キャパシタ C 1 ～ C 6、ダイオード D 2, D 4, D 6, D 8, D 12、及び蓄電セル（又は蓄電モジュール）SC 2 ～ SC 6 を通って図 11 に示すと通りの経路を流れる。なお、インダクタ L_r とキャパシタ C 1 ～ C 6 の共振現象により、インダクタ L_r を流れる電流 i_{Lr} は正弦波状に変化する（図 10 中、 i_{Lr} のグラフ参照。）。この電流 i_{Lr} は、図 11 から明らかなとおり、スイッチセル S_a を流れる電流 i_{sa} に等しい（図 10 中、 i_{sa} のグラフ参照。）。なお、図 11 に示されるとおり、オフ状態のスイッチ Q 2 に電流は流れず、すなわちスイッチセル S_b を流れる電流 i_{sb} はゼロである（図 10 中、 i_{sb} のグラフ参照。）。また、同じく図

11に示されるとおり、インダクタ L_r を流れる電流 i_{Lr} はダイオード D_2 , D_4 , D_6 , D_8 , D_{12} を通るよう分流されるため、偶数番号のダイオードを流れる電流 $i_{D_{2i}}$ は定性的に i_{Lr} と同様の波形を示し、さらに奇数番号のダイオードに流れる電流 $i_{D_{(2i-1)}}$ はゼロである（図10中、 $i_{D_{2i}}$ 及び $i_{D_{(2i-1)}}$ のグラフ参照。）。

[0042] 多段倍電圧整流回路に対する入力電圧 v_{vm} は、スイッチセル S_b の電圧 V_{Dsb} とインダクタ L_r による誘導起電力との合計電圧であり、モード2の期間中に最大値をとる。 v_{vm} の最大値を V_{VM-E} とし、各々のダイオードによる降下電圧を V_D とすれば、スイッチ Q_2 （図5a中、端子B, A）、インダクタ L_r 、キャパシタ C_1 、ダイオード D_2 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_2 、ダイオード D_4 、及び蓄電セル（又は蓄電モジュール） SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_3 、ダイオード D_6 、及び蓄電セル（又は蓄電モジュール） SC_3 , SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_4 、ダイオード D_8 、及び蓄電セル（又は蓄電モジュール） SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_5 、ダイオード D_{10} 、及び蓄電セル（又は蓄電モジュール） SC_5 , SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{12} 、及び蓄電セル（又は蓄電モジュール） SC_6 , SC_5 , SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{VM-E} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C1E} \sim V_{C6E}$ を、以下の（2）式で表すことができる。

$$\begin{cases} -V_{C1E} = -V_{VM-E} + V_D + V_{SC1} \\ -V_{C2E} = -V_{VM-E} + V_D + V_{SC1} + V_{SC2} \\ -V_{C3E} = -V_{VM-E} + V_D + V_{SC1} + V_{SC2} + V_{SC3} \\ -V_{C4E} = -V_{VM-E} + V_D + V_{SC1} + V_{SC2} + V_{SC3} + V_{SC4} \\ -V_{C5E} = -V_{VM-E} + V_D + V_{SC1} + V_{SC2} + V_{SC3} + V_{SC4} + V_{SC5} \\ -V_{C6E} = -V_{VM-E} + V_D + V_{SC1} + V_{SC2} + V_{SC3} + V_{SC4} + V_{SC5} + V_{SC6} \end{cases} \quad \dots (2)$$

- [0043] スイッチQ1をオフとすることにより、モード2においてスイッチQ1を流れていた電流がフライホイールダイオードD_bへと転流し、動作はモード3へと移行する。このとき、共振回路に入力される電圧 V_{DSb} はゼロとなるが（図10中、 V_{DSb} のグラフ参照。）、共振現象により、インダクタ L_r を流れる電流 i_{Lr} は引き続き正弦波状に変化する（図10中、 i_{Lr} のグラフ参照。）。共振周波数よりも高い周波数でスイッチングを行っているため、モード3への移行時において、インダクタ L_r を流れる電流 i_{Lr} は依然として正である。インダクタ L_r が誘導性素子であるため、電流 i_{Lr} はモード3への移行時において連続である一方、モード2において i_{Lr} と等しかった電流 i_{sa} は、モード3への移行と同時にゼロとなる（図10中、 i_{sa} のグラフ参照。）。これに対応して、モード2においてゼロであった電流 i_{sb} が、モード3への移行と同時に i_{Lr} と等しい大きさを有することとなる（図9に示すとおり電流 i_{sb} の極性を定義しているため、電流 i_{sb} と電流 i_{Lr} の正負は逆となる。図10中、電流 i_{sb} 、 i_{Lr} のグラフ参照。）。
- [0044] モード3の期間中において流れる電流の経路を図12に示す。インダクタ L_r の電流 i_{Lr} はダイオードD₂、D₄、D₆、D₈、D₁₂を通るよう分流されるため、偶数番号のダイオードを流れる電流 i_{D2i} は定性的に i_{Lr} と同様の波形を示し、さらに奇数番号のダイオードに流れる電流 $i_{D(2i-1)}$ はゼロである（図10中、 i_{D2i} 及び $i_{D(2i-1)}$ のグラフ参照。）。
- [0045] モード3の期間中に、スイッチQ2がオンとされる。インダクタ L_r の電流 i_{Lr} が負に切り替わるタイミングで、動作はモード4へと移行する。
- [0046] モード4の期間中においては、モード3の期間中と同様に、共振回路に入力される電圧 V_{DSb} はゼロであるが（図10中、 V_{DSb} のグラフ参照。）、共振現象により、インダクタ L_r を流れる電流 i_{Lr} は引き続き正弦波状に変化する（図10中、 i_{Lr} のグラフ参照。）。電流 i_{Lr} は負であり、さらにこの電流が、スイッチQ2、蓄電セル（又は蓄電モジュール）SC1～SC5、ダイオードD₁、D₃、D₅、D₇、D₉、D₁₁、及びキャパシタC₁～C₆を通過して図13に示すと通りの経路を流れる。電流 i_{Lr} は、図13から明らかとな

おり、スイッチセル S_b を流れる電流 i_{sb} と大きさが等しく、極性が逆である（図 10 中、 i_{sb} のグラフ参照。）。なお、図 13 に示されるとおり、オフ状態のスイッチ Q_1 に電流は流れず、すなわちスイッチセル S_a を流れる電流 i_{sa} はゼロである（図 10 中、 i_{sa} のグラフ参照。）。また、同じく図 13 に示されるとおり、この電流 i_{Lr} はダイオード D_1 , D_3 , D_5 , D_7 , D_9 , D_{11} を通るよう分流されるため、奇数番号のダイオードを流れる電流 $i_{D(2i-1)}$ は定性的に i_{Lr} と同様の波形を示し、さらに偶数番号のダイオードに流れる電流 $i_{D_{2i}}$ はゼロである（図 10 中、 $i_{D_{2i}}$ 及び $i_{D(2i-1)}$ のグラフ参照。）。

[0047] 多段倍電圧整流回路に対する入力電圧 v_{vm} は、モード 4 の期間中に最小値をとる。 v_{vm} の最小値を V_{vm-0} とすれば、スイッチ Q_2 （図 5 a 中、端子 B, A）、インダクタ L_r 、キャパシタ C_1 、ダイオード D_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_2 、ダイオード D_3 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_3 、ダイオード D_5 、及び蓄電セル（又は蓄電モジュール） SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_4 、ダイオード D_7 、及び蓄電セル（又は蓄電モジュール） SC_3 , SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_5 、ダイオード D_9 、及び蓄電セル（又は蓄電モジュール） SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、スイッチ Q_2 、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{11} 、及び蓄電セル（又は蓄電モジュール） SC_5 , SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最小値 V_{vm-0} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C10} \sim V_{C60}$ を、以下の（3）式で表すことができる。

$$\begin{cases} -V_{C10} = -V_{vm-0} - V_D \\ -V_{C20} = -V_{vm-0} - V_D + V_{SC1} \\ -V_{C30} = -V_{vm-0} - V_D + V_{SC1} + V_{SC2} \\ -V_{C40} = -V_{vm-0} - V_D + V_{SC1} + V_{SC2} + V_{SC3} \\ -V_{C50} = -V_{vm-0} - V_D + V_{SC1} + V_{SC2} + V_{SC3} + V_{SC4} \\ -V_{C60} = -V_{vm-0} - V_D + V_{SC1} + V_{SC2} + V_{SC3} + V_{SC4} + V_{SC5} \end{cases} \quad \dots (3)$$

[0048] スイッチQ2をオフとすることにより、モード4においてスイッチQ2を流れていた電流がフライホイールダイオードD_aへと転流し、動作はモード1へと移行する。このとき、インダクタL_rを含む共振回路に対して、ほぼ一定の正電圧 v_{DSb} が出力される（図10中、 v_{DSb} のグラフ参照。）。共振周波数よりも高い周波数でスイッチングを行っているため、モード1への移行時においてインダクタL_rを流れる電流 i_{Lr} は負であるが、上記正電圧 v_{DSb} 、及び共振現象により経時的に上昇する。インダクタL_rが誘導性素子であるため、電流 i_{Lr} はモード1への移行時において連続である一方、モード4において i_{Lr} と等しかった電流 i_{sb} は、モード1への移行と同時にゼロとなる（図10中、 i_{sb} のグラフ参照。）。これに対応して、モード4においてゼロであった電流 i_{sa} が、モード1への移行と同時に i_{Lr} と等しくなる（図10中、電流 i_{sa} 、 i_{Lr} のグラフ参照。）。

[0049] モード1の期間中において流れる電流の経路を図14に示す。インダクタL_rの電流 i_{Lr} はダイオードD1、D3、D5、D7、D9、D11を通るよう分流されるため、奇数番号のダイオードを流れる電流 $i_{D(2i-1)}$ は定性的に i_{Lr} と同様の波形を示し、さらに奇数番号のダイオードに流れる電流 i_{D2i} はゼロである（図10中、 $i_{D(2i-1)}$ 及び i_{D2i} のグラフ参照。）。

[0050] モード1の期間中に、スイッチQ1がオンとされる。インダクタL_rの電流 i_{Lr} が正に切り替わるタイミングで、動作はモード2へと移行する。

[0051] 上記（2）式、及び（3）式を用いれば、スイッチングの1周期の間にキャパシタC1～C6において生じる電圧変動 $\Delta V_{C1} = V_{C1E} - V_{C10} \sim \Delta V_{C6} = V_{C6E} - V_{C60}$ を、以下の（4）式により表すことができる。

$$\begin{cases} \Delta V_{C1} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC1} \\ \Delta V_{C2} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC2} \\ \Delta V_{C3} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC3} \\ \Delta V_{C4} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC4} \\ \Delta V_{C5} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC5} \\ \Delta V_{C6} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC6} \end{cases} \quad \cdots (4)$$

[0052] 一般に、任意の時間 t の間にキャパシタを介して運ばれる電荷量ならびにその際における電荷移動の等価抵抗 R_{eq} を、以下の (5) 式で表すことができる。

$$\begin{cases} Q = It = CV \\ V = \frac{It}{C} = \frac{I}{Cf} = IR_{eq} \end{cases} \quad \dots (5)$$

ただし、 Q は電荷量、 I は時間 t に亘って流れる平均電流、 C はキャパシタの容量、 V は時間 t の間にキャパシタに生じる電圧変動である。ここにおいて時間 t がスイッチングの 1 周期に等しいとすれば、その逆数 $1/t$ はスイッチングの周波数 f である。

[0053] (5) 式中の I として、キャパシタ $C_1 \sim C_6$ を経由して流れる、スイッチングの 1 周期における平均電流 $I_{c1} \sim I_{c6}$ を用い、 V としてスイッチングの 1 周期におけるキャパシタ $C_1 \sim C_6$ の電圧変動 $\Delta V_{c1} \sim \Delta V_{c6}$ を用いれば、各キャパシタを介した電荷移動の等価抵抗 $R_{eq1} \sim R_{eq6}$ を、以下の (6) 式で表すことができる。

$$\begin{cases} I_{C1} R_{eq1} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC1} \\ I_{C2} R_{eq2} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC2} \\ I_{C3} R_{eq3} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC3} \\ I_{C4} R_{eq4} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC4} \\ I_{C5} R_{eq5} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC5} \\ I_{C6} R_{eq6} = (V_{VM-E} - V_{VM-O}) - 2V_D - V_{SC6} \end{cases} \quad \dots (6)$$

[0054] 式 (6) とオームの法則から、図 9 に示す均等化回路の、スイッチングの 1 周期に亘って平均化された動作を説明するための回路として、図 15 に示すとおり直流等価回路が得られる。この直流等価回路において、蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ は 2 つのダイオードと 1 つの等価抵抗を介して $V_{VM-E} - V_{VM-O}$ の電圧値を持つ電圧源に接続されている。よって、蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ の電圧は、いずれも $(V_{VM-E} -$

$V_{VM-0}) - 2 V_D$ で表される電圧へ向かって調整されることになるため、蓄電セル（又は蓄電モジュール）SC1～SC6の電圧は均等化される方向に向かう。

[0055] スイッチングの周波数が共振周波数よりも低い場合

次に、スイッチングの周波数が共振周波数よりも低い場合の、図9に示す均等化回路の動作を説明する。

[0056] 便宜上、まずモード2の動作を説明する。モード2の期間中においては、図16中、 v_{GSa} 、 v_{GSb} のグラフが示すとおり、スイッチQ1がオンとされ、スイッチQ2がオフとされており、インダクタ L_r を含む共振回路に対して、ほぼ一定の正電圧（図16中、 v_{DSb} のグラフ参照。）が出力される。これによりインダクタ L_r に正の電流（蓄電セル（又は蓄電モジュール）SC1～SC6から、オン状態のスイッチQ1を通してインダクタ L_r へと流れ込む。）が流れ、さらにこの電流が、キャパシタC1～C6、ダイオードD2、D4、D6、D8、D12、及び蓄電セル（又は蓄電モジュール）SC2～SC6を通して図17に示すとおり経路を流れる。なお、インダクタ L_r とキャパシタC1～C6の共振現象により、インダクタ L_r を流れる電流 i_{Lr} は正弦波状に変化する（図16中、 i_{Lr} のグラフ参照。）。この電流 i_{Lr} は、図17から明らかとなっており、スイッチセル S_a を流れる電流 i_{Sa} に等しい（図16中、 i_{Sa} のグラフ参照。）。なお、図17に示されるとおり、オフ状態のスイッチQ2に電流は流れず、すなわちスイッチセル S_b を流れる電流 i_{Sb} はゼロである（図16中、 i_{Sb} のグラフ参照。）。また、同じく図17に示されるとおり、この電流 i_{Lr} はダイオードD2、D4、D6、D8、D12を通るよう分流されるため、偶数番号のダイオードを流れる電流 i_{D2i} は定性的に i_{Lr} と同様の波形を示し、さらに奇数番号のダイオードに流れる電流 $i_{D(2i-1)}$ はゼロである（図16中、 i_{D2i} 及び $i_{D(2i-1)}$ のグラフ参照。）。

[0057] 多段倍電圧整流回路に対する入力電圧 v_{vm} は、スイッチセル S_b の電圧 V_{DSb} とインダクタ L_r による誘導起電力との合計電圧であり、モード2の期間中に最大値をとる。 v_{vm} の最大値を V_{VM-E} とし、各々のダイオードによる降下電圧を

V_D とすれば、 v_{vm} が最大値 V_{VM-E} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C1E} \sim V_{C6E}$ を、スイッチングの周波数が共振周波数よりも高い場合と同様にキルヒホッフの第二法則を適用することにより上記(2)式で表すことができる。

[0058] スwitchングの周波数よりも共振周波数が高いため、スイッチ Q_1 をオフとする前に電流 i_{Lr} が負となる(図16中、 i_{Lr} のグラフ参照。)。これと同時に動作はモード3へと移行する。モード3において流れる電流の経路を図18に示す。モード3への移行時において電流 i_{Lr} は連続であるが、モード2とは異なり、この電流 i_{Lr} はダイオード $D_1, D_3, D_5, D_7, D_9, D_{11}$ を通るよう分流されるため、奇数番号のダイオードを流れる電流 $i_{D(2i-1)}$ は定性的に i_{Lr} と同様の波形を示し、さらに偶数番号のダイオードに流れる電流 i_{D2i} はゼロである(図16中、 $i_{D(2i-1)}$ 及び i_{D2i} のグラフ参照。)。

[0059] モード3の期間中に、スイッチ Q_1 がオフとされる。このとき、スイッチ Q_1 を流れていた電流はフライホイールダイオード D_a へと転流する。スイッチ Q_2 をオンとすることにより、動作はモード4へと移行する。

[0060] モード4の期間中においては、共振回路に入力される電圧 V_{Dsb} はゼロであるが(図16中、 V_{Dsb} のグラフ参照。)、共振現象により、インダクタ L_r を流れる電流 i_{Lr} は引き続き正弦波状に変化する(図16中、 i_{Lr} のグラフ参照。)。電流 i_{Lr} は負であり、さらにこの電流が、スイッチ Q_2 、蓄電セル(又は蓄電モジュール) $SC_1 \sim SC_5$ 、ダイオード $D_1, D_3, D_5, D_7, D_9, D_{11}$ 、及びキャパシタ $C_1 \sim C_6$ を通して図19に示すとおり経路を流れる。電流 i_{Lr} は、図19から明らかとなっており、スイッチセル S_b を流れる電流 i_{sb} と大きさが等しく、極性が逆である(図16中、 i_{sb} のグラフ参照。)。なお、図19に示されるとおり、オフ状態のスイッチ Q_1 に電流は流れず、すなわちスイッチセル S_a を流れる電流 i_{sa} はゼロである(図16中、 i_{sa} のグラフ参照。)。また、同じく図19に示されるとおり、この電流 i_{Lr} はダイオード $D_1, D_3, D_5, D_7, D_9, D_{11}$ を通るよう分流されるため、奇数番号のダイオードを流れる電流 $i_{D(2i-1)}$ は定性的に i_{Lr} と同様の波形を示し、さらに偶数番号のダイオードに流れる電流 i_{D2i} はゼロである(図16中、

i_{D2i} 及び $i_{D(2i-1)}$ のグラフ参照。) 。

[0061] 多段倍電圧整流回路に対する入力電圧 v_{vm} は、モード 4 の期間中に最小値をとる。 v_{vm} の最小値を V_{vm-0} とすれば、 v_{vm} が最小値 V_{vm-0} をとるときのキャパシタ $C1 \sim C6$ の電圧 $V_{C10} \sim V_{C60}$ を、スイッチングの周波数が共振周波数よりも高い場合と同様にキルヒホッフの第二法則を適用することにより上記 (3) 式で表すことができる。

[0062] スwitchingの周波数よりも共振周波数が高いため、スイッチ $Q2$ をオフとする前に電流 i_{Lr} が正となる (図 16 中、 i_{Lr} のグラフ参照。) 。これと同時に動作はモード 1 へと移行する。モード 1 において流れる電流の経路を図 20 に示す。モード 1 への移行時において電流 i_{Lr} は連続であるが、モード 4 とは異なり、この電流 i_{Lr} はダイオード $D2$, $D4$, $D6$, $D8$, $D10$, $D12$ を通るよう分流されるため、偶数番号のダイオードを流れる電流 i_{D2i} は定性的に i_{Lr} と同様の波形を示し、さらに奇数番号のダイオードに流れる電流 $i_{D(2i-1)}$ はゼロである (図 16 中、 i_{D2i} 及び $i_{D(2i-1)}$ のグラフ参照。) 。

[0063] モード 1 の期間中に、スイッチ $Q2$ がオフとされる。このとき、スイッチ $Q2$ を流れていた電流はフライホイールダイオード Db へと転流する。スイッチ $Q1$ をオンとすることにより、動作はモード 2 へと移行する。

[0064] 上述のとおり、スイッチングの周波数が共振周波数よりも低い場合においても (2) 式と (3) 式とが成り立つのであり、これらの式を用いれば、スイッチングの 1 周期の間にキャパシタ $C1 \sim C6$ において生じる電圧変動を上記 (4) 式で表すことができる。したがって、スイッチングの周波数が共振周波数よりも低い場合においても、図 9 に示す均等化回路の、スイッチングの 1 周期に亘って平均化された動作を説明するための回路として、図 15 に示すとおりの直流等価回路が得られる。蓄電セル (又は蓄電モジュール) $SC1 \sim SC6$ の電圧は、いずれも $(V_{vm-E} - V_{vm-0}) - 2V_D$ で表される電圧へ向かって調整されることになるため、蓄電セル (又は蓄電モジュール) $SC1 \sim SC6$ の電圧は均等化される方向に向かう。

[0065] 既に述べたとおり、特許文献 1 の提案する均等化回路において、入力回路

は、定電圧が入力されたときに矩形状の電圧を出力する任意の回路であってよい。一例として、図5bに示すフルブリッジ型セルを入力回路として用いたときの均等化回路の構成を、図21に示す（キャパシタ C_r はキャパシタ $C_1 \sim C_6$ に統合されている。）。なお、図21においては、図7aに示されるようなトランスを用いて、フルブリッジ回路と多段倍電圧整流回路との電圧レベルを独立させている。このような構成をとれば、二次巻線側のグラウンドと $SC_1 \sim SC_6$ のグラウンドとの接続を確保しつつ、スイッチ Q_3 がオンとなったときに蓄電セル $SC_1 \sim SC_6$ がショートすることを回避できる。この均等化回路を用いて、スイッチ Q_1 及び Q_4 をオンとする状態と、スイッチ Q_2 及び Q_3 をオンとする状態と、の間で接続状態を経時的に切り替えたとき、共振回路に対してはピーク電圧 V_{in} 、ボトム電圧 $-V_{in}$ の矩形状の電圧が出力される。インダクタ L_r とキャパシタ $C_1 \sim C_6$ の共振現象により、インダクタ L_r を流れる電流 i_{Lr} は、図10に示す i_{Lr} のグラフと同様の交流電流となる。

- [0066] 共振周波数よりも高い周波数で上記接続状態の切り替えを行ったとき、モード2, 3, 4, 及び1の期間中において多段倍電圧整流回路内を流れる電流の経路は、それぞれ図11, 図12, 図13, 図14に示されるものと同ーである。多段倍電圧整流回路に対する入力電圧 v_{vm} は、端子A, B間の電圧とインダクタ L_r による誘導起電力との合計電圧であり、モード2の期間中に最大値をとる。図9の均等化回路と同様に、端子B, A、インダクタ L_r 、キャパシタ C_1 、ダイオード D_2 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_2 、ダイオード D_4 、及び蓄電セル（又は蓄電モジュール） SC_2 , SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_3 、ダイオード D_6 、及び蓄電セル（又は蓄電モジュール） SC_3 , SC_2 , SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_4 、ダイオード D_8 、及び蓄電セル（又は蓄電モジュール） SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_5 、ダイオード D_{10} 、及び

蓄電セル（又は蓄電モジュール）SC5, SC4, SC3, SC2, SC1を通る経路と、端子B, A、インダクタL_r、キャパシタC6、ダイオードD12、及び蓄電セル（又は蓄電モジュール）SC6, SC5, SC4, SC3, SC2, SC1を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{VM-E} をとるときのキャパシタC1～C6の電圧 $V_{C1E} \sim V_{C6E}$ を、上記（2）式で表すことができる。同じく、図9の均等化回路と同様に、多段倍電圧整流回路に対する入力電圧 v_{vm} は、モード4の期間中に最小値をとる。 v_{vm} の最小値を V_{VM-0} とすれば、端子B, A、インダクタL_r、キャパシタC1、ダイオードD1を通る経路と、端子B, A、インダクタL_r、キャパシタC2、ダイオードD3、及び蓄電セル（又は蓄電モジュール）SC1を通る経路と、端子B, A、インダクタL_r、キャパシタC3、ダイオードD5、及び蓄電セル（又は蓄電モジュール）SC2, SC1を通る経路と、端子B, A、インダクタL_r、キャパシタC4、ダイオードD7、及び蓄電セル（又は蓄電モジュール）SC3, SC2, SC1を通る経路と、端子B, A、インダクタL_r、キャパシタC5、ダイオードD9、及び蓄電セル（又は蓄電モジュール）SC4, SC3, SC2, SC1を通る経路と、端子B, A、インダクタL_r、キャパシタC6、ダイオードD11、及び蓄電セル（又は蓄電モジュール）SC5, SC4, SC3, SC2, SC1を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最小値 V_{VM-0} をとるときのキャパシタC1～C6の電圧 $V_{C10} \sim V_{C60}$ を、上記（3）式で表すことができる。したがって、図21に示す均等化回路の動作も図15の直列等価回路によって説明することができるのであり、蓄電セル（又は蓄電モジュール）SC1～SC6の電圧は均等化される方向に向かう。

[0067] 共振周波数よりも低い周波数で上記接続状態の切り替えを行ったときも、モード2, 3, 4, 及び1の期間中において多段倍電圧整流回路内を流れる電流の経路は、それぞれ図17、図18、図19、及び図20に示されるものと同一である。多段倍電圧整流回路に対する入力電圧 v_{vm} は、端子A, B間

の電圧とインダクタ L_r による誘導起電力との合計電圧であり、モード2の期間中に最大値をとる。図9の均等化回路と同様に、端子B、A、インダクタ L_r 、キャパシタ C_1 、ダイオード D_2 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_2 、ダイオード D_4 、及び蓄電セル（又は蓄電モジュール） SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_3 、ダイオード D_6 、及び蓄電セル（又は蓄電モジュール） SC_3 、 SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_4 、ダイオード D_8 、及び蓄電セル（又は蓄電モジュール） SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_5 、ダイオード D_{10} 、及び蓄電セル（又は蓄電モジュール） SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{12} 、及び蓄電セル（又は蓄電モジュール） SC_6 、 SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{vm-E} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C1E} \sim V_{C6E}$ を、上記（2）式で表すことができる。同じく、図9の均等化回路と同様に、多段倍電圧整流回路に対する入力電圧 v_{vm} は、モード4の期間中に最小値をとる。 v_{vm} の最小値を V_{vm-0} とすれば、端子B、A、インダクタ L_r 、キャパシタ C_1 、ダイオード D_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_2 、ダイオード D_3 、及び蓄電セル SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_3 、ダイオード D_5 、及び蓄電セル SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_4 、ダイオード D_7 、及び蓄電セル（又は蓄電モジュール） SC_3 、 SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_5 、ダイオード D_9 、及び蓄電セル（又は蓄電モジュール） SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子B、A、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{11} 、及び蓄電セル（又は蓄電モジュール） SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、にそれぞれキルヒホ

ップの第二法則を適用することにより、 v_{vm} が最小値 V_{vm-0} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{c10} \sim V_{c60}$ を、上記(3)式で表すことができる。したがって、図21に示す均等化回路の動作も図15の直列等価回路によって説明することができるのであり、蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ の電圧は均等化される方向に向かう。入力回路としてその他の回路を用いたときも同様である。

[0068] また、既に述べたとおり、特許文献1の提案する均等化回路において、共振回路は、図6aに限らず、1以上の誘導性素子を備えた任意の回路であってよい。一例として、図6bに示す並列共振回路を共振回路として用いたときの均等化回路の構成を、図22に示す。この均等化回路を用いて、スイッチ Q_1 をオンとする状態と、スイッチ Q_2 をオンとする状態と、の間で接続状態を経時的に切り替えたとき、共振回路に対してはピーク電圧 V_{in} 、ボトム電圧ゼロの矩形状の電圧が出力される。インダクタ L_r 、共振回路内キャパシタ C_r 、及びキャパシタ $C_1 \sim C_6$ の共振現象により、インダクタ L_r を流れる電流 i_{Lr} は、図10に示す i_{Lr} のグラフと同様の交流電流となる。

[0069] 共振周波数よりも高い周波数で上記接続状態の切り替えを行ったとき、モード2, 3, 4, 及び1の期間中において回路内を流れる電流の経路は、それぞれ図11, 図12, 図13, 図14に示されるものと同一である（但し、各モードにおいてキャパシタ C_r にも電流は流れるのであり、またこの電流の向きは、キャパシタ C_r の容量に依存して同一モード中でも随時変化する。）。多段倍電圧整流回路に対する入力電圧 v_{vm} は、端子A, B間の電圧とインダクタ L_r による誘導起電力との合計電圧であり、モード2の期間中に最大値をとる。図9の均等化回路と同様に、端子B, A、インダクタ L_r 、キャパシタ C_1 、ダイオード D_2 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_2 、ダイオード D_4 、及び蓄電セル SC_2 , SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_3 、ダイオード D_6 、及び蓄電セル（又は蓄電モジュール） SC_3 , SC_2 , SC_1 を通る経路と、端子B, A、インダクタ L_r

r 、キャパシタ C_4 、ダイオード D_8 、及び蓄電セル（又は蓄電モジュール） SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_5 、ダイオード D_{10} 、及び蓄電セル（又は蓄電モジュール） SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{12} 、及び蓄電セル（又は蓄電モジュール） SC_6 、 SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{VM-E} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C1E} \sim V_{C6E}$ を、上記（2）式で表すことができる。同じく、図9の均等化回路と同様に、多段倍電圧整流回路に対する入力電圧 v_{vm} は、モード4の期間中に最小値をとる。 v_{vm} の最小値を V_{VM-0} とすれば、端子 B 、 A 、インダクタ L_r 、キャパシタ C_1 、ダイオード D_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_2 、ダイオード D_3 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_3 、ダイオード D_5 、及び蓄電セル（又は蓄電モジュール） SC_2 、 SC_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_4 、ダイオード D_7 、及び蓄電セル（又は蓄電モジュール） SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_5 、ダイオード D_9 、及び蓄電セル（又は蓄電モジュール） SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B 、 A 、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{11} 、及び蓄電セル（又は蓄電モジュール） SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最小値 V_{VM-0} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C10} \sim V_{C60}$ を、上記（3）式で表すことができる。したがって、図22に示す均等化回路の動作も図15の直列等価回路によって説明することができるのであり、蓄電セル（又は蓄電モジュール） $SC_1 \sim SC_6$ の電圧は均等化される方向に向かう。

[0070] 共振周波数よりも低い周波数で上記接続状態の切り替えを行ったときも、モード2、3、4、及び1の期間中において回路内を流れる電流の経路は、

それぞれ図 17、図 18、図 19、及び図 20 に示されるものと同一である（但し、各モードにおいてキャパシタ C_r にも電流は流れるのであり、またこの電流の向きは、キャパシタ C_r の容量に依存して同一モード中でも随時変化する。）。多段倍電圧整流回路に対する入力電圧 v_{vm} は、端子 A、B 間の電圧とインダクタ L_r による誘導起電力との合計電圧であり、モード 2 の期間中に最大値をとる。図 9 の均等化回路と同様に、端子 B、A、インダクタ L_r 、キャパシタ C_1 、ダイオード D_2 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_2 、ダイオード D_4 、及び蓄電セル（又は蓄電モジュール） SC_2 、 SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_3 、ダイオード D_6 、及び蓄電セル（又は蓄電モジュール） SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_4 、ダイオード D_8 、及び蓄電セル（又は蓄電モジュール） SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_5 、ダイオード D_{10} 、及び蓄電セル（又は蓄電モジュール） SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{12} 、及び蓄電セル（又は蓄電モジュール） SC_6 、 SC_5 、 SC_4 、 SC_3 、 SC_2 、 SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{vm-E} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C1E} \sim V_{C6E}$ を、上記（2）式で表すことができる。同じく、図 9 の均等化回路と同様に、多段倍電圧整流回路に対する入力電圧 v_{vm} は、モード 4 の期間中に最小値をとる。 v_{vm} の最小値を V_{vm-0} とすれば、端子 B、A、インダクタ L_r 、キャパシタ C_1 、ダイオード D_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_2 、ダイオード D_3 、及び蓄電セル（又は蓄電モジュール） SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_3 、ダイオード D_5 、及び蓄電セル（又は蓄電モジュール） SC_2 、 SC_1 を通る経路と、端子 B、A、インダクタ L_r 、キャパシタ C_4 、ダイオード D_7 、及び蓄電セル（又は蓄電モジュール） SC_3 、 SC_2 、 SC_1 を通

る経路と、端子B, A、インダクタ L_r 、キャパシタ C_5 、ダイオード D_9 、及び蓄電セル（又は蓄電モジュール） SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、端子B, A、インダクタ L_r 、キャパシタ C_6 、ダイオード D_{11} 、及び蓄電セル（又は蓄電モジュール） SC_5 , SC_4 , SC_3 , SC_2 , SC_1 を通る経路と、にそれぞれキルヒホッフの第二法則を適用することにより、 v_{vm} が最小値 V_{VM-0} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C10} \sim V_{C60}$ を、上記（3）式で表すことができる。したがって、図22に示す均等化回路の動作も図15の直列等価回路によって説明することができるのであり、蓄電セル $SC_1 \sim SC_6$ の電圧は均等化される方向に向かう。共振回路としてその他の回路を用いたときも同様である。

[0071] また、特許文献1の提案する均等化回路において、共振回路にトランスを設けるならば、共振回路と多段倍電圧整流回路との接続点Fは、ダイオード $D_1 \sim D_{12}$ の各々の両端のうち、任意の位置にとることができる。一例として、接続点Dをダイオード D_2 と D_3 との中間点にとったときの均等化回路の構成を、図23に示す。このような構成においても、スイッチ Q_1 をオンとする状態と、スイッチ Q_2 をオンとする状態と、の間で接続状態を経時的に切り替えたとき、共振回路に対してはピーク電圧 V_{in} 、ボトム電圧ゼロの矩形状の電圧が出力される。インダクタ L_r 、共振回路内キャパシタ C_r 、及びキャパシタ $C_1 \sim C_6$ の共振現象により、インダクタ L_r を流れる電流 i_{Lr} は、図10に示す i_{Lr} のグラフと同様の交流電流となる。

[0072] 図23に示す均等化回路を、共振周波数よりも高いスイッチング周波数で動作させたときのモード2, 3, 4, 1における電流の経路を、それぞれ図24、図25、図26、図27に示す。図9の均等化回路等と同様に、モード2に対応する図24の回路にキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{VM-E} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C1E} \sim V_{C6E}$ を、以下の（2）'式で表すことができ、モード4に対応する図26の回路にキルヒホッフの第二法則を適用することにより、 v_{vm} が最小値 V_{VM-0} をとるときのキャパシタ $C_1 \sim C_6$ の電圧 $V_{C10} \sim V_{C60}$ を、以下の（3）'式で、それぞれ

表すことができる。

$$[0073] \quad \begin{cases} -V_{C1E} = -V_{VM-E} + V_D \\ -V_{C2E} = -V_{VM-E} + V_D + V_{SC2} \\ -V_{C3E} = -V_{VM-E} + V_D + V_{SC2} + V_{SC3} \\ -V_{C4E} = -V_{VM-E} + V_D + V_{SC2} + V_{SC3} + V_{SC4} \\ -V_{C5E} = -V_{VM-E} + V_D + V_{SC2} + V_{SC3} + V_{SC4} + V_{SC5} \\ -V_{C6E} = -V_{VM-E} + V_D + V_{SC2} + V_{SC3} + V_{SC4} + V_{SC5} + V_{SC6} \end{cases} \quad (2)'$$

$$[0074] \quad \begin{cases} -V_{C1O} = -V_{VM-O} - V_D - V_{SC1} \\ -V_{C2O} = -V_{VM-O} - V_D \\ -V_{C3O} = -V_{VM-O} - V_D + V_{SC2} \\ -V_{C4O} = -V_{VM-O} - V_D + V_{SC2} + V_{SC3} \\ -V_{C5O} = -V_{VM-O} - V_D + V_{SC2} + V_{SC3} + V_{SC4} \\ -V_{C6O} = -V_{VM-O} - V_D + V_{SC2} + V_{SC3} + V_{SC4} + V_{SC5} \end{cases} \quad (3)'$$

[0075] 上記(2)'式、(3)'式から、図9の均等化回路と同様に(4)式が得られる。したがって、図23に示す均等化回路を共振周波数よりも高いスイッチング周波数で動作させたときにも、蓄電セル（又は蓄電モジュール）SC1～SC6の電圧は均等化される方向に向かう。

[0076] さらに、図23に示す均等化回路を、共振周波数よりも低いスイッチング周波数で動作させたときのモード2、3、4、1における電流の経路を、それぞれ図28、図29、図30、図31に示す。図9の均等化回路等と同様に、モード2に対応する図28の回路にキルヒホッフの第二法則を適用することにより、 v_{vm} が最大値 V_{VM-E} をとるときのキャパシタC1～C6の電圧 $V_{C1E} \sim V_{C6E}$ を、上記(2)'式で表すことができ、モード4に対応する図30の回路にキルヒホッフの第二法則を適用することにより、 v_{vm} が最小値 V_{VM-O} をとるときのキャパシタC1～C6の電圧 $V_{C1O} \sim V_{C6O}$ を、上記(3)'式で、それぞ

れ表すことができる。

- [0077] 上記(2)'式、(3)'式から、図9の均等化回路と同様に(4)式が得られる。したがって、図23に示す均等化回路を共振周波数よりも低いスイッチング周波数で動作させたときにも、蓄電セル(又は蓄電モジュール)SC1～SC6の電圧は均等化される方向に向かう。接続点Dを他の位置にとった場合も、同様に(4)式が得られ、蓄電セル(又は蓄電モジュール)SC1～SC6の電圧は均等化される方向に向かうことが示される。

[0078] 電圧均等化回路システム

以上のとおり先願発明により開示される回路要素の構成、動作を踏まえて、本発明の電圧均等化回路システムの概念を説明する。

- [0079] 図32は、4直列構成の蓄電セルからなる蓄電モジュールを3つ直列接続してなる蓄電システムに対し、本発明に係る電圧均等化回路システムの一例として、図示するとおり蓄電モジュール電圧均等化回路と蓄電セル電圧均等化回路とからなるモジュラー式均等化回路を設けたときの概念図である。

- [0080] 典型的な態様において、図32中の蓄電モジュール電圧均等化回路はスイッチングコンバータの一種であり、蓄電モジュール電圧均等化回路内のスイッチングノードでは、その動作に伴い副次的に矩形波状電圧が発生している。本発明の教示するモジュラー式均等化回路においては、蓄電モジュール電圧均等化回路内で副次的に発生する、この矩形波状電圧を利用して蓄電セル電圧均等化回路を動作させることにより、蓄電セル電圧均等化回路を完全にスイッチレス化することが可能となる。すなわち、蓄電セル電圧均等化回路を構成するにあたって、特許文献1の均等化回路に含まれていた入力回路を設ける必要がない。蓄電セル電圧均等化回路には、図3に示した回路中の直列共振型倍電圧整流回路を初めとして、特許文献1の記載に基づいてこれまでに説明した均等化回路を構成する多段倍電圧整流回路と共振回路とからなる、様々なタイプの共振型倍電圧整流回路を用いることができる。一方、蓄電モジュール電圧均等化回路には、スイッチ切り替えにより動作する様々な

均等化回路方式を採用することができる。

実施例 1

[0081] 電圧均等化回路システムの具体例として、スイッチトキャパシタにより蓄電モジュール電圧均等化回路を構成し、蓄電セル電圧均等化回路には図3の直列共振型倍電圧整流回路を用いた場合のシステム構成を図33に示す。

[0082] キャパシタ C_m とスイッチ Q_{L1} , Q_{H1} , Q_{L2} , Q_{H2} を含んでなるスイッチトキャパシタとして、蓄電モジュール電圧均等化回路が構成される。また、キャパシタ C_{r1} , インダクタ L_{r1} を含んでなる共振回路と、キャパシタ $C_{1-1} \sim C_{1-4}$, ダイオード $D_{1-1} \sim D_{1-8}$, 及び必須ではないが出力側キャパシタ $C_{o1-1} \sim C_{o1-4}$ を含んでなる直列共振型倍電圧整流回路として、第1の蓄電セル電圧均等化回路が構成され、キャパシタ C_{r2} , インダクタ L_{r2} を含んでなる共振回路と、キャパシタ $C_{2-1} \sim C_{2-4}$, ダイオード $D_{2-1} \sim D_{2-8}$, 及び必須ではないが出力側キャパシタ $C_{o2-1} \sim C_{o2-4}$ を含んでなる直列共振型倍電圧整流回路として、第2の蓄電セル電圧均等化回路が構成される。なお、図33中の R_{bias1} , R_{bias2} はバイアス抵抗であり、それぞれキャパシタ C_{r1} や $C_{1-1} \sim C_{1-4}$ 、及びキャパシタ C_{r2} や $C_{2-1} \sim C_{2-4}$ の電圧を安定化させるために任意で設けられる。

[0083] 動作においては、図33に示すとおり第1及び第2の蓄電セル電圧均等化回路を、蓄電セル $B_{1-1} \sim B_{1-4}$ からなる第1の蓄電モジュール、及び蓄電セル $B_{2-1} \sim B_{2-4}$ からなる第2の蓄電モジュールにそれぞれ接続した上で、スイッチトキャパシタにおいてスイッチ Q_{L1} , Q_{L2} のみがオンとなった状態とスイッチ Q_{H1} , Q_{H2} のみがオンになった状態とを、各状態の時比率（スイッチングの一周期に対する、各状態の実現する時間の割合）を等しくして交互に切り替える。ただし、上記時比率は等しくなくても動作可能である（スイッチトキャパシタを用いた蓄電モジュール電圧均等化回路の均等化性能の観点では等しい時比率が望ましい）。また、蓄電モジュール電圧均等化回路の実用上、必要に応じてスイッチングにはデッドタイム

を適宜設ける。これにより、第1の蓄電モジュールと第2の蓄電モジュールとがキャパシタ C_m を介して並列接続されて相互充放電することで、両蓄電モジュールの電圧ばらつきが解消される方向に向かう（なお、「蓄電モジュールの電圧」とは蓄電モジュール両端間の電圧である。「蓄電セルの電圧」等についても同様。他の実施例においても同様。）。

[0084] さらに、このような動作においては、スイッチ Q_{L1} 、 Q_{L2} にそれぞれ矩形波状電圧が発生する。具体的に、まずスイッチ Q_{L1} 、 Q_{L2} がオンのタイミングにおいては、スイッチ Q_{L1} 、 Q_{L2} の両端に印加される電圧はそれぞれゼロであるが（説明の簡略化のため、ダイオードの順方向降下電圧はゼロとする。以下同様。）、 Q_{H1} 、 Q_{H2} がオンのタイミングにおいては、スイッチ Q_{L1} の両端に印加される電圧は「蓄電セル $B_{1-1} \sim B_{1-4}$ に印加される電圧の合計電圧（第1の蓄電モジュールの電圧）」であり、スイッチ Q_{L2} の両端に印加される電圧は「蓄電セル $B_{2-1} \sim B_{2-4}$ に印加される電圧の合計電圧（第2の蓄電モジュールの電圧）」である。これら矩形波状電圧が、直列共振型倍電圧整流回路としてそれぞれ構成される、第1、第2の蓄電セル電圧均等化回路にそれぞれ入力される。

[0085] 特許文献1に基づいて説明したとおり、直列共振型倍電圧整流回路に矩形波状電圧が入力されるとき、矩形波状電圧は共振回路によって交流電圧へと変換され、多段倍電圧整流回路が交流電圧によって動作することにより、当該多段倍電圧整流回路に接続された蓄電セルの電圧が均等化される。すなわち、第1の蓄電セル電圧整流回路においては、スイッチ Q_{L1} 、 Q_{H1} 間のスイッチングノードから入力される矩形波状電圧が、キャパシタ C_{r1} 、インダクタ L_{r1} を含む共振回路により交流電圧へと変換され、この交流電圧が、キャパシタ $C_{1-1} \sim C_{1-4}$ 、ダイオード $D_{1-1} \sim D_{1-8}$ 、出力側キャパシタ $C_{o1-1} \sim C_{o1-4}$ を含む多段倍電圧整流回路へと入力され、多段倍電圧整流回路の動作により蓄電セル $B_{1-1} \sim B_{1-4}$ の電圧が均等化される（出力側キャパシタ $C_{o1-1} \sim C_{o1-4}$ の電圧が均等化され、これらにそれぞれ並列接続された蓄電セル $B_{1-1} \sim B_{1-4}$ の電圧が

均等化される。出力側キャパシタ $C_{o1-1} \sim C_{o1-4}$ を用いない場合は、蓄電セル $B_{1-1} \sim B_{1-4}$ の電圧が直接均等化される。）。第2の蓄電セル電圧整流回路においては、スイッチ Q_{L2} 、 Q_{H2} 間のスイッチングノードから入力される矩形波状電圧が、キャパシタ C_{r2} 、インダクタ L_{r2} を含む共振回路により交流電圧へと変換され、この交流電圧が、キャパシタ $C_{2-1} \sim C_{2-4}$ 、ダイオード $D_{2-1} \sim D_{2-8}$ 、出力側キャパシタ $C_{o2-1} \sim C_{o2-4}$ を含む多段倍電圧整流回路へと入力され、多段倍電圧整流回路の動作により蓄電セル $B_{2-1} \sim B_{2-4}$ の電圧が均等化される（出力側キャパシタ $C_{o2-1} \sim C_{o2-4}$ の電圧が均等化され、これらにそれぞれ並列接続された蓄電セル $B_{2-1} \sim B_{2-4}$ の電圧が均等化される。出力側キャパシタ $C_{o2-1} \sim C_{o2-4}$ を用いない場合は、蓄電セル $B_{2-1} \sim B_{2-4}$ の電圧が直接均等化される。）。

[0086] 以上のとおり、蓄電モジュール電圧均等化回路による蓄電モジュール電圧の均等化と、第1、第2の蓄電セル電圧均等化回路による各蓄電モジュール内での蓄電セル電圧の均等化とが並行して進むことにより、蓄電システムに含まれる各蓄電セルの電圧を均等化することができる。

[0087] 図34に、蓄電モジュール電圧均等化回路（スイッチトキャパシタ）と蓄電セル電圧均等化回路（直列共振型倍電圧整流回路）とが統合されておらず、それぞれの回路が別個にスイッチを備える、従来の電圧均等化回路システムを示す。従来のシステムにおいては、スイッチトキャパシタに含まれるスイッチ Q_{L1} 、 Q_{H1} 、 Q_{L2} 、 Q_{H2} と、それぞれの直列共振型倍電圧整流回路に接続されたスイッチ Q_{1-1} 、 Q_{1-2} と Q_{2-1} 、 Q_{2-2} とを別個に制御することで、蓄電モジュール電圧の均等化と蓄電セル電圧の均等化とを別個に行っていた。図34の従来例と比較して、図33の均等化回路システムにおいてはスイッチが8個から4個へと削減されている。

[0088] 本発明の均等化回路システムによって電圧均等化が行われる蓄電モジュール、蓄電セルの直列数は任意である。図35に、蓄電モジュールの直列数が3である場合のシステム回路図を示す。図面の簡素化のため、蓄電セル電圧

均等化回路に関しては第1の蓄電モジュールに対して設けられる回路のみ図示しており、その他の蓄電モジュールに対して設けられる蓄電セル電圧均等化回路はブロック図で表している。

実施例 2

[0089] 図33においては、蓄電モジュール電圧均等化回路にスイッチトキャパシタを用いた回路構成を示したが、その他の均等化回路方式を蓄電モジュール電圧均等化回路に用いることも可能である。一例として、図36に、蓄電モジュール電圧均等化回路と蓄電セル電圧均等化回路の両方に直列共振型倍電圧整流回路を用いたモジュラー式電圧均等化回路システムを示す。

[0090] キャパシタ C_{rm} 、インダクタ L_{rm} を含んでなる共振回路と、キャパシタ $C_{m1} \sim C_{m3}$ 、ダイオード $D_{m1} \sim D_{m6}$ とを含んでなる直列共振型倍電圧整流回路を、スイッチ Q_L 、 Q_H の各々にフライホイールダイオードを並列接続してなる入力回路と接続することで蓄電モジュール電圧均等化回路が構成される。 $R_{bias-rm}$ はバイアス抵抗であり、キャパシタ C_{rm} や $C_{m1} \sim C_{m3}$ の電圧を安定化させるために任意で設けられる。3つの蓄電セル電圧均等化回路も、図33に示したものと同様に直列共振型倍電圧整流回路として構成される。

[0091] 動作においては、蓄電モジュール電圧均等化回路の入力回路においてスイッチ Q_L のみがオンの状態とスイッチ Q_H のみがオンの状態とを交互に等しい時比率（スイッチングの一周期に対する、各状態の実現する時間の割合）で切り替えることにより矩形波状電圧を出力し、この矩形波状電圧をキャパシタ C_{rm} 、インダクタ L_{rm} を含んでなる共振回路で交流電圧へと変換し、この交流電圧が、キャパシタ $C_{m1} \sim C_{m3}$ 、ダイオード $D_{m1} \sim D_{m6}$ を含む多段倍電圧整流回路へと入力され、多段倍電圧整流回路の動作により第1～第3の蓄電モジュール（図36中、モジュール1～3）の電圧が均等化される。ただし、実施例1と同様に上記時比率は等しくなくても動作可能であるし、必要に応じてスイッチングにはデッドタイムを適宜設ける。

[0092] ここで、上記入力回路におけるスイッチ切り替えに伴い、ダイオード D_m

1 と D m 2 間、D m 3 と D m 4 間、及び D m 5 と D m 6 間にはそれぞれ矩形波状の電圧が発生する。具体的には、特許文献 1 に基づいて既に説明したとおり、キャパシタ C m 1 ～C m 3，ダイオード D m 1 ～D m 6 を含んでなる多段倍電圧整流回路においては奇数番号ダイオード D m 1，D m 3，D m 5 が導通した状態と、偶数番号ダイオード D m 2，D m 4，D m 6 が導通した状態とが交互に実現されるが（図 1 1 ～図 1 4，図 1 7 ～図 2 0 等）、奇数番号ダイオードが導通しているとき、それらのダイオード D m 1，D m 3，D m 5 両端に印加される電圧はゼロであり（説明の簡略化のため、ダイオードの順方向降下電圧はゼロとする。以下同様。）、偶数番号ダイオード D m 2，D m 4，D m 6 両端に印加される電圧は、それぞれ第 1 の蓄電モジュールの電圧、第 2 の蓄電モジュールの電圧、第 3 の蓄電モジュールの電圧に等しくなり、一方で偶数番号ダイオードが導通しているとき、それらのダイオード D m 2，D m 4，D m 6 両端に印加される電圧はゼロであり、奇数番号ダイオード D m 1，D m 3，D m 5 両端に印加される電圧は、それぞれ第 1 の蓄電モジュールの電圧、第 2 の蓄電モジュールの電圧、第 3 の蓄電モジュールの電圧に等しくなる。したがって、図 3 3 に示す電圧均等化回路システムの動作と同様に、各々の蓄電セル電圧均等化回路に対しては矩形波状電圧が入力される。

[0093] 3つの蓄電セル均等化回路は、図 3 3 と同様に直列共振型倍電圧整流回路により構成されているため、既に特許文献 1 や実施例 1 で説明したとおり、これら直列共振型倍電圧整流回路が矩形波状電圧を入力電圧として動作することにより、各蓄電モジュール内で蓄電セル電圧が均等化される。図 3 6 の構成においても蓄電セル電圧均等化回路はスイッチレスで動作可能であり、モジュラー均等化回路として構成される電圧均等化回路システム全体として必要となるスイッチ数は 2 つ（蓄電モジュール電圧均等化回路内のスイッチ Q L，Q H）である。

実施例 3

[0094] 蓄電モジュール電圧均等化回路の他の例として、スイッチ Q 1，Q 2 とイ

ンダクタLを含んでなるスイッチ式昇降圧コンバータを用いた電圧均等化回路システムの構成を図37に示す。蓄電セル電圧均等化回路の構成は、図33等と同様である。

- [0095] 図37の電圧均等化回路システムにおいては、スイッチQ1、Q2のうちQ1のみがオンの状態と、Q2のみがオンの状態とを交互に切り替えることにより第1、第2の蓄電モジュール（図37中、モジュール1、2）の電圧が均等化される。具体的には、スイッチQ1の時比率（スイッチングの一周期に対する、スイッチQ1のみがオンの状態の実現する時間の割合）をDとしたとき（ $0 < D < 1$ ）、第1、第2の蓄電モジュールの電圧を V_{M1} 、 V_{M2} とすれば、定常状態でのインダクタLにおける磁束のバランスから、以下の式
- $$D V_{M1} = (1 - D) V_{M2} \cdots (7)$$
- が成り立つのであり、時比率を50%（ $D = 0.5$ ）とすることにより、 $V_{M1} = V_{M2}$ となって第1、第2の蓄電モジュールの電圧が均等化される。

- [0096] このとき、スイッチQ1のみがオンの状態でスイッチQ1に印加される電圧はゼロとなり、スイッチQ2のみがオンの状態でスイッチQ1に印加される電圧は $V_{M1} + V_{M2}$ に等しい。したがって、スイッチQ1、Q2の切り替えに伴ってスイッチQ1、Q2間には矩形波状の電圧が発生する。この矩形波状電圧が、第1、第2の蓄電モジュールにそれぞれ接続された2つの直列共振型倍電圧整流回路（蓄電セル電圧均等化回路）にそれぞれ入力され、既に説明したとおり第1、第2の蓄電モジュール内でそれぞれ蓄電セル電圧が均等化されることとなる。

産業上の利用可能性

- [0097] 本発明は、コンデンサ、二次電池、電気二重層キャパシタ等の蓄電セルを用いる電源に広く適用できる。

符号の説明

- [0098] SC1～SC6, B1～B3, B1-1～B1-4, B2-1～B2-4,
B3-1～B3-4 蓄電セル（又は蓄電モジュール）
C1～C6, Ca, Cb, Cout1～Cout4, C1-1～C1-4,

$C2-1 \sim C2-4$, $Co1-1 \sim Co1-4$, $Co2-1 \sim Co2-4$

キャパシタ

$D1 \sim D12$, $D1-1 \sim D1-8$, $D2-1 \sim D2-8$

ダイオード

$Q1 \sim Q6$, $QL1 \sim QL3$, $QH1 \sim QH3$, $Q1-1$, $Q1-2$, $Q2-1$, $Q2-2$

スイッチ

$Da \sim Dd$

フライホイールダイオード

L , Lr , $Lr1$, $Lr2$, Lm , Lp

インダクタ

Cr , $Cr1$, $Cr2$

共振回路内キャパシタ

$Rbias1$, $Rbias2$

バイアス抵抗

請求の範囲

[請求項1] 第1から第 n (n は2以上の整数)の蓄電モジュールの各々に対して各々接続されて、各々の蓄電モジュールに含まれる複数の蓄電セル間で蓄電セル電圧を均等化するように各々構成された、第1から第 n の蓄電セル電圧均等化回路と、

前記第1から第 n の蓄電モジュール間で蓄電モジュール電圧を均等化するように構成された、スイッチ切り替えにより動作する蓄電モジュール電圧均等化回路と

を備え、

前記第1から第 n の蓄電セル電圧均等化回路の各々は、前記蓄電モジュール電圧均等化回路から、前記スイッチ切り替えに応じて変化する入力電圧の入力を受けて動作するように構成された、電圧均等化回路システム。

[請求項2] 第 k (k は1から n のいずれか)の前記蓄電モジュールに含まれる蓄電セルの数を m_k (m_k は2以上の整数)としたとき、第 k の前記蓄電セル電圧均等化回路は、

直列接続された第1から第 m_k の蓄電セルの各々に対して、2つの直列接続された蓄電セル電圧均等化回路内ダイオードを並列に接続し、更に、該2つの直列接続された蓄電セル電圧均等化回路内ダイオードの各々における中間点に蓄電セル電圧均等化回路内キャパシタが接続された、蓄電セル電圧均等化回路内多段倍電圧整流回路と、

前記入力電圧を変換し、前記蓄電セル電圧均等化回路内キャパシタの各々に対して交流電圧を出力する、蓄電セル電圧均等化回路内共振回路と

を備え、前記蓄電セル電圧均等化回路内共振回路から出力される前記交流電圧によって前記第1から第 m_k の蓄電セルの電圧を均等化するように構成された、

請求項1に記載の電圧均等化回路システム。

- [請求項3] 前記蓄電セル電圧均等化回路内共振回路が、直列接続された共振回路内インダクタと共振回路内キャパシタとを備える、請求項2に記載の電圧均等化回路システム。
- [請求項4] 前記蓄電モジュール電圧均等化回路は、1以上の蓄電モジュール電圧均等化回路内キャパシタを更に備え、前記スイッチ切り替えにより、前記第1から第nの蓄電モジュールと該1以上の蓄電モジュール電圧均等化回路内キャパシタとの接続状態を変化させて、該第1から第nの蓄電モジュールに該1以上の蓄電モジュール電圧均等化回路内キャパシタを介した相互充放電をさせることにより、該第1から第nの蓄電モジュールの電圧を均等化するよう構成された、請求項1乃至3のいずれか一項に記載の電圧均等化回路システム。
- [請求項5] 前記蓄電モジュール電圧均等化回路は、
直列接続された前記第1から第nの蓄電モジュールの各々に対して、2つの直列接続された蓄電モジュール電圧均等化回路内ダイオードを並列に接続し、更に、該2つの直列接続された蓄電モジュール電圧均等化回路内ダイオードの各々における中間点に蓄電モジュール電圧均等化回路内キャパシタが接続された、蓄電モジュール電圧均等化回路内多段倍電圧整流回路と、
直列接続された前記第1から第nの蓄電モジュール各々の電圧の合計電圧の入力を受けて、前記スイッチ切り替えにより変化する電圧を出力する、蓄電モジュール電圧均等化回路内入力回路と、
前記蓄電モジュール電圧均等化回路内入力回路から出力された電圧を変換し、前記蓄電モジュール電圧均等化回路内キャパシタの各々に対して交流電圧を出力する、蓄電モジュール電圧均等化回路内共振回路と
を備え、前記蓄電モジュール電圧均等化回路内共振回路から出力される前記交流電圧によって前記第1から第nの蓄電モジュールの電圧を均等化するよう構成された、

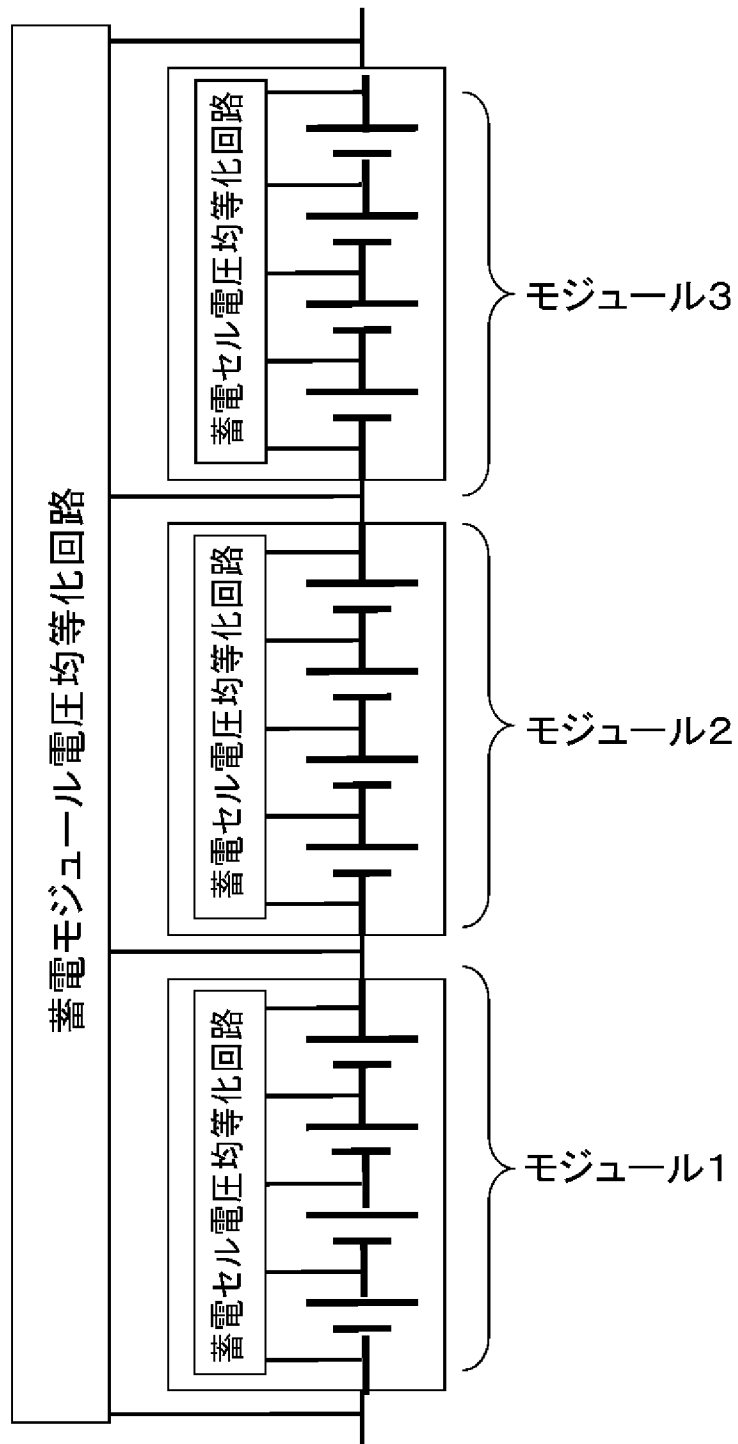
請求項 1 乃至 3 のいずれか一項に記載の電圧均等化回路システム。

[請求項6] 前記蓄電モジュール電圧均等化回路内共振回路が、直列接続された共振回路内インダクタと共振回路内キャパシタとを備える、請求項 5 に記載の電圧均等化回路システム。

[請求項7] 前記蓄電モジュール電圧均等化回路は、蓄電モジュール電圧均等化回路内インダクタを備えたスイッチ式コンバータとして構成され、前記スイッチ切り替えの時比率を調整することにより前記第 1 から第 n の蓄電モジュールの電圧を均等化するように構成された、請求項 1 乃至 3 のいずれか一項に記載の電圧均等化回路システム。

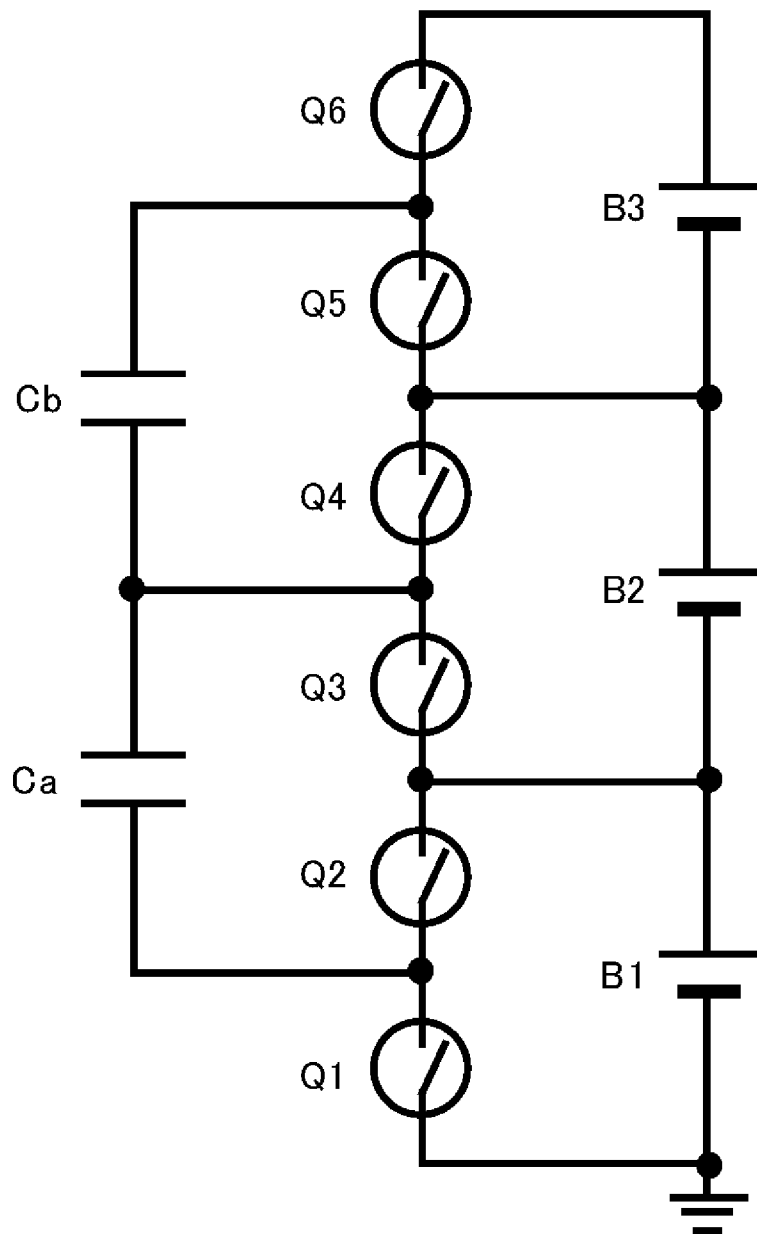
[図1]

FIG.1



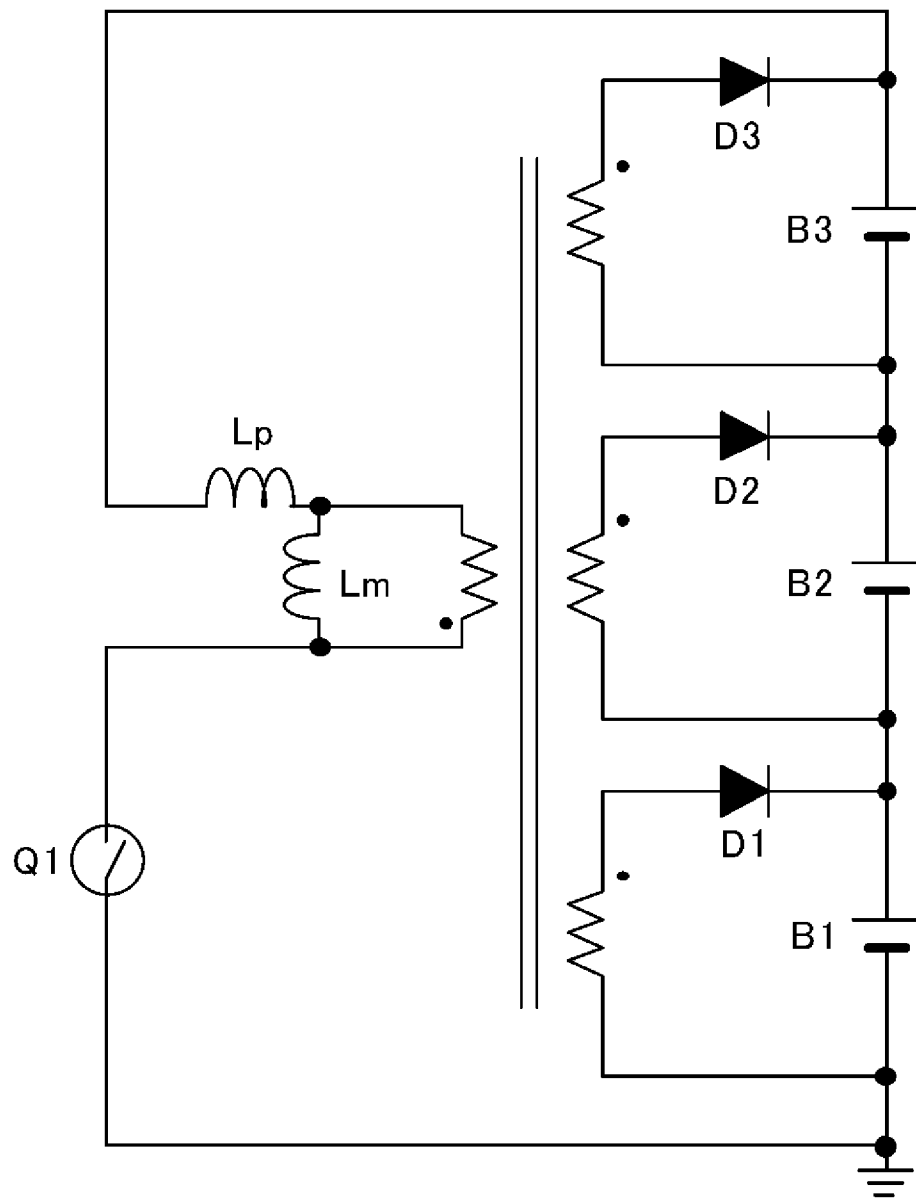
[図2a]

FIG.2a



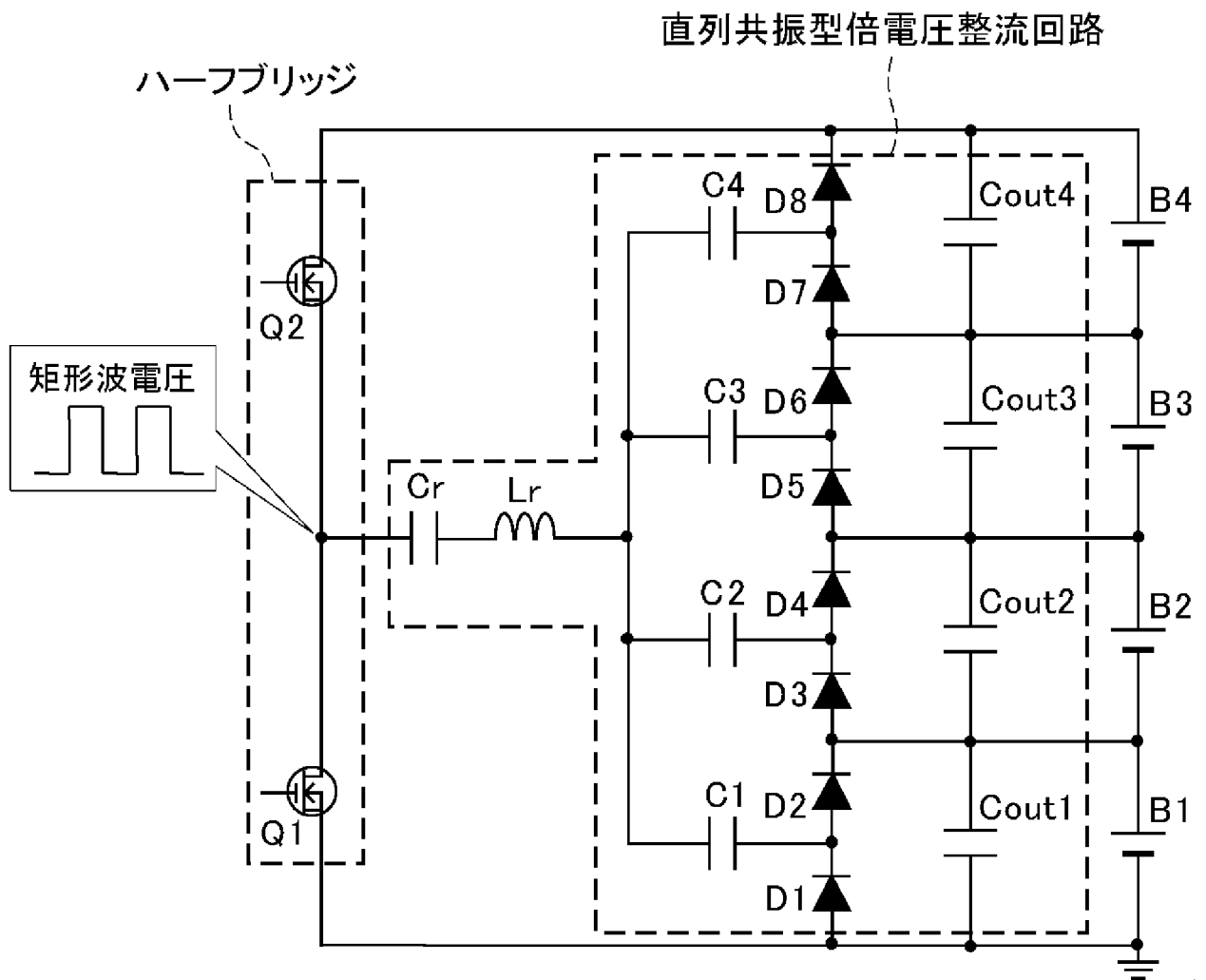
[図2b]

FIG.2b



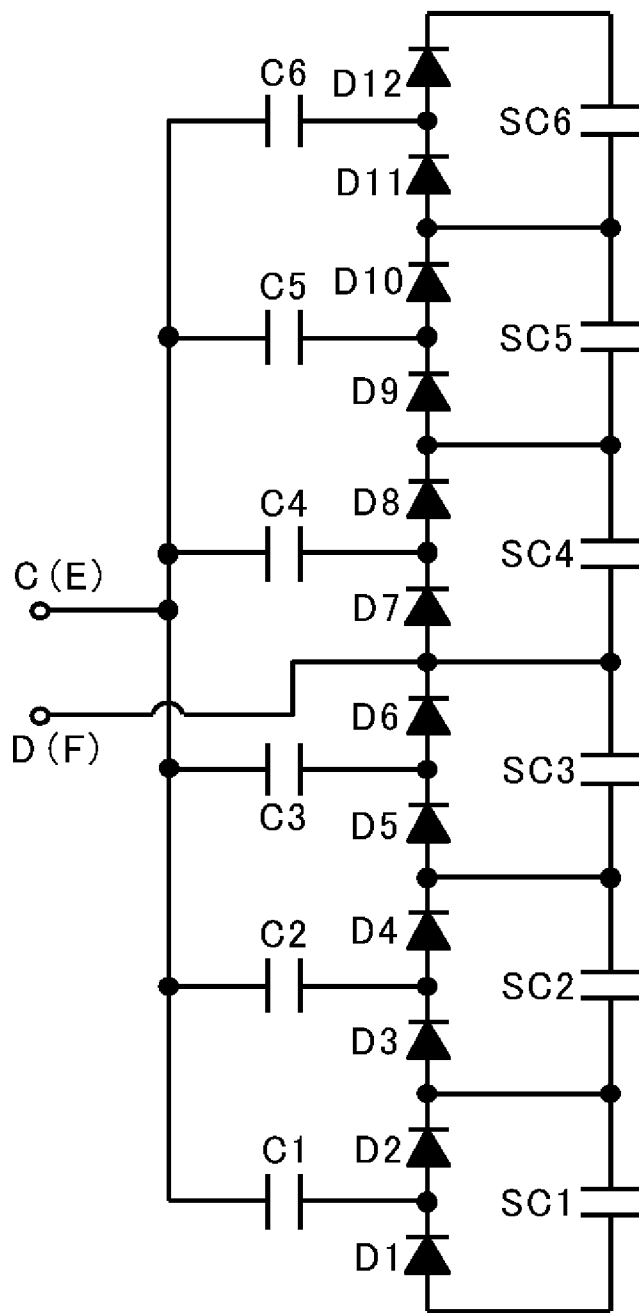
[図3]

FIG.3



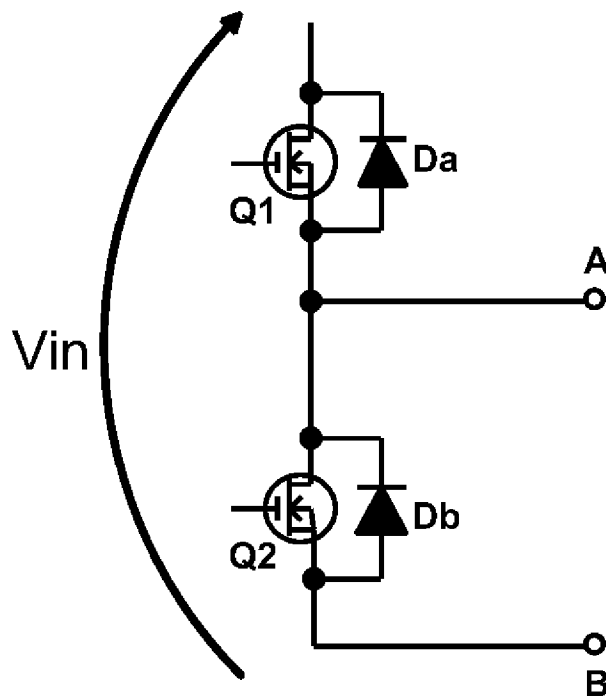
[図4]

FIG.4



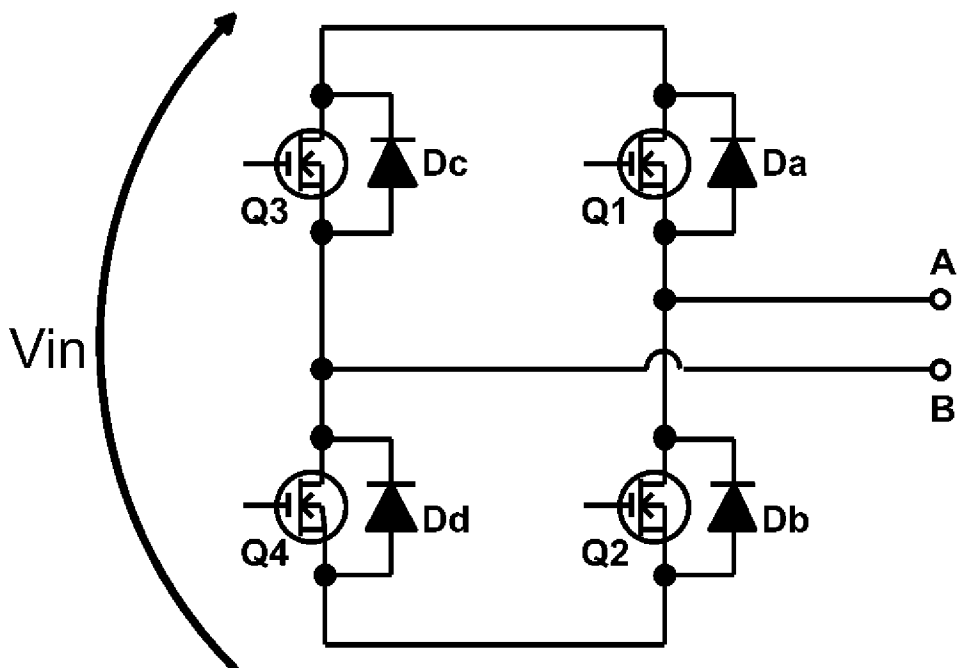
[図5a]

FIG.5a



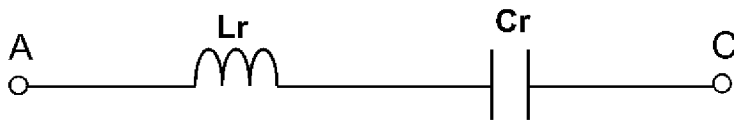
[図5b]

FIG.5b



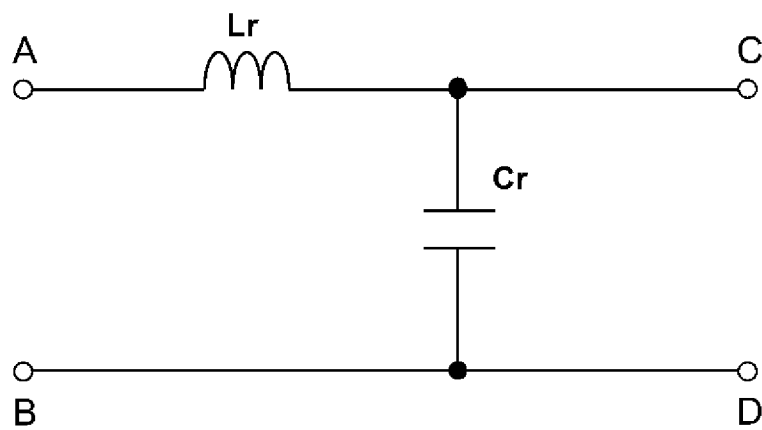
[図6a]

FIG.6a



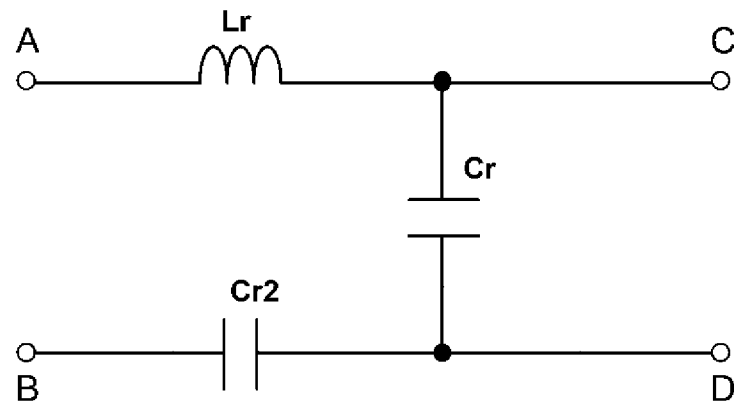
[図6b]

FIG.6b



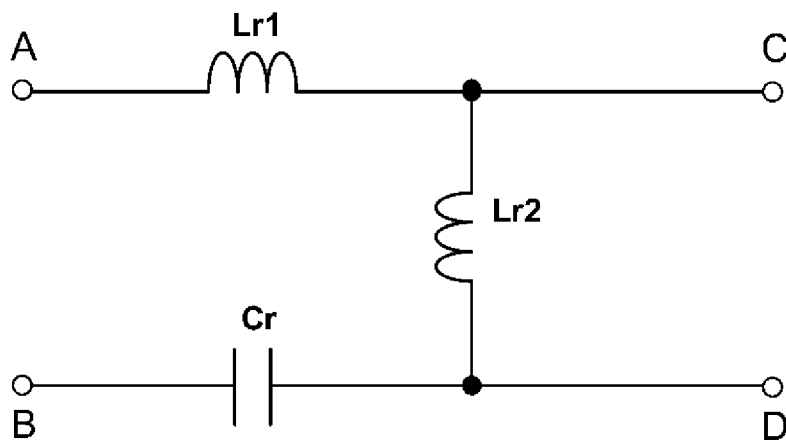
[図6c]

FIG.6c



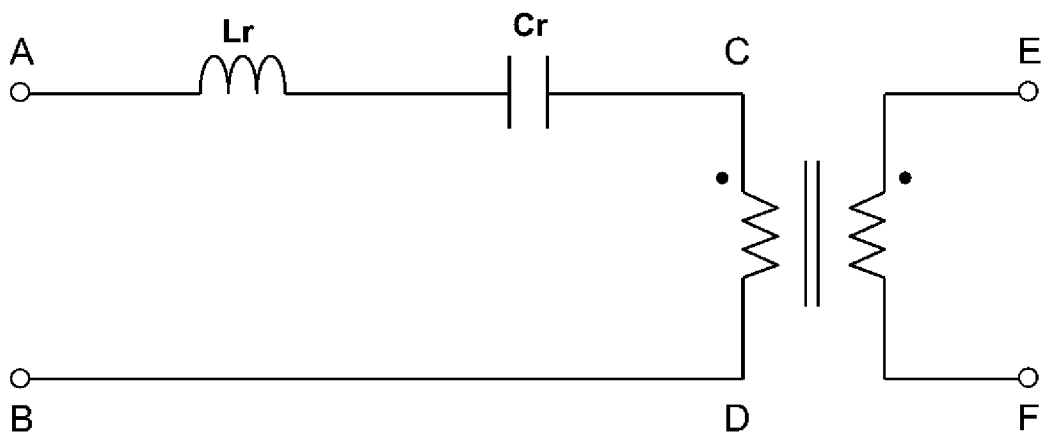
[図6d]

FIG.6d



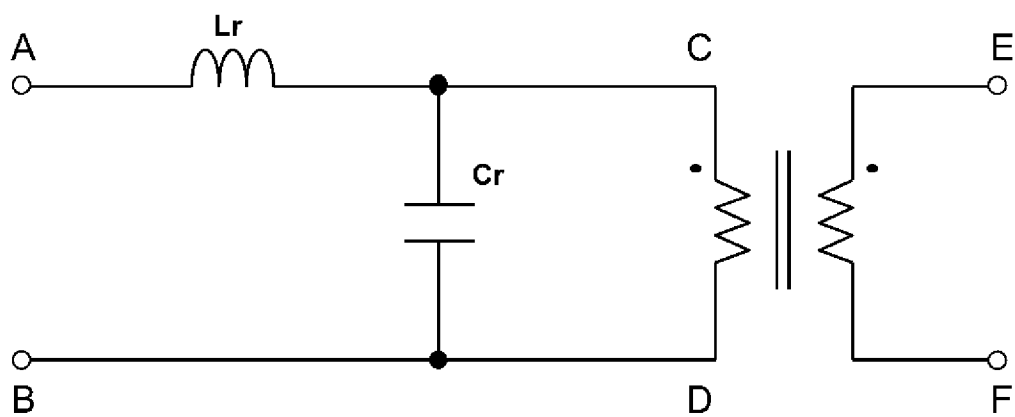
[図7a]

FIG.7a



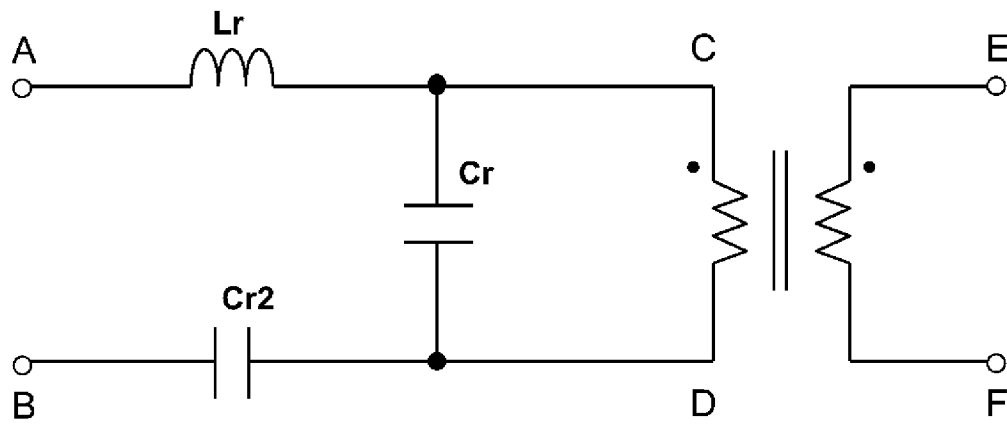
[図7b]

FIG.7b



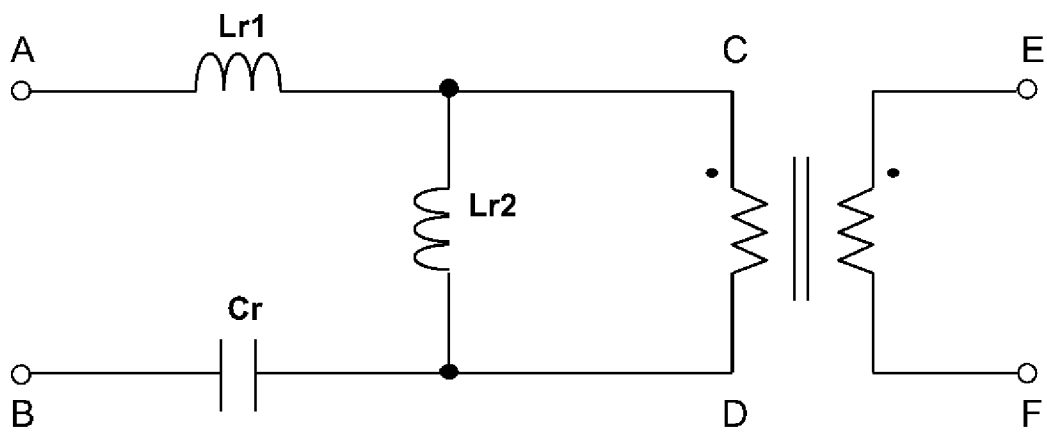
[図7c]

FIG.7c



[図7d]

FIG.7d



[図8]

FIG.8

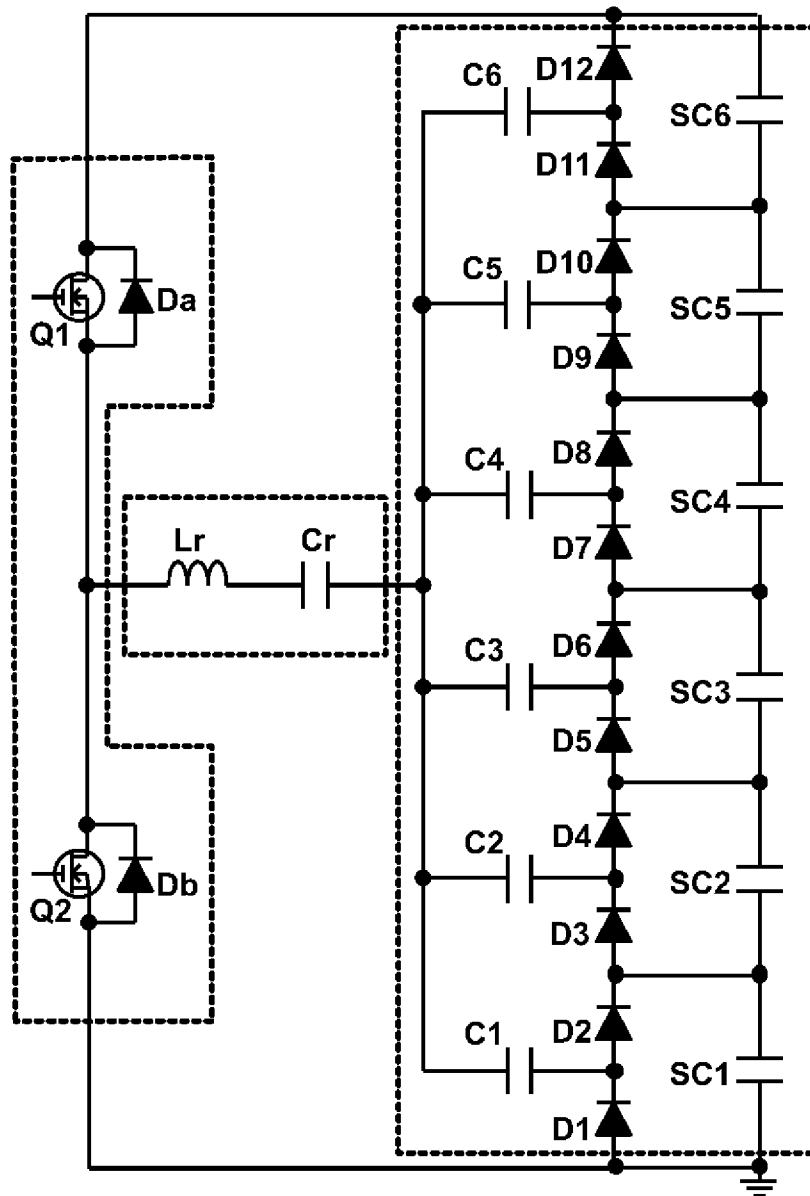
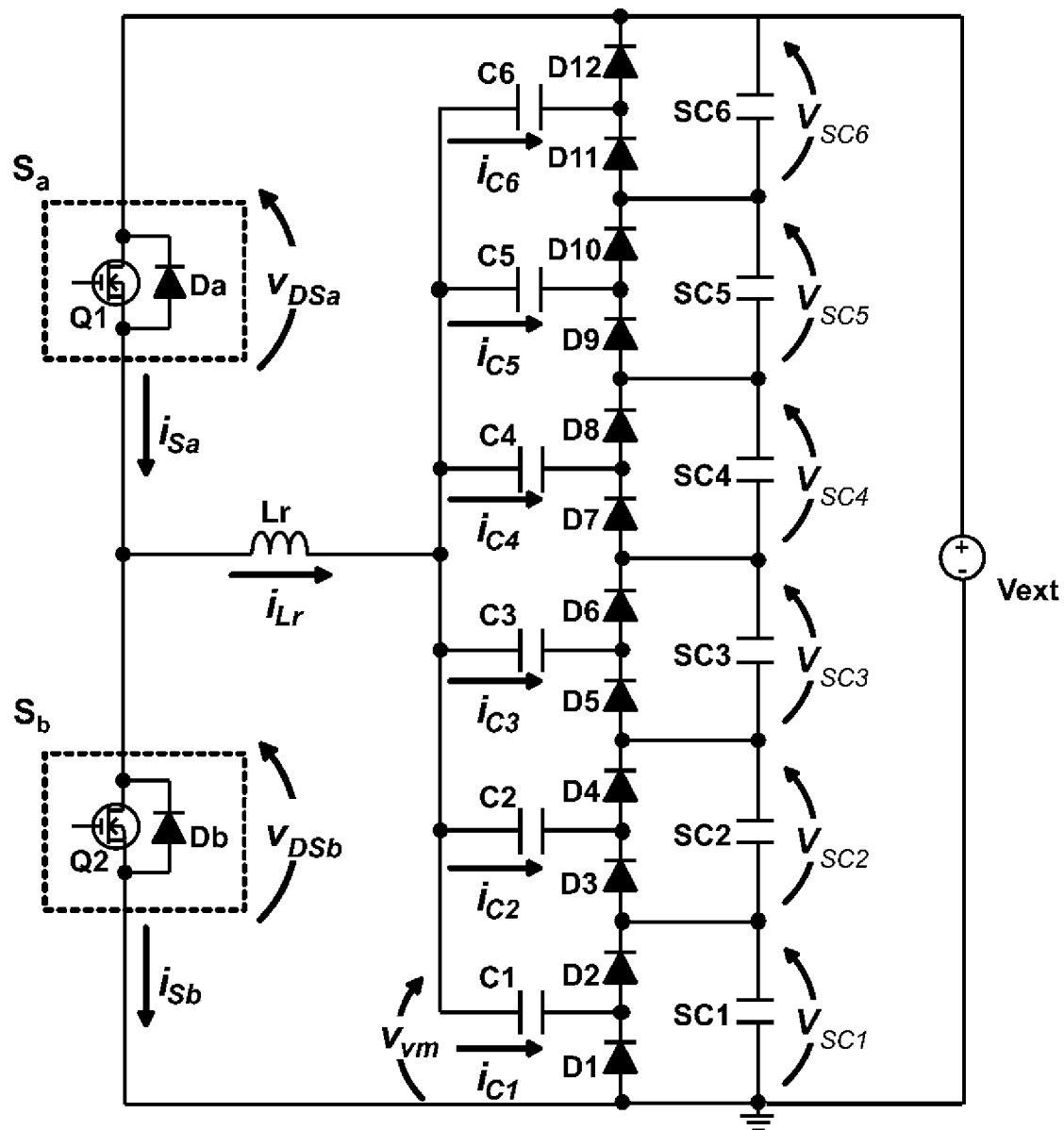
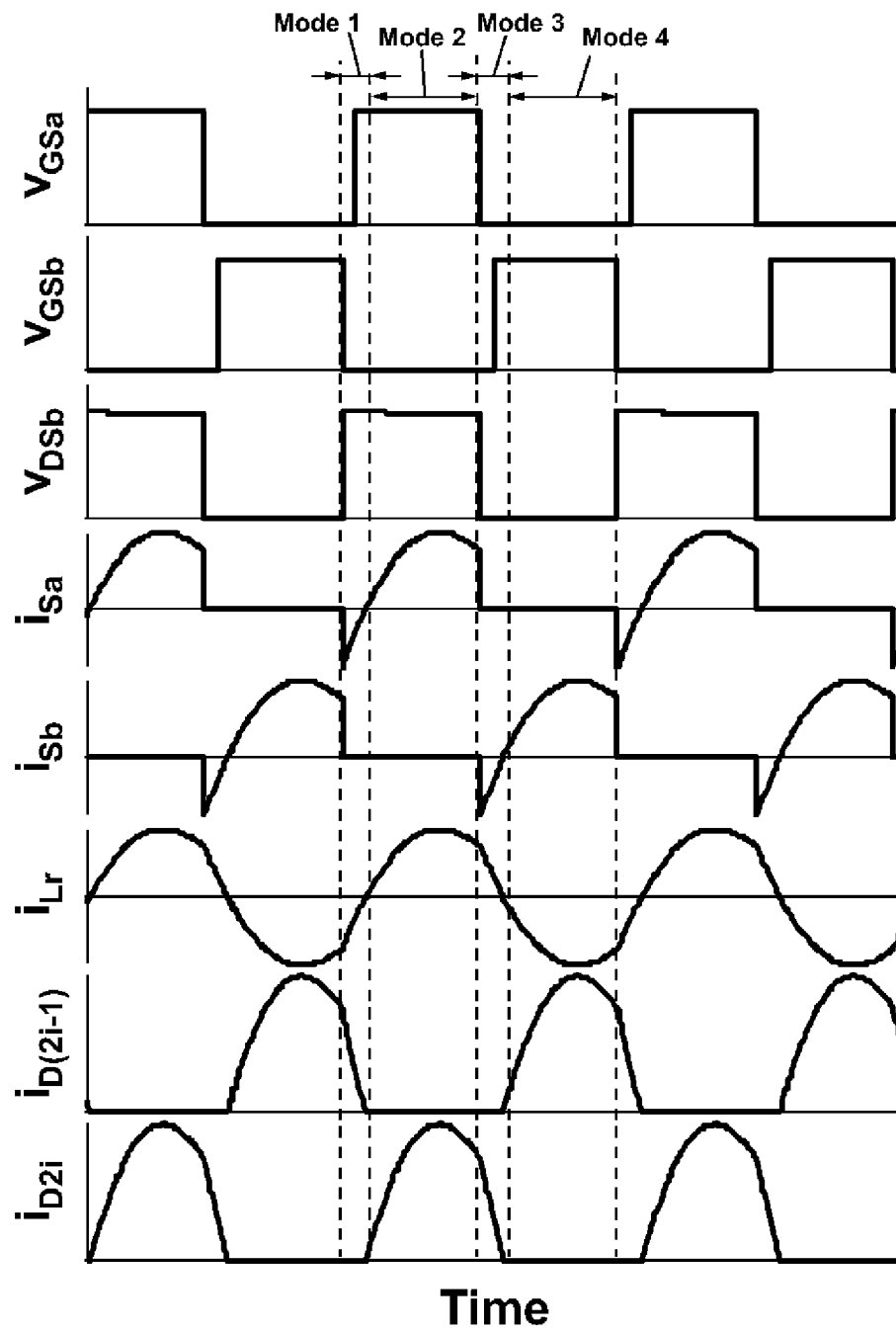


FIG.9



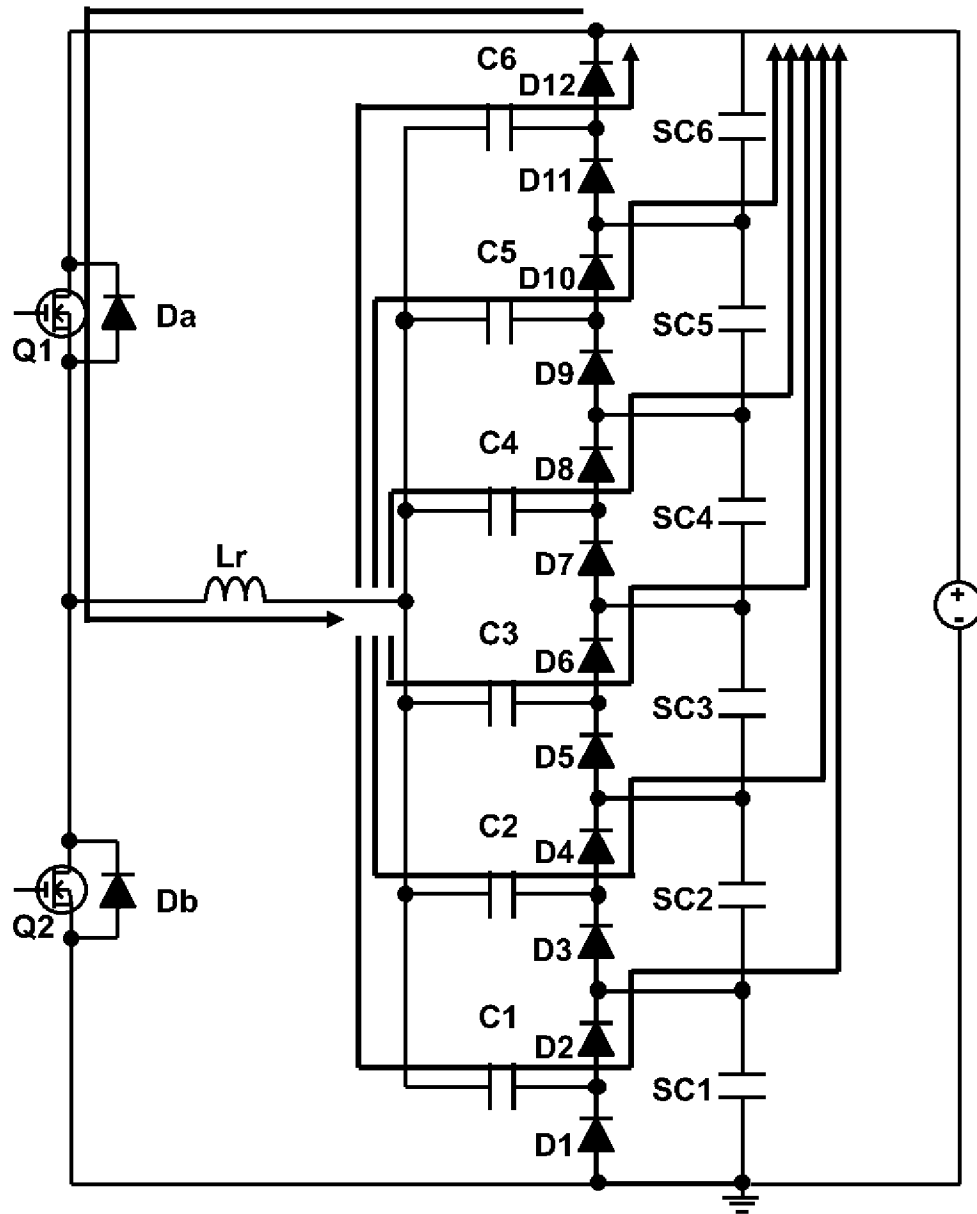
[図10]

FIG.10



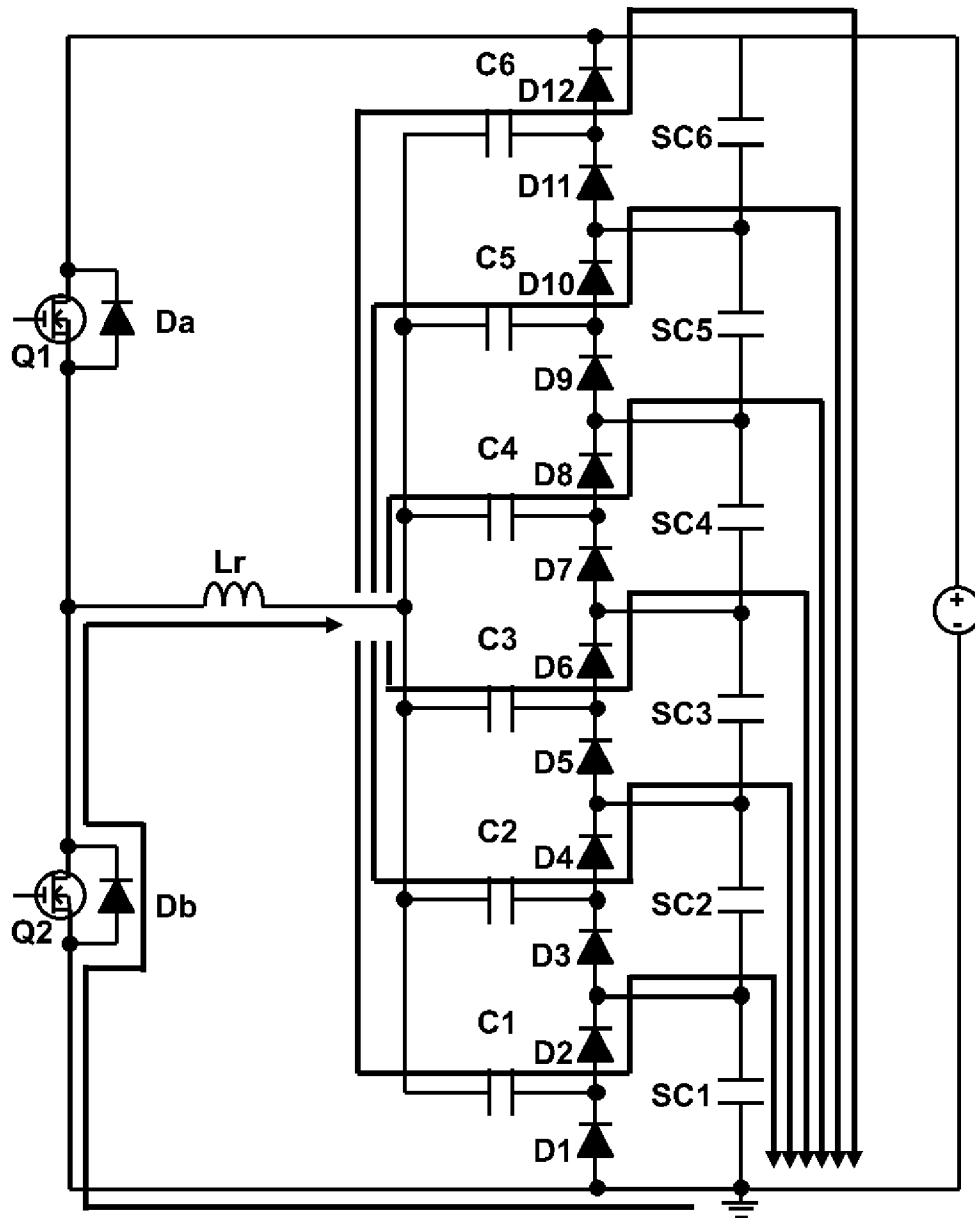
[図11]

FIG.11



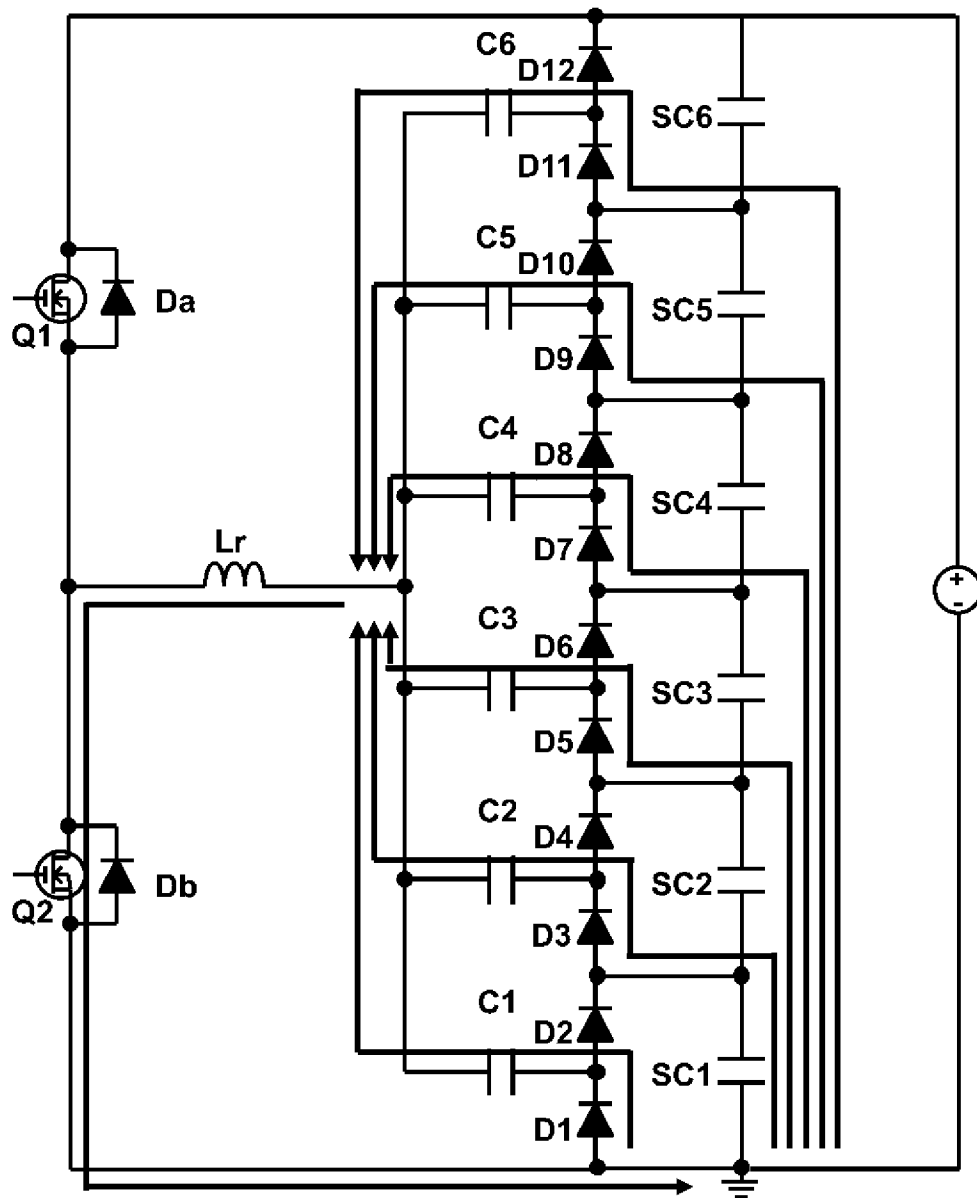
[図12]

FIG.12



[図13]

FIG.13



[図14]

FIG.14

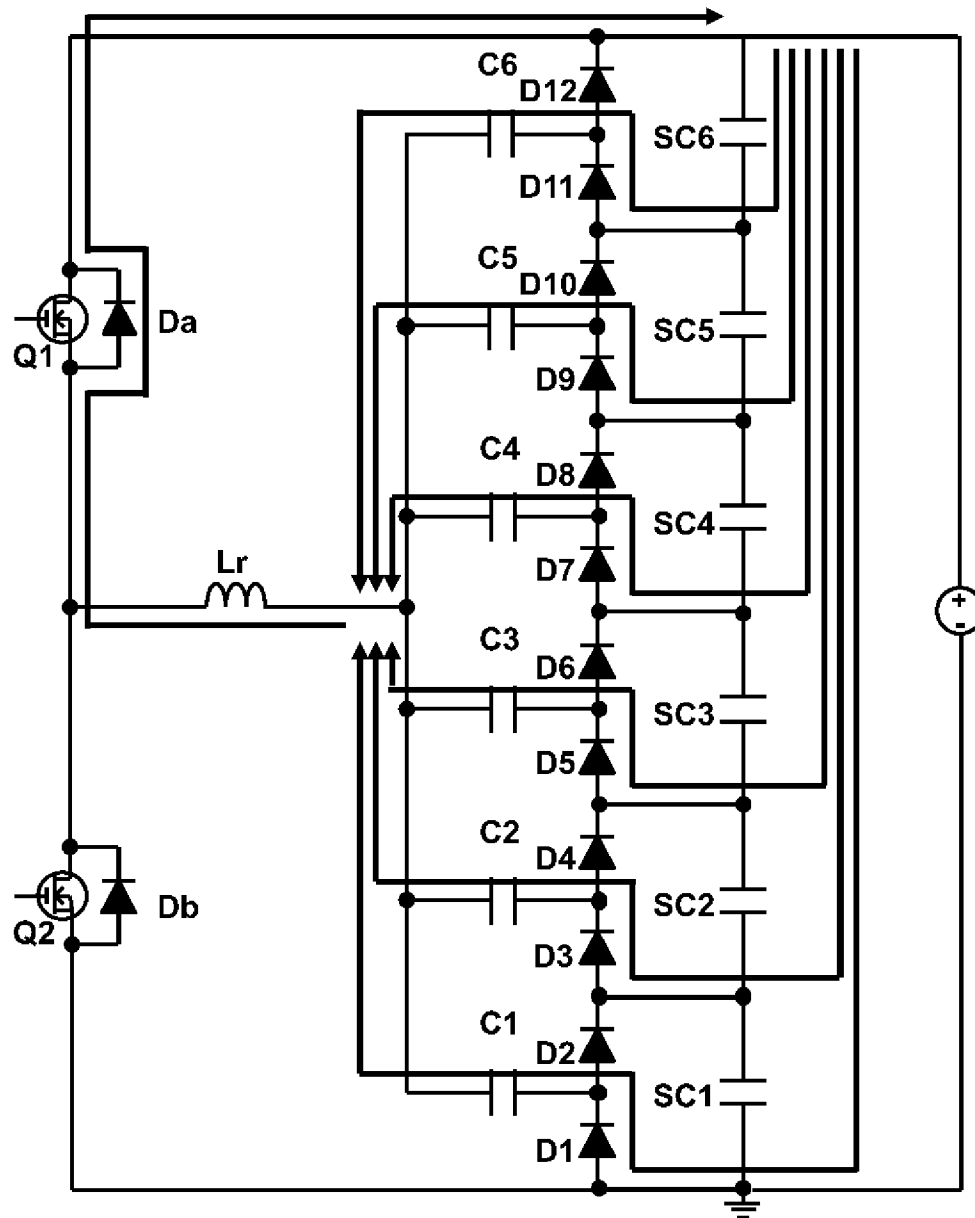
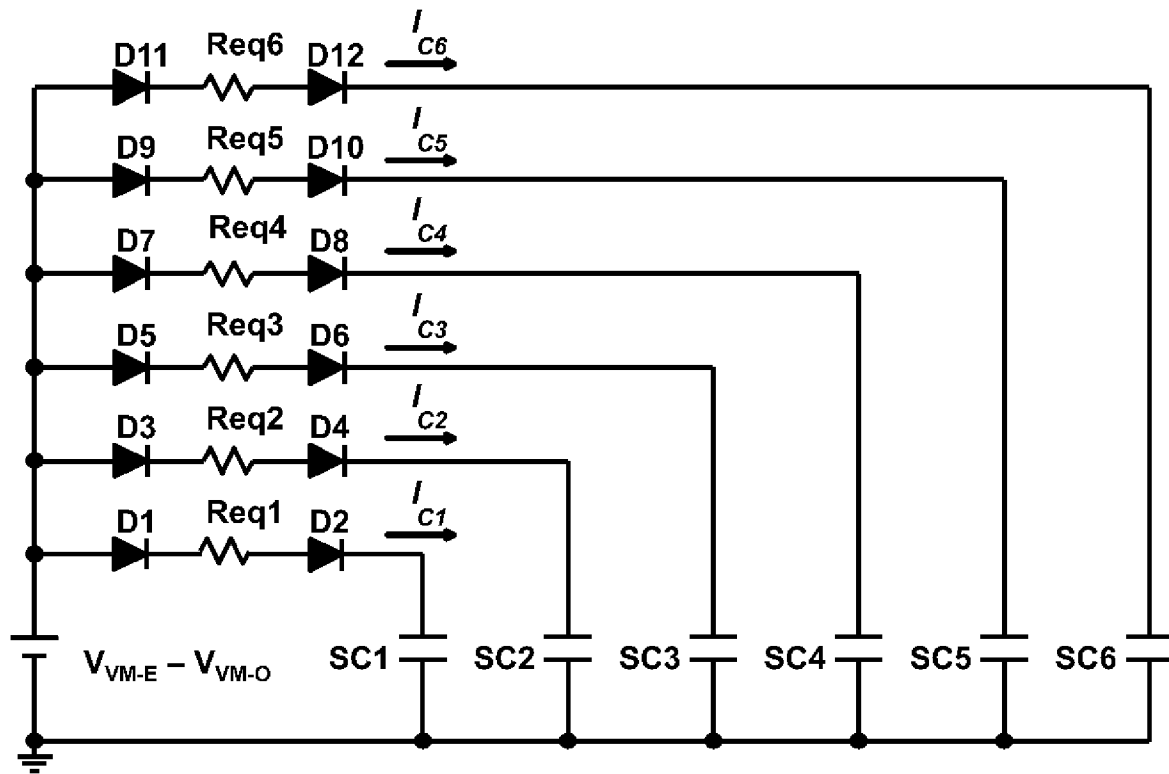


FIG. 15



[図16]

FIG.16

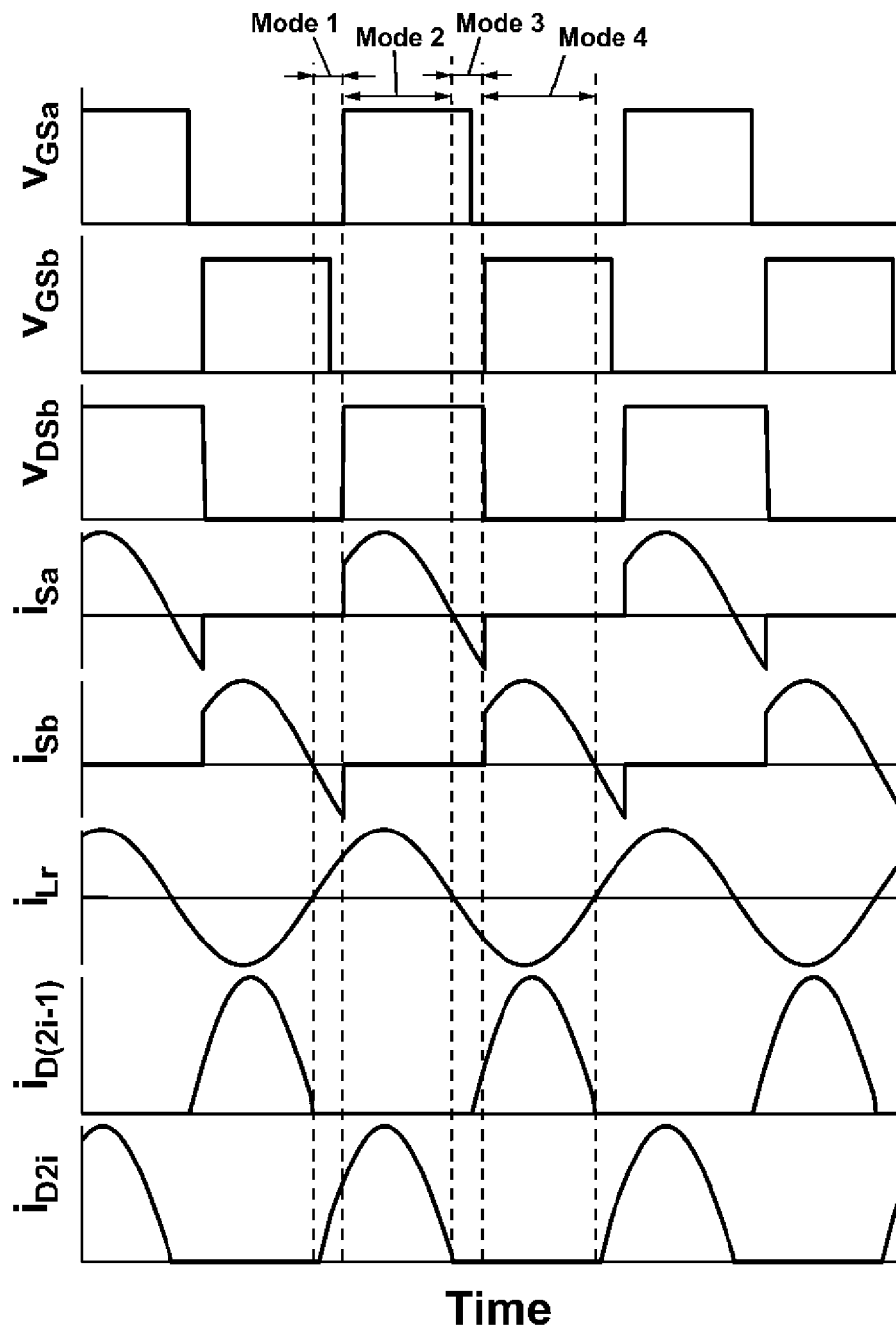
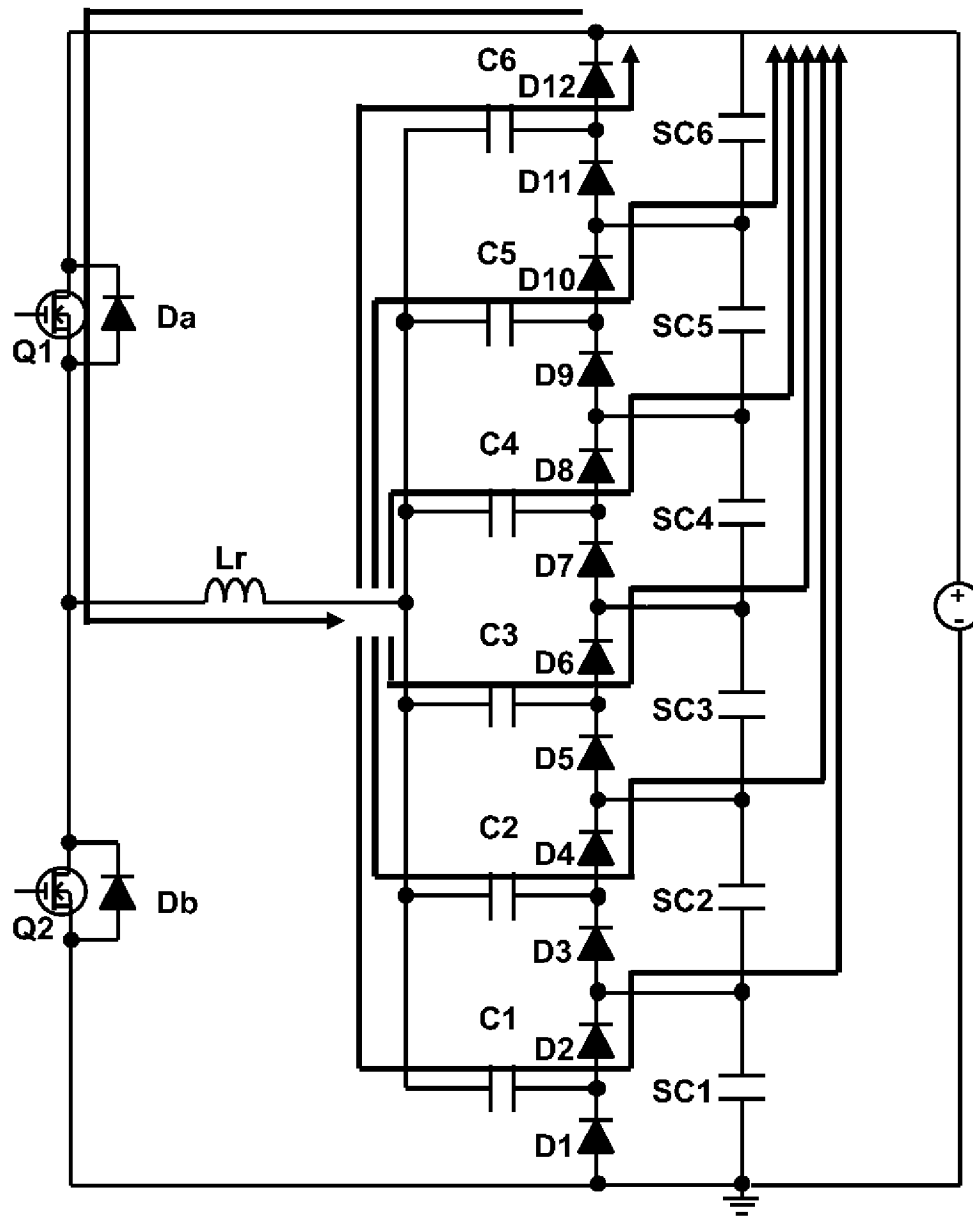
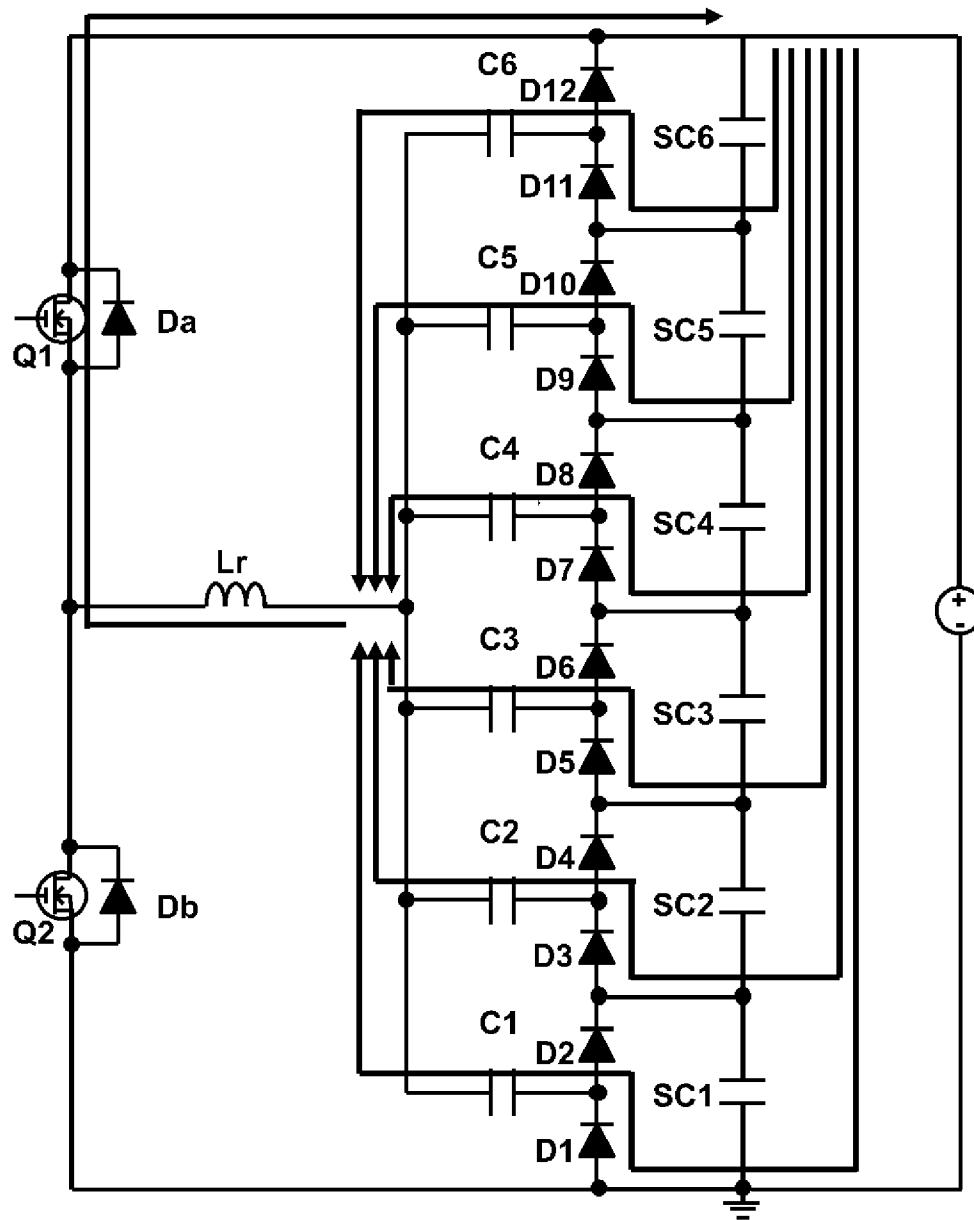


FIG.17



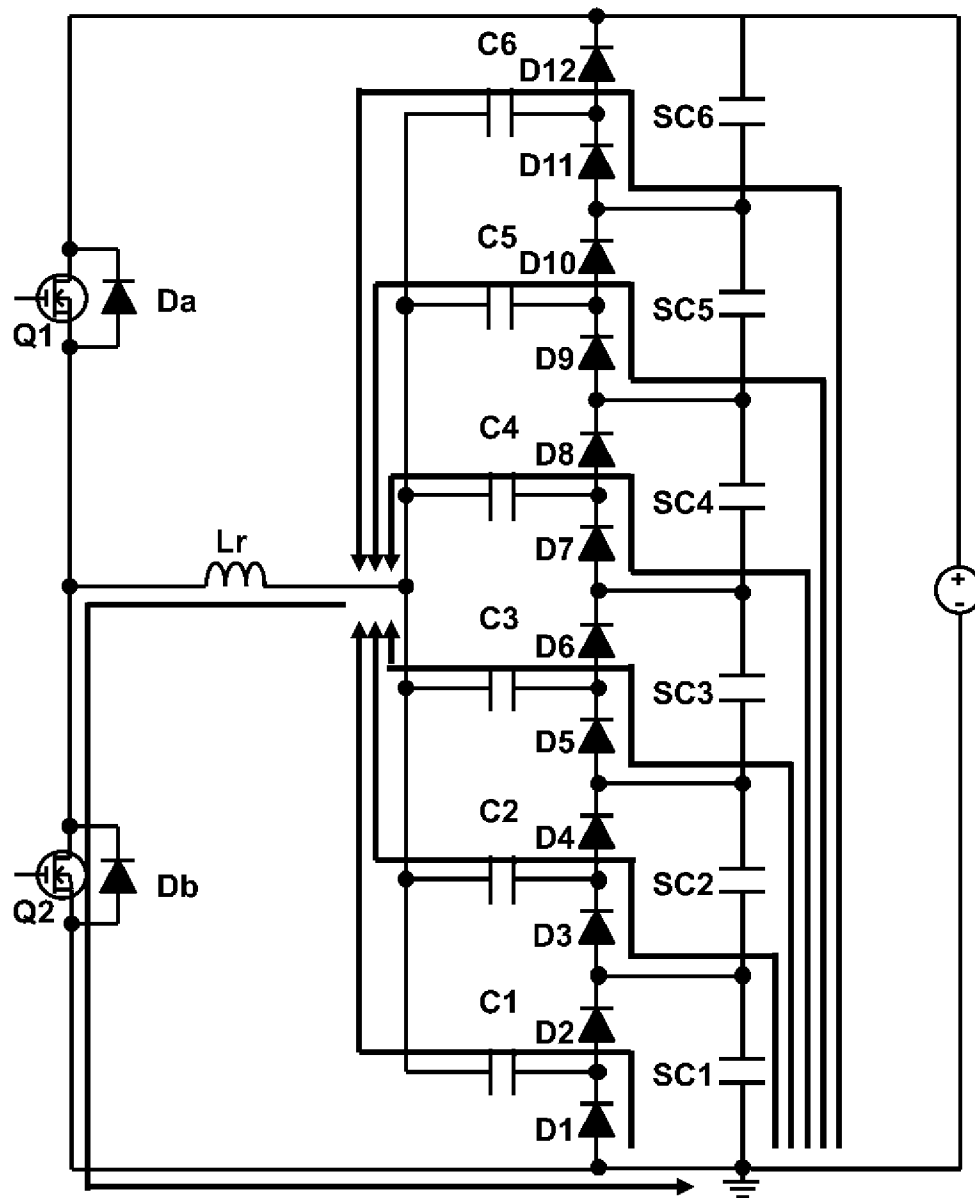
[図18]

FIG.18



[図19]

FIG.19



[図20]

FIG.20

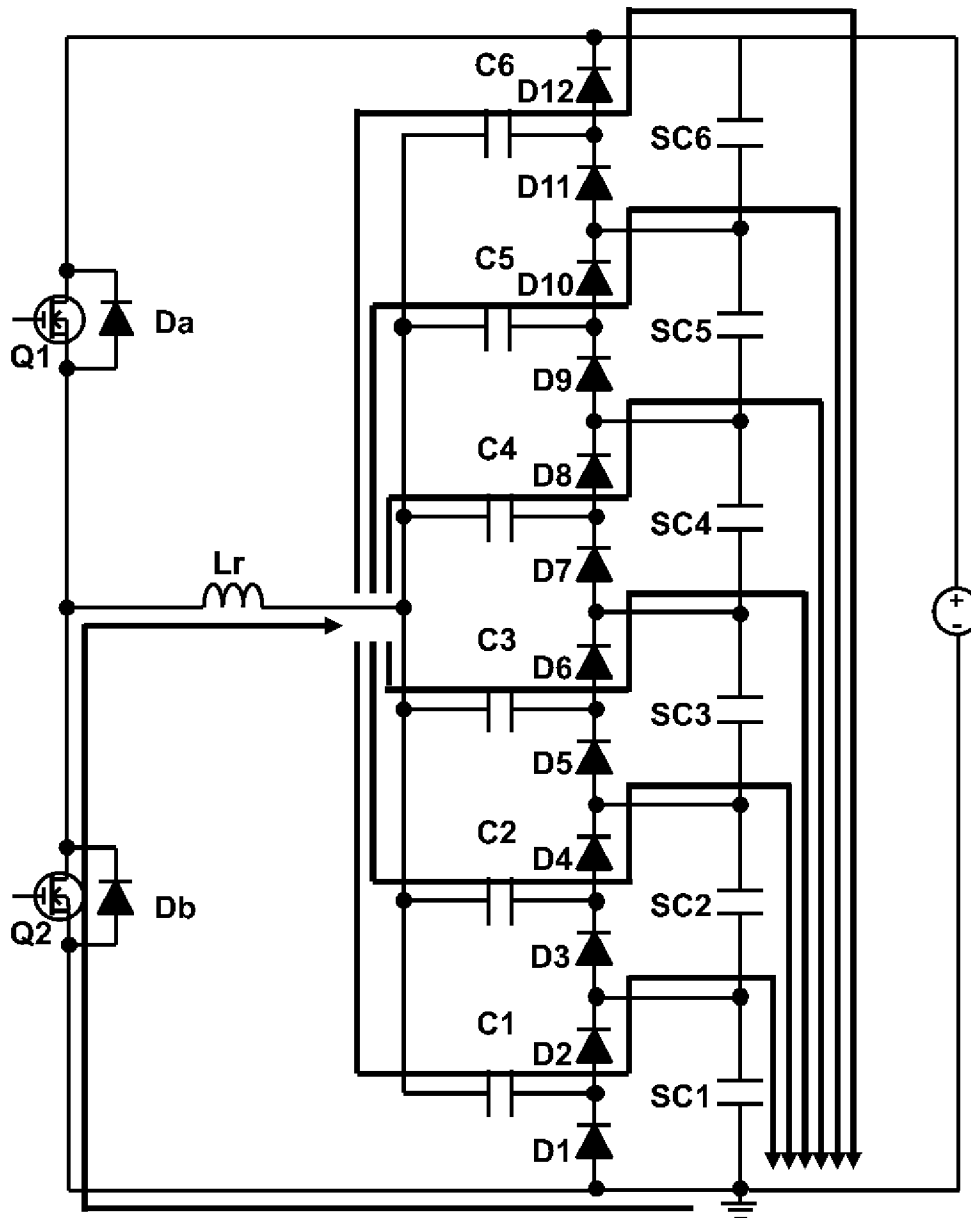
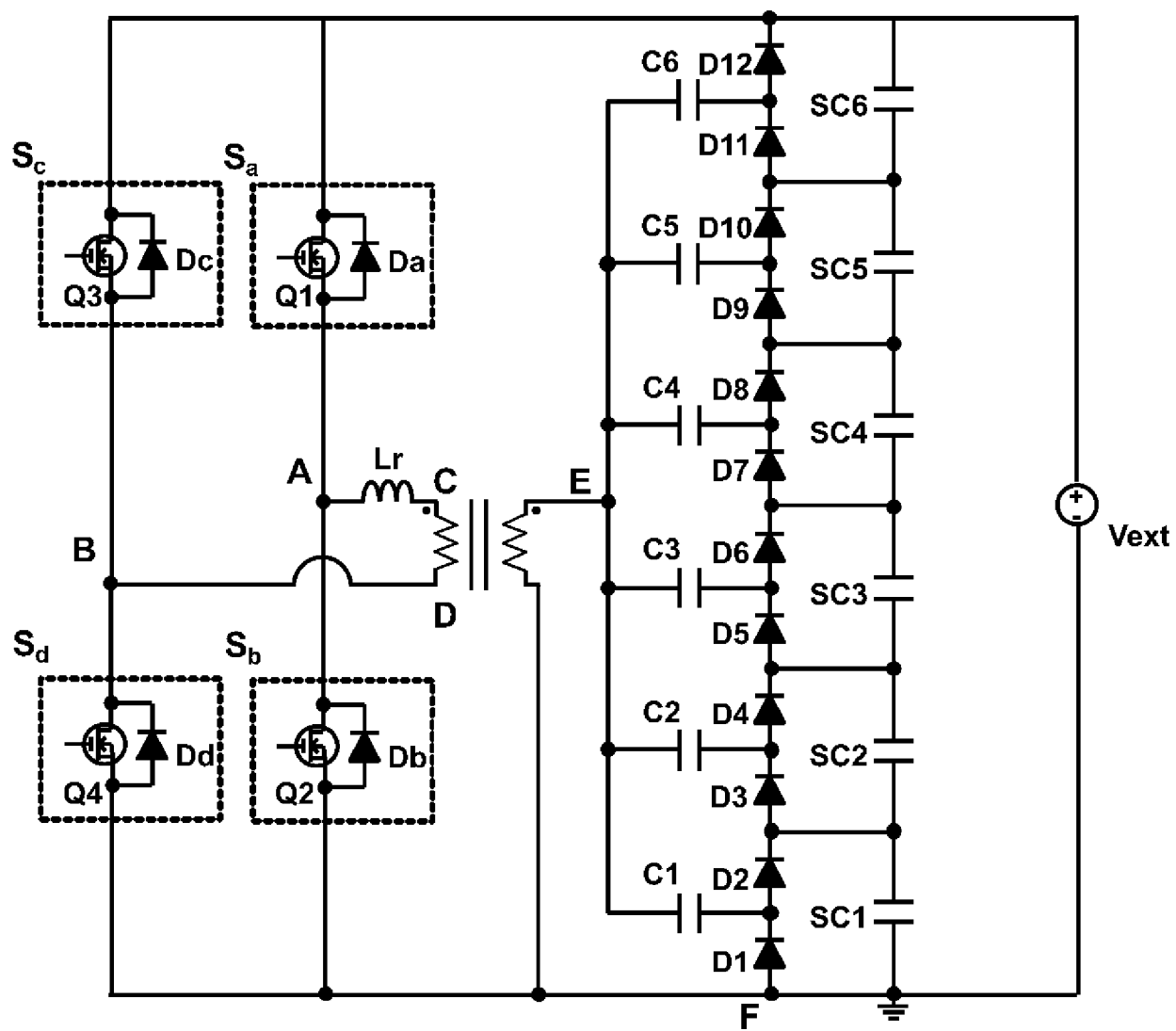


FIG.21



[図22]

FIG.22

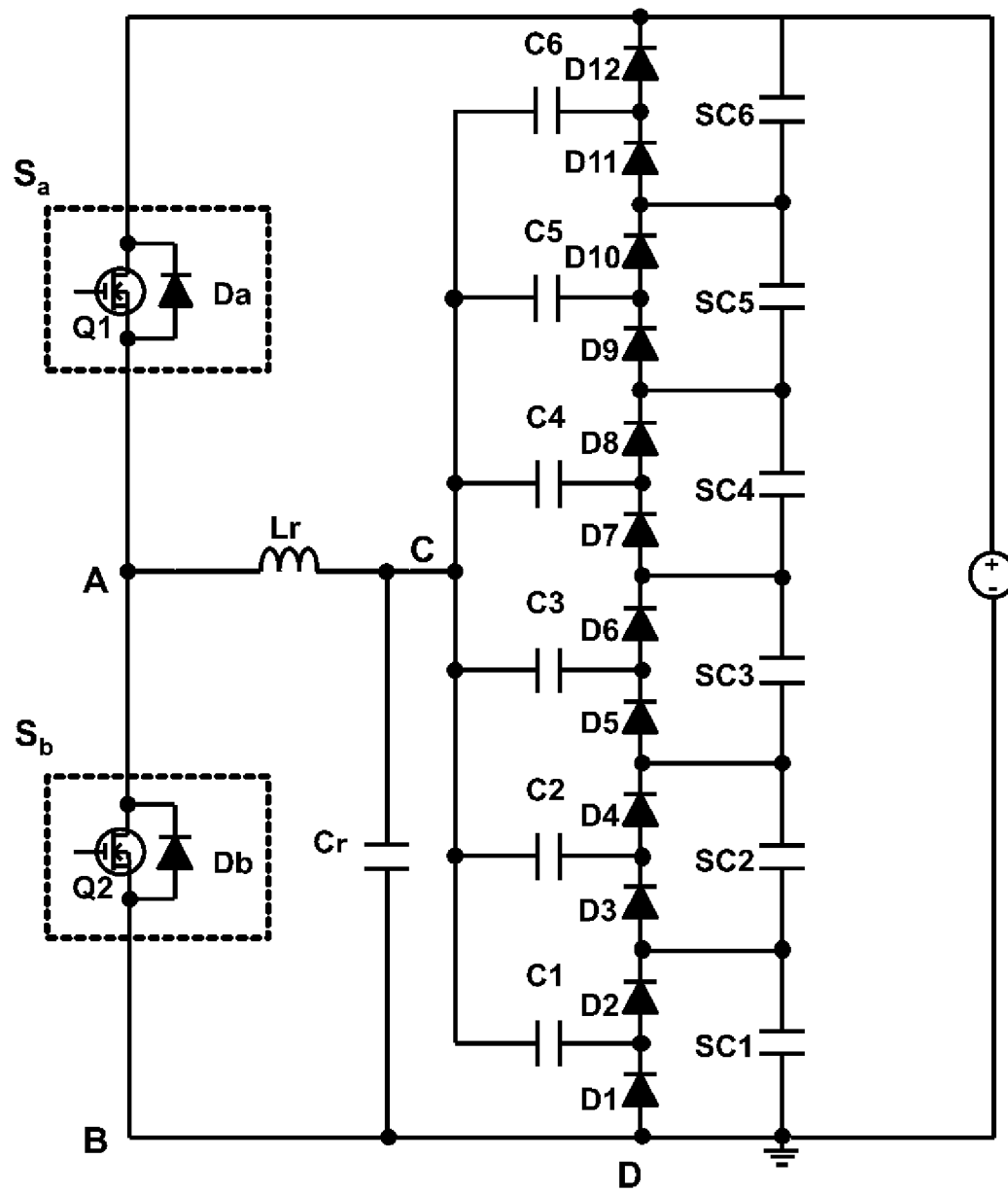


FIG.23

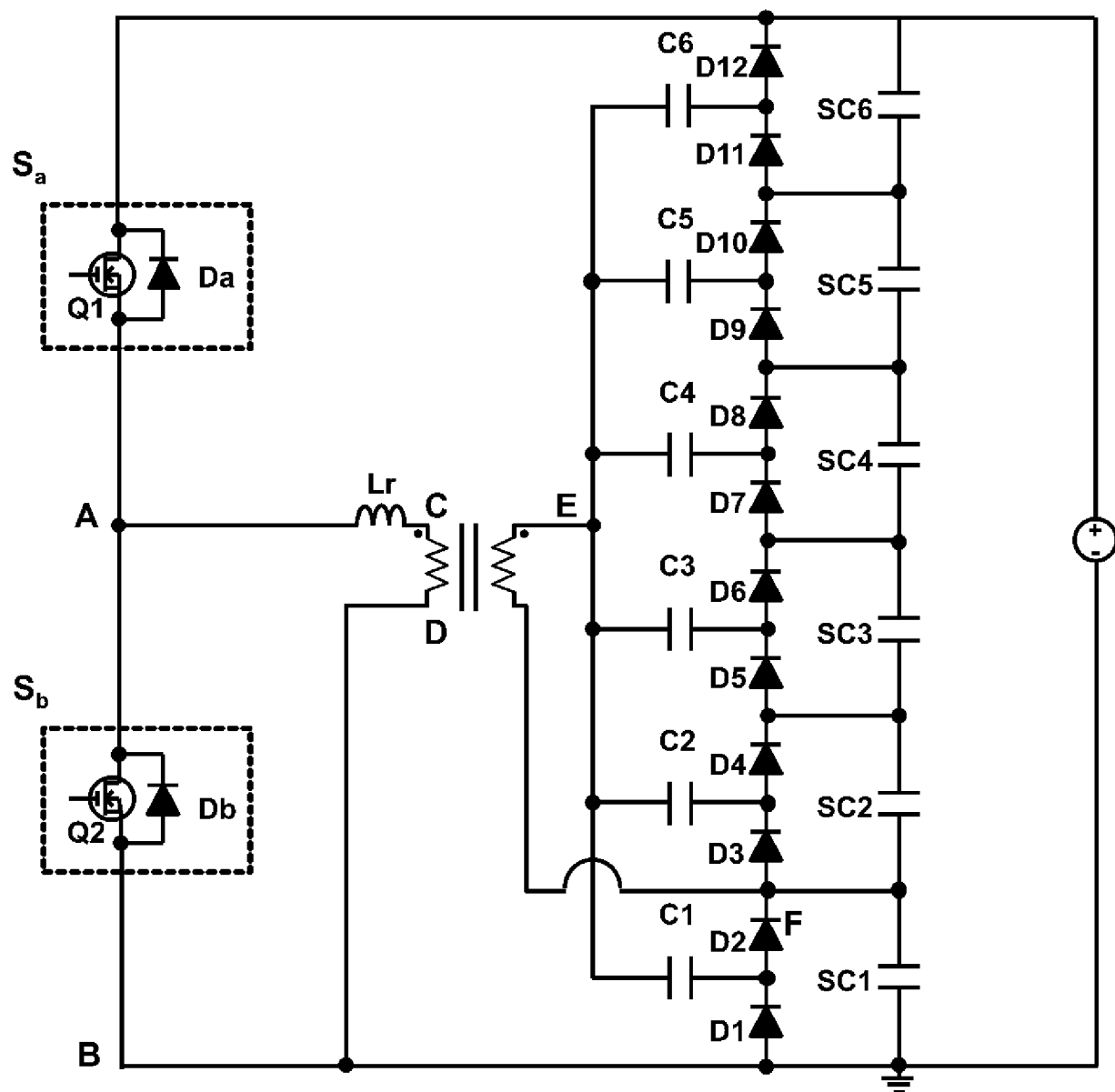
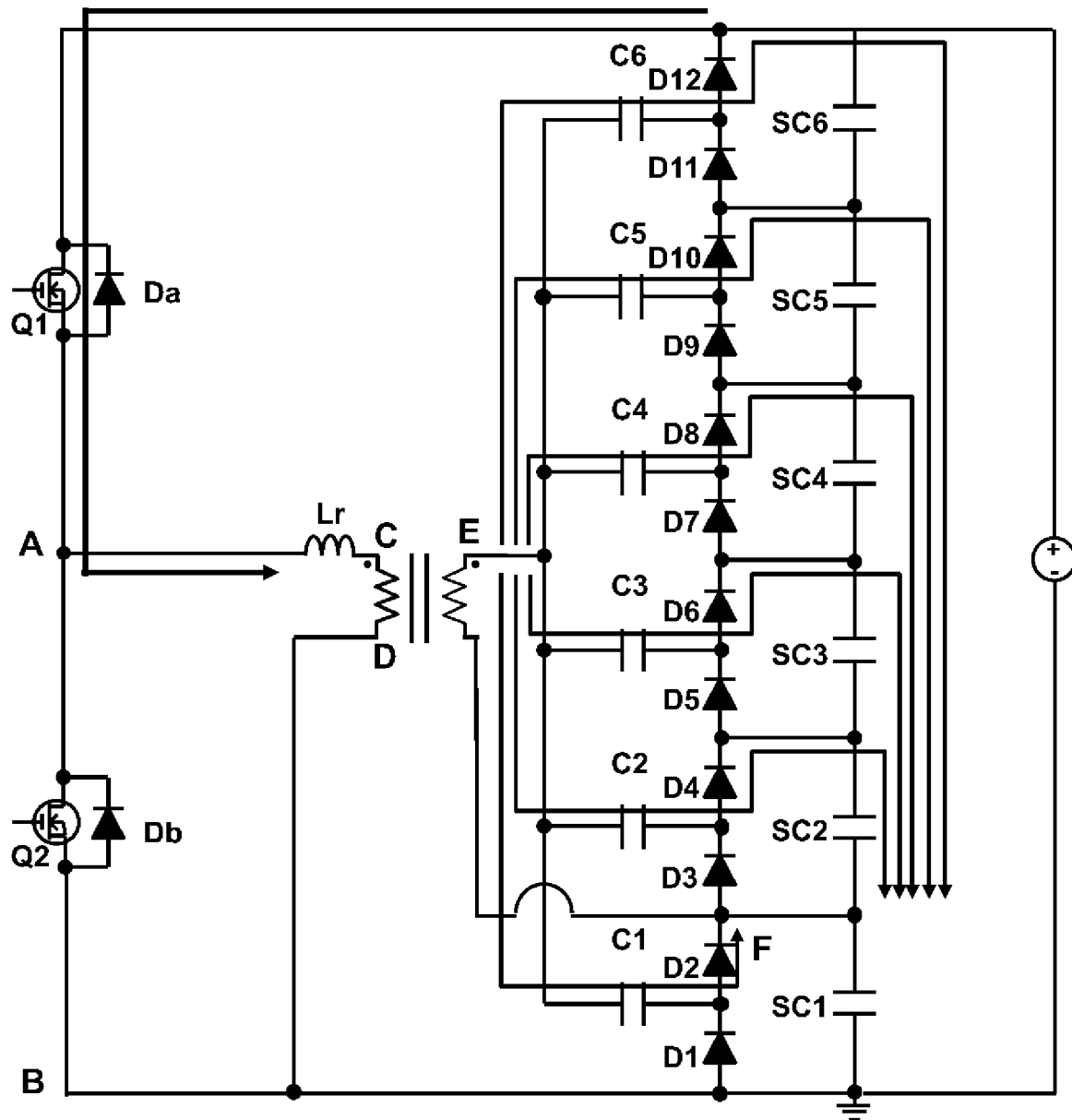


FIG.24



[図25]

FIG.25

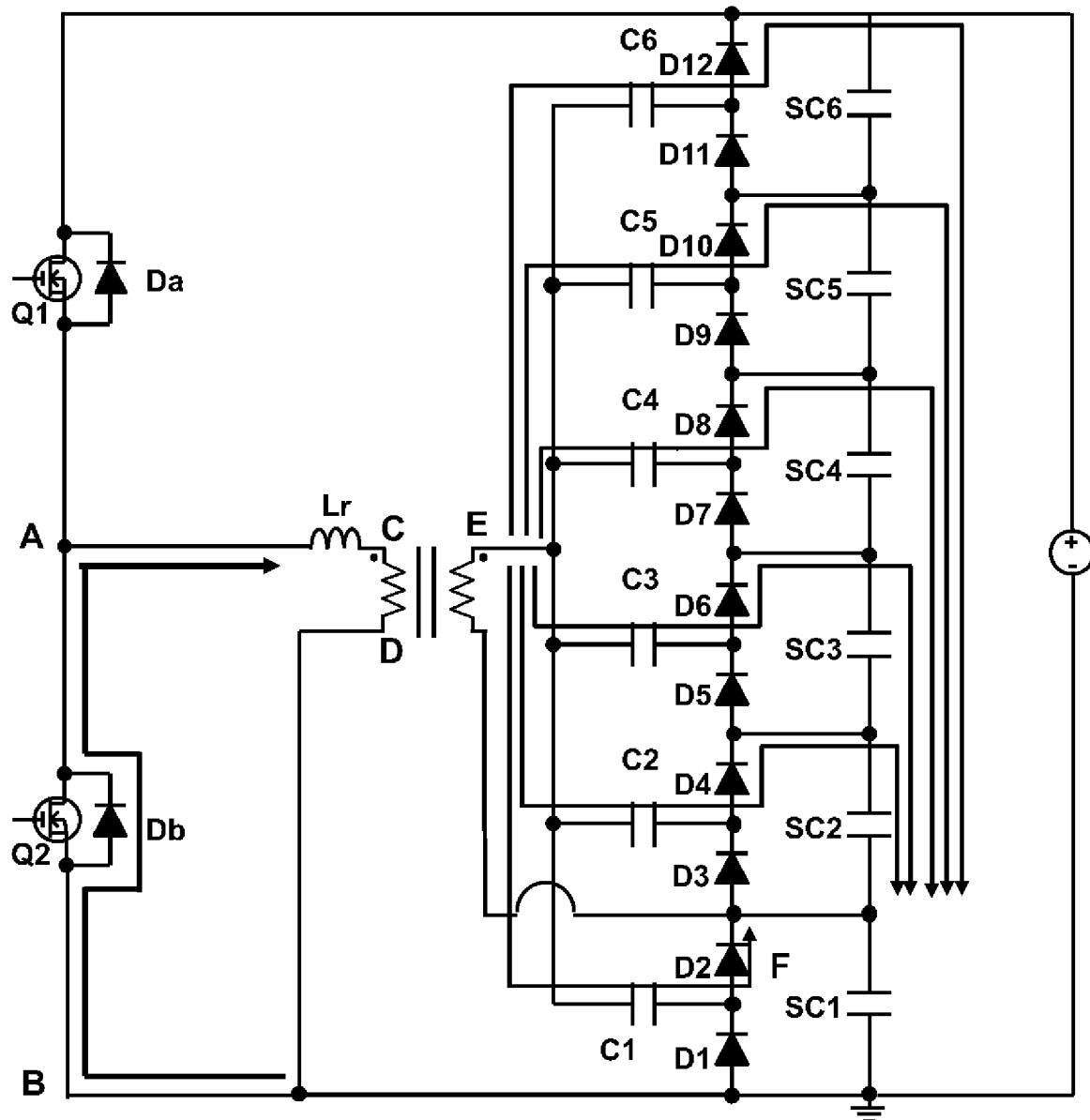
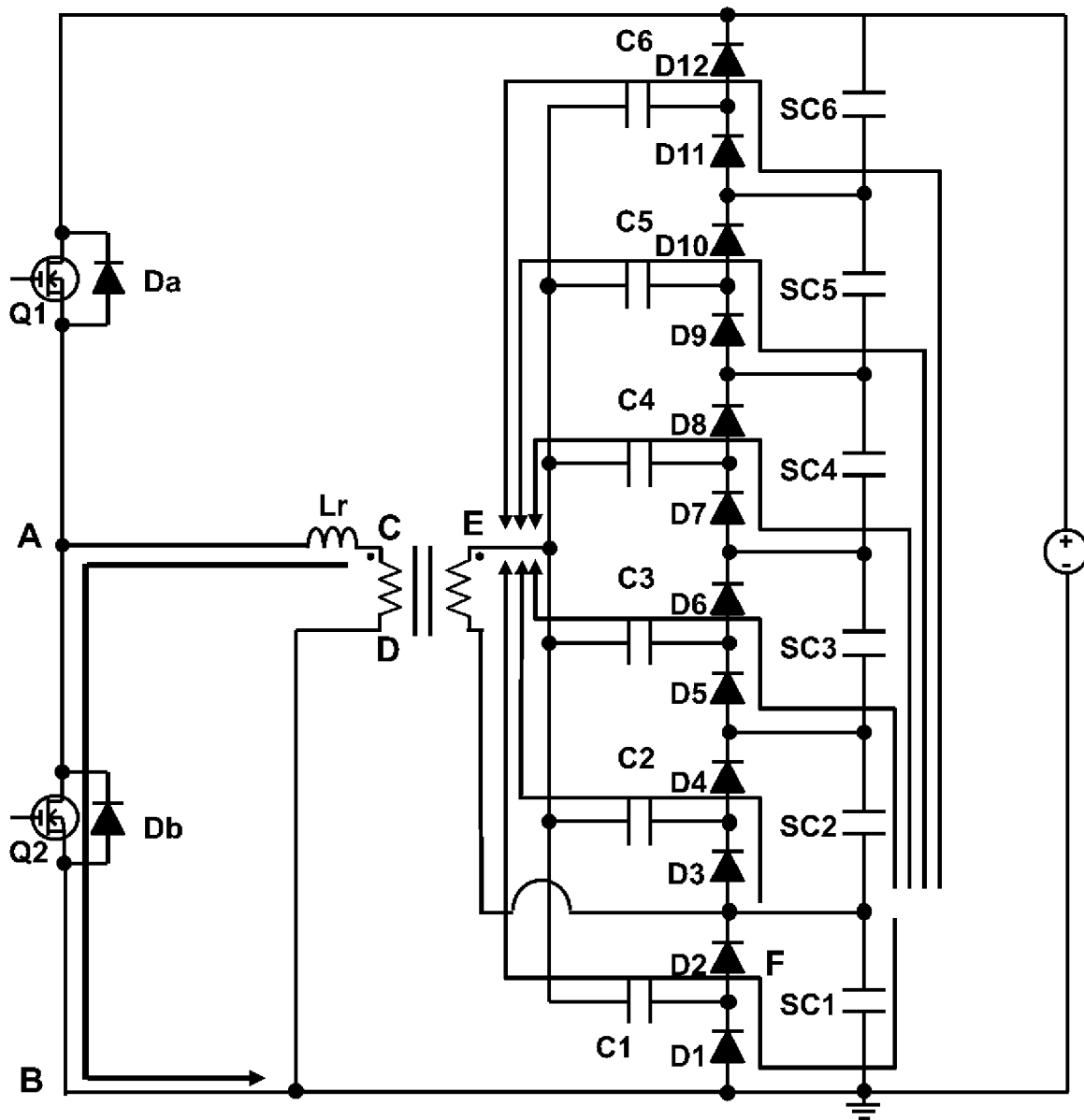
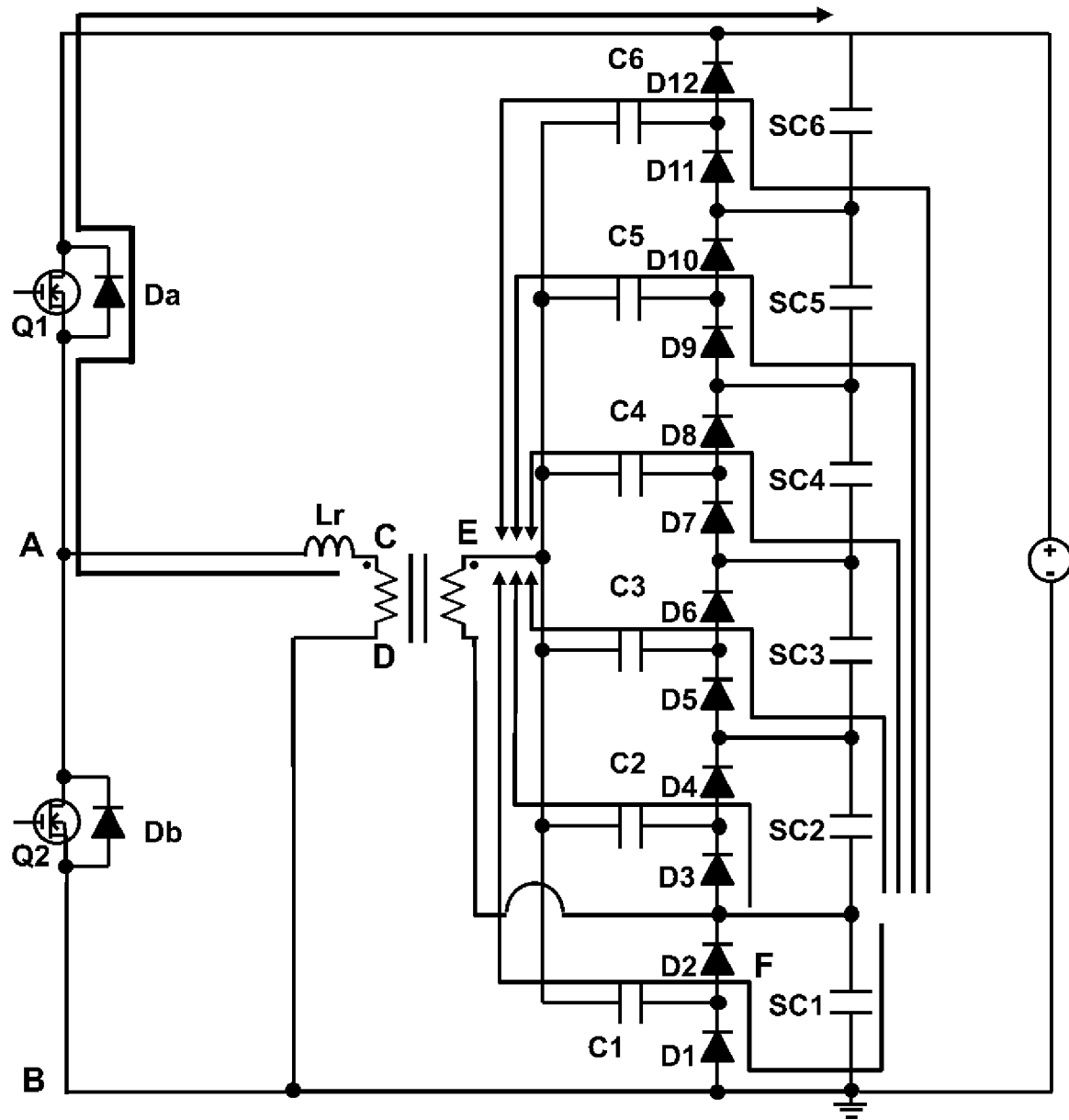


FIG.26



[図27]

FIG.27



[図28]

FIG.28

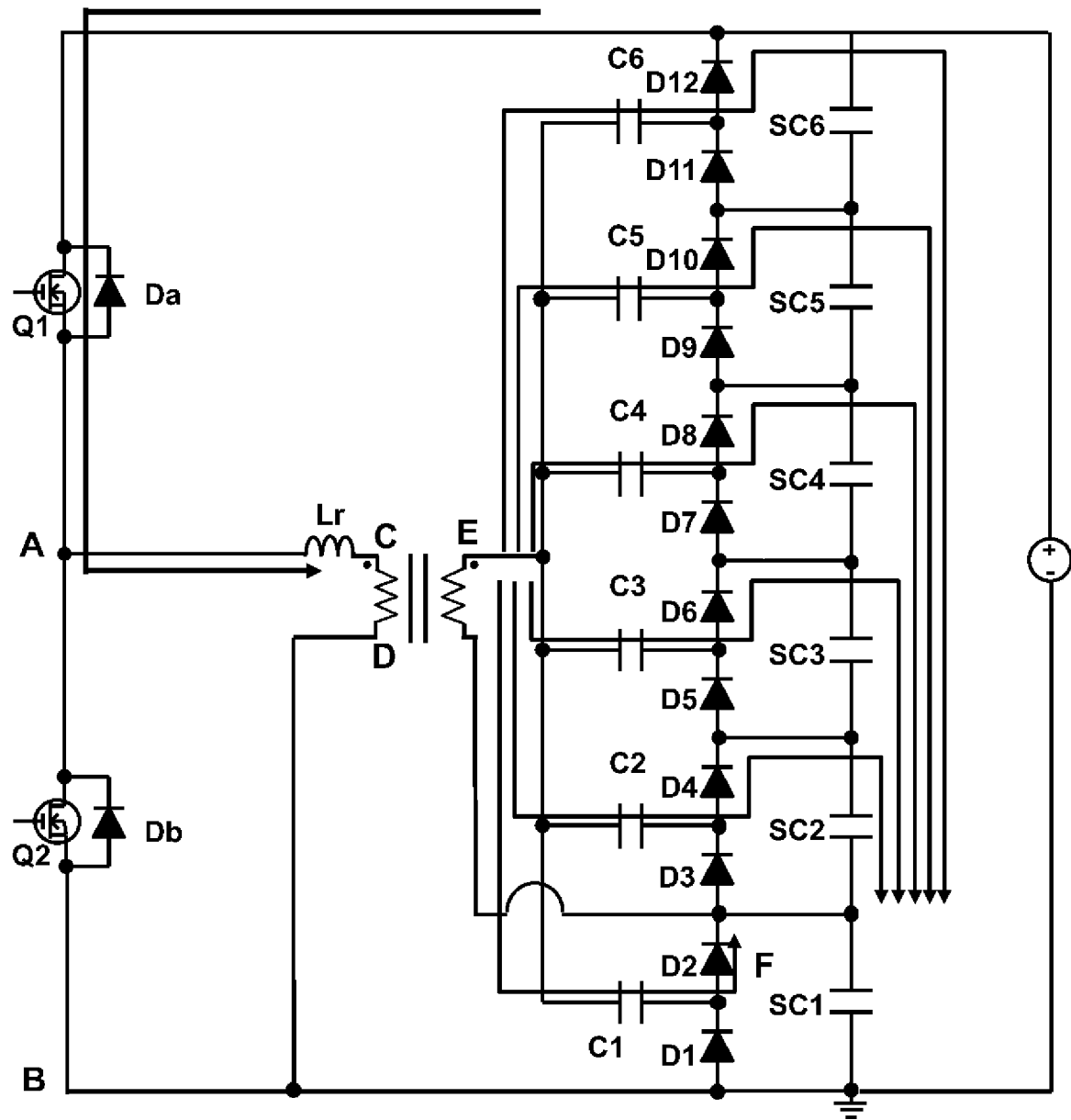


FIG.29

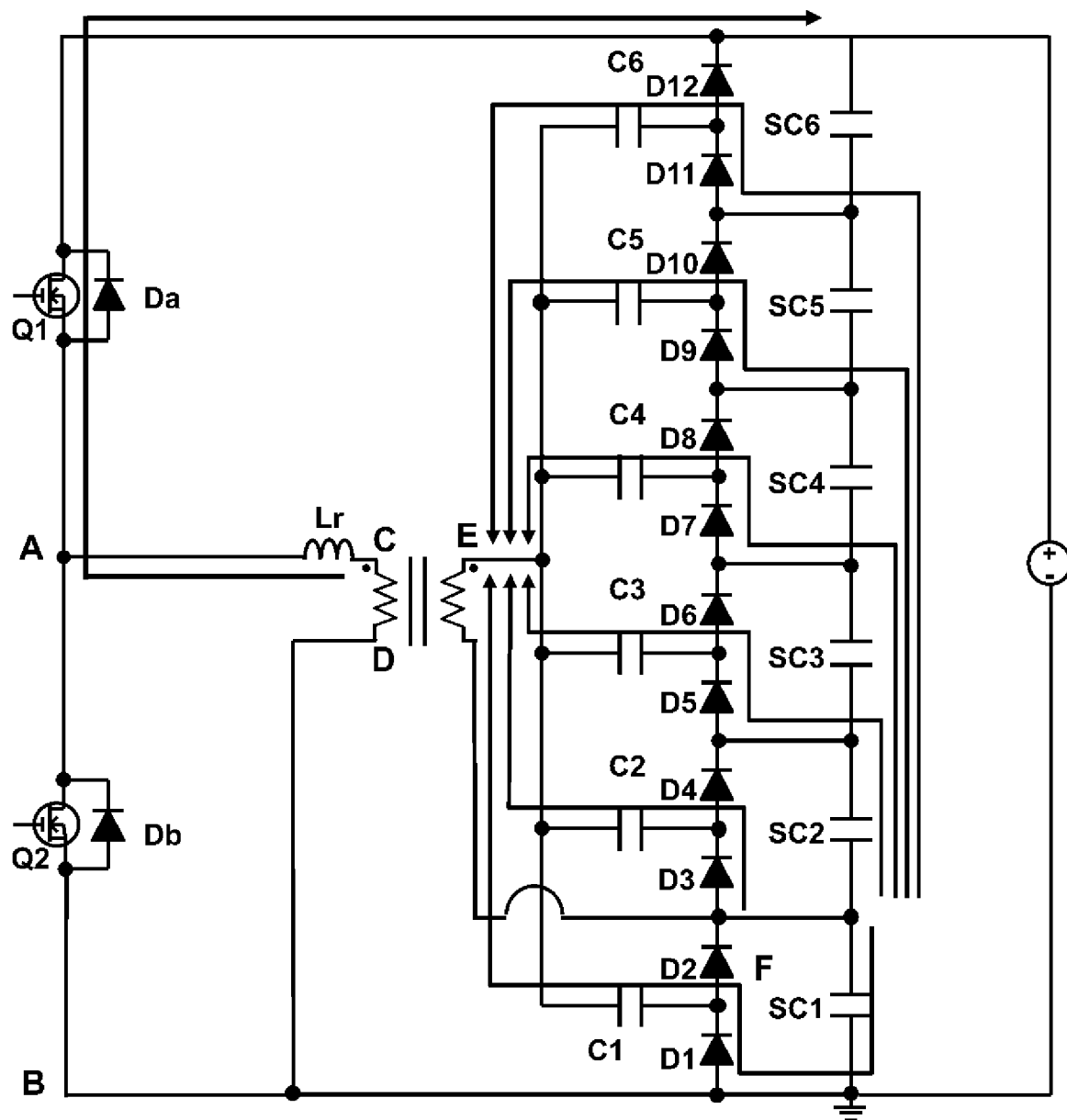
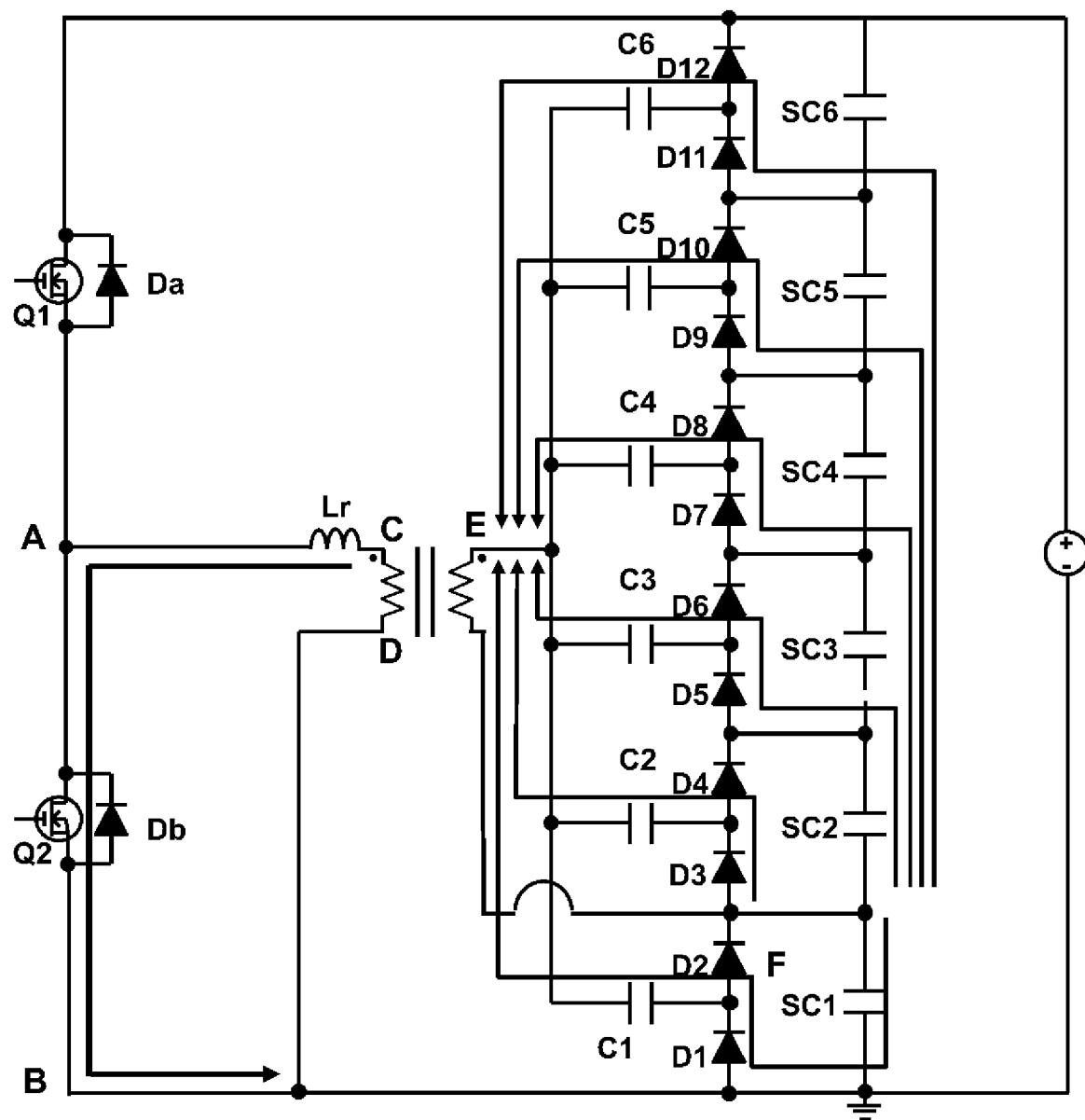
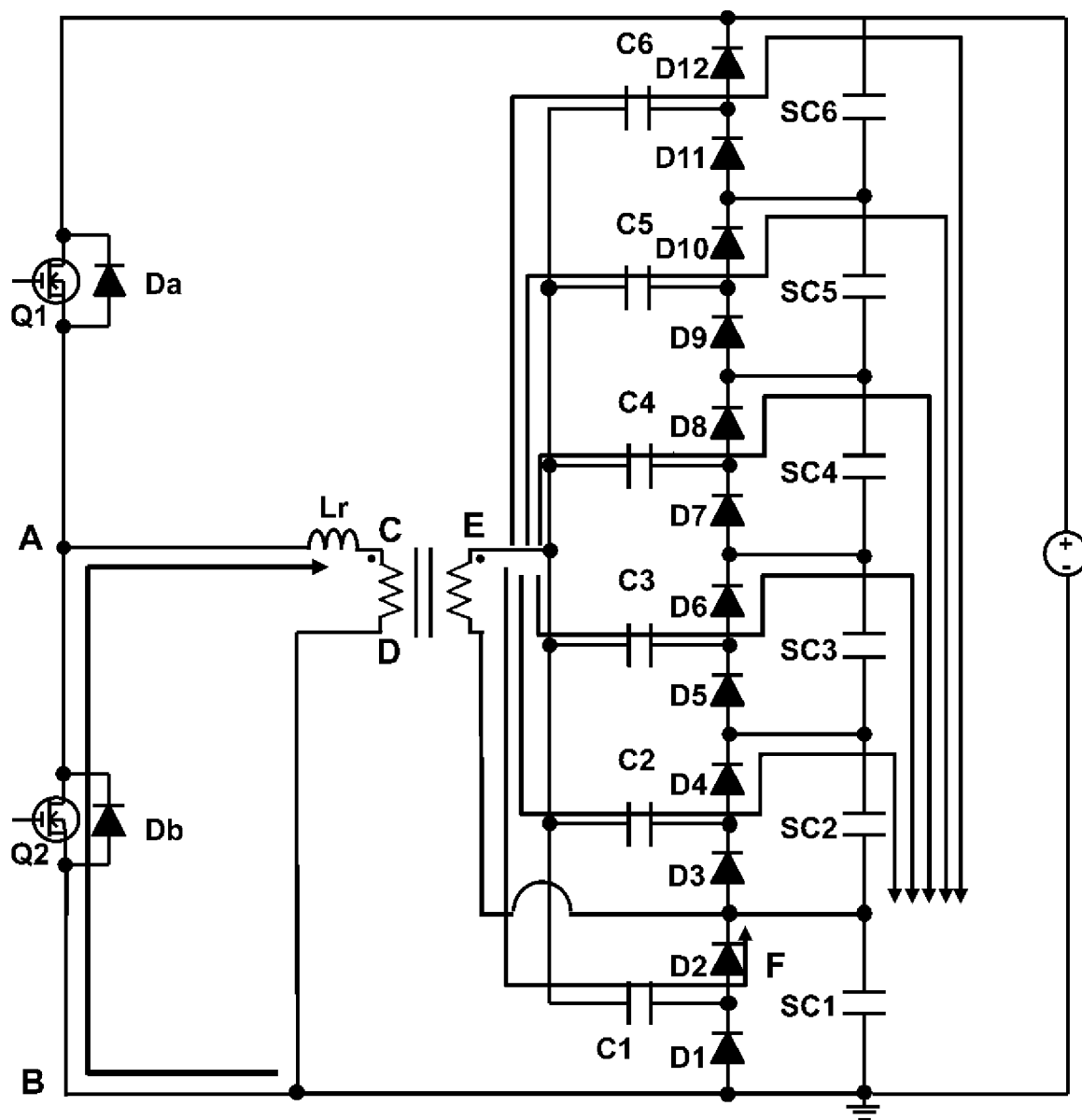


FIG.30



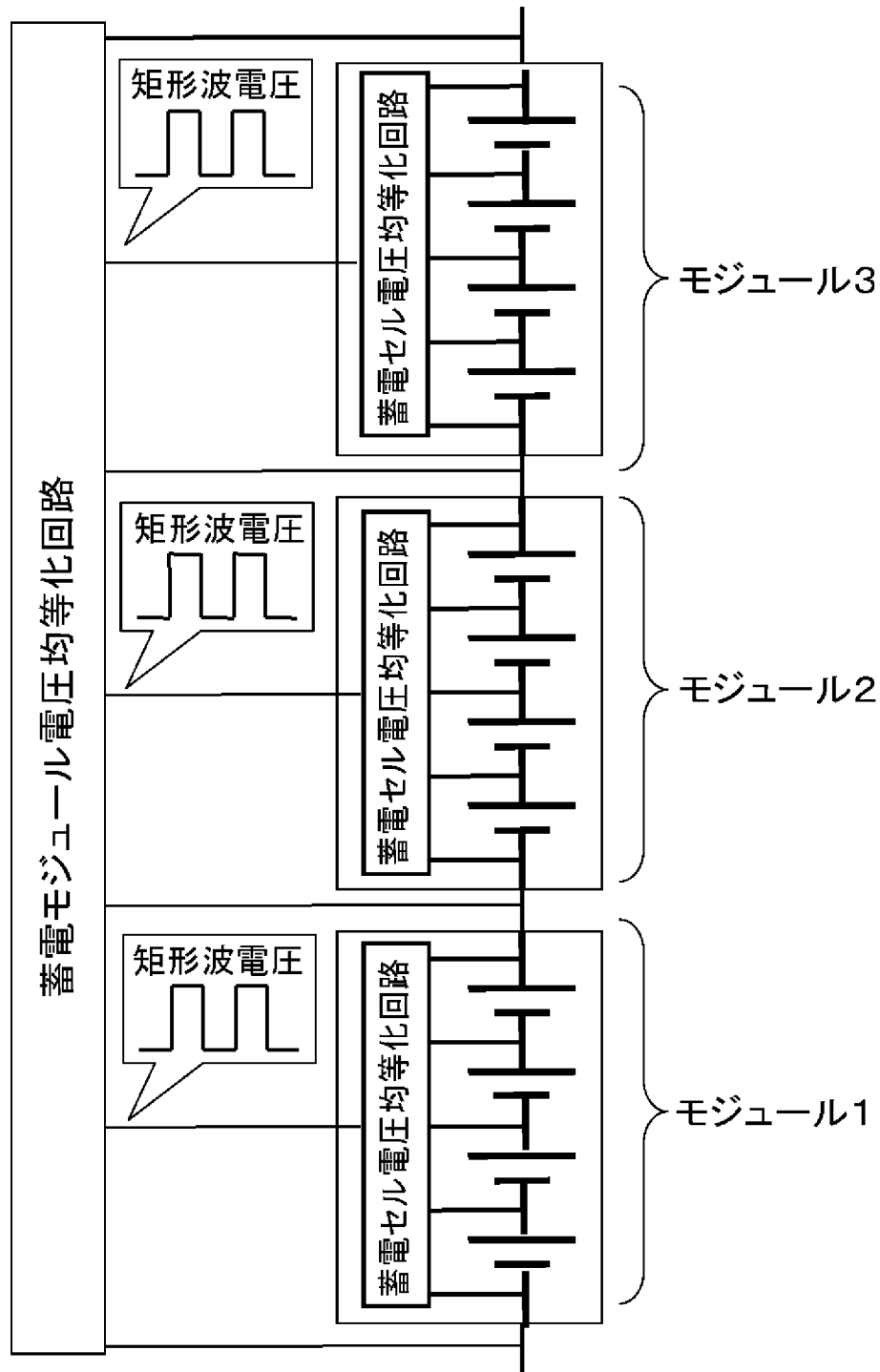
[図31]

FIG.31



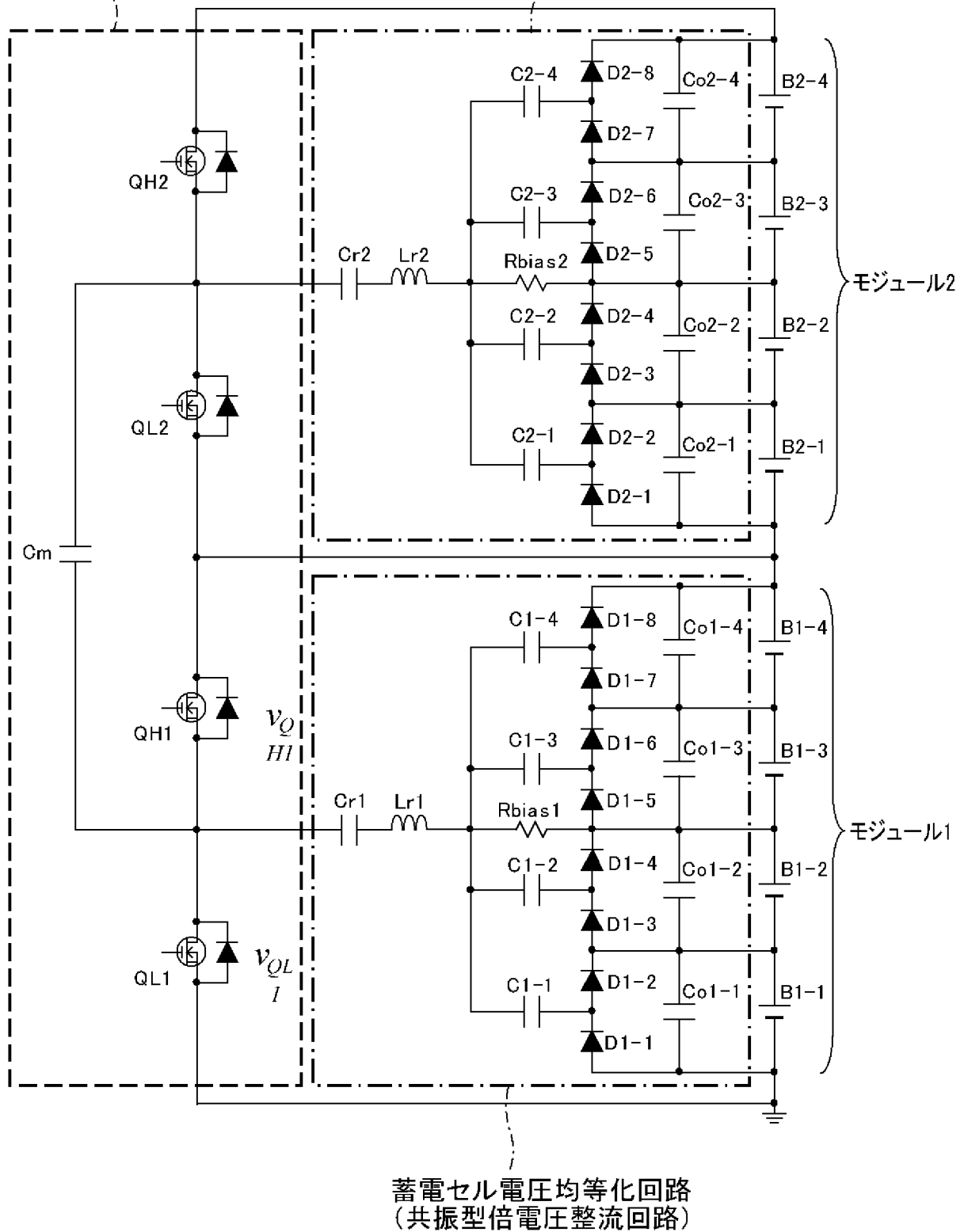
[図32]

FIG.32



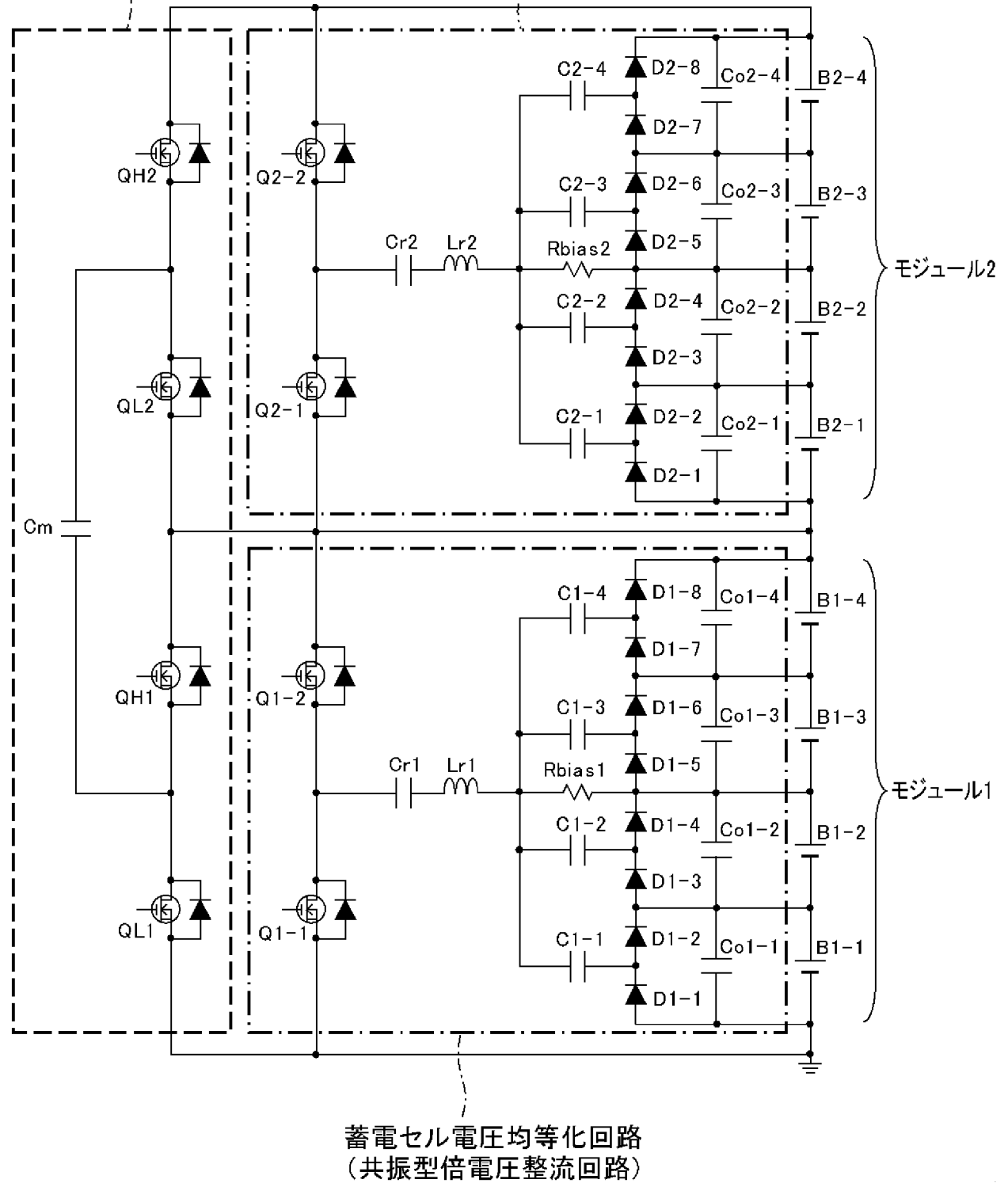
[図33]

FIG.33

蓄電モジュール電圧均等化回路
(スイッチトキャパシタ)蓄電セル電圧均等化回路
(共振型倍電圧整流回路)

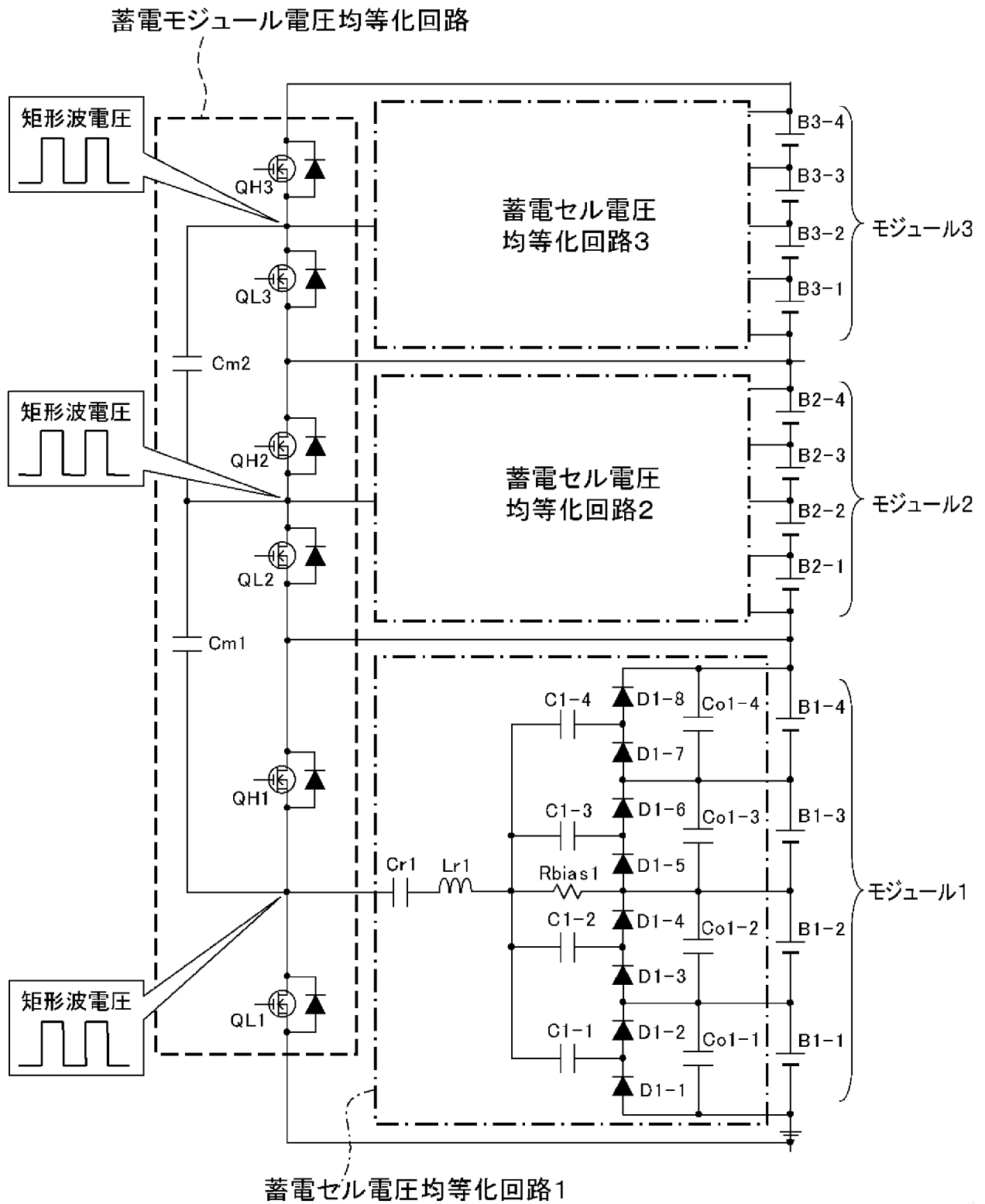
[図34]

FIG.34

蓄電モジュール電圧均等化回路
(スイッチトキャパシタ)蓄電セル電圧均等化回路
(共振型倍電圧整流回路)

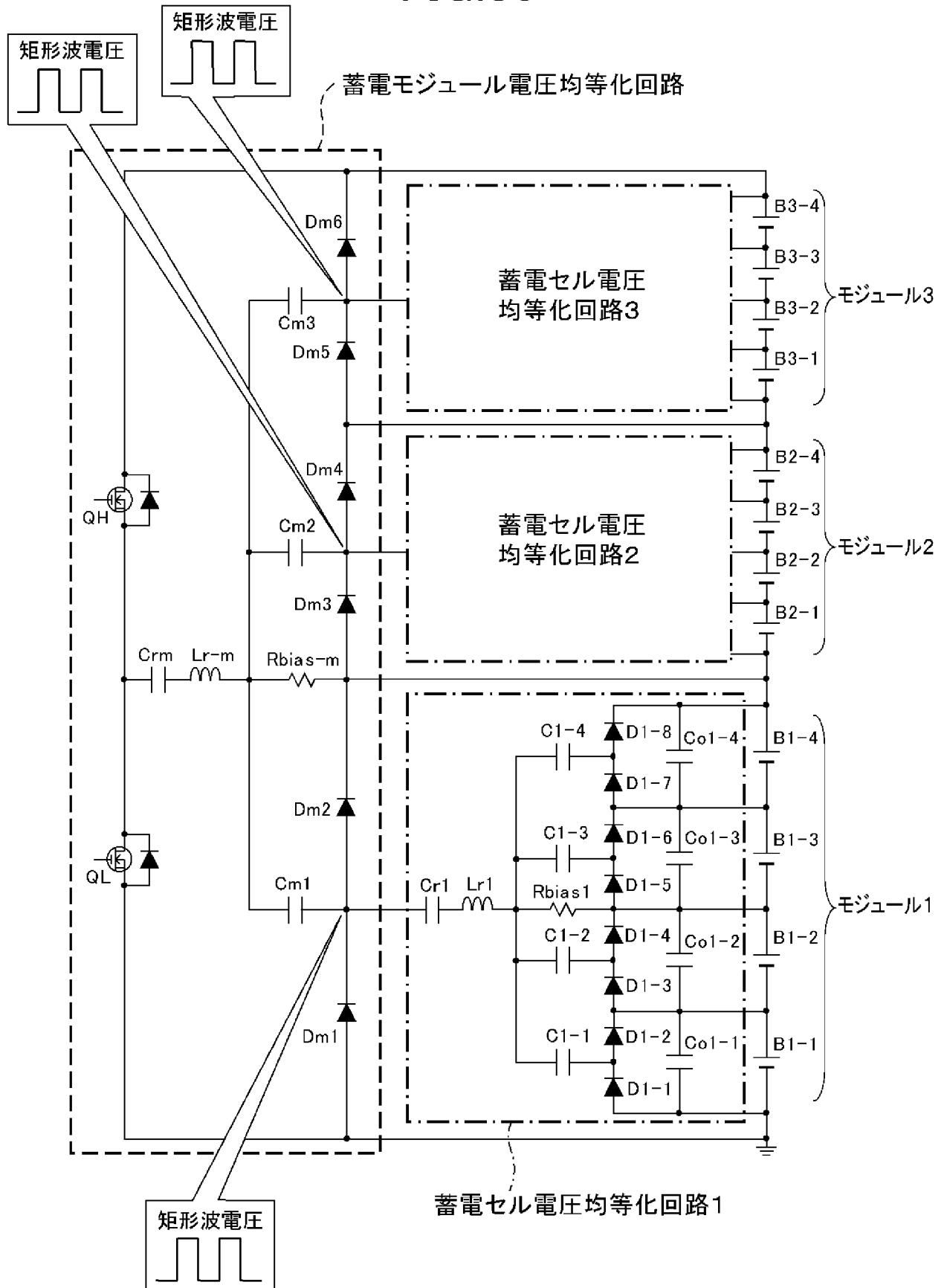
[図35]

FIG.35



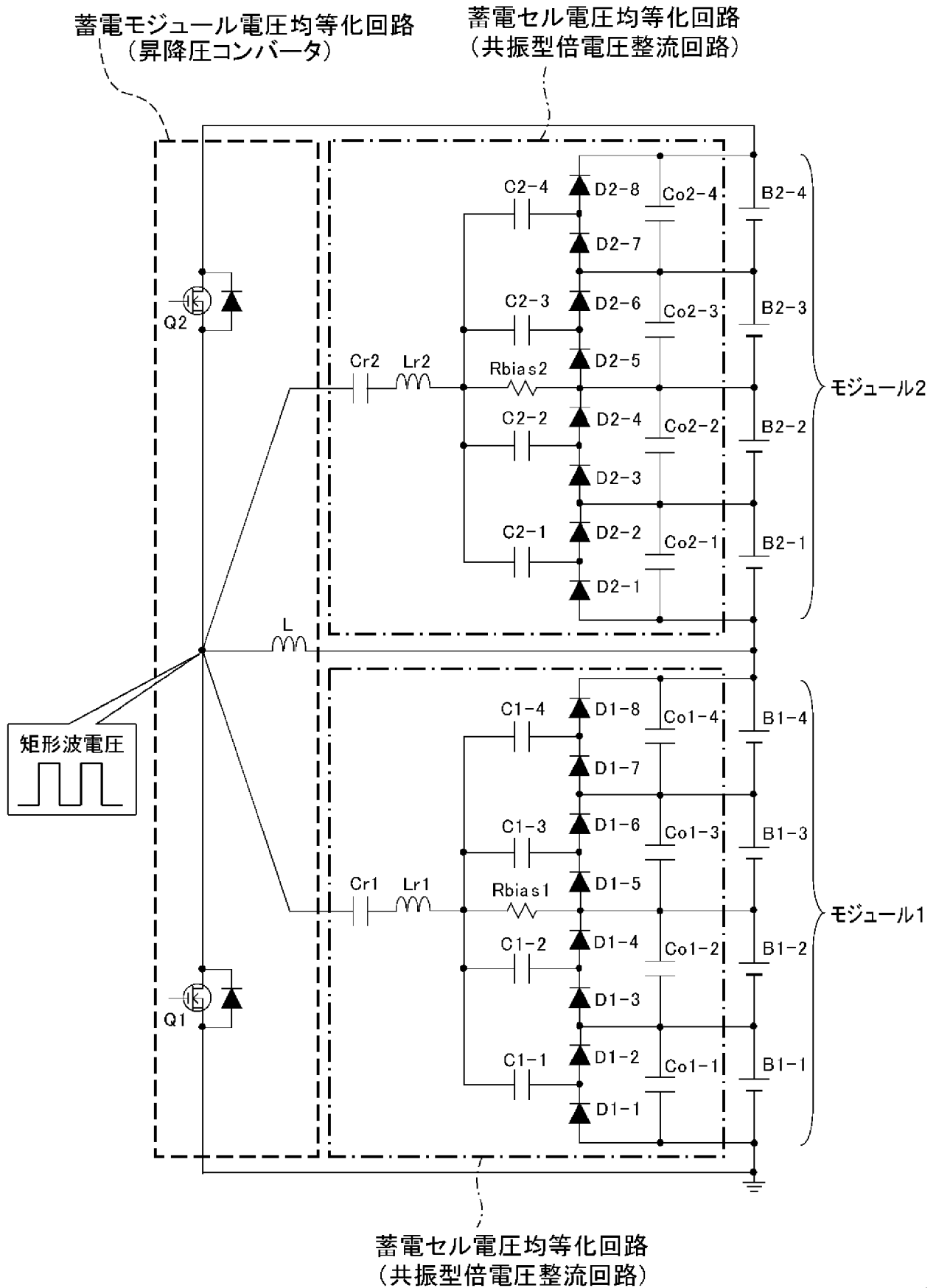
[図36]

FIG.36



[図37]

FIG.37



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/071577

A. CLASSIFICATION OF SUBJECT MATTER

H02J7/02(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02J7/00-7/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-183557 A (Japan Aerospace Exploration Agency), 12 September 2013 (12.09.2013), entire text; all drawings (Family: none)	1-7
A	JP 2011-55648 A (Japan Capacitor Industrial Co., Ltd., Japan Aerospace Exploration Agency), 17 March 2011 (17.03.2011), entire text; all drawings & US 2012/0200163 A1 all text; all figures & WO 2011/027660 A1 & EP 2475084 A1 & TW 201112573 A & CN 102511121 A & KR 10-2012-0062737 A	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 September 2016 (08.09.16)

Date of mailing of the international search report
20 September 2016 (20.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/071577

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-502834 A (IFP Energies Nouvelles), 03 February 2014 (03.02.2014), entire text; all drawings & US 2013/0249476 A1 all text; all figures & WO 2012/084894 A1 & FR 2969850 A1 & CN 103229384 A	1-7
A	JP 2014-233128 A (Japan Aerospace Exploration Agency), 11 December 2014 (11.12.2014), entire text; all drawings & US 2016/0118817 A1 all text; all figures & WO 2014/192726 A1 & EP 3007314 A1 & CN 105247757 A & KR 10-2016-0012142 A	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02J7/02 (2016.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02J7/00-7/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-183557 A（独立行政法人 宇宙航空研究開発機構） 2013.09.12, 全文、全図（ファミリーなし）	1-7
A	JP 2011-55648 A（日本蓄電器工業株式会社、独立行政法人 宇宙航空研究開発機構）2011.03.17, 全文、全図 & US 2012/0200163 A1, all text, all figures & WO 2011/027660 A1 & EP 2475084 A1 & TW 201112573 A & CN 102511121 A & KR 10-2012-0062737 A	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08.09.2016

国際調査報告の発送日

20.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 寛人

5 T

4057

電話番号 03-3581-1101 内線 3568

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-502834 A (イエフペ エネルギー ヌヴェル) 2014. 02. 03, 全文、全図 & US 2013/0249476 A1, all text, all figures & WO 2012/084894 A1 & FR 2969850 A1 & CN 103229384 A	1-7
A	JP 2014-233128 A (独立行政法人 宇宙航空研究開発機構) 2014. 12. 11, 全文、全図 & US 2016/0118817 A1, all text, all figures & WO 2014/192726 A1 & EP 3007314 A1 & CN 105247757 A & KR 10-2016-0012142 A	1-7