



(21)申請案號：107135399

(22)申請日：中華民國 107 (2018) 年 10 月 08 日

(51)Int. Cl. : H01L21/50 (2006.01)

H01L23/58 (2006.01)

(71)申請人：開曼群島商鳳凰先驅股份有限公司(開曼群島)PHOENIX & CORPORATION (KY)
開曼群島

(72)發明人：許凱翔 SHIU, KAI SHIANG (TW)

(74)代理人：陳孚竹；張家彬

申請實體審查：有 申請專利範圍項數：18 項 圖式數：3 共 25 頁

(54)名稱

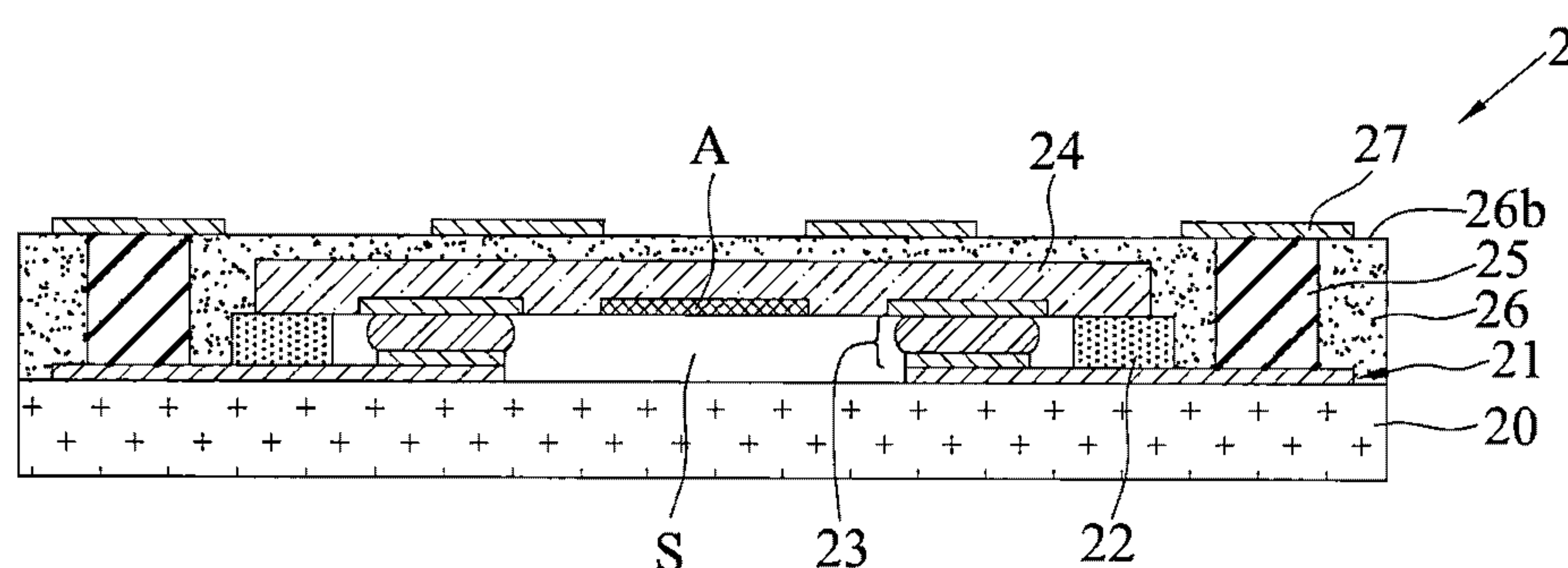
電子封裝件及其製法

(57)摘要

一種電子封裝件之製法，係先形成線路層於一呈透光狀之承載基板上，再以密封體與導電元件進行該電子元件的貼合與密封作業，之後進行封裝層、導電結構與線路結構等作業，故本發明於後續製程無需額外加設如習知蓋件(cap)結構來保護該電子元件及提供晶片作動空間，故能降低製作成本及提升生產效率，且能降低該電子封裝件之整體厚度。本發明復提供一種由上述製法完成之電子封裝件。

This invention relates to a manufacturing method of an electronic package, in which a circuit layer is first formed on a light-transmissive carrier substrate, and then sealing and conductive components are used for bonding and sealing electronic components, and then the formation of an encapsulation layer, a conductive structure and a circuit structure are performed. Therefore, the present invention can reduce the manufacturing cost and improve the production efficiency without additionally adding a conventional cap structure to protect the electronic components and provide a wafer movement space in the subsequent process, and can decrease the overall thickness of the electronic package. The invention also provides an electronic package completed by the above method.

指定代表圖：



【第2F圖】

符號簡單說明：

2 . . . 電子封裝件

20 . . . 承載基板

21 . . . 線路層

22 . . . 密封體

23 . . . 導電元件

24 . . . 電子元件

25 . . . 導電結構

26 . . . 封裝層

26b . . . 第二表面

27 . . . 線路結構

A . . . 感應部

S . . . 密封腔體

發明摘要

【發明名稱】(中文/英文)

電子封裝件及其製法

ELECTRONIC PACKAGE AND MANUFACTURING
METHOD THEREOF

【中文】

一種電子封裝件之製法，係先形成線路層於一呈透光狀之承載基板上，再以密封體與導電元件進行該電子元件的貼合與密封作業，之後進行封裝層、導電結構與線路結構等作業，故本發明於後續製程無需額外加設如習知蓋件（cap）結構來保護該電子元件及提供晶片作動空間，故能降低製作成本及提升生產效率，且能降低該電子封裝件之整體厚度。本發明復提供一種由上述製法完成之電子封裝件。

【英文】

This invention relates to a manufacturing method of an electronic package, in which a circuit layer is first formed on a light-transmissive carrier substrate, and then sealing and conductive components are used for bonding and sealing electronic components, and then the formation of an encapsulation layer, a conductive structure and a circuit structure are performed. Therefore, the present invention can reduce the manufacturing cost and improve the production efficiency without additionally adding a conventional cap structure to protect the electronic components and provide a wafer movement space in the subsequent process, and can decrease the overall thickness of the electronic package. The invention also provides an electronic package completed by the above method.

【代表圖】

【本案指定代表圖】：第（ 2F ）圖。

【本代表圖之符號簡單說明】：

2	電子封裝件
20	承載基板
21	線路層
22	密封體
23	導電元件
24	電子元件
25	導電結構
26	封裝層
26b	第二表面
27	線路結構
A	感應部
S	密封腔體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電子封裝件及其製法

ELECTRONIC PACKAGE AND MANUFACTURING
METHOD THEREOF

【技術領域】

本發明係有關一種電子封裝結構，尤指一種適用於感應訊號之電子封裝件。

【先前技術】

隨著電子產業的發達，目前應用感測器元件或相機鏡頭的電子產品已趨向輕薄短小與功能多樣化的方向設計，半導體封裝技術亦隨之開發出不同的封裝型態。

目前許多感測晶片，如 LED(Light emitting diode)、MEMS(Micro-electro-mechanical Systems)、CMOS(Complementary Metal-Oxide-Semiconductor)，需要凹槽(cavity)空間進行作動或保護，其封裝方式係以焊接金線/銅線或以覆晶(flip chip)方式配置於承載基板上。一般製程步驟如下：首先，將晶片設於承載基板上或承載基板之凹槽中，以覆晶方式或點膠貼合晶片之方式。接著，焊接金線以電性連接該晶片與該承載基板(覆晶方式省略此步驟)，特別是 MEMS 型晶片，其因需要作動空間，該種晶片多採用焊接金線以電性連接該承載基板。之後，將殼蓋(cap)覆蓋於該晶片上以保護晶片並提供晶片作動空間，或

形成透明膠體保護晶片，其中，LED型晶片大多以透明膠體進行保護，而MEMS型晶片需以殼蓋進行保護並提供晶片作動空間。

第1A圖係為習知感測封裝件1a之剖面示意圖。如第1A圖所示，該感測封裝件1a係包括：一封裝基板10a、一MEMS型感測晶片14、一蓋件19a。所述之封裝基板10a係包含有線路層11。所述之感測晶片14係藉由膠材結合於該封裝基板10a上側，並藉由複數金線140電性連接該封裝基板10a。所述之蓋件19a係藉由支撐腳190架設於該封裝基板10a上並遮蓋該感測晶片14上方。

然而，於習知感測封裝件1a中，採用焊接該金線140之方式所發生之缺點如下：

第一、該感測晶片14於打線上件後，以取放(pick and place)方式在該感測晶片14上增加保護用之蓋件19a，此取放方式於量產製程時，需逐一進行該蓋件19a之上件作業，亦即一次安裝步驟僅能設置一個蓋件19a於該封裝基板10a上，致使量產製程之時間冗長而大幅提高生產成本且生產效率極差。

第二、於該感測晶片14上焊接該金線140，不僅製程速度慢，且於大面積作業時，該封裝基板10a之線路層11因等待時間過長而容易發生氧化或污染。

第三、該MEMS型感測封裝件1a中欲增加其它晶片如，特殊應用積體電路(Application-specific integrated circuit，簡稱ASIC)型功能晶片，以進行模組化，因無法

縮減該金線 140 之佔用面積，而勢必需增加該封裝基板 10a 之板面面積，致使最終電子產品之整體面積及封裝體積無法有效縮減。

為了解決上述問題，遂有應用半導體基材的矽穿孔 (Through Silicon Via, 簡稱 TSV) 技術進行封裝。

如第 1B 圖所示，習知感測封裝件 1b 之製法係先以蝕刻晶圓或玻璃之方式製作一整版面蓋件 19b，再以晶圓結合 (wafer bonding) 方式將一整版面 MEMS 型感測晶片 14 組合至該整版面蓋件 19b 上，再進行切單 (如圖所示之切割路徑 L) 以獲取複數感測封裝件 1b，其中，該感測晶片 14 需以矽穿孔 (Through Silicon Via, 簡稱 TSV) 製程製作導電矽穿孔 100b，以作為電性接點 (I/O)。藉此，因無需進行打線製程而能縮減該感測封裝件 1b 之整體厚度。

然而，習知感測封裝件 1b 中，因製作該導電矽穿孔 100b 之成本昂貴、整合難度高、技術難度高及製程冗長，致使製作成本大幅提高。

或者，相較於第 1A 圖之製程，亦可採用具凹部之基板進行封裝，如第 1C 圖所示。具體地，習知感測封裝件 1c 之製法係先將該感測晶片 14 藉由膠材貼設於一封裝基板 10c 之凹槽結構 100 中，並藉由複數金線 140 電性連接該封裝基板 10c 與該感測晶片 14，再以玻璃或其它材料的蓋件 19c 覆蓋於該封裝基板 10c 上以封蓋該凹槽結構 100 而進行空腔的保護。

然而，因需製作該凹槽結構 100，致使該封裝基板 10c

之製作時間冗長且成本提高。

再者，該感測晶片 14 於打線上件後，以取放(pick and place)方式在該感測晶片 14 上增加該蓋件 19c，此取放方式於量產製程時，需逐一進行該蓋件 19c 之上件作業，亦即一次安裝步驟僅能設置一個蓋件 19c 於該封裝基板 10c 上，致使量產製程之時間冗長而大幅提高生產成本，且生產效率極差。

亦或，相較於第 1A 圖之製程，亦可採用堆疊封裝 (Package on Package, 簡稱 PoP) 方式，如第 1D 圖所示。具體地，習知感測封裝件 1d 之製法係先將該感測晶片 14 藉由複數導電凸塊 141 以覆晶(flip chip)方式設於該封裝基板 10a 上，並以玻璃膠等底膠材 17 密封該些導電凸塊 141，再將另一封裝基板 10d 藉由複數焊球 15 疊加在該封裝基板 10a 上以形成空腔而保護該感測晶片 14。

惟，習知感測封裝件 1d 中，因需兩次上件作業（即設置該感測晶片 14 與該另一封裝基板 10d），致使流程冗長，且僅利用該些焊球 15 圍繞於該感測晶片 14 之周圍，致使產品密封性差，並因該些焊球 15 於回焊後之高度容易改變，致使該感測封裝件 1d 之厚度難以精準控制。

因此，如何克服上述習知技術之種種問題，實已成為目前業界亟待克服之難題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明係提供一種電子封裝件之製法，係包括：形成線路層於一呈透光狀之承

載基板上；形成密封體於該承載基板與該線路層上；設置至少一具有感應部之電子元件於該密封體上，使該電子元件、密封體、線路層與該承載基板形成一密封腔體，以令該感應部與該承載基板分別位於該密封腔體之相對兩側；以及形成封裝層於該承載基板上以包覆該電子元件與該密封體。

本發明復提供一種電子封裝件，係包括：承載基板，係呈透光狀；線路層，係設於該承載基板上；密封體，係設於該承載基板與該線路層上；具有感應部之電子元件，係設於該密封體上，使該電子元件、密封體、線路層與該承載基板之間形成一密封腔體，以令該感應部與該承載基板分別位於該密封腔體之相對兩側；以及封裝層，係形成於該承載基板上以包覆該電子元件與該密封體。

前述之電子封裝件及其製法中，該密封體係為非導電體。

前述之電子封裝件及其製法中，該電子元件藉由導電元件設於該線路層上，且該導電元件位於該密封腔體中。例如，該導電元件係包含結合該線路層之導電柱及設於該導電柱上之導電層。

前述之電子封裝件及其製法中，該封裝層中係形成有至少一電性連接該線路層之導電結構。例如，該封裝層上係形成有至少一電性連接該導電結構之線路結構。或者，該導電結構係為導電柱形式或導電穿孔形式。

前述之電子封裝件及其製法中，該封裝層未形成於該

密封腔體中。

前述之電子封裝件及其製法中，復包括設置功能晶片於該封裝層上。

由上可知，本發明之電子封裝件及其製法，主要藉由先於該透光狀承載基板直接形成線路層，再以密封體與導電元件進行該電子元件的貼合與密封作業，之後進行封裝層、導電結構與線路結構等作業，故本發明具有如下優點：

第一、於後續製程無需使用習知如玻璃板或鐵殼之蓋板結構，故能降低製作成本，且能降低該電子封裝件之整體厚度，以及有效提高生產效率。

第二、免用打線製程，因而縮小該電子封裝件之封裝體積。

第三、可將多顆芯片直接封裝於一承載基板上，以達到模組化的效果，且同時降低後續電子產品之體積。

第四、藉由該導電結構取代習知導電矽穿孔，因而無需進行成本高、整合難度高及技術難度高之 TSV 製程，故能有效降低製作成本。

【圖式簡單說明】

第 1A 圖係為習知感測封裝件之剖面示意圖；

第 1B 圖係為習知感測封裝件之剖面示意圖；

第 1C 圖係為習知感測封裝件之剖面示意圖；

第 1D 圖係為習知感測封裝件之剖面示意圖；

第 2A 至 2F 圖係為本發明之電子封裝件之製法之第一實施例之剖視示意圖；其中，第 2C' 圖係為第 2C 圖之局

部上視圖；

第 2G 圖係為第 2F 圖之後續應用；以及

第 3A 至 3D 圖係為本發明之電子封裝件之製法之第二實施例之剖視示意圖。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“第一”、“第二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2F 圖係為本發明之電子封裝件 2 之製法之第一實施例之剖視示意圖。

如第 2A 圖所示，形成一線路層 21 於一承載基板 20 上。

於本實施例中，該承載基板 20 係為如玻璃板之透光板

材或其它合適之介層板材。

再者，該線路層 21 具有複數導電跡線 21a、位於該導電跡線 21a 相對兩端處之電性接觸墊 210 與外接墊 211。

如第 2B 圖所示，形成一密封體 22 於該承載基板 20 與該線路層 21 上。

於本實施例中，該密封體 22 係為非導電體，如玻璃膠或其它密封材質之絕緣材，其呈現環圈狀。例如，該密封體 22 大致形成於該承載基板 20 上，而部分覆蓋於該線路層 21 之導電跡線 21a 上。

再者，形成複數導電元件 23 於該線路層 21 之電性接觸墊 210 上。例如，可先形成導電柱 230 於該電性接觸墊 210 上，再形成導電層 231 於該導電柱 230 上，使該導電柱 230 與該導電層 231 組成塊狀導電元件 23。具體地，該導電柱 230 係為銅柱或其它金屬柱，且該導電層 231 係為以印刷方式形成之錫膏或銅膏。應可理解地，該導電元件 23 可依需求製作成各種態樣，如焊錫凸塊、銅凸塊等，並不限於上述。

如第 2C 及 2C' 圖所示，設置一具有感應部 A 之電子元件 24 於導電元件 23 上，且該電子元件 24 靠合於該密封體 22 上，使該電子元件 24、密封體 22、線路層 21 與該承載基板 20 形成一密封腔體 S，以令該感應部 A 與該承載基板 20 分別位於該密封腔體 S 之相對兩側，且該些導電元件 23 位於該密封腔體 S 中。

於本實施例中，該電子元件 24 係為感測器元件，如

LED(Light emitting diode)、MEMS(Micro-electro-mechanical Systems)、CMOS(Complementary Metal-Oxide-Semiconductor)或其它類形之半導體晶片結構，其具有相對之作用面 24a 與非作用面 24b，且該作用面 24a 上具有該感應部 A 與複數電極墊 240，以令該電子元件 24 以該作用面 24a 接觸該密封體 22，並以其電極墊 240 結合該些導電元件 23，使該電子元件 24 藉由該些導電元件 23 電性連接該線路層 21。

再者，該感應部 A 係配置有光感構造或指紋辨識構造。

又，該電子元件 24 大致呈矩形，且該密封體 22 係對應該電子元件 24 之側面輪廓而呈現矩形。

如第 2D 圖所示，形成至少一導電結構 25 於該線路層 21 之外接墊 211 上，且該導電結構 25 電性連接該線路層 21。

於本實施例中，該導電結構 25 係為導電柱形式，例如，於該線路層 21 上電鍍形成複數銅柱以作為該導電結構 25。應可理解地，有關導電柱之製作方式繁多，並不限於上述。

如第 2E 圖所示，形成一封裝層 26 於該承載基板 20 上以包覆該導電結構 25、該電子元件 24 與該密封體 22。

於本實施例中，該封裝層 26 未形成於該密封腔體 S 中，且該導電結構 25 係埋設於該封裝層 26 中。

再者，該封裝層 26 具有相對之第一表面 26a 與第二表面 26b，該第一表面 26a 係結合該承載基板 20，且該導電結構 25 之端面 25a 係外露於該第二表面 26b。例如，藉由

研磨該封裝層 26 之整平製程，使該導電結構 25 之端面 25a 齊平該封裝層 26 之第二表面 26b。有關該導電結構 25 外露於該封裝層 26 之方式繁多，如開孔方式，並不限於上述。

又，形成該封裝層 26 之材質係為介電材，如液狀環氧樹脂、膜狀 ABF(Ajinomoto Build-up Film)、預浸材(Prepreg)、環氧模壓樹脂 (Epoxy Molding Compound，簡稱 EMC) 或感光型樹脂等，但不限於上述。

如第 2F 圖所示，形成一線路結構 27 於該封裝層 26 之第二表面 26b 上，且該線路結構 27 電性連接該導電結構 25。

於本實施例中，該線路結構 27 係為單一佈線層，但可依需求形成多層佈線層之形式，如增層線路，故該線路結構 27 之形式並無特別限制。

再者，於後續製程中，可依需求藉由複數導電凸塊 280 設置如特殊應用積體電路 (Application-specific integrated circuit, 簡稱 ASIC) 型之功能晶片 28 於該線路結構 27 上，如第 2G 圖所示。

第 3A 至 3D 圖係為本發明之電子封裝件 3 之製法之第二實施例之剖視示意圖。本實施例與第一實施例之差異在於導電結構之製程，其它製程大致相同，故以下不再贅述相同處。

如第 3A 圖所示，係完成第 2C 圖所示之製程。

如第 3B 圖所示，形成一封裝層 26 於該承載基板 20

上以包覆該電子元件 24 與該密封體 22。

於本實施例中，該封裝層 26 具有相對之第一表面 26a 與第二表面 26b，該第一表面 26a 係結合該承載基板 20。

如第 3C 圖所示，形成複數穿孔 260 於該封裝層 26 之第二表面 26b 上，以令該線路層之外接墊外露於該些穿孔 260。

於本實施例中，係採用雷射方式形成該些穿孔 260。應可理解地，有關穿孔 260 之製作方式繁多，並不限於上述。

如第 3D 圖所示，形成至少一導電結構 35 於該些穿孔 260 中之外接墊 211 上，且形成一線路結構 37 於該封裝層 26 之第二表面 26b 上，使該線路結構 37 藉由該導電結構 35 電性連接該線路層 21。

於本實施例中，該導電結構 35 係為導電穿孔形式，例如，於該線路結構 37 與該導電結構 35 係一併以電鍍方式形成。應可理解地，有關導電穿孔之製作方式繁多，並不限於上述。

本發明之電子封裝件 2,3，係包括：一承載件 20、一線路層 21、一密封體 22、一具有感應部 A 之電子元件 24 以及一封裝層 26。

所述之線路層 21 係設於該承載基板 20 上。

所述之密封體 22 係設於該承載基板 20 與該線路層 21 上。

所述之電子元件 24 係設於該密封體 22 上，使該電子

元件 24、密封體 22、線路層 21 與該承載基板 20 之間形成一密封腔體 S，以令該感應部 A 與該承載基板 20 分別位於該密封腔體 S 之相對兩側。

所述之封裝層 26 係設於該承載基板 20 上以包覆該電子元件 24 與該密封體 22。

於一實施例中，該承載基板 20 係為透光板材。

於一實施例中，該密封體 22 係為非導電體。

於一實施例中，該電子元件 24 藉由複數導電元件 23 電性連接該線路層 21 上，且該導電元件 23 位於該密封腔體 S 中。例如，該導電元件 23 係包含結合該線路層 21 之導電柱 230 及至少一設於該導電柱 230 上之導電層 231。

於一實施例中，該封裝層 26 中係形成有至少一電性連接該線路層 21 之導電結構 25,35。例如，該封裝層 26 上係形成有至少一電性連接該導電結構 25,35 之線路結構 27,37。或者，該導電結構 25,35 係為導電柱形式或導電穿孔形式。

於一實施例中，該封裝層 26 未形成於該密封腔體 S 中。

於一實施例中，該電子封裝件 2 復包括設於該封裝層 26 上之功能晶片 28。

綜上所述，本發明之電子封裝件之製法及其結構，係藉由先於該透光狀承載基板 20 直接形成線路層 21，再以密封體 22 與導電元件 23 進行該電子元件 24 的貼合與密封作業，之後進行封裝層 26、導電結構 25,35 與線路結構 27,37 等作業，故本發明具有如下優點：

第一、於後續製程無需使用習知蓋件結構，故能降低製作成本，且能降低該電子封裝件之整體厚度，以及有效提升生產效率。

第二、免用打線製程，因而縮小該電子封裝件 2,3 之封裝體積。

第三、可將多顆晶片直接封裝於一承載基板 20 上，以達到模組化的效果，且同時降低後續電子產品之體積。如第 2G 圖所示，可直接配合 ASIC 型功能晶片 28 進行模組化封裝，以降低整體封裝結構之厚度。

第四、藉由該導電結構 25,35 取代習知導電矽穿孔，因而無需進行成本高、整合難度高及技術難度高之 TSV 製程，故能有效降低製作成本。

第五、相較於第 1A 圖之習知感測封裝件，本發明係利用該承載基板 20 上之線路層 21 作為電性導通路徑，以降低結構厚度，且於量產製程時，該承載基板 20 不需逐一放置封裝蓋件 19a，因而能簡化製作流程及提升效率。

第六、相較於第 1B 圖之習知感測封裝件，本發明無需進行 TSV 作業與晶圓結合(wafer bonding)作業等半導體製程，因而能大幅降低產品成本並可同時達到相同的高密閉性封裝效果，並以該承載基板 20 取代該蓋件 19b，不僅可作為雙面導通結構之電性導通路徑，且成本更低（因為不需耗費時間與成本來預先蝕刻製作具凹孔的蓋件 19b）。

第七、相較於第 1C 圖之習知感測封裝件，本發明之

承載基板 20 不需製作凹槽結構，且不需逐一置放習知蓋件 19c，並於封裝過程中藉由該密封體 22 與封裝層 26 自然形成密封腔體 S，故能降低產品成本。再者，該承載基板 20 可作為雙面導通結構之電性導通路徑與雙面上件之其中一側結構。

第八、相較於第 1D 圖之習知感測封裝件，本發明由該密封體 22 與封裝層 26 所形成之密封腔體 S 之密封性較佳，且不需逐一進行習知封裝基板 10d 之上件作業，因而能縮短製程流程有效提升生產效率。再者，本發明藉由該導電結構 25,35 之設計以避免如第 1D 圖所示之焊球 15 於封裝過程中會發生變形，因而能有效精準控制產品厚度，且能提高該功能晶片 28 之對位精度。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1a,1b,1c,1d	感測封裝件	10a,10c,10d	封裝基板
100	凹槽結構	100b	導電矽穿孔
11,21	線路層	14	感測晶片
140	金線	141,280	導電凸塊
15	焊球	17	底膠材
19a,19b,19c	蓋件	190	支撐腳

2,3	電子封裝件	20	承載基板
21	線路層	21a	導電跡線
210	電性接觸墊	211	外接墊
22	密封體	23	導電元件
230	導電柱	231	導電層
24	電子元件	24a	作用面
24b	非作用面	240	電極墊
25,35	導電結構	25a	端面
26	封裝層	26a	第一表面
26b	第二表面	260	穿孔
27,37	線路結構	28	功能晶片
A	感應部	L	切割路徑
S	密封腔體	t	間隙

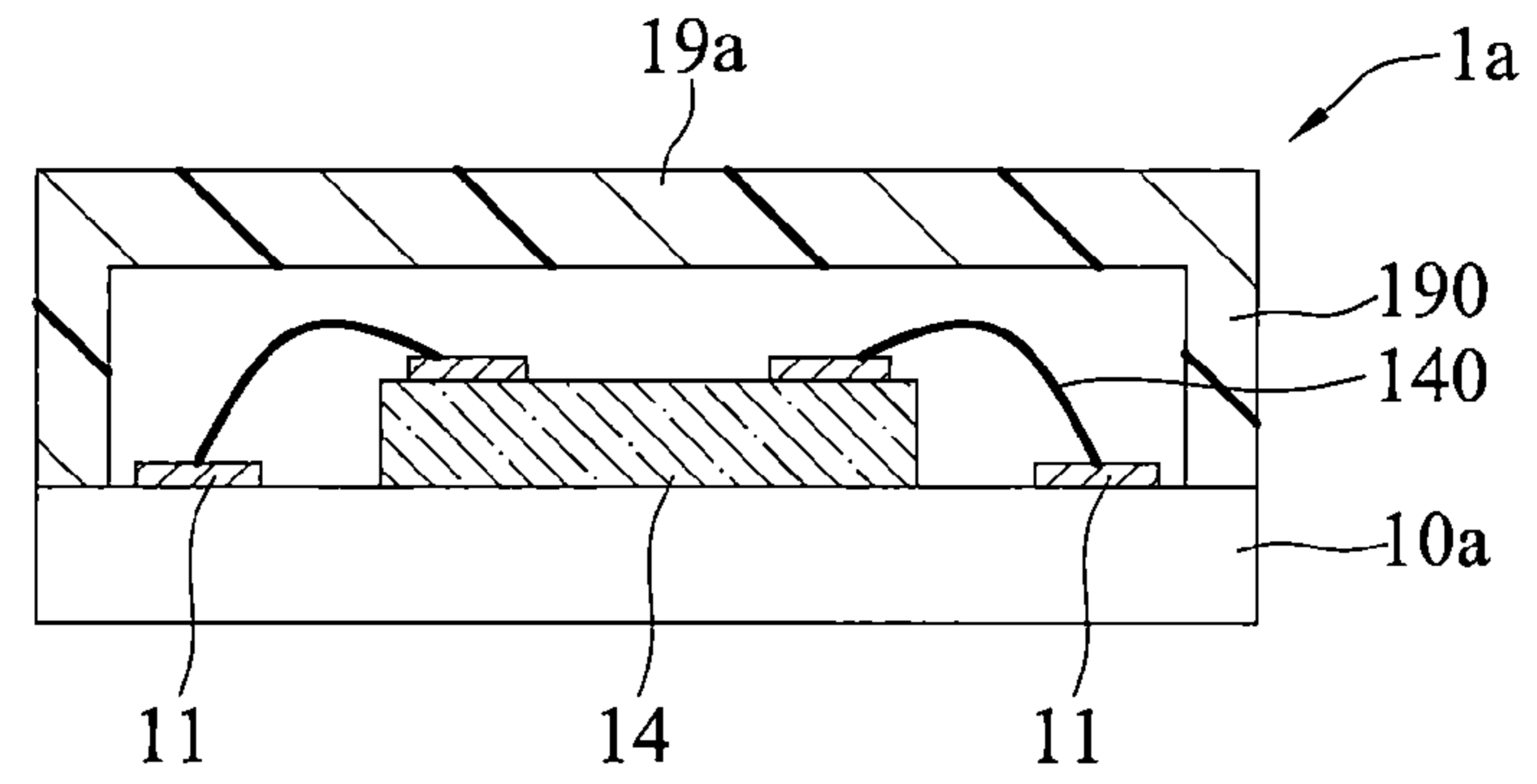
申請專利範圍

1. 一種電子封裝件之製法，係包括：
 - 形成線路層於一呈透光狀之承載基板上；
 - 形成密封體於該承載基板與該線路層上；
 - 設置至少一具有感應部之電子元件於該密封體上，使該電子元件、密封體、線路層與該承載基板形成一密封腔體，以令該感應部與該承載基板分別位於該密封腔體之相對兩側；以及
 - 形成封裝層於該承載基板上以包覆該電子元件與該密封體。
2. 如申請專利範圍第1項所述之電子封裝件之製法，其中，該密封體係為非導電體。
3. 如申請專利範圍第1項所述之電子封裝件之製法，其中，該電子元件藉由導電元件設於該線路層上，且該導電元件位於該密封腔體中。
4. 如申請專利範圍第3項所述之電子封裝件之製法，其中，該導電元件係包含結合該線路層之導電柱及設於該導電柱上之導電層。
5. 如申請專利範圍第1項所述之電子封裝件之製法，其中，該封裝層中係形成有至少一電性連接該線路層之導電結構。
6. 如申請專利範圍第5項所述之電子封裝件之製法，其中，該封裝層上係形成有至少一電性連接該導電結構之線路結構。

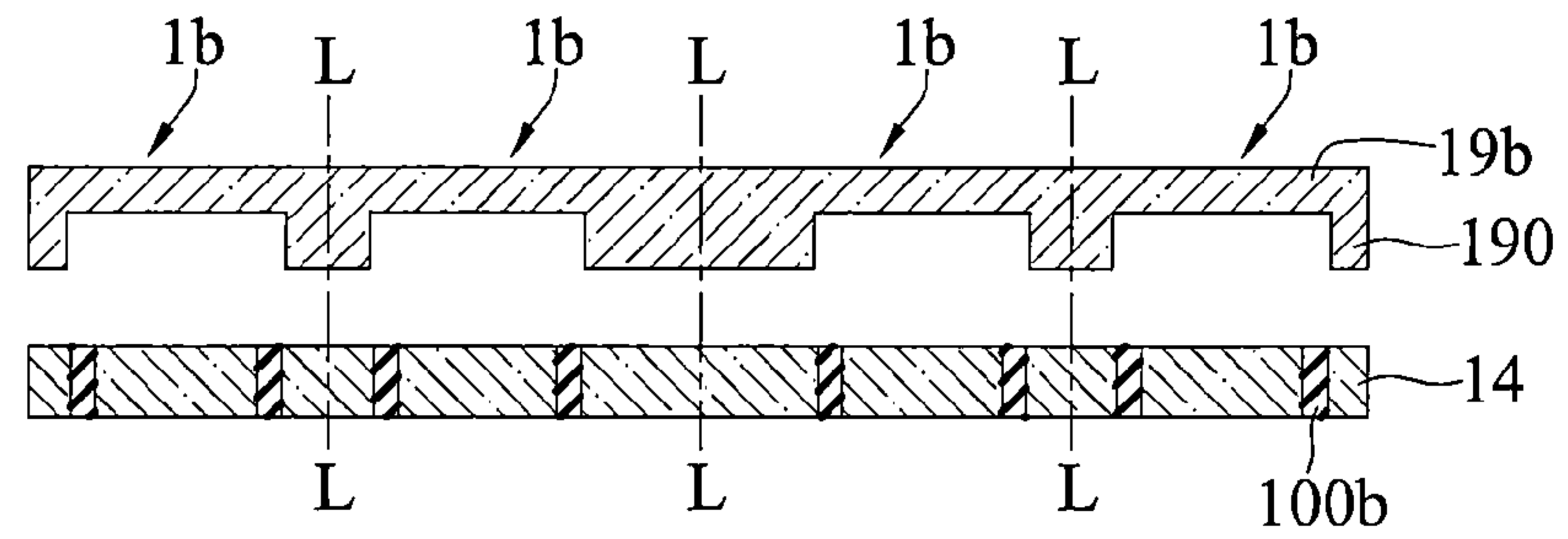
7. 如申請專利範圍第5項所述之電子封裝件之製法，其中，該導電結構係為導電柱形式或導電穿孔形式。
8. 如申請專利範圍第1項所述之電子封裝件之製法，其中，該封裝層未形成於該密封腔體中。
9. 如申請專利範圍第1項所述之電子封裝件之製法，復包括設置功能晶片於該封裝層上。
10. 一種電子封裝件，係包括：
 - 承載基板，係呈透光狀；
 - 線路層，係設於該承載基板上；
 - 密封體，係設於該承載基板與該線路層上；
 - 具有感應部之電子元件，係設於該密封體上，使該電子元件、密封體、線路層與該承載基板之間形成一密封腔體，以令該感應部與該承載基板分別位於該密封腔體之相對兩側；以及
 - 封裝層，係形成於該承載基板上以包覆該電子元件與該密封體。
11. 如申請專利範圍第10項所述之電子封裝件，其中，該密封體係為非導電體。
12. 如申請專利範圍第10項所述之電子封裝件，其中，該電子元件藉由導電元件電性連接該線路層上，且該導電元件位於該密封腔體中。
13. 如申請專利範圍第12項所述之電子封裝件，其中，該導電元件係包含結合該線路層之導電柱及設於該導電柱上之導電層。

14. 如申請專利範圍第10項所述之電子封裝件，其中，該封裝層中係形成有至少一電性連接該線路層之導電結構。
15. 如申請專利範圍第14項所述之電子封裝件，其中，該封裝層上係形成有至少一電性連接該導電結構之線路結構。
16. 如申請專利範圍第14項所述之電子封裝件，其中，該導電結構係為導電柱形式或導電穿孔形式。
17. 如申請專利範圍第10項所述之電子封裝件，其中，該封裝層未形成於該密封腔體中。
18. 如申請專利範圍第10項所述之電子封裝件，復包括設於該封裝層上之功能晶片。

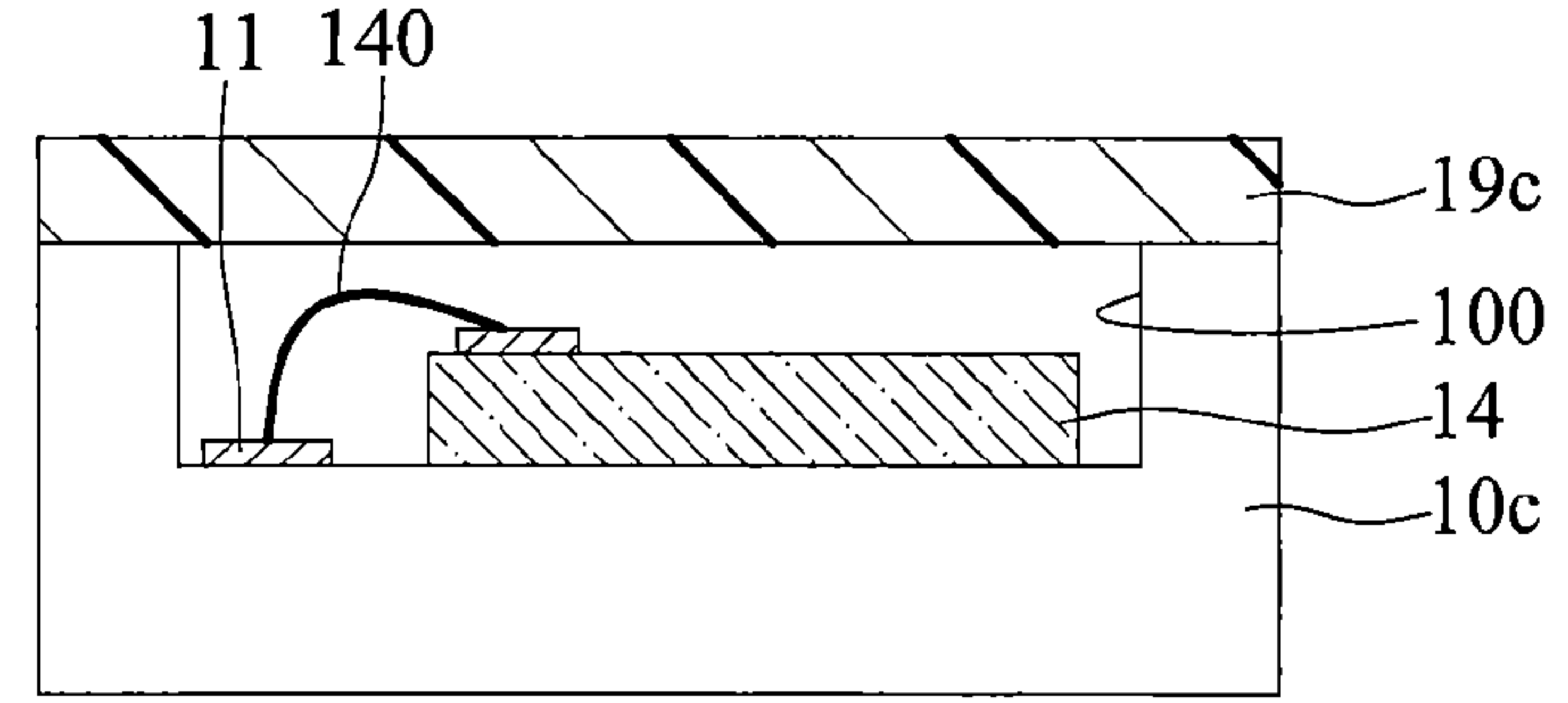
【發明圖式】



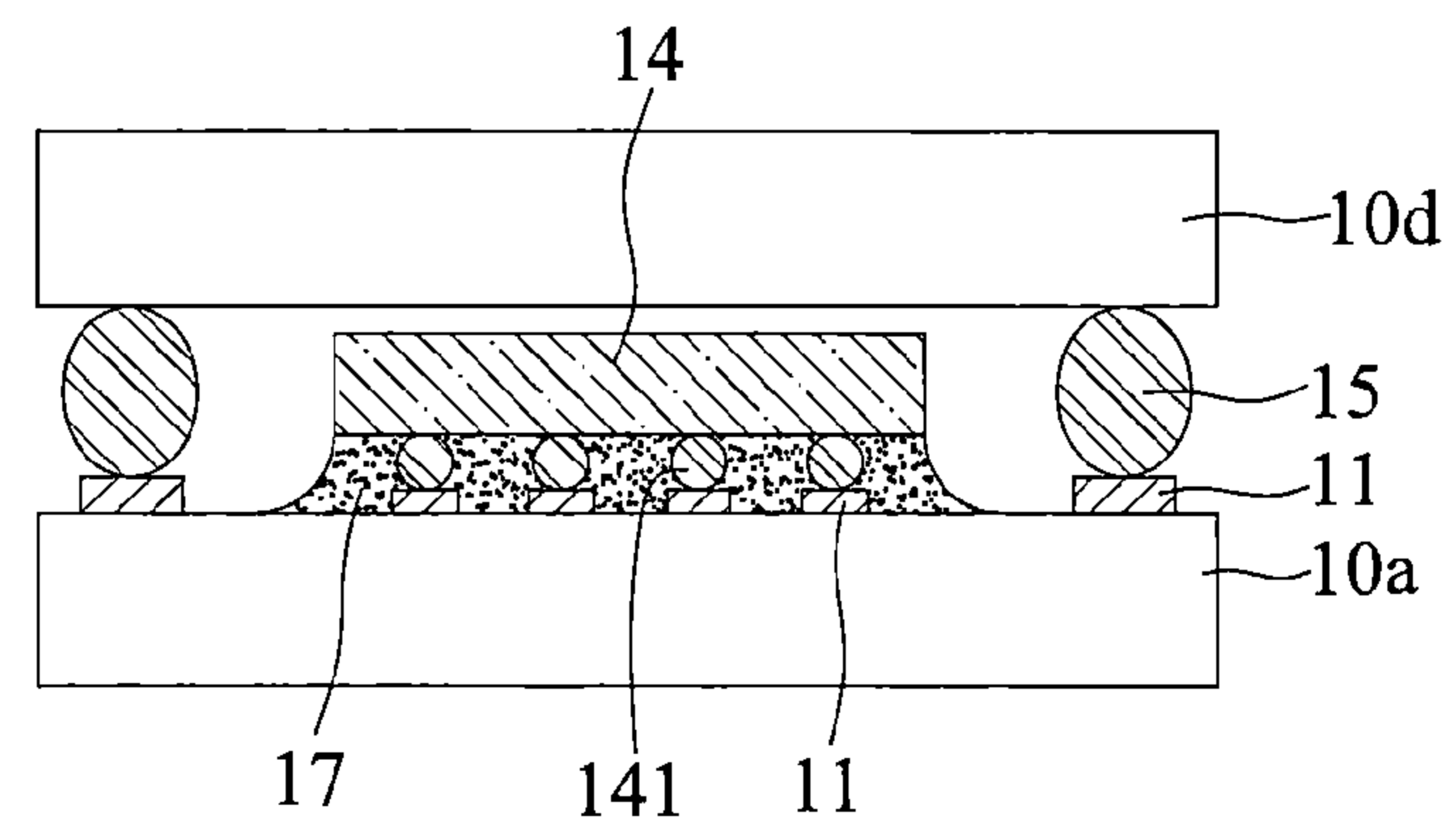
【第1A圖】



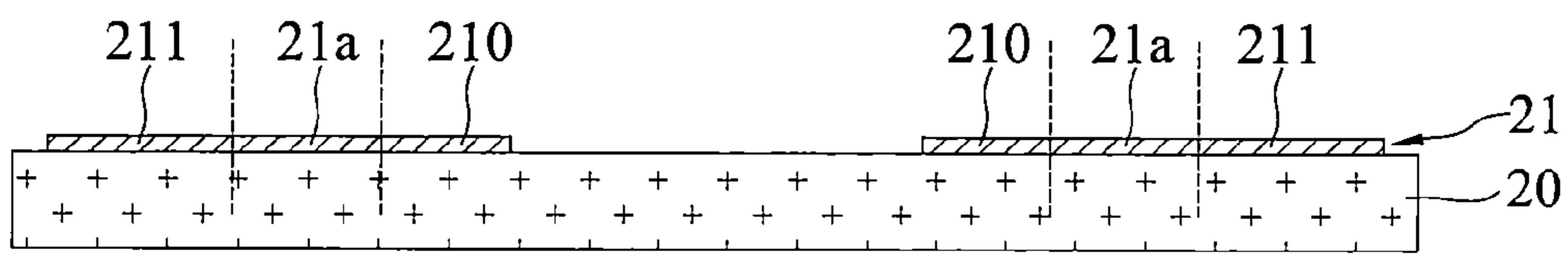
【第1B圖】



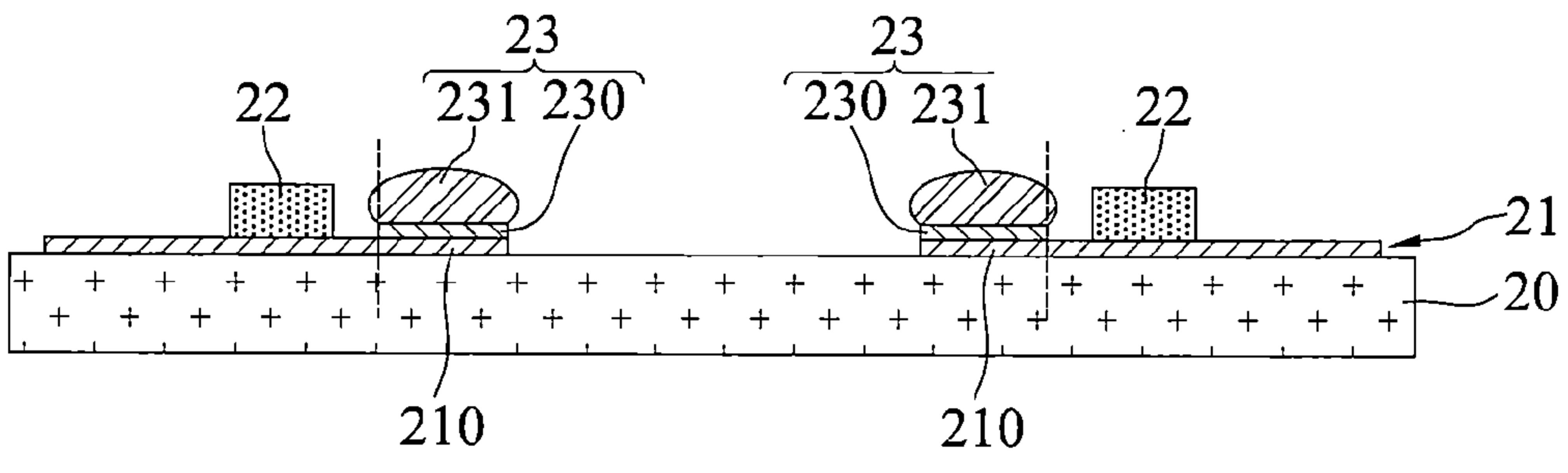
【第1C圖】



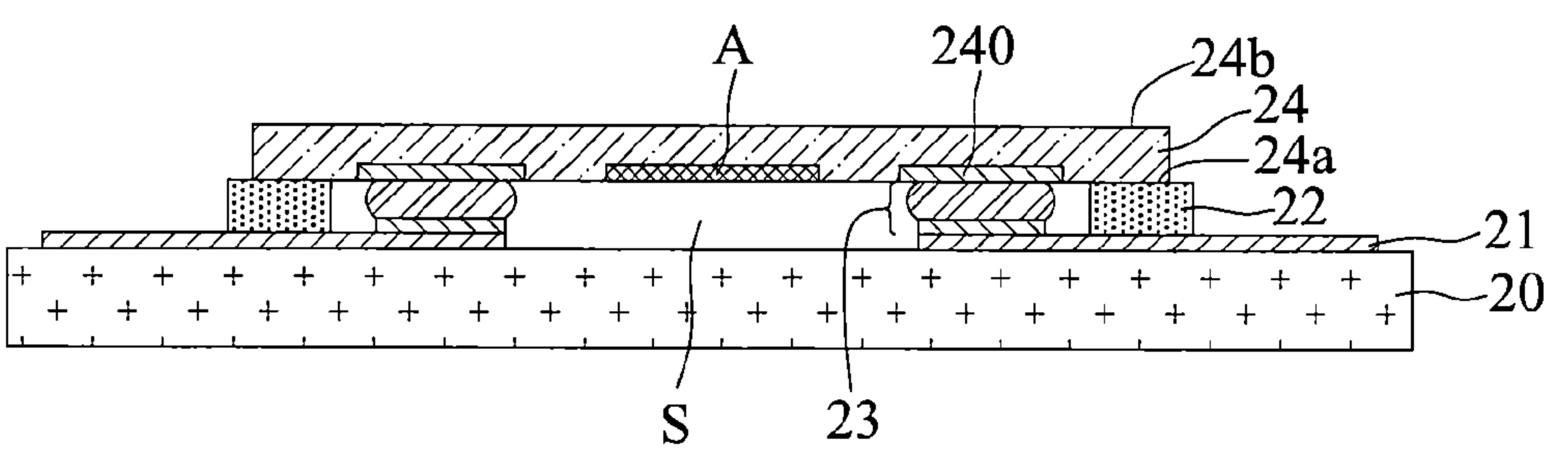
【第1D圖】



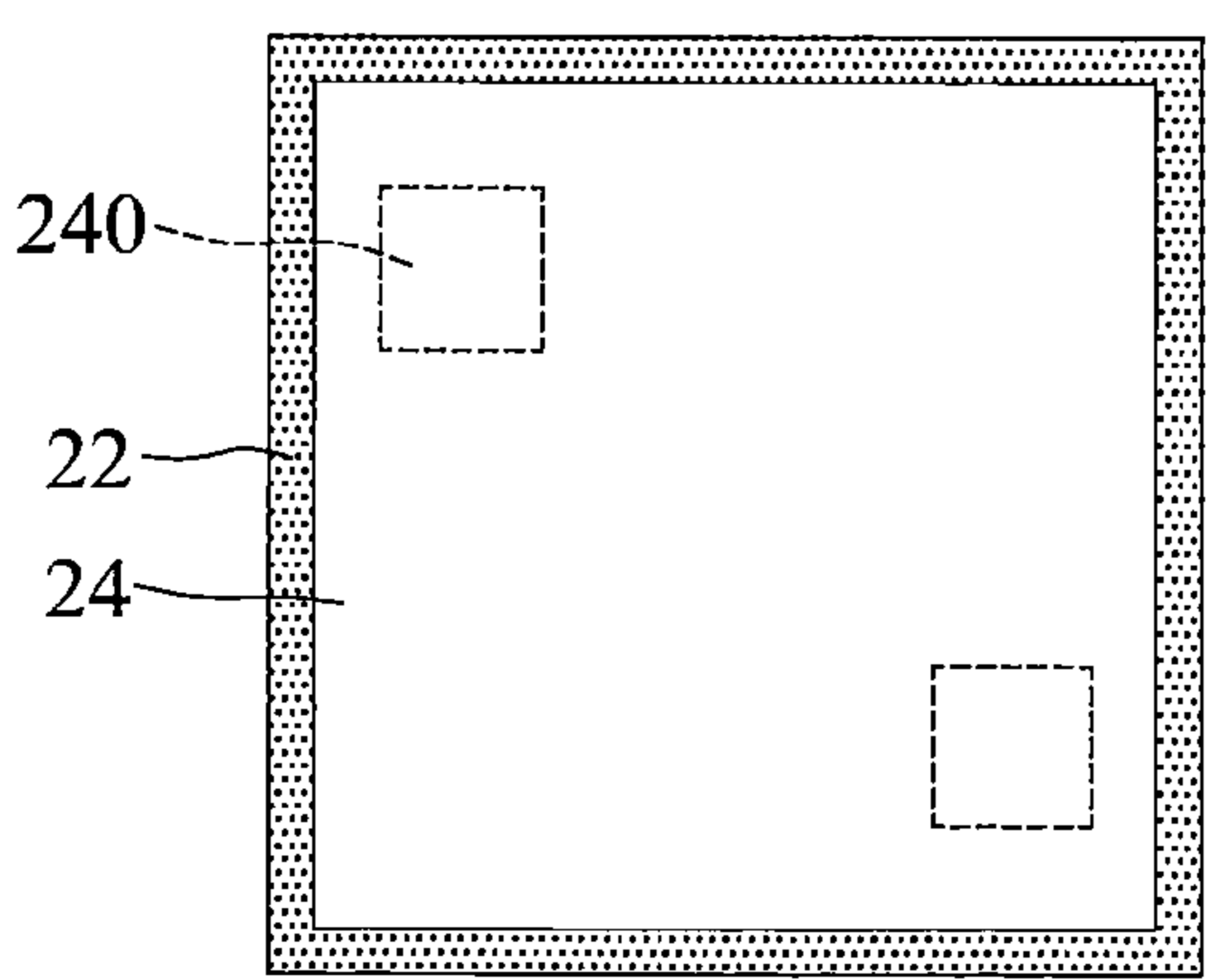
【第2A圖】



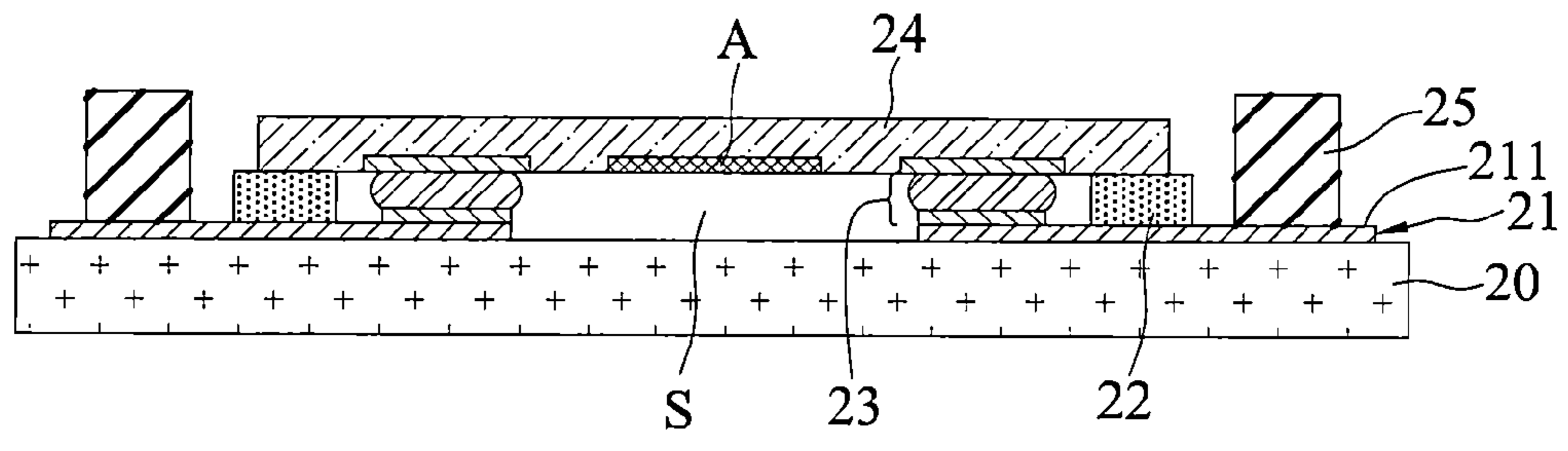
【第2B圖】



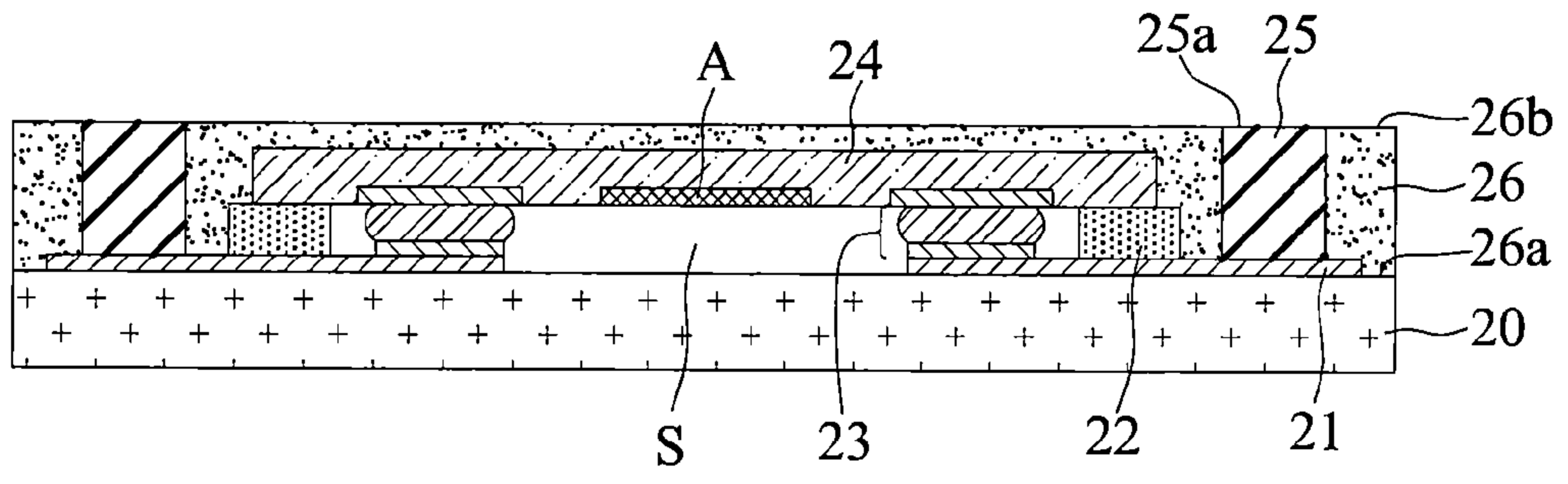
【第2C圖】



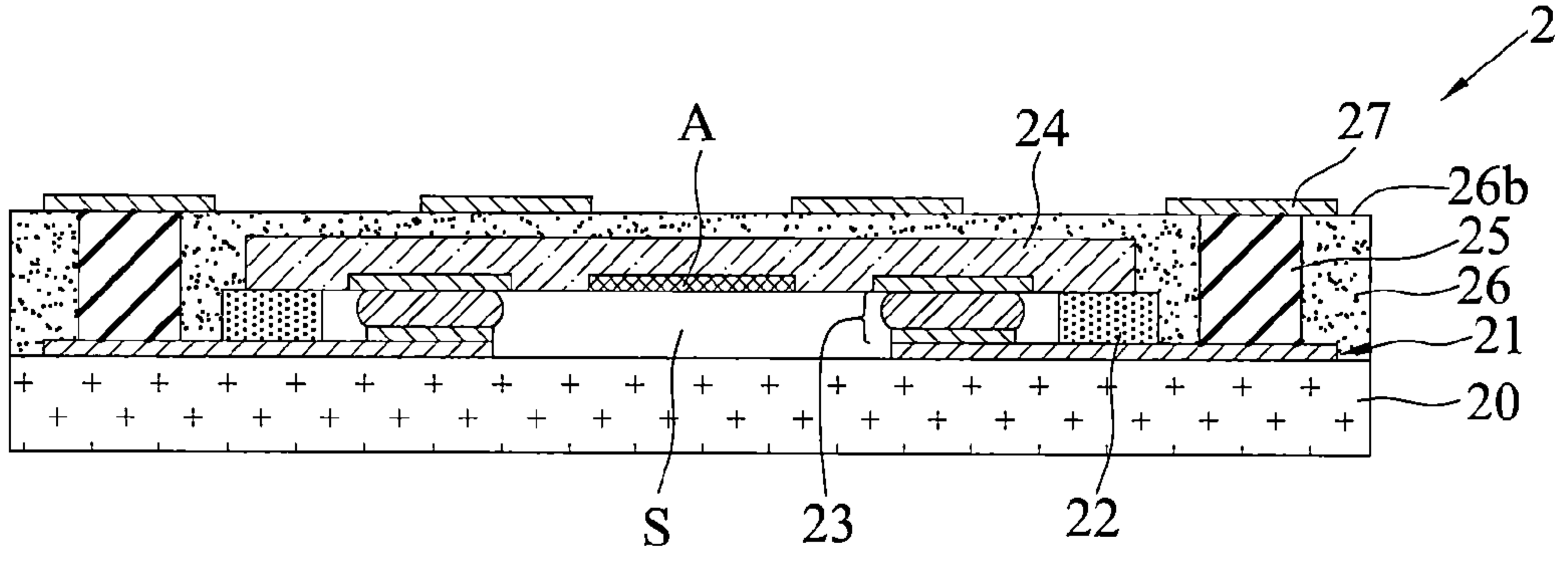
【第2C'圖】



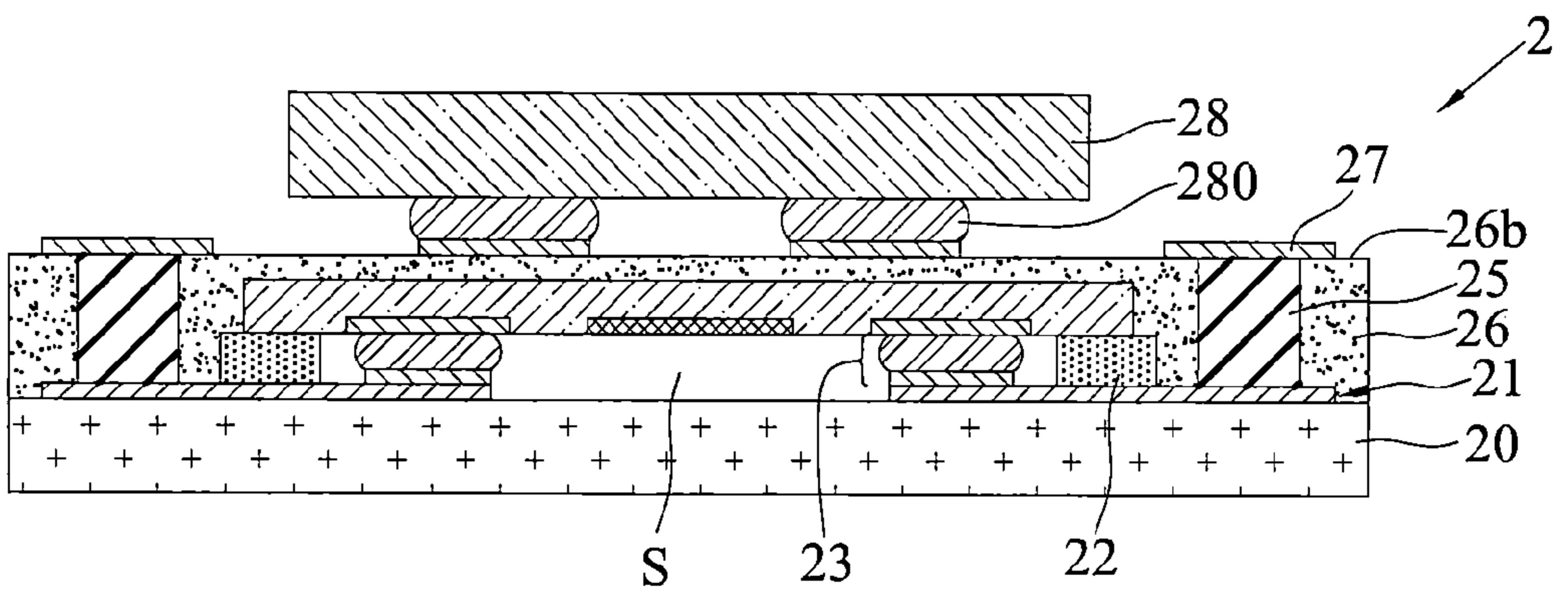
【第2D圖】



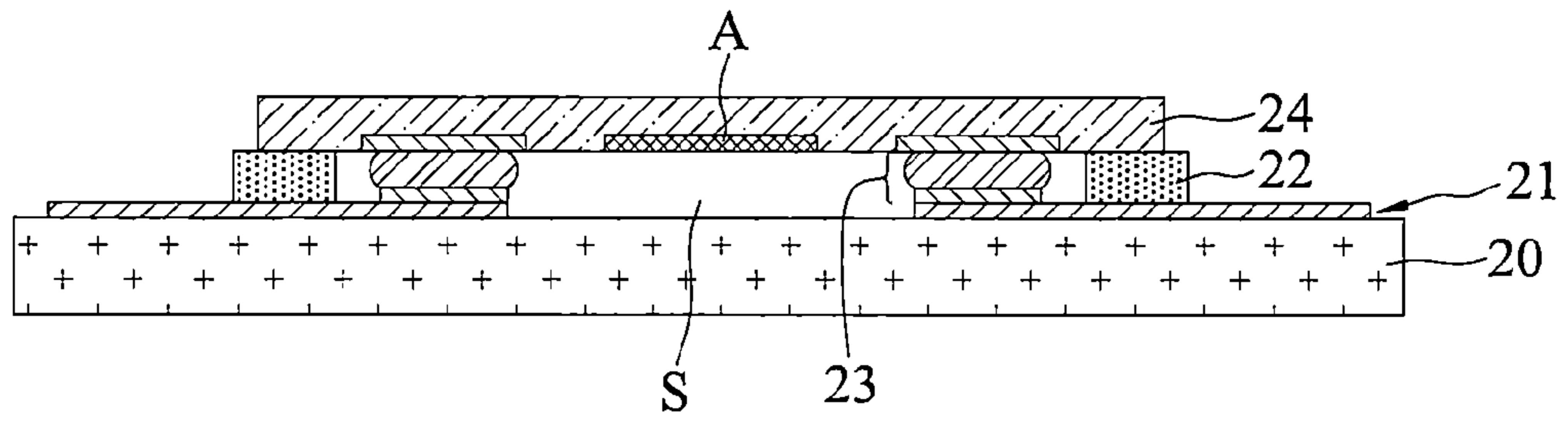
【第2E圖】



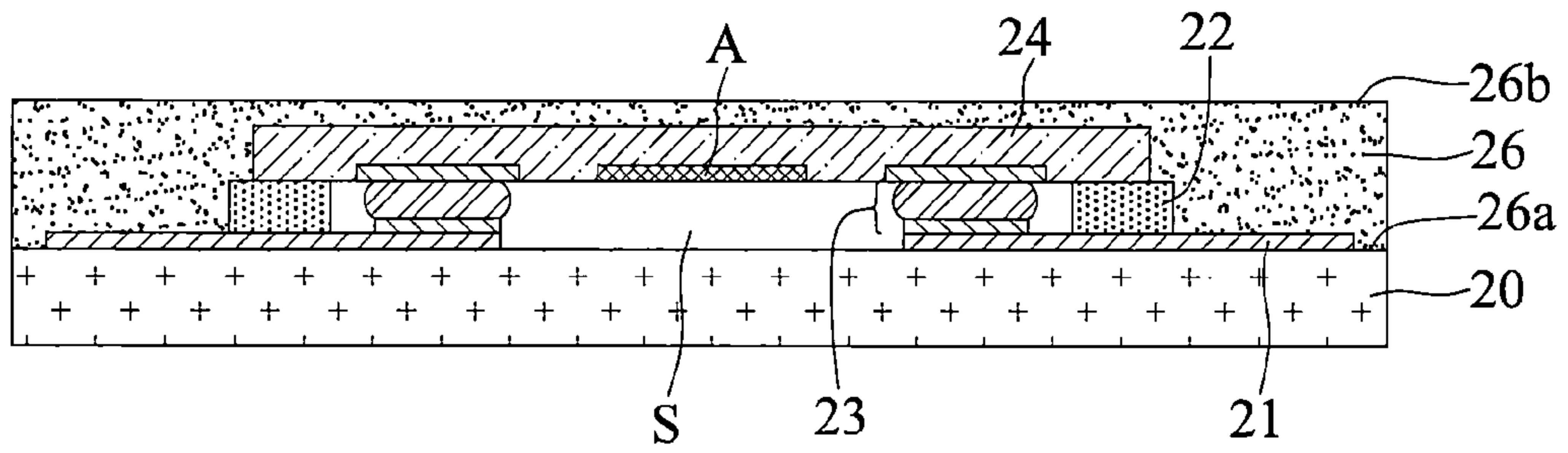
【第2F圖】



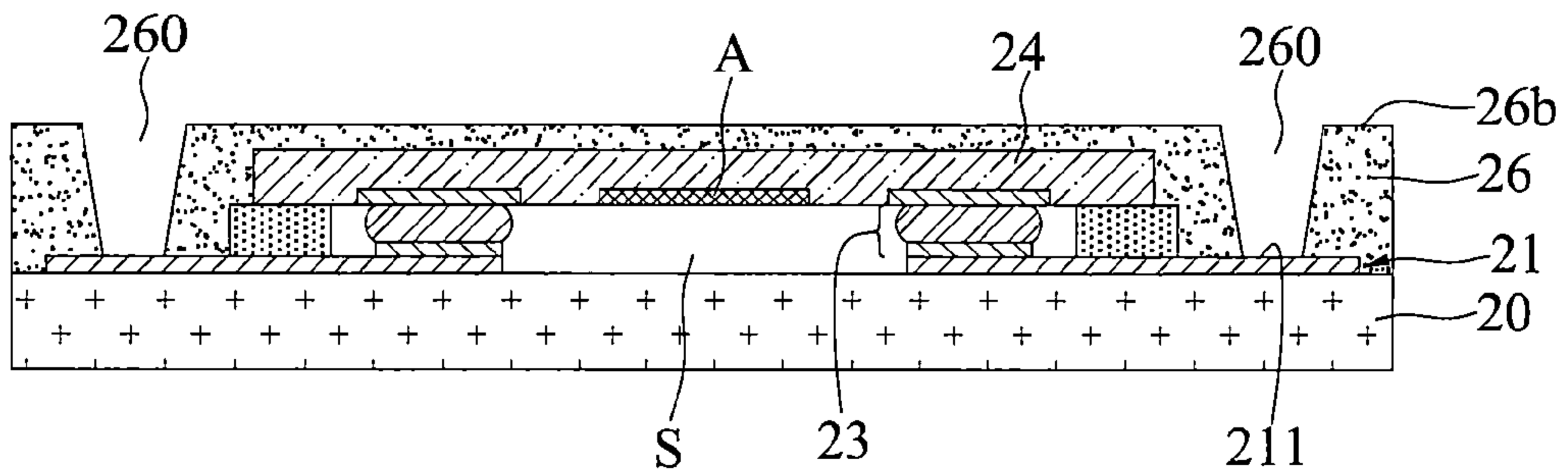
【第2G圖】



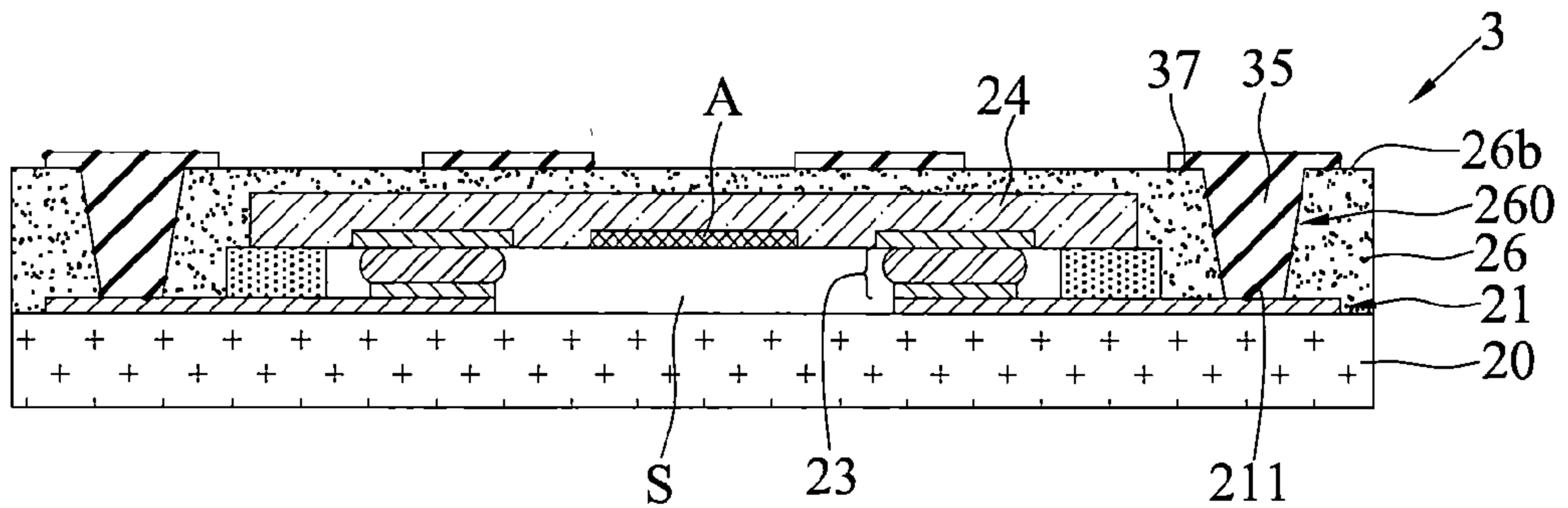
【第3A圖】



【第3B圖】



【第3C圖】



【第3D圖】