



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년08월16일

(11) 등록번호 10-1768433

(24) 등록일자 2017년08월09일

- (51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01) *G02F 1/136* (2006.01)  
*H01L 21/336* (2006.01)
- (21) 출원번호 10-2012-7018562
- (22) 출원일자(국제) 2010년11월24일  
 심사청구일자 2015년11월03일
- (85) 번역문제출일자 2012년07월16일
- (65) 공개번호 10-2012-0094513
- (43) 공개일자 2012년08월24일
- (86) 국제출원번호 PCT/JP2010/071422
- (87) 국제공개번호 WO 2011/074409  
 국제공개일자 2011년06월23일
- (30) 우선권주장  
 JP-P-2009-288245 2009년12월18일 일본(JP)

- (56) 선행기술조사문현  
 US20080303020 A1  
 JP2009272427 A  
 JP2009167087 A

- (73) 특허권자  
 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자  
**야마자키 순페이**  
 일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
**마루야마 호타카**  
 일본 984-0823 미야기켄 센다이시 와카바야시구  
 도미두카 2-16-12  
 (뒷면에 계속)
- (74) 대리인  
 장훈

전체 청구항 수 : 총 18 항

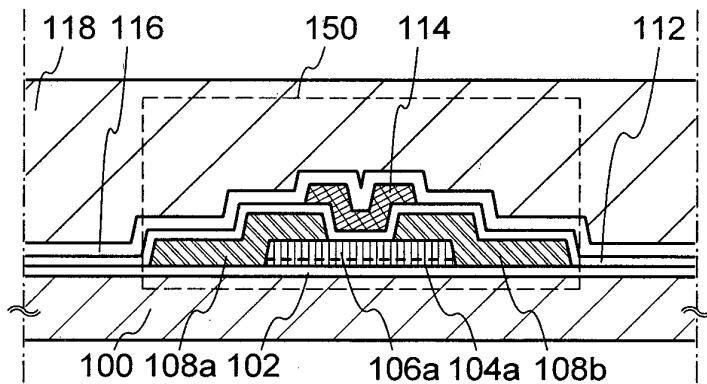
심사관 : 김종호

## (54) 발명의 명칭 반도체 장치 제작 방법

**(57) 요 약**

우수한 결정성을 가진 산화물 반도체층이 대형 표시 장치, 고성능 반도체 장치 등의 실제 응용을 위해 우수한 전기 특성들을 가진 트랜지스터들의 제작을 가능하게 하도록 형성된다. 제 1 열 처리에 의해, 제 1 산화물 반도체층이 결정화된다. 제 2 산화물 반도체층이 상기 제 1 산화물 반도체층 위에 형성된다. 제 2 열 처리에 의해, 표면에 실질적으로 수직으로 배향된 c-축을 가진 결정 영역을 포함하는 산화물 반도체층이 효율적으로 형성되고 산소 결손들이 효율적으로 채워진다. 산화물 절연층이 상기 산화물 반도체층 위에서 그와 접하여 형성된다. 제 3 열 처리에 의해, 산소가 상기 산화물 반도체층에 다시 공급된다. 수소를 함유한 질화물 절연층이 상기 산화물 절연층 위에 형성된다. 제 4 열 처리에 의해, 수소가 상기 제 2 산화물 반도체층과 상기 산화물 절연층 사이의 계면에 공급된다.

대표도 - 도1



(72) 발명자

**오이카와 요시아키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오파이 에네루기 켄큐쇼 내

---

**도치바야시 가츠아키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오파이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

반도체 장치 제작 방법에 있어서:

제 1 산화물 반도체층을 형성하는 단계;

표면으로부터 상기 제 1 산화물 반도체층의 내부 쪽으로 성장되는 결정 영역을 형성하기 위해 상기 제 1 산화물 반도체층에 대한 제 1 열 처리를 수행하는 단계로서, 상기 결정 영역은 c-축이 상기 제 1 산화물 반도체층의 상기 표면에 실질적으로 수직인 방향으로 배향되는 결정들을 포함하는, 상기 제 1 열 처리 수행 단계;

상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계;

상기 제 2 산화물 반도체층에서 상기 결정 영역으로부터 성장된 c-축 배향된 결정들을 형성하고, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 산소를 공급하도록, 산소를 포함하는 분위기에서 일정 온도로 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 대한 제 2 열 처리를 수행하는 단계;

상기 제 2 열 처리가 수행되는 상기 제 2 산화물 반도체층 위에 도전층을 형성하는 단계;

상기 도전층을 선택적으로 에칭함으로써 소스 전극층 및 드레인 전극층을 형성하는 단계;

상기 소스 전극층, 상기 드레인 전극층, 및 상기 제 2 산화물 반도체층을 피복하도록 산화물 절연층을 형성하는 단계로서, 상기 산화물 절연층은 상기 제 2 산화물 반도체층과 접하는, 상기 산화물 절연층 형성 단계;

상기 제 2 산화물 반도체층에 산소를 공급하기 위해 상기 산화물 절연층에 대한 제 3 열 처리를 수행하는 단계;

상기 산화물 절연층 위에 게이트 전극층을 형성하는 단계로서, 상기 게이트 전극층은 산소가 공급되는 상기 제 2 산화물 반도체층과 중첩하는, 상기 게이트 전극층 형성 단계;

상기 게이트 전극층 및 상기 산화물 절연층 위에 수소를 포함하는 질화물 절연층을 형성하는 단계; 및

미결합수들(dangling bonds)을 수소 중단하기 위해 상기 질화물 절연층에 대한 제 4 열 처리를 수행하는 단계로서, 상기 미결합수들은 적어도 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층과, 상기 제 2 산화물 반도체층과 상기 산화물 절연층 사이의 계면에 존재하는, 상기 제 4 열 처리 수행 단계를 포함하는, 반도체 장치 제작 방법.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

**삭제****청구항 8**

반도체 장치 제작 방법에 있어서:

게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 제 1 산화물 절연층을 형성하는 단계;

상기 게이트 전극층 및 상기 제 1 산화물을 절연층 위에 제 1 산화물 반도체층을 형성하는 단계;

표면으로부터 상기 제 1 산화물 반도체층의 내부 쪽으로 성장되는 결정 영역을 형성하기 위해 상기 제 1 산화물 반도체층에 대한 제 1 열 처리를 수행하는 단계로서, 상기 결정 영역은 c-축이 상기 제 1 산화물 반도체층의 상기 표면에 실질적으로 수직인 방향으로 배향되는 결정들을 포함하는, 상기 제 1 열 처리 수행 단계;

상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계;

상기 제 2 산화물 반도체층에서 상기 결정 영역으로부터 성장된 c-축 배향된 결정들을 형성하고, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 산소를 공급하도록, 산소를 포함하는 분위기에서 일정 온도로 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 대한 제 2 열 처리를 수행하는 단계;

상기 제 2 열 처리가 수행되는 상기 제 2 산화물 반도체층 위에 도전층을 형성하는 단계;

상기 도전층을 선택적으로 에칭함으로써 소스 전극층 및 드레인 전극층을 형성하는 단계;

상기 소스 전극층, 상기 드레인 전극층, 및 상기 제 2 산화물 반도체층을 피복하도록 제 2 산화물 절연층을 형성하는 단계로서, 상기 제 2 산화물 절연층은 상기 제 2 산화물 반도체층과 접하는, 상기 제 2 산화물 절연층 형성 단계;

상기 제 2 산화물 반도체층에 산소를 공급하기 위해 상기 제 2 산화물 절연층에 대한 제 3 열 처리를 수행하는 단계;

상기 제 3 열 처리가 수행되는 상기 제 2 산화물 절연층 위에 수소를 포함하는 질화물 절연층을 형성하는 단계; 및

미결합수들을 수소 종단하기 위해 상기 질화물 절연층에 대한 제 4 열 처리를 수행하는 단계로서, 상기 미결합수들은 적어도 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층과, 상기 제 1 산화물 절연층과 상기 제 1 산화물 반도체층 사이 및 상기 제 2 산화물 절연층과 상기 제 2 산화물 반도체층 사이의 계면들에 존재하는, 상기 제 4 열 처리 수행 단계를 포함하는, 반도체 장치 제작 방법.

**청구항 9**

제 1 항 또는 제 8 항에 있어서,

상기 제 1 열 처리는 질소, 희가스, 산소, 질소 및 희가스 중 하나와 산소의 혼합 가스, 및 건조 공기로부터 선택된 분위기에서 400°C 이상 800°C 이하의 온도로 수행되는, 반도체 장치 제작 방법.

**청구항 10**

제 1 항 또는 제 8 항에 있어서,

상기 제 2 열 처리는 질소, 희가스, 산소, 질소 및 희가스 중 하나와 산소의 혼합 가스, 및 건조 공기로부터 선택된 분위기에서 400°C 이상 800°C 이하의 온도로 수행되는, 반도체 장치 제작 방법.

**청구항 11**

제 1 항 또는 제 8 항에 있어서,

상기 제 2 열 처리는 산소를 포함하는 분위기에서 종단되는, 반도체 장치 제작 방법.

**청구항 12**

제 11 항에 있어서,

상기 분위기의 산소 농도는 열 처리 시간에 걸쳐 증가되는, 반도체 장치 제작 방법.

### 청구항 13

제 1 항 또는 제 8 항에 있어서,

상기 제 3 열 처리는 200°C 이상 450°C 이하의 온도로 수행되는, 반도체 장치 제작 방법.

### 청구항 14

제 1 항 또는 제 8 항에 있어서,

상기 제 4 열 처리는 150°C 이상 450°C 이하의 온도로 수행되는, 반도체 장치 제작 방법.

### 청구항 15

반도체 장치 제작 방법에 있어서:

제 1 산화물 반도체층을 형성하는 단계;

상기 제 1 산화물 반도체층에서 상기 제 1 산화물 반도체층의 표면으로부터 성장되는 결정 영역을 형성하기 위해 제 1 열 처리를 수행하는 단계;

상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계;

상기 제 2 산화물 반도체층에서 상기 결정 영역으로부터 성장된 결정들을 형성하기 위해, 산소를 포함하는 분위기에서 제 2 열 처리를 수행하는 단계;

상기 제 2 열 처리를 수행한 후에, 상기 제 2 산화물 반도체층 위에 수소를 포함하는 층간 절연층을 형성하는 단계; 및

상기 층간 절연층에 대한 제 3 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법.

### 청구항 16

제 15 항에 있어서,

게이트 전극층을 형성하는 단계; 및

상기 게이트 전극층 위에 산화물 절연층을 형성하는 단계를 더 포함하고,

상기 제 1 산화물 반도체층은 상기 산화물 절연층 위에 형성되는, 반도체 장치 제작 방법.

### 청구항 17

제 15 항에 있어서,

상기 제 2 산화물 반도체층 위에 산화물 절연층을 형성하는 단계; 및

상기 산화물 절연층 위에 게이트 전극층을 형성하는 단계를 더 포함하고,

상기 층간 절연층은 상기 게이트 전극층 위에 제공되는, 반도체 장치 제작 방법.

### 청구항 18

제 15 항에 있어서,

상기 제 2 산화물 반도체층은  $In : Ga : Zn = 1 : x : y$ 의 조성비를 가진 타겟을 이용하여 스퍼터링법에 의해 형성되고,

$x$ 는 0 이상 2 이하이고,  $y$ 는 1 이상 5 이하인, 반도체 장치 제작 방법.

### 청구항 19

제 18 항에 있어서,

x는 1이고 y는 1인, 반도체 장치 제작 방법.

### 청구항 20

제 15 항에 있어서,

상기 제 2 산화물 반도체층의 캐리어 농도는  $1 \times 10^{12} \text{ cm}^{-3}$  미만인, 반도체 장치 제작 방법.

### 청구항 21

제 15 항에 있어서,

상기 제 2 열 처리는 400°C 이상 800°C 이하의 온도로 수행되는, 반도체 장치 제작 방법.

### 청구항 22

제 15 항에 있어서,

상기 제 1 산화물 반도체층은 In-Zn-O를 포함하고,

상기 제 2 산화물 반도체층은 In-Ga-Zn-O를 포함하는, 반도체 장치 제작 방법.

### 청구항 23

제 15 항에 있어서,

케이트 전극층을 형성하는 단계; 및

상기 제 2 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계를 더 포함하고,

상기 케이트 전극층은 상기 소스 전극층 및 상기 드레인 전극층과 중첩하는, 반도체 장치 제작 방법.

### 청구항 24

제 15 항에 있어서,

상기 제 3 열 처리는 미결합수들을 수소 종단하도록 수행되고, 상기 미결합수들은 적어도 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 존재하는, 반도체 장치 제작 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 트랜지스터와 같은 반도체 소자를 적어도 하나의 소자로서 포함하는 회로를 구비한 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들면, 본 발명은 전원 회로 상에 장착된 파워 디바이스; 메모리, 사이리스터(thyristor), 컨버터, 화상 센서 등을 포함하는 반도체 집적 회로; 및 액정 표시 패널에 의해 대표되는 전기-광학 장치 또는 유기 발광 재료를 포함하는 발광 표시 장치가 부품으로서 장착된 전자 기기에 관한 것이다.

[0002] 이 명세서에서의 상기 반도체 장치는 반도체 특성들을 이용하여 동작할 수 있는 모든 장치들을 나타내고, 전기-광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치들임을 유념한다.

### 배경 기술

[0003] 액정 표시 장치로 대표되는 바와 같이, 유리 기판 등 위에 형성된 트랜지스터가 비정질 실리콘, 다결정 실리콘 등을 이용하여 형성된다. 비정질 실리콘을 포함하는 트랜지스터들이 낮은 전계-효과 이동도를 가지지만, 이들은 대면적화 유리 기판 위에 형성될 수 있다. 대조적으로, 다결정 실리콘을 포함하는 트랜지스터들은 높은 전계-효과 이동도를 가지지만, 이들은 대면적화 유리 기판에 적합하지 않다는 단점을 가진다.

[0004] 실리콘을 이용하여 제작되는 상기 트랜지스터들과 대조적으로, 트랜지스터가 산화물 반도체를 이용하여 제작되고 전자 디바이스 또는 광학 장치에 적용되는 기술이 주목받고 있다. 예를 들면, 특히 문헌 1 및 특히 문헌 2는 트랜지스터가 산화 아연 또는 In-Ga-Zn-O-계 산화물을 산화물을 반도체로서 이용하여 제작되고 화상 표시 장치의

화소의 스위칭 소자 등으로서 이용되는 기술을 개시한다.

## 선행기술문헌

### 특허문헌

[0005] (특허문헌 0001) 일본 공개 특허 출원 제2007-123861호

(특허문헌 0002) 일본 공개 특허 출원 제2007-96055호

## 발명의 내용

### 해결하려는 과제

[0006] 또한, 대형 표시 장치들이 보급되었다. 40인치급 내지 50인치급의 대각선 치수를 가진 표시 화면을 구비한 텔레비전들이 가정용 텔레비전들로서 보급되기 시작했다.

[0007] 산화물 반도체를 포함하는 절연 게이트형 트랜지스터는  $10\text{cm}^2/\text{Vs}$  내지  $20\text{cm}^2/\text{Vs}$ 의 전계-효과 이동도를 가진다. 비정질 실리콘을 포함하는 절연 게이트형 트랜지스터의 전계-효과 이동도의 10배 이상의 전계-효과 이동도를 가지므로, 산화물 반도체를 포함하는 상기 절연 게이트형 트랜지스터는 대형 표시 장치에서도 화소의 스위칭 소자로서 만족하고 있다.

[0008] 그러나, 반도체 장치의 구동기 소자, 예를 들면 대형 표시 장치 등의 구동 회로의 소자로서 산화물 반도체를 포함하는 절연 게이트형 트랜지스터의 이용에 관한 제약이 존재한다. 따라서, 더 높은 이동도를 가진 소자들이 필요하다.

[0009] 본 발명의 일 실시형태의 목적은 대형 표시 장치, 고성능 반도체 장치 등의 실용화가 실현될 수 있도록 기판의 크기를 증가시킬 뿐만 아니라, 우수한 결정성을 가진 산화물 반도체층을 포함하고 높은 전계-효과 이동도를 가진 트랜지스터들을 제작하는 것이다.

### 과제의 해결 수단

[0010] 트랜지스터의 상기 전계-효과 이동도를 증가시키기 위한 일 방법으로서, 산화물 반도체층의 결정화가 이용된다. 제 1 산화물 반도체층이 형성된 후에, 결정화를 위해 열 처리가 수행된다. 제 2 산화물 반도체층이 그 위에 형성된다. 그 후에, 상기 제 1 산화물 반도체층과 상기 제 2 산화물 반도체층 사이의 계면으로부터 상기 제 2 산화물 반도체층의 표면 쪽으로 상기 제 2 산화물 반도체층의 결정 성장이 유발된다. 상기 제 1 산화물 반도체층에서의 결정층(제 1 결정층)은 상기 제 2 산화물 반도체층에 대한 시드 결정이다. 상기 제 1 산화물 반도체층 위에 상기 제 2 산화물 반도체층을 결정층(제 2 결정층)으로서 형성하는 것이 중요하다. 상기 제 1 결정층 및 상기 제 2 결정층을 형성하기 위한 방법은 육각형 결정들을 가진 모든 산화물 반도체들에 효과적이다. 상기 제 1 결정층 및 상기 제 2 결정층이 판형 결정들(또한 공동-성장(CG) 결정들이라고 칭해짐)을 가짐을 유념한다. 이들은, 각각의 결정의 a-축 및 b-축이 채널 형성 영역에서의 표면에 평행하게 배향되고 각각의 결정의 c-축이 상기 산화물 반도체층의 표면에 수직으로 배향되는 비-단일 결정들이다.

[0011] 또한, 트랜지스터의 상기 전계-효과 이동도를 증가시키기 위한 다른 방법으로서, 상기 산화물 반도체층은 결정화 단계와 동일한 단계 또는 상이한 단계에서 고순도화되고 그 품질이 개선된다. 특히, 산화물 반도체에서 도너의 역할을 하는 수소를 함유한 수산기, 습기 등이 제거되고, 상기 산화물 반도체층의 주성분인 산소가 충분히 공급되어 산소 결손들을 보충하고, 그에 의해 상기 산화물 반도체층은 고순도화되고 개선된 품질을 가진다.

[0012] 상기 산화물 반도체층에 산소를 공급하기 위한 다른 방법으로서, 예를 들면, 산소를 함유한 분위기에서 상기 산화물 반도체층에 대한 열 처리, 상기 산화물 반도체층과 접하여 산화물 절연층의 형성, 또는 상기 산화물 절연층의 상기 형성 후의 열 처리가 이용된다.

[0013] 그 다음, 산소가 상기 산화물 반도체층에 공급된 후에, 수소 원자들을 함유한 질화물 절연층이 상기 산화물 반도체층 위에 층간 막으로서 형성된다. 수소 원자들은 가열하여 상기 질화물 절연막으로부터 상기 산화물 반도체층의 계면(특히,  $\text{SiO}_x$ 층과의 계면)으로 또는 상기 막으로 확산되어 특성들을 개선한다. 가열에 의해, 상기 질화

물 절연층으로부터 확산된 수소 원자들은 상기 산화물 반도체층과  $\text{SiO}_x$  사이의 계면에서의 Si의 미결합수들, 상기 산화물 반도체에서 산소 등의 미결합수들 등을 종단한다. 본 발명의 일 실시형태에 따라, 수소 원자들의 적합한 양이 결함 준위를 제거하기 위해 결정화에 의해 c-축 배향되는 산화물 반도체층에 의도적으로 첨가된다. 이 명세서에서, "수소 원자들을 함유(containing hydrogen atoms)"는 산화물 반도체층과 접하는 다른 절연층보다 많이 수소 원자들을 함유하는 것을 의미함을 유념한다. 예를 들면, 상기 막의 수소 농도는  $1 \times 10^{21} \text{ atoms/cm}^3$  이상, 바람직하게  $1 \times 10^{22} \text{ atoms/cm}^3$ , 더욱 바람직하게  $1 \times 10^{23} \text{ atoms/cm}^3$  이다.

[0014]

이 명세서에 개시된 본 발명에 따른 일 실시형태는: 절연 표면을 갖는 기판 위에 제 1 산화물 반도체층을 형성하는 단계; 상기 제 1 산화물 반도체층의 표면으로부터 내부 쪽으로 성장되는 결정 영역을 형성하기 위해 상기 제 1 산화물 반도체층을 포함하는 구조체에 대한 제 1 열 처리를 수행하는 단계로서, 상기 결정 영역은 c-축이 상기 제 1 산화물 반도체층의 상기 표면에 실질적으로 수직인 방향으로 배향되는, 상기 제 1 열 처리 수행 단계; 상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계; 시드로서 상기 결정 영역을 사용하여 상기 제 2 산화물 반도체층에서 c-축 배향된 결정들이 성장하고, 상기 제 1 및 상기 제 2 산화물 반도체층에 산소를 공급하도록, 산소를 포함하는 분위기에서 일정 온도로 상기 제 1 및 상기 제 2 산화물 반도체층을 포함하는 구조체에 대한 제 2 열 처리를 수행하는 단계; 상기 제 2 열 처리가 수행되는 상기 제 2 산화물 반도체층 위에 도전층을 형성하는 단계; 상기 도전층을 선택적으로 에칭함으로써 소스 전극층 및 드레인 전극층을 형성하는 단계; 상기 소스 전극층, 상기 드레인 전극층 및 상기 제 2 산화물 반도체층을 피복하도록 산화물 절연층을 형성하는 단계; 상기 제 2 산화물 반도체층에 산소를 공급하기 위해 상기 산화물 절연층을 포함하는 구조체에 대한 제 3 열 처리를 수행하는 단계; 상기 산화물 절연층의 산소가 공급되는 상기 제 2 산화물 반도체층과 중첩하는 영역에 게이트 전극층을 형성하는 단계; 상기 게이트 전극층 및 상기 산화물 절연층 위에 수소를 포함하는 질화물 절연층을 형성하는 단계; 및 미결합수들을 수소 종단하기 위해 상기 질화물 절연층을 포함하는 구조체에 대한 제 4 열 처리를 수행하는 단계로서, 상기 미결합수들은 적어도 상기 제 1 및 상기 제 2 산화물 반도체층과, 상기 제 1 및 제 2 산화물 반도체층과 상기 제 1 및 제 2 산화물 반도체층과 접하는 상기 산화물 절연층 사이의 계면에 존재하는, 상기 제 4 열 처리 수행 단계를 포함하는, 반도체 장치 제작 방법이다.

[0015]

이 명세서에 개시된 본 발명에 따른 다른 실시형태는: 절연 표면을 가진 기판 위에 게이트 전극층을 형성하는 단계; 상기 게이트 전극층을 덮도록 제 1 산화물 절연층을 형성하는 단계; 상기 게이트 전극층 및 상기 제 1 산화물 절연층 위에 제 1 산화물 반도체층을 형성하는 단계; 상기 제 1 산화물 반도체층의 표면으로부터 내부 쪽으로 성장되는 결정 영역을 형성하기 위해 상기 제 1 산화물 반도체층을 포함하는 구조체에 대한 제 1 열 처리를 수행하는 단계로서, 상기 결정 영역은 c-축이 상기 제 1 산화물 반도체층의 상기 표면에 실질적으로 수직인 방향으로 배향되는, 상기 제 1 열 처리 수행 단계; 상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층 위에 제 2 산화물 반도체층을 형성하는 단계; 시드로서 상기 결정 영역을 사용하여 상기 제 2 산화물 반도체층에서 c-축 배향된 결정들이 성장하고, 상기 제 1 및 상기 제 2 산화물 반도체층에 산소를 공급하도록, 산소를 포함하는 분위기에서 일정 온도로 상기 제 1 및 상기 제 2 산화물 반도체층에 대한 제 2 열 처리를 수행하는 단계; 상기 제 2 열 처리가 수행되는 상기 제 2 산화물 반도체층 위에 도전층을 형성하는 단계; 상기 도전층을 선택적으로 에칭함으로써 소스 전극층 및 드레인 전극층을 형성하는 단계; 상기 소스 전극층, 상기 드레인 전극층 및 상기 제 2 산화물 반도체층을 피복하도록 제 2 산화물 절연층을 형성하는 단계; 상기 제 2 산화물 반도체층에 산소를 공급하기 위해 상기 제 2 산화물 절연층을 포함하는 구조체에 대한 제 3 열 처리를 수행하는 단계; 상기 제 3 열 처리가 수행되는 상기 제 2 산화물 절연층 위에 수소를 포함하는 질화물 절연층을 형성하는 단계; 및 미결합수들을 수소 종단하기 위해 상기 질화물 절연층을 포함하는 구조체에 대한 제 4 열 처리를 수행하는 단계로서, 상기 미결합수들은 적어도 상기 제 1 및 상기 제 2 산화물 반도체층과, 상기 제 1 산화물 절연층과 상기 제 1 및 제 2 산화물 반도체층 사이 및 상기 제 2 산화물 절연층과 상기 제 1 및 제 2 산화물 반도체층 사이의 계면들에 존재하는, 상기 제 4 열 처리 수행 단계를 포함하는, 반도체 장치 제작 방법이다.

[0016]

상기 제 2 열 처리에 대한 조건은 중요한 특성을 중 하나인 일정한 온도, 및 산소를 함유한 분위기를 포함한다. 예를 들면, 결정화 및 탈수화 또는 탈수소화가 제 1 단계에서 질소 분위기에서 고온으로 수행될 수 있고, 그 후에 제 2 단계에서 산소를 함유한 분위기에서 일정한 온도로 열 처리에 의해 산소 결손들을 채우기 위해 상기 산화물 반도체에 산소가 공급될 수 있다. 대안적으로, 상기 제 2 열 처리에 대한 조건은 산소를 함유한 분위기만을 포함할 수 있다. 여기서, "탈수화 또는 탈수소화(dehydration or dehydrogenation)"는 편의를 위해 열 처리에 의해  $\text{H}_2\text{O}$  또는  $\text{H}_2$ 의 방출뿐만 아니라,  $\text{H}$ ,  $\text{OH}$  등의 방출을 나타낸다. 또한, "일정한 온도(constant temperature)"는 상기 장치가 제어할 수 없는 온도 변화를 허용한다. 또한, 상기 장치는 상기 온도를 적절하게

변화시키도록 제어될 수 있고, 이러한 경우의 온도도 또한 "일정한 온도"라고 칭해질 수 있다.

[0017] 상기 방법 중 어느 것에 의해 제작되는 상기 게이트 절연형 트랜지스터들은 높은 전계-효과 이동도 뿐만 아니라 전기 특성들의 적은 변동을 가질 수 있다.

### 발명의 효과

[0018] 높은 전계-효과 이동도 및 전기 특성들의 적은 변동을 가진 상기 게이트-절연형 트랜지스터들은 대형 표시 장치, 고성능 반도체 장치 등을 실현하도록 제작된다.

### 도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시형태의 단면도.

도 2a 내지 도 2e는 본 발명의 일 실시형태의 단계들을 도시한 단면도들.

도 3a 내지 도 3d는 본 발명의 일 실시형태의 단계들을 도시한 단면도들.

도 4a 내지 도 4e는 본 발명의 일 실시형태의 단계들을 도시한 단면도들.

도 5a 및 도 5b는 본 발명의 일 실시형태의 단계들을 도시한 단면도들.

도 6은 본 발명의 일 실시형태의 단면도.

도 7은 본 발명의 일 실시형태의 단면도.

도 8은 본 발명의 일 실시형태의 등가 회로도.

도 9a 및 도 9b는 본 발명의 일 실시형태의 각각 상면도 및 단면도.

도 10a 및 도 10b는 본 발명의 일 실시형태의 각각 상면도 및 단면도.

도 11은 본 발명의 일 실시형태의 단면도.

도 12a 내지 도 12e는 전자 기기들의 예들을 도시한 도면들.

도 13은 전자 기기의 예를 도시한 도면.

### 발명을 실시하기 위한 구체적인 내용

[0020] 이후, 본 발명의 실시형태들은 첨부 도면들을 참조하여 상세히 기술될 것이다. 본 발명은 다음의 기술에 제한되지 않고 본 기술분야의 통상의 기술자들은 모드들 및 상세들이 다양한 방식들로 변형될 수 있다는 것을 쉽게 알 것임을 유념한다. 따라서, 본 발명은 하기에 주어질 실시형태들의 기술에 제한되는 것으로서 해석되어서는 안 된다.

[0021] (실시형태 1)

[0022] 이 실시형태에서, 본 발명의 일 실시형태에 따른 반도체 장치의 구조 및 제작 방법은 도 1, 도 2a 내지 도 2e, 도 3a 내지 도 3d, 및 도 4a 내지 도 4e를 참조하여 기술될 것이다.

[0023] 도 1은 반도체 장치의 구조예인 톱-게이트형 트랜지스터(150)를 도시한 단면도이다. 본 명세서에 기술된 상기 트랜지스터(150)가 그 캐리어들이 전자들인 n-채널 게이트-절연형 트랜지스터(또한 절연형 게이트 전계-효과 트랜지스터(IGFET)라고 칭해짐)이지만, 상기 트랜지스터(150)는 p-채널 게이트-절연형 트랜지스터라는 것을 주의 한다.

[0024] 상기 트랜지스터(150)를 제작하기 위한 방법이 도 2a 내지 도 2e 및 도 3a 내지 도 3d를 참조하여 기술될 것이다.

[0025] 먼저, 절연층(102)이 기판(100) 위에 형성된다. 다음에, 제 1 산화물 반도체층이 상기 절연층(102) 위에 형성되고, 제 1 열 처리가 적어도 상기 제 1 산화물 반도체층의 표면을 포함하는 영역을 결정화하도록 수행되고, 그에 의해 제 1 산화물 반도체층(104)이 형성된다(도 2a 참조).

[0026] 유리 기판과 같은 절연 표면을 가진 임의의 기판이 상기 기판(100)으로서 이용될 수 있다. 특히, 본 발명의 일 실시형태에 따른 반도체 장치들이 저비용으로 대량 생산될 수 있기 때문에, 대형 유리 기판이 이용되는 것이 바

람직하다. 또한, 상기 유리 기판이 무알칼리 유리 기판인 것이 바람직하다. 상기 무알칼리 유리 기판의 재료로서, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등과 같은 유리 재료가 예로서 이용된다. 대안적으로, 상기 기판(100)으로서, 다음의 기판들이 이용될 수 있다: 석영 기판 또는 사파이어 기판과 같은 절연체를 이용하여 형성된 절연 기판, 실리콘과 같은 반도체 재료를 이용하여 형성되고 그 표면이 절연 재료로 피복되는 반도체 기판, 또는 금속 또는 스테인리스 스틸과 같은 도전체를 이용하여 형성되고 그 표면이 절연 재료로 피복되는 도전 기판.

[0027] 상기 절연층(102)은 하지의 역할을 하고, CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 상기 절연층(102)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 이용하여 형성되는 것이 바람직하다. 상기 절연층(102)은 단층 구조 또는 적층 구조를 가질 수 있음을 유념한다. 상기 절연층(102)의 두께에 관한 특정 제약이 존재하지 않는다; 예를 들면, 상기 절연층(102)은 10nm 이상 500nm 이하의 두께를 가질 수 있다. 상기 절연층(102)은 필수적인 구성요소가 아니고 생략될 수 있음을 유념한다.

[0028] 상기 절연층(102) 위에 형성된 상기 제 1 산화물 반도체는 3원계 금속 산화물이고  $In-M_x-Zn_y-O_z$ (Y = 0.5 내지 5)에 의해 표현되는 산화물 반도체 재료를 이용하여 형성될 수 있다. 여기서, M은 갈륨(Ga), 알루미늄(Al) 및 봉소(B)와 같은 13족 원소들로부터 선택된 하나 이상 종류들의 원소들을 표현한다. In, M, Zn 및 O의 임의의 양이 함유될 수 있고, 상기 M 함유량은 0이 될 수 있음(즉, x = 0)을 유념한다. 즉, 상기 In 함유량 및 상기 Zn 함유량의 각각은 영이 아니다. 즉, 상기 표현은  $In-Ga-Zn-O$ ,  $In-Zn-O$  등을 표현할 수 있다.

[0029] 상기 제 1 산화물 반도체층은, 4원계 산화물인  $In-Sn-Ga-Zn-O$ -계 금속 산화물; 3원계 금속 산화물인  $In-Ga-Zn-O$ -계 금속 산화물,  $In-Sn-Zn-O$ -계 금속 산화물,  $In-Al-Zn-O$ -계 금속 산화물,  $Sn-Ga-Zn-O$ -계 금속 산화물,  $Al-Ga-Zn-O$ -계 금속 산화물 또는  $Sn-Al-Zn-O$ -계 금속 산화물; 2원계 금속 산화물인  $In-Zn-O$ -계 금속 산화물,  $In-Ga-O$ -계 금속 산화물,  $Sn-Zn-O$ -계 금속 산화물,  $Al-Zn-O$ -계 금속 산화물,  $Zn-Mg-O$ -계 금속 산화물,  $Sn-Mg-O$ -계 금속 산화물 또는  $In-Mg-O$ -계 금속 산화물; 또는  $In-O$ -계 금속 산화물,  $Sn-O$ -계 금속 산화물,  $Zn-O$ -계 금속 산화물 등을 이용하여 형성될 수 있다.

[0030] 이 실시형태에서, 상기 제 1 산화물 반도체층은  $In-Ga-Zn-O$ -계 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 형성된다.

[0031] 스퍼터링법에 의해 상기 제 1 산화물 반도체층을 형성하기 위한 타겟은 예를 들면,  $In_2O_3$ ,  $Ga_2O_3$  및  $ZnO$ 를 1 대 1 대 1의 조성비(몰수비)로 함유한 금속 산화물 타겟이다. 대안적으로, 금속 산화물 타겟은  $In_2O_3$ ,  $Ga_2O_3$  및  $ZnO$ 를 1 대 1 대 2의 조성비(몰수비)로 함유할 수 있다. 이 실시형태에서, 상기 형성된 산화물 반도체층이 나중 단계에서 의도적 결정화를 위해 열 처리를 받기 때문에, 그 조성비가 결정들의 생성을 용이하게 하는 산화물 반도체 타겟을 이용하는 것이 바람직하다.

[0032] 상기 산화물 반도체 타겟의 상기 산화물 반도체의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상인 것이 바람직하다. 높은 상대 밀도를 가진 산화물 반도체 타겟을 이용하여, 조밀한 제 1 산화물 반도체층이 형성될 수 있다.

[0033] 상기 제 1 산화물 반도체층의 형성을 위한 스퍼터링 가스는 희가스(통상적으로, 아르곤), 산소, 또는 희가스(통상적으로, 아르곤)와 산소의 혼합 가스가 바람직하다. 또한, 수소, 수분, 수산기 또는 수소화물과 같은 불순물들이, 그 농도가 단위 ppm(바람직하게 ppb)에 의해 표현될 수 있는 정도로 감소되는 고순도 가스를 이용하는 것이 바람직하다.

[0034] 상기 제 1 산화물 반도체층의 형성시, 예를 들면, 상기 기판은 감압 하에서 유지되는 처리 챔버에 배치되고, 상기 기판 온도는 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하이다. 상기 처리 챔버 내의 잔여 습기가 제거되는 동안, 수소 및 수분이 제거된 스퍼터링 가스가 도입되어 금속 산화물을 타겟으로서 이용하여 상기 산화물 반도체층을 형성한다. 상기 제 1 산화물 반도체층이 형성되는 동안 상기 기판이 가열되고, 그에 의해 제 1 산화물 반도체막의 상기 불순물들이 제거될 수 있다. 또한, 스퍼터링으로 인한 막 손상이 감소된다. 스퍼터링 장치에 남아있는 습기 등이 상기 제 1 산화물 반도체층의 성막 전, 동안 및/또는 후에 제거되는 것이 바람직하다. 상기 처리 챔버의 잔여 습기를 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용될 수 있다. 냉각 트랩이 구비된 터보 펌프가 이용될 수 있다. 수소, 습기 등이 이들 펌프들로 배기된 상기 처리 챔버에서 제거되기 때문에, 상기 산

화물 반도체층의 상기 불순물 농도가 감소될 수 있다.

[0035] 상기 스팍터링 장치에 남아있는 습기 등을 제거하기 위해 예열 처리가 상기 제 1 산화물 반도체층의 성막 전에 수행될 수 있음을 유념한다. 상기 예열 처리를 위해, 상기 처리 챔버의 내부가 감압 하에서 200°C 이상 600°C 이하로 가열되는 방법, 상기 처리 챔버의 상기 내부가 가열되는 동안 질소 또는 불활성 가스의 도입 및 배기가 반복되는 방법 등이 주어질 수 있다. 상기 예열 처리 후에, 상기 기판 또는 상기 스팍터링 장치가 냉각된다. 그 후에, 상기 산화물 반도체층이 대기에 노출되지 않고 형성된다. 이 경우, 물이 아닌 오일 등이 상기 타겟을 위한 냉매로서 이용될 수 있다. 질소의 도입 및 배기가 가열 없이 반복될 때 특정한 정도의 효과가 얻어질 수 있지만, 처리 챔버의 내부를 가열하여 상기 처리를 수행하는 것이 바람직하다.

[0036] 상기 제 1 산화물 반도체층은 예를 들면 다음의 조건들 하에서 형성될 수 있다: 기판과 타겟 사이의 거리는 170mm이다; 압력은 0.4Pa이다; 직류(DC) 전력은 0.5kW이다; 그리고 분위기는 산소 분위기이다(산소 유량비는 100%이다). 먼지(막 형성시 형성되는 가루 또는 조각형 물질)가 감소될 수 있고 막 두께가 균일해질 수 있기 때문에 펄스형 직류(DC) 전원이 이용되는 것이 바람직함을 유념한다. 상기 제 1 산화물 반도체층의 두께는 3nm 이상 15nm 이하가 바람직하고, 이 실시형태의 예에서는 5nm이다. 적합한 두께는 산화물 반도체 재료, 용도 등에 의존하여 상이하고, 두께는 상기 재료, 상기 용도 등에 따라 적합하게 설정될 수 있음을 유념한다.

[0037] 다음에, 적어도 상기 제 1 산화물 반도체층의 표면을 포함하는 영역을 결정화하기 위해 제 1 열 처리가 상기 제 1 산화물 반도체층에 대해 수행되고, 그에 의해, 상기 제 1 산화물 반도체층(104)이 형성된다. 상기 제 1 산화물 반도체층의 수분(수산기를 포함), 수소 등이 상기 제 1 열 처리에 의해 제거될 수 있다. 상기 제 1 열 처리는 질소, 희가스, 산소, 질소 또는 희가스 및 산소의 혼합 가스, 및 건조 공기로부터 선택된 분위기에서 수행된다. 상기 제 1 열 처리는 400°C 이상 800°C 이하, 바람직하게 550°C 이상 750°C 이하에서 수행된다. 가열 시간은 1분 이상 24시간 이하이다. 이 실시형태에서, 상기 제 1 열 처리로서, 탈수화 또는 탈수소화가 1시간 동안 질소 분위기에서 700°C로의 가열 처리에 의해 수행된 후에, 분위기는 상기 제 1 산화물 반도체층으로 산소를 공급하기 위해 산소 분위기로 변경된다.

[0038] 상기 제 1 열 처리에서, 수분, 수소 등이 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 함유되지 않는 것이 바람직함을 유념한다. 또한, 열 처리 장치에 도입되는 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스는 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상의 순도를 가진다(즉, 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다). 상기 제 1 열 처리는 20ppm 이하의 수분 농도의 초건조 공기에서, 더욱 바람직하게는 1ppm 이하의 수분 농도의 초건조 공기에서 수행될 수 있다. 상기 제 1 산화물 반도체층(104)에서 수분(수산기를 포함), 수소 등은 상기 제 1 열 처리에 의해 제거될 수 있다.

[0039] 상기 제 1 열 처리에 의해, 적어도 상기 제 1 산화물 반도체층(104)의 표면을 포함하는 상기 제 1 산화물 반도체층(104)의 영역이 결정 영역이 된다. 상기 표면을 포함하는 상기 영역에 형성된 상기 결정 영역은 표면에서 내부 쪽으로의 결정 성장에 의해 형성된다. 상기 결정 영역은 그 평균 두께가 2nm 이상 10nm 이하인 판형 결정들을 포함한다. 상기 결정 영역은 상기 표면에 실질적으로 수직으로 배향된 c-축을 가진 결정들을 포함하는 영역이다. 여기서, 용어, "실질적으로 수직(substantially perpendicular)"은 상기 수직 방향으로부터 -10° 이상 +10° 이하 내의 편차들을 포함한다.

[0040] 상기 제 1 열 처리를 위한 열 처리 장치는 특별히 제한되지 않고, 상기 장치에는 저항 발열체와 같은 발열체로부터 열전도 또는 열복사에 의해 대상을 가열하기 위한 장치가 구비될 수 있음을 유념한다. 예를 들면, 전기로, 또는 LRTA(lamp rapid thermal annealing) 장치나 GRTA(gas rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리를 수행하는 장치이다.

[0041] 다음에, 제 2 산화물 반도체층(105)이 적어도 상기 표면을 포함하는 상기 영역에 상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층(104) 위에 형성된다(도 2b 참조).

[0042] 상기 제 2 산화물 반도체층(105)에 대해, 상기 제 1 산화물 반도체층에 대한 재료와 유사한 재료가 이용될 수 있다. 예를 들면, 상기 제 2 산화물 반도체층은 4원계 금속 산화물인 In-Sn-Ga-Zn-O; 3원계 금속 산화물인 In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O 또는 Sn-Al-Zn-O; 2원계 금속 산화물인 In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O 또는 In-Mg-O; 또는 In-O, Sn-O, Zn-O 등을 이용하여 형성될 수 있다.

[0043] 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(105)이 동일한 주성분을 포함하는 재료들을 이

용하여 형성되는 것이 바람직함을 유념한다. 그러나, 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(105)은 이들이 동일한 결정 구조 및 근접한 격자 상수들을 가진다면(격자 상수 미스매치가 1% 이하) 상이한 주성분들을 이용하여 형성될 수 있다.

[0044] 동일한 주성분을 포함하는 재료들을 이용하는 경우에, 상기 제 1 산화물 반도체층(104)의 상기 결정 영역이 시드의 역할을 하기 때문에, 결정 성장은 상기 제 2 산화물 반도체층(105)의 나중 결정화에서 쉽게 유발된다. 또한, 동일한 주성분을 포함하는 재료들의 사용은 막의 유효 두께가 증가될 수 있기 때문에 전력 장치들 등에 대한 응용에 적합하다. 또한, 부착성과 같은 양호한 계면 특성을 또는 양호한 전기 특성들이 얻어질 수 있다.

[0045] 이 실시형태에서, 상기 제 2 산화물 반도체층(105)은 In-Ga-Zn-O-계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다. 스퍼터링법에 의한 상기 제 2 산화물 반도체층(105)의 성막은 스퍼터링법에 의한 제 1 산화물 반도체층의 상기 성막과 유사한 방식으로 행해질 수 있다. 상기 제 2 산화물 반도체층(105)의 두께는 상기 제 1 산화물 반도체층(104)의 두께보다 큰 것이 바람직함을 유념한다. 예를 들면, 상기 제 2 산화물 반도체층(105)은 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(105)의 총 두께들이 3nm 이상 50nm 이하일 수 있도록 형성되는 것이 바람직하다. 적합한 두께는 산화물 반도체 재료, 용도 등에 의존하여 상이하고, 두께는 상기 재료, 상기 용도 등에 따라 적합하게 설정될 수 있음을 유념한다.

[0046] 다음에, 상기 제 1 산화물 반도체층(104)의 상기 결정 영역을 시드로서 이용하여 결정 성장을 유발하기 위해 상기 제 2 산화물 반도체층(105)에 대해 제 2 열 처리가 수행된다. 따라서, 제 2 산화물 반도체층(106)이 형성된다(도 2c 참조).

[0047] 상기 제 2 열 처리는, 온도가 400°C 이상 800°C 이하에서 선택되고 분위기가 질소, 희가스, 산소, 질소 또는 희가스와 산소의 혼합 분위기, 및 건조 공기에서 선택되는 온도 및 분위기의 하나 이상의 조합들을 포함하는 조건 하에서 수행된다. 상기 제 2 산화물 반도체층의 결정화를 위한 가열 시간은 1분 이상 24시간 이하이다. 전기로와 같은 열 처리 장치가 이용되는 경우, 상기 가열 시간은 5시간 이상 20시간 이하가 바람직하고, 통상적으로는 10시간이다. RTA 장치와 같은 급속 열 어닐링 장치가 이용되는 경우, 상기 가열 시간은 1분 이상 30분 이하, 또는 바람직하게 1분 이상 10분 이하이고, 통상적으로는 5분이다.

[0048] 이 실시형태에서, 상기 제 2 열 처리는 2개의 단계들을 포함한다: 상기 제 2 산화물 반도체층(106)의 결정화 및 탈수화 또는 탈수소화를 촉진하기 위한 제 1 단계, 및 상기 결정화된 제 2 산화물 반도체층(106)에서 산소 결손들을 채우기 위한 제 2 단계. 이 경우, 상기 제 1 단계의 온도는 550°C 이상 800°C 이하가 바람직하고, 600°C 이상 750°C 이하가 더욱 바람직하다; 상기 제 2 단계의 온도는 400°C 이상 600°C 이하가 바람직하고, 450°C 이상 550°C 이하가 더욱 바람직하다.

[0049] 상기 제 1 단계에서, RTA 장치로 6분 동안 650°C의 온도로 질소 분위기에서 열 처리가 수행된다. 상기 제 2 단계에서, 60분 동안 450°C로 산소와 질소의 혼합 가스 분위기에서 열 처리가 수행된다. 단계들의 수는 2개에 제한되지 않고, 적합하게 조정될 수 있는 조건들에 따라 증가될 수 있다. 예를 들면, 상기 제 1 단계를 위한 조건 및 상기 제 2 단계를 위한 조건이 반복적으로 이용될 수 있다. 질소 또는 희가스 분위기 하의 고온 열 처리가 산소 결손들의 증가를 유발할 수 있기 때문에, 상기 제 2 열 처리는 산소를 함유한 분위기를 포함하는 열 처리 조건 하에서 종단되는 것이 바람직함을 유념한다. 또한, 산소를 함유한 분위기의 상기 열 처리에서, 분위기의 산소 농도는 열 처리 시간에 걸쳐 증가될 수 있다. 또한, 결정화 및 탈수화 또는 탈수소화를 촉진할 뿐만 아니라, 산소 결손들을 채우기 위해, 산소를 함유한 가스가 상기 제 1 단계의 분위기로서 이용될 수 있다; 이 경우, 상기 제 2 및 나중 단계들은 생략될 수 있다.

[0050] 이렇게 산소를 함유한 분위기에서 일정한 온도로 열 처리를 수행함으로써, 상기 산화물 반도체에서 산소 결손들을 채우도록 산소가 충분히 공급되고, 그에 의해 전기 특성들의 변동이 억제될 수 있다.

[0051] 또한 상기 제 2 열 처리에서, 수분, 수소 등이 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 함유되지 않는 것이 바람직함을 유념한다. 또한, 열 처리 장치에 도입되는 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스는 6N 이상, 더욱 바람직하게 7N 이상의 순도를 가지는 것이 바람직하다. 상기 제 2 열 처리는 20ppm 이하의 수분 농도의 초기조 공기에서, 더욱 바람직하게 1ppm 이하의 수분 농도의 초기조 공기에서 수행될 수 있다. 상기 제 2 산화물 반도체층(106)에서의 수분(수산기를 포함), 수소 등은 상기 제 2 열 처리에 의해 제거될 수 있다. 따라서, 불순물들의 감소에 의해 고순도화되고 i형 또는 실질적으로 i형 산화물 반도체층들로 되는 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(106)이 형성될 수 있다.

[0052] 또한, 상기 제 2 열 처리는 노의 분위기가 상기 온도가 증가되고 분위기가 산소일 때 질소 분위기, 또는 상기

온도가 감소될 때 산소를 함유한 분위기인 방식으로 수행될 수 있다. 질소 분위기에서 결정화 및 탈수화 또는 탈수소화 후에 분위기를 산소 분위기로 변경함으로써, 산소가 상기 제 2 산화물 반도체층(106)에 공급될 수 있다.

[0053] 이러한 방식으로, 상기 제 2 열 처리는 상기 제 1 산화물 반도체층(104)을 시드 결정으로서 이용하여 전체 상기 제 2 산화물 반도체층(105)을 결정화할 수 있고, 그에 의해 상기 제 2 산화물 반도체층(106)이 형성될 수 있다. 또한, 상기 제 2 열 처리에 의해, 상기 제 1 산화물 반도체층(104)이 높은 배향을 가진 결정층이 될 수 있다.

[0054] 예를 들면, In-Ga-Zn-O-계 산화물 반도체 재료가 상기 제 2 산화물 반도체층(106)에 이용되는 경우에, 상기 제 2 산화물 반도체층(106)은  $In_2Ga_2ZnO_7$ (In : Ga : Zn : O = 2 : 2 : 1 : 7) 등에 의해 표현되는 결정을 포함할 수 있다. 상기 제 2 열 처리로 인해, 이러한 결정들의 c-축은 상기 산화물 반도체층(106)의 상기 표면에 실질적으로 수직인 방향으로 배향된다.

[0055] 여기서, 상기 결정은 In, Ga 및 Zn 중 어느 것을 포함하고, a-축 및 b-축에 평행한 축들의 적층 구조를 가지는 것으로 간주될 수 있다. 특히, 상기 결정은 In을 포함하는 층, In을 포함하지 않는 층(Ga 또는 Zn을 포함하는 층)이 상기 c-축 방향으로 적층되는 구조를 가진다.

[0056] In-Ga-Zn-O-계 산화물 반도체 결정에서, 상기 In을 포함하는 층의 도전성은 상기 a-축 및 상기 b-축에 평행한 방향이 양호하다. 이것은 전기 도전성이 상기 In-Ga-Zn-O-계 산화물 반도체 결정에 의해 주로 결정되는 사실 및 하나의 In 원자의 5s 궤도와 인접한 In 원자의 5s 궤도와 중첩하는 사실에 기인되고, 따라서 캐리어 경로가 형성된다.

[0057] 상기 제 1 산화물 반도체층(104)이 상기 절연층(102)과의 계면 주변에서 비정질 영역을 포함하는 경우에, 상기 제 2 열 처리는 상기 제 1 산화물 반도체층(104)의 상기 표면 상에 형성된 상기 결정 영역에서 상기 제 1 산화물 반도체층의 하부 표면 쪽으로의 결정 성장을 유발할 수 있고, 일부 경우들에서 상기 비정질 영역을 결정화할 수 있다. 상기 절연층(102)을 형성하기 위한 상기 재료들 또는 열 처리 조건들에 의존하여, 상기 비정질 영역이 남아 있을 수 있음을 유념한다.

[0058] 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(105)이 동일한 주성분을 포함하는 산화물 반도체 재료들을 이용하여 형성되는 경우에, 도 2c에 도시된 바와 같이, 상기 제 1 산화물 반도체층(104)을 시드 결정으로서 이용하여 상기 제 2 산화물 반도체층(105)의 상기 표면 위쪽으로 결정 성장이 발생하고, 그에 의해 상기 제 2 산화물 반도체층(106)이 형성된다. 이렇게 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(106)은 동일한 결정 구조를 가진다. 상기 제 1 산화물 반도체층(104)과 상기 제 2 산화물 반도체층(106) 사이의 경계가 도 2c에서 점선으로 표시되지만, 때때로 동일하지 않을 수 있고, 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(106)은 때때로 하나의 층으로서 간주될 수 있다.

[0059] 상기 제 2 열 처리에 이용된 상기 열 처리 장치는 상기 제 1 열 처리 장치의 조건들과 유사한 조건들 하에서 이용될 수 있음을 유념한다.

[0060] 그 후에, 상기 제 1 산화물 반도체층(104) 및 상기 제 2 산화물 반도체층(106)은 포토레지스트 마스크를 이용하여 에칭과 같은 방법에 의해 가공되고, 그에 의해 섬형상 제 1 산화물 반도체층(104a) 및 섬형상 제 2 산화물 반도체층(106a)이 형성된다(도 2d 참조).

[0061] 상기 산화물 반도체층을 에칭하기 위해, 건식 에칭 또는 습식 에칭이 이용될 수 있다. 말할 필요도 없이, 건식 에칭 및 습식 에칭이 조합하여 이용될 수 있다. 상기 에칭 조건들(예천트, 에칭 시간 및 온도와 같이)은 상기 산화물 반도체층을 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적합하게 설정된다.

[0062] 건식 에칭에 이용될 수 있는 에칭 가스의 예들은, 염소를 함유한 가스(염소( $Cl_2$ ), 삼염화 봉소( $BCl_3$ ), 사염화 규소( $SiCl_4$ ), 또는 사염화 탄소( $CCl_4$ )와 같은 염소계 가스)를 포함한다. 대안적으로, 불소를 함유한 가스(사불화 탄소( $CF_4$ ), 육불화 유황( $SF_6$ ), 삼불화 질소( $NF_3$ ), 또는 트리플루오로메탄( $CHF_3$ )과 같은 불소계 가스), 브롬화 수소( $HBr$ ), 산소( $O_2$ ), 헬륨( $He$ ) 또는 아르곤( $Ar$ )과 같은 희가스가 첨가되는 이들 가스들 중 어느 하나 등이 이용될 수 있다.

[0063] 습식 에칭에 이용될 수 있는 예천트의 예들은 인산, 아세트산 및 질산의 혼합 용액; 및 암모니아 과수(31wt%의 과산화 수소수 : 28wt%의 암모니아 용액 : 물 = 5 : 2 : 2)이다. 대안적으로, ITO-07N(KANTO CHEMICAL CO., INC.에 의해 생산됨)과 같은 예천트가 이용될 수 있다.

- [0064] 그 후에, 상기 도전층(108)이 상기 제 2 산화물 반도체층(106a)과 접하여 형성된다(도 2e 참조).
- [0065] 상기 도전층(108)은 스퍼터링법과 같은 PVD법, 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 상기 도전층(108)은, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텉스텐으로부터 선택된 원소, 상기 원소들 중 어느 것을 구성성분으로 함유한 합금 등을 이용하여 형성될 수 있다. 상기 도전층(108)은, 망간, 마그네슘, 지르코늄 및 베릴륨 중 하나 이상을 포함하는 재료를 이용하여 형성될 수 있다. 또한, 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소들 중 하나 이상과 알루미늄을 포함하는 재료가 이용될 수 있다. 상기 도전층(108)의 다른 재료로서, 질화 티타늄 또는 질화 탄탈과 같이 높은 배리어성을 가진 재료가 이용될 수 있다. 상기 제 2 산화물 반도체층(106a)과 접한 부분에서 티타늄 질화막 또는 탄탈 질화막과 같이 높은 배리어성을 가진 재료의 이용은, 상기 제 2 산화물 반도체층(106a)으로의 불순물들의 혼입을 억제하고 트랜지스터 특성들에 대한 악영향을 방지할 수 있다.
- [0066] 대안적으로, 상기 도전층(108)은 도전성 금속 산화물을 이용하여 형성될 수 있다. 도전성 금속 산화물의 예들은 산화 인듐, 산화 주석, 산화 아연, 인듐 주석 산화물(ITO로 축약될 수 있음), 인듐 아연 산화물, 및 실리콘 또는 산화 실리콘을 함유한 이들 금속 산화물 재료들 중 어느 것을 포함한다.
- [0067] 상기 도전층(108)은 티타늄층, 알루미늄층 및 티타늄층이 이 순서로 적층된 3층 구조를 가지는 것이 바람직하다. 대안적으로, 상기 도전층(108)은 알루미늄층 및 텉스텐층이 적층된 2층 구조, 구리층 및 텉스텐층이 적층되는 2층 구조, 또는 알루미늄층 및 몰리브덴층이 적층되는 2층 구조를 가질 수 있다. 말할 필요도 없이, 상기 도전층(108)은 단층 구조 또는 4개 이상의 층들을 포함하는 적층 구조를 가질 수 있다. 여기서, 단층 티타늄막이 이용될 수 있다. 상기 단층 티타늄막을 이용한 경우에, 양호한 테이퍼 형상이 나중에 수행될 에칭에 의해 획득될 수 있다.
- [0068] 그 후에, 상기 도전층(108)은 소스 전극층(108a) 및 드레인 전극층(108b)을 형성하도록 선택적으로 에칭된다(도 3a 참조).
- [0069] 자외선, KrF 레이저 광 또는 ArF 레이저 광이 상기 에칭을 위한 포토레지스트 마스크를 형성하기 위한 노광에 이용되는 것이 바람직하다. 특히, 25nm 미만의 상기 채널 길이(L)를 위해 노광이 수행될 때, 수 나노미터 내지 수십 나노미터의 극히 단파장들을 가진 초자외선이 상기 마스크를 형성하기 위한 노광에 이용되는 것이 바람직하다. 초자외선으로의 노광은 고해상도 및 큰 초점 깊이를 유발한다. 따라서, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 10nm 이상 1000nm( $1\mu\text{m}$ ) 이하일 수 있다. 이렇게 상기 채널 길이를 감소시킴으로써, 동작 속도가 개선될 수 있다. 또한, 상술된 산화물 반도체를 포함하는 트랜지스터의 오프-상태 전류가 극히 작다; 따라서 소형화로 인한 전력 소비의 증가가 억제될 수 있다.
- [0070] 상기 도전층(108) 및 상기 제 2 산화물 반도체층(106a)의 재료들 및 에칭 조건들은, 상기 도전층(108)의 에칭시 상기 제 2 산화물 반도체층(106a)이 제거되는 것이 방지될 수 있도록 적합하게 조정된다. 일부 경우들에서, 상기 제 2 산화물 반도체층(106a)은 상기 재료들 및 에칭 조건들에 의존하여 흄부(오목 부분)를 가진 산화물 반도체층이 되도록 이 단계에서 부분적으로 에칭됨을 유념한다.
- [0071] 또한, 상기 소스 전극층(108a) 및 상기 드레인 전극층(108b)과 접한 상기 결정층은 일부 경우들에서 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)의 측면들의 주변에 비정질 상태에 있을 수 있다.
- [0072] 다음에, 게이트 절연층(112)은 상기 제 2 산화물 반도체층(106a)의 일부와 접하여 형성된다(도 3b 참조). 상기 게이트 절연층(112)은 플라즈마 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 상기 게이트 절연층(112)은 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 이용하여 형성되는 것이 바람직하다. 상기 게이트 절연층(112)은 단층 구조 또는 적층 구조를 가질 수 있음을 유념한다. 적층 구조가 이용되는 경우에, 상기 재료들 중 어느 것이 상기 산화물 반도체와 접한 층에 이용되고, 질화 실리콘막이 그 위에 형성될 수 있다. 상기 게이트 절연층(112)의 두께에 관한 특정 제약은 존재하지 않는다; 상기 게이트 절연층(112)은 예를 들면 10nm 이상 500nm 이하, 바람직하게 50nm 이상 200nm 이하의 두께를 가질 수 있다.
- [0073] 이 실시형태에서, 산화 실리콘막이 상기 게이트 절연층(112)을 형성하도록 산소 분위기에서 스퍼터링법에 의해 형성된다. 상기 게이트 절연층(112)의 형성시 상기 제 2 산화물 반도체층(106a)의 일부에 산소가 공급될 수 있다.
- [0074] 또한, 높은 브레이크다운 전압을 가진 조밀하고 고품질인 게이트 절연층이  $1 \times 10^{11}/\text{cm}^3$  이상의 플라즈마 밀도를 실현할 수 있는 고밀도 플라즈마 장치로 상기 게이트 절연층(112)으로서 형성될 수 있다.

- [0075] 그 후에, 제 3 열 처리가 불활성 분위기 또는 산소 분위기에서 수행되는 것이 바람직하다. 상기 제 3 열 처리는 200°C 이상 450°C 이하, 바람직하게 250°C 이상 350°C 이하로 수행된다. 예를 들면, 상기 제 3 열 처리는 산소를 함유한 분위기에서 1시간 동안 250°C로 수행될 수 있다. 상기 제 3 열 처리에 의해, 상기 제 2 산화물 반도체층(106a)에 산소가 공급되고 상기 제 2 산화물 반도체층(106a)에서의 산소 결손들이 더욱 감소될 수 있다.
- [0076] 그 후에, 게이트 전극층(114)은 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)과 중첩하는 상기 게이트 절연층(112)의 영역 위에 형성된다(도 3c 참조). 상기 게이트 전극층(114)은 상기 게이트 절연층(112) 위에 도전층을 형성한 후에 상기 도전층을 선택적으로 패터닝함으로써 형성될 수 있다.
- [0077] 상기 도전층은 스퍼터링법과 같은 PVD법 또는 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 상기 도전층은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텉스텐으로부터 선택된 원소, 이들의 합금 등을 이용하여 형성될 수 있다. 또한, 질화 티타늄 또는 질화 탄탈과 같은 이들 원소들의 질화물이 이용될 수 있다. 또한, 망간, 마그네슘, 지르코늄 및 베릴륨의 하나 이상을 포함하는 재료가 이용될 수 있다. 또한, 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소들과 알루미늄을 포함하는 재료가 이용될 수 있다.
- [0078] 수소를 함유한 층간 절연층(116)이 상기 게이트 절연층(112) 및 상기 게이트 전극층(114) 위에 형성된 후에, 제 4 열 처리가 수행된다(도 3d 참조). 수소를 함유한 상기 층간 절연층(116)은 플라즈마 CVD법 등에 의해 형성될 수 있다. 이 실시형태에서, 플라즈마 CVD법에 의해 획득된 질화물 절연층들 중 하나인 질화 실리콘막이 이용된다.
- [0079] 상기 제 4 열 처리는 150°C 이상 450°C 이하, 바람직하게 250°C 이상 440°C 이하에서 질소 분위기에서 수행된다. 상기 제 4 열 처리는 질소 분위기에 대한 제한 없이 산소 분위기, 희가스 분위기, 또는 건조 공기 분위기에서 수행될 수 있다.
- [0080] 수소를 함유한 상기 층간 절연층(116)의 형성 후 상기 제 4 열 처리는 상기 층간 절연층(116)에 함유된 수소가 내부 및 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)의 계면에서 결함들(예를 들면, 상기 산화물 절연층과 상기 산화물 반도체층들 사이의 계면에서 Si의 미결합수들, 또는 상기 산화물 반도체에서의 산소 등의 미결합수들)을 종단하기 위해 확산된다. 산화 실리콘막으로 형성된 절연막(상기 게이트 절연층(112))의 존재에 상관없이, 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a), 또는 이들 산화물 반도체층들과 상기 산화물 절연층 사이의 계면으로 수소가 확산될 수 있다.
- [0081] 상술된 바와 같이, 상기 제 1 산화물 반도체층(104a), 및 상기 제 1 산화물 반도체층(104a)에서의 상기 결정 영역으로부터의 결정 성장에 의해 형성되는 상기 제 2 산화물 반도체층(106a)은 채널 형성 영역의 역할을 하고, 상기 층들 사이의 상기 계면 및 상기 산화물 반도체의 결함들이 상기 층간 절연층(116)으로부터 확산된 수소에 의해 종단된다. 따라서, 상기 트랜지스터(150)가 완성된다.
- [0082] 그 후에, 층간 절연층(118)은 상기 층간 절연층(116) 위에 형성된다. 도 1에 도시된 단면 구조가 획득된다. 상기 층간 절연층(118)은 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 이용한 재료를 이용하여 PVD법, CVD법 등에 의해 형성된다. 또한, 폴리아미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시와 같은 유기 수지가 상기 층간 절연층(118)의 재료에 이용될 수 있다. 상기 층간 절연층들(116 및 118)의 적층 구조가 이 실시형태에서 이용되지만, 본 발명의 실시형태는 이 예에 제한되지 않음을 유념한다. 단층 구조 또는 3개층 이상을 포함하는 적층 구조가 또한 이용될 수 있다.
- [0083] 상기 층간 절연층(118)은 평탄한 표면을 가지도록 형성되는 것이 바람직함을 유념한다. 이것은 상기 층간 절연층(118)이 평탄한 표면을 가지도록 형성될 때, 상기 층간 절연층(118) 위에 전극, 배선 등이 형성되는 것이 양호하기 때문이다.
- [0084] 도 1에 도시된 상기 트랜지스터(150)는 상기 절연층(102)을 개재하여 상기 기판(100) 위에 제공된 상기 제 1 산화물 반도체층(104a); 상기 제 1 산화물 반도체층(104a) 위에 제공된 상기 제 2 산화물 반도체층(106a); 상기 제 2 산화물 반도체층(106a)에 전기적으로 접속된 상기 소스 전극층(108a) 및 상기 드레인 전극층(108b); 상기 제 2 산화물 반도체층(106a)과 접하는 상기 게이트 절연층(112); 및 상기 게이트 절연층(112) 위의 상기 게이트 전극층(114)을 포함한다.
- [0085] 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)에서, 캐리어 농도는 일반적인 실리콘 웨이퍼의 캐리어 농도(대략,  $1 \times 10^{14} / \text{cm}^3$ )에 비해 상당히 낮다(예를 들면,  $1 \times 10^{12} / \text{cm}^3$  미만, 바람직하게 1.45

$\times 10^{10}/\text{cm}^3$  미만). 상기 채널 길이가  $10\mu\text{m}$ 이고, 상기 산화물 반도체층들의 총 두께가  $30\text{nm}$ 인 경우에,  $1V$  내지  $10V$ 의 범위의 드레인 전압에서, 상기 오프-상태 전류(상기 게이트-소스 전압이  $0V$  이하일 때 상기 소스와 상기 드레인 사이에서 흐르는 전류)는  $1 \times 10^{-13}\text{A}$  이하거나, 또는 상기 오프-상태 전류 밀도(트랜지스터의 채널 폭으로 오프-상태 전류를 나눔으로써 얻어진 값)가  $10\text{aA}/\mu\text{m}$ ("a"는 "아토(atto)"를 표현하고  $10^{-18}$  배를 표시함) 이하, 바람직하게  $1\text{aA}/\mu\text{m}$  이하, 더욱 바람직하게  $100\text{zA}/\mu\text{m}$  이하("z"는 "젭토(zepto)"를 표현하고  $10^{-21}$  배를 표시함)이다. 상기 트랜지스터가 오프일 때의 저항(오프-상태 저항 R)은 상기 오프-상태 전류 및 상기 드레인 전 압으로부터 옴의 법칙을 이용하여 계산될 수 있음을 유념한다. 또한, 상기 오프-상태 저항률  $\rho$ 는 수학식을 이용하여 계산될 수 있다: 상기 채널 형성 영역의 단면적 A 및 상기 채널 길이 L로부터,  $\rho = RA/L$ (R은 상기 오프-상태 저항임). 상기 오프-상태 저항률은  $1 \times 10^9 \Omega \cdot \text{m}$  이상(또는  $1 \times 10^{10} \Omega \cdot \text{m}$ )이다. 여기서, 상기 단면적 A는 수학식  $A = dW$ 에 따라 얻어질 수 있으며, d는 상기 채널 형성 영역의 두께이고 W는 채널 폭이다.

[0086] 상기 충간 절연층(116)에 함유된 수소가 가열에 의해 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)으로 확산되기 때문에, 캐리어 농도는 상기 확산된 수소량에 의존하여  $1 \times 10^{14}/\text{cm}^3$  이상  $1 \times 10^{18}/\text{cm}^3$  이하일 수 있다.

[0087] 비정질 실리콘을 포함하는 트랜지스터의 상기 오프-상태 전류는 대략  $10^{-12}\text{A}$ 인 반면, 산화물 반도체를 포함하는 트랜지스터의 상기 오프-상태 전류는 비정질 실리콘을 포함하는 상기 트랜지스터의 오프-상태 전류의  $1/10000$  이하이다. 극히 우수한 오프-상태 전류 특성들을 가진 상기 트랜지스터(150)는 따라서 넓은 대역 갭 및 개선된 품질을 가진 산화물 반도체를 이용하여 획득될 수 있다.

[0088] 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)이 동일한 재료를 이용하여 형성되는 경우에(즉, 호모에피택셜 성장의 경우에), 경계가 도 1에는 접선으로 도시되지만, 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a) 사이의 경계는 식별되지 않는다. 그 경우, 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)은 하나의 층으로 간주될 수 있다. 또한, 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a) 둘다는 비-단일-결정층들이다.

[0089] 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)은 상이한 재료들을 이용하여 형성될 수 있다. 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)이 상이한 재료들을 이용하여 형성되는 경우에(즉, 혼테로 에피택셜 성장의 경우에), 예를 들면, 상기 제 1 산화물 반도체층(104a)은 2원계 금속 산화물인 In-Zn-O를 이용하여 형성될 수 있고, 상기 제 2 산화물 반도체층(106a)은 3원계 금속 산화물인 In-Ga-Zn-O를 이용하여 형성될 수 있다.

[0090] 상기 산화물 반도체층에서 채널 형성 영역의 역할을 하는 영역은 적어도 평탄한 표면을 가지는 것이 바람직하다. 또한, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층은 c-축 배향된 비-단결정층들이다. 상기 제 2 산화물 반도체층의 상기 표면의 높이의 변동은 상기 게이트 전극층(상기 채널 형성 영역)과 중첩한 영역에서  $1\text{nm}$  이하가 바람직함(더 바람직하게  $0.2\text{nm}$  이하)을 유념한다.

[0091] 이 실시형태는 다른 실시형태들에 기술된 임의의 구조와 조합하여 적합하게 구현될 수 있다.

[0092] (실시형태 2)

[0093] 텁-게이트형 트랜지스터를 제작하는 예가 실시형태 1에 기술되었지만, 보텀-게이트형 트랜지스터를 제작하기 위한 예가 이 실시형태에 기술될 것이다.

[0094] 먼저, 절연 표면을 가진 기판 위에 도전막이 형성되고, 그 후에 게이트 전극층(401)이 포토마스크를 이용하여 포토리소그래피 단계에 의해 형성된다.

[0095] 기판(400)으로서, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리 또는 바륨보로실리케이트 유리, 실리콘 기판, 석영 기판 등이 이용된다.

[0096] 이 실시형태에서, 유리 기판이 상기 기판(400)으로서 이용되고, 형성될 산화물 반도체층의 결정화를 위해 열 처리가 나중에 수행될 것이기 때문에, 6분 동안  $650^\circ\text{C}$ 의 열 처리가 상기 기판(400)에 대해 두 번 수행된다. 막 형성 전에 상기 기판을 가열함으로써, 상기 기판의 수축으로 인한 포토레지스트 마스크의 부정합 또는 막 필링이 억제될 수 있다.

- [0097] 하지층의 역할을 하는 절연층은 상기 기판(400)과 상기 게이트 전극층(401) 사이에 제공될 수 있다. 상기 하지층은 상기 기판(400)으로부터 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층 및 산화질화 실리콘층 중 하나 이상을 포함하는 단층 또는 적층 구조를 가지도록 형성될 수 있다.
- [0098] 금속층은 상기 게이트 전극층(401)으로서 이용될 수 있다. 상기 금속층의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 원소, 이들 원소들 중 어느 것을 구성성분으로서 함유한 합금, 이들 구성요소들 중 어느 것을 조합하여 함유한 합금 등이 이용되는 것이 바람직하다. 예를 들면, 상기 금속층은 티타늄층, 알루미늄층 및 티타늄층이 이 순서로 적층되는 3층 구조를 가지는 것이 바람직하다. 말할 필요도 없이, 상기 금속층은 단층, 2층, 또는 4개 이상의 층들을 포함하는 적층 구조를 가질 수 있다. 열 처리가 나중에 수행되는 경우에, 상기 열 처리의 온도를 견딜 수 있는 재료가 상기 게이트 전극층(401)에 대해 선택되는 것이 바람직하다.
- [0099] 다음에, 게이트 절연층(402)이 상기 게이트 전극층(401) 위에 형성된다. 상기 게이트 절연층(402)은 산화 실리콘층, 질화 실리콘층, 산화 하프늄층, 산화질화 실리콘층, 또는 질화산화 실리콘층의 단층 또는 적층 구조를 가지도록 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 예를 들면, 질화 실리콘막 및 산화 실리콘막을 포함하는 적층이 이용된다. 상기 게이트 절연층(402)의 막 두께는 50nm 이상 200nm 이하이다.
- [0100] 이 실시형태에서, 상기 게이트 절연층(402)은 고밀도 플라즈마 장치로 형성된다. 여기서, 고밀도 플라즈마 장치는  $1 \times 10^{11}/\text{cm}^3$  이상의 플라즈마 밀도를 실현할 수 있는 장치를 나타낸다. 예를 들면, 플라즈마는 상기 절연막의 형성을 위해 3kW 내지 6kW의 마이크로파 전력을 인가함으로써 생성된다.
- [0101] 모노실란 가스( $\text{SiH}_4$ ), 아산화질소( $\text{N}_2\text{O}$ ) 및 희가스가 원료 가스로서 챔버에 도입되고, 고밀도 플라즈마가 유리 기판과 같은 절연 표면을 가진 기판 위에 절연막을 형성하기 위해 10Pa 이상 30Pa 이하의 압력으로 생성된다. 그 후에, 모노실란 가스의 공급이 중단되고 아산화질소( $\text{N}_2\text{O}$ ) 및 희가스가 대기애에 노출되지 않고 도입되고, 따라서 플라즈마 처리가 상기 절연막의 표면에 대해 수행될 수 있다. 적어도 아산화질소( $\text{N}_2\text{O}$ ) 및 희가스를 도입함으로써 상기 절연막의 상기 표면에 대해 수행된 상기 플라즈마 처리는 상기 절연막이 형성된 후에 수행된다. 상기 처리 절차를 통해 형성된 상기 절연막은 예를 들면 100nm 미만의 두께를 가지더라도 신뢰성을 가진다.
- [0102] 이 실시형태에서, 고밀도 플라즈마 장치로 형성된 100nm 두께를 가진 산화질화 실리콘막(또한,  $\text{SiO}_x\text{N}_y$ 라고 칭해짐, 여기서  $x > y > 0$ 임)이 상기 게이트 절연층(402)으로서 이용된다.
- [0103] 그 후에, 2nm 이상 15nm 이하의 두께를 가진 제 1 산화물 반도체층이 상기 게이트 절연층(402) 위에 형성된다. 상기 제 1 산화물 반도체층은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤)와 산소의 혼합 분위기에서 스퍼터링법에 의해 형성될 수 있다. 이 실시형태에서, 상기 형성된 산화물 반도체층은 나중 단계에서 의도적 결정화를 위한 열 처리를 받기 때문에, 그 조성비가 결정들의 생성을 용이하게 하는 산화물 반도체 타겟을 이용하는 것이 바람직하다.
- [0104] 그 후에, 상기 제 1 산화물 반도체층은 상기 제 1 산화물 반도체층의 적어도 일부를 결정화하기 위해 제 1 열 처리를 받는다. 상기 제 1 열 처리의 온도는 400°C 이상 800°C 이하이다. 가열 시간은 1분 이상 24시간 이하이다. 상기 제 1 열 처리는 질소, 희가스, 산소, 질소 또는 희가스와 산소의 혼합 가스 및 건조 공기로부터 선택된 분위기에서 수행된다. 상기 제 1 열 처리에 의해, 표면으로부터 진행하는 결정 성장에 의해 획득되는 결정층인 제 1 산화물 반도체층(404)이 형성된다(도 4a 참조). 상기 표면에서 형성된 상기 결정층은 상기 표면에 실질적으로 수직인 방향으로 c-축 배향되었다.
- [0105] 상기 제 1 열 처리에서, 수분, 수소 등이 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 함유되지 않는 것이 바람직함을 유념한다. 또한, 열 처리 장치에 도입되는 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스는 6N 이상, 더욱 바람직하게는 7N 이상의 순도를 가지는 것이 바람직하다. 또한, 상기 제 1 열 처리는 20ppm 이하의 수분 농도의 초건조 공기에서 수행될 수 있다.
- [0106] 또한, 상기 제 1 열 처리는, 전기로의 분위기가 상기 온도가 증가될 때 질소 분위기이고 분위기가 상기 온도가 감소될 때 산소 분위기로 변경되는 방식으로 수행될 수 있다. 질소 분위기에서 탈수화 또는 탈수소화 후에 분위기를 산소 분위기로 변경함으로써, 상기 제 1 산화물 반도체층이 i형 도전성을 가질 수 있도록 산소가 상기 제 1 산화물 반도체층에 공급될 수 있다.

- [0107] 그 후에, 두께가 적어도 상기 제 1 산화물 반도체층(404)의 두께보다 큰 제 2 산화물 반도체층이 판형 결정을 가진 상기 제 1 산화물 반도체층(404) 위에 형성된다. 상기 제 2 산화물 반도체층의 두께는 형성될 원하는 장치에 따라 전문가에 의해 적합하게 결정될 수 있음을 유념한다. 예를 들면, 보텀-게이트형 트랜지스터를 제작하는 경우에, 상기 제 1 산화물 반도체층(404) 및 상기 제 2 산화물 반도체층의 총 두께는 10nm 이상 200nm 이하이다.
- [0108] 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층이 동일한 주성분을 포함하는 재료들을 이용하여 형성되는 것과 이들이 동일한 결정 구조 및 근접한 격자 상수(1% 이하의 격자 상수 미스매치)를 가지는 것이 바람직함을 유념한다. 상기 동일한 주성분을 포함하는 재료들을 이용하는 경우에, 상기 제 1 산화물 반도체층에서의 상기 판형 결정이 시드의 역할을 하기 때문에 결정 성장은 나중의 결정화에서 용이하게 유발된다. 또한, 상기 재료들이 동일한 성분들을 가질 때, 접착성과 같은 계면 특성을 또는 양호한 전기 특성들이 획득될 수 있다.
- [0109] 그 후에, 상기 제 1 산화물 반도체층에서의 상기 결정층을 시드 결정으로서 이용하여 결정 성장을 위한 상기 제 2 열 처리가 수행된다. 상기 제 2 열 처리는 온도가 400°C 이상 800°C 이하에서 선택되고, 분위기가 질소, 희가스, 산소, 질소 또는 희가스와 산소의 혼합 가스, 및 전조 공기에서 선택되는 온도 및 분위기의 하나 이상의 조합들을 포함한 조건 하에서 수행된다. 상기 제 2 산화물 반도체층의 결정화를 위한 가열 시간은 1분 이상 24시간 이하이다. 전기로와 같은 열 처리 장치가 이용되는 경우, 상기 가열 시간은 5시간 이상 20시간 이하가 바람직하고, 통상적으로 10시간이다. RTA 장치와 같은 급속 열 어닐링 장치가 이용되는 경우, 상기 가열 시간은 1분 이상 30분 이하, 바람직하게 1분 이상 10분 이하이고, 통상적으로는 5분이다. 따라서, 결정화된 제 2 산화물 반도체층(406)이 획득될 수 있다(도 4b 참조).
- [0110] 이 실시형태에서, 상기 제 2 열 처리는 2개의 단계들을 포함한다: 상기 제 2 산화물 반도체층의 결정화 및 탈수화 또는 탈수소화를 촉진하기 위한 제 1 단계, 및 상기 결정화된 제 2 산화물 반도체층(406)에서 산소 결손들을 채우기 위한 제 2 단계. 이 경우, 상기 제 1 단계의 온도는 550°C 이상 800°C 이하가 바람직하고, 600°C 이상 750°C 이하가 더욱 바람직하다; 상기 제 2 단계의 온도는 400°C 이상 600°C 이하가 바람직하고, 450°C 이상 550°C 이하가 더욱 바람직하다.
- [0111] 상기 제 1 단계에서, RTA 장치로 6분 동안 650°C의 온도로 질소 분위기에서 열 처리가 수행된다. 상기 제 2 단계에서, 60분 동안 450°C로 산소와 질소의 혼합 가스 분위기에서 열 처리가 수행된다. 단계들의 수는 2개에 제한되지 않고, 적합하게 조정될 수 있는 조건들에 따라 증가될 수 있다. 예를 들면, 상기 제 1 단계를 위한 조건 및 상기 제 2 단계를 위한 조건이 반복적으로 이용될 수 있다. 질소 또는 희가스 분위기 하의 고온 열 처리가 산소 결손들의 증가를 유발할 수 있기 때문에, 상기 제 2 열 처리는 산소를 함유한 분위기를 포함하는 열 처리 조건 하에서 종단되는 것이 바람직함을 유념한다. 또한, 산소를 함유한 분위기의 상기 열 처리에서, 분위기의 산소 농도는 열 처리 시간에 걸쳐 증가될 수 있다. 또한, 결정화 및 탈수화 또는 탈수소화를 촉진할 뿐만 아니라, 산소 결손들을 채우기 위해, 산소를 함유한 가스가 상기 제 1 단계의 분위기로서 이용될 수 있다; 이 경우, 상기 제 2 및 나중 단계들은 생략될 수 있다.
- [0112] 이렇게 산소를 함유한 분위기에서 일정한 온도로 열 처리를 수행함으로써, 상기 산화물 반도체에서 산소 결손들을 채우도록 산소가 충분히 공급되고, 그에 의해 전기 특성들의 변동이 억제될 수 있다.
- [0113] 그 후에, 상기 제 1 산화물 반도체층(404) 및 상기 제 2 산화물 반도체층(406)으로 형성된 산화물 반도체층이 포토리소그래피 단계 및 에칭 단계를 통해, 섬형상 제 1 산화물 반도체층(404a) 및 섬형상 제 2 산화물 반도체층(406a)으로 가공된다. 그 후에, 금속 도전막이 스퍼터링법 등에 의해 상기 게이트 절연층(402), 상기 제 1 산화물 반도체층(404a) 및 상기 제 2 산화물 반도체층(406a) 위에 형성된다. 그 후에, 포토리소그래피 단계가 수행되고, 그에 의해 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 소스 전극층 및 드레인 전극층의 역할을 하는 금속 전극층이 형성된다.
- [0114] 상기 금속 전극층(및 동일층을 이용하여 형성되는 배선층)이 되는 금속 도전막의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 또는 텉스텐과 같은 금속 재료, 이들 금속 재료들 중 어느 것을 구성성분으로 함유한 합금 재료가 이용된다. 또한, 실리콘, 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐 또는 이트륨과 같이, 알루미늄막에서 힐록들 및 위스커들을 방지하는 원소가 첨가된 알루미늄 재료가 이용될 때, 내열성이 증가될 수 있다.
- [0115] 예를 들면, 상기 금속막은 티타늄층, 알루미늄층 및 티타늄층이 이 순서로 적층된 3층 구조를 가지는 것이 바람직하다. 대안적으로, 상기 금속막은 알루미늄층 및 텉스텐층이 적층된 2층 구조, 구리층 및 텉스텐층이 적층된

2층 구조, 또는 알루미늄층 및 몰리브덴층이 적층된 2층 구조를 가질 수 있다. 말할 필요도 없이, 상기 금속막은 단층 구조 또는 4개 이상의 층들을 포함하는 적층 구조를 가질 수 있다.

[0116] 그 후에, 상기 레지스트 마스크가 제거되고, 포토리소그래피 단계에 의해, 레지스트 마스크가 형성되어 선택적 인 에칭이 수행된다; 따라서, 소스 전극층(408a) 및 드레인 전극층(408b)이 형성된다. 그 후에, 상기 레지스트 마스크가 제거된다. 이 포토리소그래피 단계에서, 상기 섬형상 제 2 산화물 반도체층(406a)이 홈부(오목 부분) 를 가진 산화물 반도체층이 되도록 일부 경우들에서 부분적으로 에칭될 수 있음을 유념한다.

[0117] 또한, 상기 포토리소그래피 단계들에서 이용된 포토마스크들의 수를 감소시키고 공정 단계들의 수를 감소시키기 위해, 광이 복수의 세기들을 가지도록 투과되는 노광 마스크인 다계조 마스크를 이용하여 에칭 단계가 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께들을 가지고 형상이 변경될 수 있고, 따라서 상이한 패턴들을 제공하기 위해 복수의 에칭 단계들에서 이용될 수 있다. 따라서, 상이한 패턴들의 적어도 2 종류들에 대응하는 레지스트 마스크가 하나의 다계조 마스크를 이용하여 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 그에 의해 공정이 간단해질 수 있다.

[0118] 그 후, 보호 절연막의 역할을 하는 산화물 절연층(412)이 상기 산화물 반도체층의 일부와 접하여 형성된 후에, 제 3 열 처리가 수행된다(도 4c 참조).

[0119] 이 실시형태에서, 300nm 두께의 산화 실리콘막이 상기 산화물 절연층(412)으로서 스퍼터링법에 의해 형성된다. 상기 막 형성시 기판 온도는 실내 온도 이상 300°C 이하일 수 있다. 이 실시형태에서, 상기 기판 온도는 100°C 이다. 스퍼터링법에 의한 상기 산화 실리콘막의 형성은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤)와 산소의 혼합 분위기에서 수행될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 이용될 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산화 실리콘이 산소와 질소의 분위기에서 스퍼터링법에 의해 성막될 수 있다. 결정화된 상기 섬형상 제 1 산화물 반도체층(404a) 및 상기 섬형상 제 2 산화물 반도체층(406a)과 접하여 형성된 상기 산화물 절연층(412)이 10nm 이상 500nm 이하의 두께를 가지고, 통상적으로 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막 등이다.

[0120] 상기 제 3 열 처리는 200°C 이상 450°C 이하, 바람직하게 250°C 이상 350°C 이하에서 수행된다. 예를 들면, 상기 제 3 열 처리는 산소를 함유한 분위기에서 1시간 동안 250°C로 수행될 수 있다. 상기 제 3 열 처리를 통해, 산소 결손들을 더욱 감소시키기 위해, 상기 섬형상 제 1 산화물 반도체층(404a) 및 상기 섬형상 제 2 산화물 반도체층(406a)에 산소가 공급된다.

[0121] 수소를 함유하는 충간 절연층(416)이 상기 산화물 절연층(412) 위에 형성된 후에, 제 4 열 처리가 수행된다(도 4d 참조). 수소를 함유하는 상기 충간 절연층(416)은 플라즈마 CVD법 등에 의해 형성될 수 있다. 이 실시형태에서, 플라즈마 CVD법에 의해 획득되는 수소를 함유한 질화물 절연층들 중 하나인 질화 실리콘막이 이용된다.

[0122] 상기 제 4 열 처리가 150°C 이상 450°C 이하, 바람직하게 250°C 이상 440°C 이하에서 질소 분위기에서 수행된다. 상기 제 4 열 처리는 질소 분위기에 제한되지 않고, 산소 분위기, 희가스 분위기 또는 건조 공기 분위기에서 수행될 수 있다.

[0123] 수소를 함유하는 상기 충간 절연층(416)의 형성 후의 상기 제 4 열 처리는 상기 충간 절연층(416)에 함유된 수소가 상기 제 1 산화물 반도체층(404a) 및 상기 제 2 산화물 반도체층(406a)의 결함들을 종단하도록 확산되는 단계이다. 수소는 산화 실리콘막으로 이루어진 상기 절연막(상기 산화물 절연층(412))의 존재에 상관없이 상기 제 1 산화물 반도체층(404a) 및 상기 제 2 산화물 반도체층(406a)에 또는 이들 산화물 반도체층들과 상기 산화물 절연층 사이의 계면으로 확산될 수 있다.

[0124] 상술된 바와 같이, 상기 제 1 산화물 반도체층(404a), 및 상기 제 1 산화물 반도체층(404a)에서의 상기 결정 영역으로부터의 결정 성장에 의해 형성된 상기 제 2 산화물 반도체층(406a)은 채널 형성 영역의 역할을 하고, 상기 층들 사이의 상기 계면 및 상기 산화물 반도체의 결함들은 상기 충간 절연층(416)으로부터 확산된 수소에 의해 종단된다. 따라서, 상기 트랜지스터(450)가 완성된다.

[0125] 그 후에, 충간 절연층(418)은 상기 충간 절연층(416) 위에 형성된다. 도 4e에 도시된 단면 구조가 획득된다. 상기 충간 절연층(418)은 PVD법, CVD법 등에 의해 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성된다. 또한, 아크릴과 같은 유기 수지가 상기 충간 절연층(418)의 재료에 이용될 수 있다. 상기 충간 절연층들(416 및 418)의 적층 구조가 이 실시형태에서 이용되지만, 본 발명의 실시형태는 이 예에 제한되지 않음을 유념한다. 단층 구조 또는 3개

이상의 층들을 포함하는 적층 구조가 또한 이용될 수 있다.

[0126] 도 4e에 도시된 바와 같이, 상기 게이트 전극층(401)은 상기 소스 전극층(408a)(또는 상기 드레인 전극층(408b))과 중첩하는 영역을 포함한다. 상기 소스 전극층(408a)의 에지부와 상기 게이트 절연층(402)의 단계 사이의 영역(도 4e에서  $L_{OV}$  영역), 즉, 상기 소스 전극층(408a)의 에지부와 평탄 표면이 상기 단면도에서 테이퍼형 표면으로 변경되는 상기 게이트 절연층의 지점 사이의 영역이 포함된다. 상기  $L_{OV}$  영역은 캐리어들이 상기 게이트 전극층의 상기 에지부에서 생성되는 결정 입자 경계로 흐르는 것을 방지하는데 중요하다.

[0127] 또한, 백 게이트의 역할을 하는 전극층이 상기 산화물 절연층(412) 위에 형성될 수 있다. 도 5a 및 도 5b는 그러한 경우의 제작 예를 도시한다. 도 4c의 상태가 획득된 후에, 상기 게이트 전극층(401)에 도달하는 콘택트 홀이 형성되고 전극층(414)이 상기 산화물 절연층(412) 위에 형성된다(도 5a 참조). 그 후에, 수소를 함유한 상기 층간 절연층(416)이 상기 전극층(414) 및 상기 산화물 절연층(412) 위에 형성된다. 그 후에, 상기 제 4 열 처리가 수행되고, 도 5b에 도시된 트랜지스터(451)가 획득될 수 있다. 상기 전극층(414)은 상기 산화물 반도체층에서의 상기 채널 형성 영역과 중첩하는 위치에 제공되고, 그에 의해 BT 시험(바이어스-열 스트레스 시험) 전과 후 사이의 상기 트랜지스터(451)의 임계 전압의 변화량이 감소될 수 있다. 상기 전극층(414)은 상기 트랜지스터(451)의 상기 게이트 전극층(401)과 상이한 전위를 가질 수 있다. 대안적으로, 상기 전극층(414)의 상기 전위는 GND 또는 0V일 수 있거나, 상기 전극층(414)은 플로팅 상태에 있을 수 있다.

[0128] (실시형태 3)

[0129] 이 실시형태에서, 채널-보호형 트랜지스터의 예가 도 6을 참조하여 기술된다.

[0130] 이 실시형태가 실시형태 2와 부분적으로만 상이하기 때문에, 상세한 기술은 여기서 생략된다.

[0131] 공정이 하기에 기술될 것이다. 실시형태 2와 유사하게, 게이트 전극층(501) 및 게이트 절연층(502)이 기판(500) 위에 형성된다. 그 후에, 실시형태 2와 유사하게, 제 1 산화물 반도체층이 형성되어 결정화되도록 제 1 열 처리를 받는다; 제 2 산화물 반도체층이 형성되어 결정화되도록 제 2 열 처리를 받는다.

[0132] 다음에, 산화물 절연층이 형성되고 제 3 열처리가 수행된다. 상기 산화물 절연층은 실시형태 2에 기술된 상기 산화물 절연층(412)의 재료와 동일한 재료를 이용하여 형성된다. 또한, 상기 제 3 열 처리의 조건들은 실시형태 2에 기술된 상기 제 3 열 처리의 조건들과 동일하고, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에서 산소 결손들을 감소시키기 위해 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 산소가 공급된다.

[0133] 그 후에, 포토리소그래피 단계가 수행되고, 그에 의해, 레지스트 마스크가 상기 산화물 절연층 위에 형성되고 선택적인 에칭이 수행되어, 섬형상 제 1 산화물 반도체층(504a) 및 섬형상 제 2 산화물 반도체층(506a)을 형성한다.

[0134] 그 후에, 상기 레지스트 마스크가 제거된다. 그 후에, 포토리소그래피 단계가 수행되고, 그에 의해 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 섬형상 산화물 절연층(520)을 형성한다.

[0135] 금속 도전막이 스퍼터링법 등에 의해 상기 섬형상 산화물 절연층(520), 상기 섬형상 제 1 산화물 반도체층(504a) 및 상기 섬형상 제 2 산화물 반도체층(506a) 위에 형성된다. 그 후에, 포토리소그래피 단계가 수행되고, 그에 의해 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 소스 전극층(508a) 및 드레인 전극층(508b)을 형성한다.

[0136] 그 후에, 수소를 함유한 층간 절연층(516)이 상기 섬형상 산화물 절연층(520), 상기 소스 전극층(508a) 및 상기 드레인 전극층(508b) 위에 형성되고, 그 후에 제 4 열 처리가 수행된다. 상기 제 4 열 처리의 조건들은 실시형태 2에 기술된 상기 제 4 열 처리의 조건들과 동일하고, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에서 결핍들을 감소시키기 위해 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층에 수소가 공급된다.

[0137] 상술된 바와 같이, 상기 제 2 산화물 반도체층(506a)은 상기 제 1 산화물 반도체층(504a)에서의 상기 결정 영역으로부터의 결정 성장에 의해 형성되고, 상기 층간 절연층(516)에 함유된 수소가 결함들을 종단하기 위해 확산된다. 따라서, 채널-보호형 트랜지스터(550)가 완성된다.

[0138] 그 후에, 평탄화를 위한 층간 절연층(518)이 상기 층간 절연층(516) 위에 형성된다. 도 6에 도시된 단면 구조가 이렇게 획득될 수 있다.

- [0139] 이 실시형태는 다른 실시형태들에 기술된 임의의 구조와 조합하여 적합하게 구현될 수 있다.
- [0140] (실시형태 4)
- [0141] 이 실시형태에서, 상기 실시형태들 중 어느 것에 기술된 상기 반도체 장치를 포함하는 반도체 집적 회로의 예로서, 또한 다른 반도체 재료를 이용한 반도체 장치를 포함하는 적층 구조를 가진 반도체 장치가 도 7을 참조하여 기술될 것이다.
- [0142] 도 7은 이 실시형태에 따른 반도체 장치의 구조예를 도시한 단면도이다. 도 7에 도시된 상기 반도체 장치는 산화물 반도체(예를 들면, 실리콘) 이외의 재료를 포함하는 트랜지스터(250)를 하부에, 및 산화물 반도체를 포함하는 상기 트랜지스터(150)를 상부에 포함한다. 산화물 반도체를 포함하는 상기 트랜지스터(150)는 도 1에 도시된 상기 트랜지스터(150)이다. 여기서 상기 트랜지스터들(250 및 150)이 n-채널 트랜지스터들이지만, p-채널 트랜지스터들이 이용될 수 있다. 특히, p-채널 트랜지스터를 상기 트랜지스터(250)로서 이용하는 것이 용이하다.
- [0143] 상기 트랜지스터(250)는 반도체 재료를 함유하는 기판(200)에 제공되는 채널 형성 영역(216), 상기 채널 형성 영역(216)을 개재한 불순물 영역들(214) 및 고농도 불순물 영역들(220)(또한 집합적으로 불순물 영역들이라고 칭해짐), 상기 채널 형성 영역(216) 위에 제공된 게이트 절연층(208a), 상기 게이트 절연층(208a) 위에 제공된 게이트 전극층(210a), 및 상기 불순물 영역들(214)에 전기적으로 접속되는 소스 또는 드레인 전극층(230a) 및 소스 또는 드레인 전극층(230b)을 포함한다(도 7 참조).
- [0144] 여기서, 측벽 절연층들(218)이 상기 게이트 전극(210a)의 측면들 상에 제공된다. 또한, 상기 기판(200)의 주 표면에 수직인 방향에서 볼 때, 상기 측벽 절연층들(218)과 중첩하지 않는 상기 기판(200)의 영역들에 상기 고농도 불순물 영역들(220)이 제공되고, 금속 화합물 영역들(224)이 상기 고농도 불순물 영역들(220)과 접하여 제공된다. 상기 트랜지스터(250)를 둘러싸도록 소자 분리 절연층(206)이 상기 기판(200) 위에 제공된다. 충간 절연층(226) 및 충간 절연층(228)이 상기 트랜지스터(250)를 피복하기 위해 제공된다. 상기 소스 또는 드레인 전극(230a) 및 상기 소스 또는 드레인 전극(230b)은 상기 충간 절연층들(226 및 228)에 형성된 개구부들을 통해 상기 금속 화합물 영역들(224)에 전기적으로 접속된다. 즉, 상기 소스 또는 드레인 전극(230a) 및 상기 소스 또는 드레인 전극(230b)은 상기 금속 화합물 영역들(224)을 통해 상기 고농도 불순물 영역(220) 및 상기 불순물 영역들(214)에 전기적으로 접속된다.
- [0145] 상기 트랜지스터(150)는: 상기 절연층(102) 위에 제공된 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a); 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a) 위에 제공되고 상기 제 1 산화물 반도체층(104a) 및 상기 제 2 산화물 반도체층(106a)에 전기적으로 접속된 상기 소스 전극층(108a) 및 상기 드레인 전극층(108b); 상기 제 1 산화물 반도체층(104a), 상기 제 2 산화물 반도체층(106a), 상기 소스 전극층(108a) 및 상기 드레인 전극층(108b)을 피복하기 위해 제공된 상기 게이트 절연층(112); 및 상기 제 2 산화물 반도체층(106a)과 중첩한 영역에서 상기 게이트 절연층(112) 위에 제공된 상기 게이트 전극층(114)을 포함한다(도 7 참조).
- [0146] 또한, 상기 충간 절연층(116) 및 상기 충간 절연층(118)이 상기 트랜지스터(150) 위에 제공된다. 여기서, 상기 소스 전극층(108a) 및 상기 드레인 전극층(108b)에 도달하는 개구부들이 상기 게이트 절연층(112), 상기 충간 절연층(116) 및 상기 충간 절연층(118)에 제공된다. 상기 개구부들을 통해, 전극(254d) 및 전극(254e)이 상기 소스 전극층(108a) 및 상기 드레인 전극층(108b)과 접하여 각각 형성된다. 상기 전극들(254d 및 254e)과 유사하게, 전극(254a), 전극(254b) 및 전극(254c)이 상기 게이트 절연층(112), 상기 충간 절연층(116) 및 상기 충간 절연층(118)에 제공된 개구부들을 통해, 전극(236a), 전극(236b) 및 전극(236c)과 각각 접하여 형성된다.
- [0147] 절연층(256)이 상기 충간 절연층(118) 위에 제공된다. 전극(258a), 전극(258b), 전극(258c) 및 전극(258d)이 상기 절연층(256)에 임베딩되도록 제공된다. 여기서, 상기 전극(258a)은 상기 전극(254a)과 접하고; 상기 전극(258b)은 상기 전극(254b)과 접하고; 상기 전극(258c)은 상기 전극(254c) 및 상기 전극(254d)과 접하고; 상기 전극(258d)은 상기 전극(254e)과 접한다.
- [0148] 즉, 상기 트랜지스터(150)의 상기 소스 전극층(108a) 또는 상기 드레인 전극층(108b)은 전극(230c), 상기 전극(236c), 상기 전극(254c), 상기 전극(258c) 및 상기 전극(254d)을 통해 다른 소자(산화물 반도체 이외의 재료를 포함하는 상기 트랜지스터와 같은)에 전기적으로 접속된다(도 7 참조). 또한, 상기 트랜지스터(150)의 상기 소스 전극층(108a) 또는 상기 드레인 전극층(108b)은 상기 전극(254e) 및 상기 전극(258d)을 통해 다른 소자에 전기적으로 접속된다. 접속 전극들(상기 전극(230c), 상기 전극(236c), 상기 전극(254c), 상기 전극(258c) 및 상기 전극(254d))의 구조는 상기 구조에 제한되지 않고, 적합한 추가, 생략 등이 가능함을 유념한다.

- [0149] 상기 전극들의 일부(예를 들면, 상기 전극(258a), 상기 전극(258b), 상기 전극(258c) 및 상기 전극(258d))에 대해; 구리를 함유한 재료가 이용되는 것이 바람직함을 유념한다. 구리를 함유한 재료가 상기 전극들의 일부에 이용될 때, 도전성이 개선될 수 있다. 구리를 함유한 배선 또는 전극은 소위 다마신 공정 등에 의해 형성될 수 있다.
- [0150] 상술된 바와 같이, 이 실시형태에서, 적층 구조를 가진 상기 반도체 장치의 통상적인 예가 기술된다; 그러나, 본 발명의 일 실시형태는 이에 제한되지 않는다. 예를 들면, 트랜지스터의 구조, 절연층들의 수 및 그 배열, 전극들 및 배선들의 수 및 그 접속 관계 등이 적합하게 변경될 수 있다. 전극들 사이의 접속 관계의 예로서, 상기 트랜지스터(250)의 상기 게이트 전극층(210a) 및 상기 트랜지스터(150)의 상기 소스 전극층(108a) 또는 상기 드레인 전극층(108b)이 서로 전기적으로 접속되는 구조가 이용될 수 있다.
- [0151] 상술된 바와 같이, 산화물 반도체를 포함하는 트랜지스터의 전기 특성들과 상이한 전기 특성들을 가진 반도체 장치가 산화물 반도체 이외의 재료를 포함하는 트랜지스터 및 산화물 반도체를 포함하는 트랜지스터의 조합에 의해 실현될 수 있다.
- [0152] 이 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.
- [0153] (실시형태 5)
- [0154] 이 실시형태에서, 메모리 장치로서 기능하는 반도체 장치의 구조예가 본 발명의 일 실시형태에 따른 반도체 장치의 특정예로서 기술된다. 산화물 반도체를 포함하는 트랜지스터 및 산화물 반도체 이외의 재료(예를 들면, 실리콘)를 포함하는 트랜지스터를 포함하는 반도체 장치가 여기서 기술됨을 유념한다.
- [0155] 도 8의 상기 반도체 장치에서, 트랜지스터(300)의 게이트 전극 및 트랜지스터(302)의 소스 전극과 드레인 전극 중 하나가 서로 전기적으로 접속된다. 제 1 배선(1st line, 또한 소스선이라고 칭해짐)이 상기 트랜지스터(300)의 소스 전극에 전기적으로 접속된다. 제 2 배선(2nd line, 또한 비트선이라고 칭해짐)이 상기 트랜지스터(300)의 드레인 전극에 전기적으로 접속된다. 제 3 배선(3rd line, 또한 제 1 신호선이라고 칭해짐)이 상기 트랜지스터(302)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전기적으로 접속된다. 제 4 배선(4th line, 또한 제 2 신호선이라고 칭해짐)이 상기 트랜지스터(302)의 게이트 전극에 전기적으로 접속된다. 여기서, 산화물 반도체 이외의 재료(예를 들면, 실리콘)가 상기 트랜지스터(300)에 이용되고, 산화물 반도체 재료가 상기 트랜지스터(302)에 이용된다.
- [0156] 산화물 반도체 이외의 재료를 포함하는 상기 트랜지스터(300)는 충분히 고속으로 동작할 수 있고, 저장된 데이터는 상기 트랜지스터(300)를 이용함으로써 고속으로 판독될 수 있다. 또한, 산화물 반도체를 포함하는 상기 트랜지스터(302)는 극히 낮은 오프-상태 전류를 가진다. 그러한 이유로, 상기 트랜지스터(302)가 오프 상태에 있을 때 상기 트랜지스터(300)의 상기 게이트 전극의 전위가 극히 장시간 동안 유지될 수 있다.
- [0157] 상기 트랜지스터(302)의 상기 소스 전극 또는 상기 드레인 전극은 상기 트랜지스터(300)의 상기 게이트 전극에 전기적으로 접속되고, 그에 의해 비휘발성 메모리 소자에서 플로팅 게이트 트랜지스터의 플로팅 게이트와 유사한 효과를 가진다. 따라서, 이 실시형태에서, 상기 트랜지스터(302)의 상기 소스 전극 또는 상기 드레인 전극이 상기 트랜지스터(300)의 상기 게이트 전극에 전기적으로 접속된 부분은 플로팅 게이트부 FG라고 칭해진다. 상기 플로팅 게이트부 FG는 절연체에 임베딩되고 따라서 전하를 저장할 수 있다. 상기 트랜지스터(302)의 상기 오프-상태 전류는 실리콘 반도체를 이용하여 형성된 상기 트랜지스터(300)보다 1/100000 이하이고, 따라서, 상기 트랜지스터(302)의 누설로 인한 상기 플로팅 게이트부 FG에 저장된 전하의 손실은 무시될 수 있다.
- [0158] 이러한 구조로, 통상적인 플로팅 게이트 트랜지스터의 문제였던 게이트 절연막(터널 절연막)의 열화가 회피될 수 있다. 즉, 이 구조는 전자들이 플로팅 게이트에 주입될 때 생성되는 터널링 전류로 인해 게이트 절연막이 열화되는 문제를 해결할 수 있다. 그러한 이유로, 도 8에 도시된 상기 반도체 장치들에서 기록들의 수에 관한 제약이 이론상 존재하지 않는다.
- [0159] 커패시터가 상기 플로팅 게이트부 FG에 추가될 수 있음을 유념한다. 상기 플로팅 게이트부 FG로의 커패시터의 추가는 배선들의 전위 변화로 인한 상기 플로팅 게이트부 FG의 전위 변화의 억제 및 전하의 유지를 용이하게 함을 유념한다.
- [0160] 도 8의 상기 반도체 장치는 상기 트랜지스터(300)의 상기 게이트 전극의 상기 전위가 유지될 수 있고, 그에 의해 하기에 기술되는 바와 같이 데이터를 기록, 유지 및 판독할 수 있다는 이점을 이용한다.

- [0161] 첫째, 데이터의 기록 및 유지가 기술될 것이다. 먼저, 상기 제 4 배선의 전위는, 상기 트랜지스터(302)가 온 상태인 전위로 설정되어, 상기 트랜지스터(302)가 턴 온된다. 따라서, 상기 제 3 배선의 전위가 상기 트랜지스터(300)의 상기 게이트 전극에 공급된다(기록). 그 후에, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(302)가 오프 상태인 전위로 설정되어, 상기 트랜지스터(1302)가 턴 오프되고, 그에 의해 상기 트랜지스터(300)의 상기 게이트 전극의 상기 전위가 유지된다(홀딩).
- [0162] 상기 트랜지스터(302)의 상기 오프-상태 전류가 극히 낮기 때문에, 상기 트랜지스터(300)의 상기 게이트 전극의 상기 전위는 장시간 동안 유지된다. 예를 들면, 상기 트랜지스터(300)의 상기 게이트 전극의 상기 전위가 상기 트랜지스터(300)가 온 상태인 전위일 때, 상기 트랜지스터(300)의 온 상태가 장시간 동안 유지된다. 상기 트랜지스터(300)의 상기 게이트 전극의 상기 전위가 상기 트랜지스터(300)가 오프 상태인 전위일 때, 상기 트랜지스터(300)의 오프 상태가 장시간 동안 유지된다.
- [0163] 둘째, 데이터의 판독이 기술될 것이다. 상기 트랜지스터(300)의 상기 온 상태 또는 상기 오프 상태가 상술된 바와 같이 유지되는 상태에서 미리 결정된 전위(저전위)가 상기 제 1 배선에 공급될 때, 상기 트랜지스터(300)가 온 또는 오프인지에 의존하여 상기 제 2 배선의 전위가 변한다. 예를 들면, 상기 트랜지스터(300)가 온일 때, 상기 제 2 배선의 상기 전위는 상기 제 1 배선의 상기 전위보다 낮아진다. 대조적으로, 상기 트랜지스터(300)가 오프일 때, 상기 제 2 배선의 상기 전위는 변하지 않는다.
- [0164] 이러한 방식으로, 데이터가 유지된 상태에서, 상기 제 1 배선의 상기 전위 및 상기 제 2 배선의 상기 전위는 서로 비교되고, 그에 의해 상기 데이터가 판독될 수 있다.
- [0165] 셋째, 데이터의 재기록이 기술될 것이다. 데이터의 재기록은 데이터의 상기 기록 및 유지 방식과 유사한 방식으로 수행된다. 즉, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(302)가 턴 온되는 전위로 설정되어, 상기 트랜지스터(302)가 턴 온된다. 따라서, 상기 제 3 배선의 전위(새로운 데이터를 위한 전위)가 상기 트랜지스터(300)의 상기 게이트 전극에 공급된다. 그 후에, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(302)가 턴 오프되는 전위로 설정되어, 상기 트랜지스터(302)가 턴 오프되고, 그에 의해 상기 새로운 데이터가 유지된다.
- [0166] 본 발명의 일 실시형태에 따른 상기 반도체 장치에서, 데이터는 상술된 바와 같이 데이터를 다시 기록함으로써 직접 재기록될 수 있다. 그러한 이유로, 플래시 메모리 등에 필요한 소거 동작이 요구되지 않고, 그에 의해 소거 동작으로 인한 동작 속도의 감소가 방지될 수 있다. 즉, 상기 반도체 장치의 고속 동작이 실현될 수 있다.
- [0167] 이 실시형태에 따른 상기 반도체 장치는 상기 트랜지스터(302)가 낮은 오프-상태 전류를 가지기 때문에 극히 장시간 동안 데이터를 저장할 수 있다. 즉, DRAM 등에서 필수적인 리프레시 동작이 요구되지 않고, 그에 의해 전력 소비가 억제될 수 있다. 또한, 이 실시형태에 따른 상기 반도체 장치는 실질적으로 비휘발성 반도체 장치로서 이용될 수 있다.
- [0168] 또한, 데이터 기록 등이 상기 트랜지스터(302)의 스위칭 동작에 의해 수행되기 때문에, 고전압이 필요하지 않고 상기 소자의 열화가 발생하지 않는다. 또한, 상기 트랜지스터를 턴 온 및 오프함으로써 데이터가 기록 및 소거 되고, 그에 의해 고속 동작이 쉽게 실현될 수 있다.
- [0169] 산화물 반도체 이외의 재료를 포함하는 트랜지스터가 충분히 고속으로 동작할 수 있기 때문에, 산화물 반도체 이외의 재료를 포함하는 상기 트랜지스터에 의해 저장된 데이터가 고속으로 판독될 수 있다.
- [0170] 전자들이 다수 캐리어들인 n형 트랜지스터(n-채널 트랜지스터)가 상기 기술에서 이용되었지만, 말할 필요도 없이 정공들이 다수 캐리어들인 p형 트랜지스터가 상기 n형 트랜지스터 대신에 이용될 수 있음을 유념한다.
- [0171] 이 실시형태에 따른 상기 반도체 장치는 예를 들면, 실시형태 4에 기술된 상기 트랜지스터의 적층 구조로 형성될 수 있다. 개시된 발명은 트랜지스터들의 적층 구조에 제한될 필요가 없음은 말할 필요가 없다. 예를 들면, 상기 트랜지스터(300) 및 상기 트랜지스터(302)가 동일 표면 상에 형성될 수 있다. 또한, 이 실시형태에 따른 상기 반도체 장치가 상기 트랜지스터(302)의 낮은 오프-상태 전류를 이용하기 때문에, 상기 트랜지스터(300)에 관한 특정 제약은 존재하지 않는다. 예를 들면, 상기 트랜지스터(300)가 이 실시형태에서 산화물 반도체 이외의 재료를 이용하여 형성되지만, 상기 트랜지스터(300)는 산화물 반도체를 이용하여 형성될 수 있다.
- [0172] 이 실시형태에서, 최소 단위의 상기 반도체 장치가 간략화를 위해 기술되지만, 상기 반도체 장치의 구조는 이에 제한되지 않는다. 더욱 진보된 반도체 장치가 복수의 반도체 장치들을 적합하게 접속하여 형성될 수 있다. 예를 들면, NAND형 또는 NOR형 반도체 장치가 복수의 상기 반도체 장치들을 이용하여 형성될 수 있다. 상기 배선들의 구조는 도 8에 도시된 구조에 제한되지 않고 적합하게 변경될 수 있다.

- [0173] 이 실시형태에 기술된 구조들, 방법들 등을 다른 실시형태들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.
- [0174] (실시형태 6)
- [0175] 이 실시형태에서, c-축 배향된 산화물 반도체층을 포함하는 트랜지스터들이 제작되고, 화소부 및 또한 구동 회로에 상기 트랜지스터들을 이용함으로써, 표시 기능을 가진 반도체 장치(또한 표시 장치라고 칭해짐)가 제작된다. 또한, 상기 구동 회로들의 일부 또는 전부가 시스템-온-패널을 제공하기 위해 상기 화소부와 동일한 기판 위에 형성될 수 있다.
- [0176] 이 실시형태에서, 액정 표시 장치의 예가 본 발명의 일 실시형태인 반도체 장치로서 기술될 것이다. 먼저, 반도체 장치의 일 실시형태인 액정 표시 패널의 외관 및 단면이 도 9a 및 도 9b를 참조하여 기술될 것이다. 도 9a는 제 1 기판(4001) 위에 형성되는 c-축 배향된 산화물 반도체층을 포함하는 트랜지스터들(4010 및 4011) 및 액정 소자(4013)이 상기 제 1 기판(4001)과 제 2 기판(4006) 사이에 층재(4005)로 밀봉되는 패널의 단면도이다. 도 9b는 도 9a의 라인 M-N을 따라 취해진 단면도이다.
- [0177] 상기 층재(4005)는 상기 제 1 기판(4001) 위에 제공되는 화소부(4002), 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)를 둘러싸도록 제공된다. 상기 제 2 기판(4006)은 상기 화소부(4002), 상기 신호선 구동 회로(4003) 및 상기 주사선 구동 회로(4004) 위에 제공된다. 결과적으로, 상기 화소부(4002), 상기 신호선 구동 회로(4003) 및 상기 주사선 구동 회로(4004)는 상기 제 1 기판(4001), 상기 층재(4005) 및 상기 제 2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다.
- [0178] 상기 제 1 기판(4001) 위에 제공되는 상기 화소부(4002), 상기 신호선 구동 회로(4003) 및 상기 주사선 구동 회로(4004)는 복수의 트랜지스터들을 포함한다. 도 9b는 예를 들면 상기 화소부(4002)에 포함된 상기 트랜지스터(4010), 및 상기 주사선 구동 회로(4004)에 포함된 상기 트랜지스터(4011)를 포함한다. 절연층들(4020, 4014 및 4021)은 상기 트랜지스터들(4010 및 4011) 위에 제공된다.
- [0179] 상기 트랜지스터들(4010 및 4011)에 대해, 실시형태 2의 c-축 배향된 산화물 반도체층을 포함하는 상기 트랜지스터가 이용될 수 있다. 이 실시형태에서, 상기 트랜지스터들(4010 및 4011)이 n-채널 트랜지스터들이다.
- [0180] 상기 구동 회로에 대한 상기 트랜지스터(4011)의 상기 산화물 반도체층에서 채널 형성 영역과 중첩하는 상기 절연층(4021)의 일부 위에 도전층(4040)이 제공된다. 상기 도전층(4040)은 상기 산화물 반도체층의 상기 채널 형성 영역과 중첩하도록 제공되고, 그에 의해 상기 BT 시험 전과 후 사이의 상기 트랜지스터(4011) 임계 전압의 변동량이 감소될 수 있다. 상기 도전층(4040)의 전위가 상기 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 상기 도전층(4040)은 또한 제 2 게이트 전극층의 역할을 할 수 있다. 대안적으로, 상기 도전층(4040)의 상기 전위는 GND 또는 0V일 수 있거나, 상기 도전층(4040)은 플로팅 상태에 있을 수 있다.
- [0181] 상기 액정 소자(4013)에 포함된 화소 전극층(4030)은 상기 트랜지스터(4010)에 전기적으로 접속된다. 상기 액정 소자(4013)의 대향 전극층(4031)은 상기 제 2 기판(4006) 상에 제공된다. 상기 화소 전극층(4030), 상기 대향 전극층(4031) 및 상기 액정층(4008)이 서로 중첩하는 부분은 상기 액정 소자(4013)에 대응한다. 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)에는 배향막들의 역할을 하는 절연층(4032) 및 절연층(4033)이 각각 구비되고, 상기 액정층(4008)과 상기 화소 전극층(4030) 사이 및 상기 액정층(4008)과 상기 대향 전극층(4031) 사이에 각각 제공되는 상기 절연층들(4032 및 4033) 사이에 상기 액정층(4008)이 개재됨을 유념한다.
- [0182] 유리 또는 플라스틱들이 상기 제 2 기판(4006)으로서 이용될 수 있음을 유념한다.
- [0183] 참조 번호(4035)는 절연층의 선택적인 예칭에 의해 획득되고 상기 화소 전극층(4030)과 상기 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공되는 원주형 스페이서(columnar spacer)를 표시한다. 대안적으로, 구형 스페이서가 이용될 수 있다. 상기 대향 전극층(4031)은 상기 트랜지스터(4010)가 형성되는 상기 절연 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 또한, 상기 공통 접속부를 이용하여, 상기 대향 전극층(4031) 및 상기 공통 전위선이 한 쌍의 기판들 사이에 제공된 도전 입자들을 통해 서로 전기적으로 접속될 수 있다. 상기 도전 입자들은 상기 층재(4005)에 포함됨을 유념한다.
- [0184] 대안적으로, 배향막이 불필요한 블루 상을 나타내는 액정이 이용될 수 있다. 블루 상은 액정 상들 중 하나이고, 이것은 콜레스테릭 액정의 온도가 증가될 때 콜레스테릭 상이 등방성 상으로 변하기 직전에 생성된다. 상기 블루 상이 협소한 범위의 온도 내에서만 생성되기 때문에, 5wt% 이상의 키랄체를 함유한 액정 조성물이 상기 온도 범위를 개선하기 위해 이용된다. 키랄체 및 블루 상을 나타내는 액정을 포함하는 상기 액정 조성물은 1msec 이

하의 짧은 응답 시간을 가지고 광학적으로 등방성이다; 따라서, 배향 처리가 필요하지 않고 시야각 의존도가 작다.

[0185] 블루 상을 나타내는 액정이 이용될 때, 배향막에 대한 러빙 처리가 불필요하다; 따라서, 상기 러빙 처리에 의해 유발되는 정전 방전 손상이 방지될 수 있고, 제작 공정에서 상기 액정 표시 장치의 결함들 및 손상이 감소될 수 있다. 따라서, 상기 액정 표시 장치의 생산성이 증가될 수 있다. 산화물 반도체층을 포함하는 트랜지스터는 특히 상기 트랜지스터의 전기 특성들이 설계 범위로부터의 벗어남 및 정전기의 영향에 의해 상당히 변할 수 있는 가능성을 가진다. 따라서, 산화물 반도체층을 포함하는 트랜지스터를 포함하는 액정 표시 장치에 대한 블루 상 액정 재료를 이용하는 것이 더욱 효과적이다. 블루 상이 이용되는 경우에, 본 발명의 실시형태는 도 9a 및 도 9b의 구조에 제한되지 않고, 소위 수평 전계 모드의 구조가 이용될 수 있으며, 여기서 상기 대향 전극층(4031)에 대응하는 전극층이 상기 화소 전극층(4030)과 동일한 기판측 상에 형성됨을 유념한다.

[0186] 투과형 액정 표시 장치가 이 실시형태에서 기술되었지만, 본 발명의 실시형태는 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 또한 적용될 수 있다.

[0187] 이 실시형태의 상기 액정 표시 장치의 예에서 편광판이 상기 기판의 외면상(뷰어측상)에 제공되고 표시 소자에 이용된 착색층 및 전극층이 상기 기판의 내면에서부터 이 순서로 제공되지만, 상기 편광판은 상기 기판의 상기 내면 상에 제공될 수 있다. 상기 편광판 및 상기 착색층의 적층 구조가 이 실시형태의 구조에 제한되지 않고, 상기 편광판 및 상기 착색층의 재료들 또는 상기 제작 공정의 조건들에 의존하여 적합하게 설정될 수 있다. 또한, 블랙 매트릭스의 역할을 하는 차광층이 필요시 제공될 수 있다.

[0188] 이 실시형태에서, 상기 트랜지스터들의 표면 요철을 감소시키고 상기 트랜지스터들의 신뢰도를 개선하기 위해, 상기 트랜지스터들은 평탄화 절연층들의 역할을 하는 보호층 또는 절연층들(상기 절연층(4020), 절연층(4014) 및 상기 절연층(4021))로 피복된다. 상기 보호층은 유기 물질, 금속 물질 또는 공기 중에 부유하는 습기와 같은 오염 불순물들의 혼입을 방지하기 위해 제공되고, 조밀한 막이 바람직함을 유념한다. 상기 보호층은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층 및 질화산화 알루미늄층 중 어느 것을 포함하는 단층 구조 또는 적층 구조를 가지도록 스퍼터링법에 의해 형성될 수 있다.

[0189] 여기서, 적층된 구조를 가진 절연층이 상기 보호층으로서 형성된다. 예를 들면, 제 1 층인 상기 절연층(4020)으로서, 산화 실리콘층이 스퍼터링법에 의해 형성된다. 산화 실리콘층이 보호층으로서 이용될 때, 상기 보호층과 접하는 상기 산화물 반도체층에 산소가 첨가되고, 그에 의해 산소 결손들이 감소될 수 있다.

[0190] 여기서, 상기 절연층(4014)의 제 2 층으로서, 수소를 함유한 질화물 절연층들의 하나인 질화 실리콘층이 플라즈마 CVD법에 의해 형성되고, 그 후에 열 처리가 수행되어 수소가 상기 산화물 반도체층으로 확산된다. 상기 보호층으로서 상기 질화 실리콘층의 이용은 나트륨 이온들과 같은 이온들이 반도체 영역에 혼입되는 것을 방지할 수 있고, 그에 의해 상기 트랜지스터들의 전기 특성들의 변동들이 억제될 수 있다.

[0191] 상기 절연층(4021)은 상기 평탄화 절연층으로서 형성된다. 상기 절연층(4021)으로서, 아크릴과 같은 유기 재료가 이용될 수 있다. 이러한 유기 재료에 대한 대안으로서, 저-유전율 상수 재료(low-k 재료), 실록산-계 수지, 인실리케이트 유리 PSG, 인봉소실리케이트 유리(BPSG) 등을 이용하는 것이 가능하다. 상기 절연층(4021)이 이들 재료들로 구성된 복수의 절연층들을 적층함으로써 형성될 수 있음을 유념한다.

[0192] 상기 화소 전극층(4030) 및 상기 대향 전극층(4031)이 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물(이후, ITO라고 칭해짐), 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전 재료를 이용하여 형성될 수 있다.

[0193] 또한, 다양한 신호들 및 전위들이 FPC(4018)를 통해 동일한 기판 위에 형성되는 상기 신호선 구동 회로(4003), 상기 주사선 구동 회로(4004), 또는 상기 화소부(4002)에 공급된다.

[0194] 이 실시형태에서, 접속 단자 전극(4015)이 상기 액정 소자(4013)에 포함된 상기 화소 전극층(4030)과 동일한 도전층을 이용하여 형성된다. 상기 트랜지스터들(4010 및 4011)에 포함된 상기 소스 및 드레인 전극층들과 동일한 도전층을 이용하여 단자 전극(4016)이 형성된다.

[0195] 상기 접속 단자 전극(4015)은 이방성 도전층(4019)을 통해 상기 FPC(4018)에 포함된 단자에 전기적으로 접속된다.

- [0196] 또한, 필요시, 컬러 필터가 각각의 화소에 제공된다. 또한, 편광판 또는 확산판이 상기 제 1 기판(4001) 및 상기 제 2 기판(4006)의 외측 상에 제공된다. 백라이트의 광원은 냉음극판 또는 LED를 포함한다. 따라서, 액정 표시 모듈이 획득된다.
- [0197] 상기 액정 표시 모듈에 대해, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등이 이용될 수 있다.
- [0198] 상기 공정을 통해, 액정 표시 장치가 제작될 수 있다.
- [0199] 실시형태 2에 도시된 c-축 배향된 산화물 반도체층을 포함하는 상기 트랜지스터는 우수한 결정성을 가진 산화물 반도체층을 포함하고 높은 전계-효과 이동도를 가진다. 액정 표시 장치가 이 실시형태에서와 같은 트랜지스터를 이용하여 제작될 때, 우수한 표시 특성들을 가진 액정 표시 장치가 실현된다.
- [0200] 이 실시형태는 다른 실시형태들에 기술된 임의의 구조와 적합하게 조합하여 구현될 수 있다.
- [0201] (실시형태 7)
- [0202] 반도체 장치의 일 실시형태인 발광 표시 패널(또한 발광 패널이라고 칭해짐)의 외관 및 단면이 도 10a 및 도 10b를 참조하여 기술될 것이다. 도 10a는 제 1 기판 위에 형성된 c-축-배향된 산화물 반도체층을 포함하는 트랜지스터 및 발광 소자가 상기 제 1 기판과 제 2 기판 사이에 셀재로 밀봉되는 패널의 평면도이다. 도 10b는 도 10a의 라인 H-I를 따라 취해진 단면도이다.
- [0203] 상기 셀재(4505)는 제 1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)을 둘러싸도록 제공된다. 제 2 기판(4506)이 상기 화소부(4502), 상기 신호선 구동 회로들(4503a 및 4503b) 및 상기 주사선 구동 회로들(4504a 및 4504b) 위에 제공된다. 결과적으로, 상기 화소부(4502), 상기 신호선 구동 회로들(4503a 및 4503b) 및 상기 주사선 구동 회로들(4504a 및 4504b)은 상기 제 1 기판(4501), 상기 셀재(4505) 및 상기 제 2 기판(4506)에 의해 충전제(4507)와 함께 밀봉된다. 상기 화소부(4502), 상기 신호선 구동 회로들(4503a 및 4503b) 및 상기 주사선 구동 회로들(4504a 및 4504b)이 대기에 노출되지 않도록, 따라서 패널이 기밀성이 높고 탈기가 적은 피복 재료 또는 보호막으로 패키징(밀봉)되는 것이 바람직하다.
- [0204] 상기 제 1 기판(4501) 위에 제공되는 상기 화소부(4502), 상기 신호선 구동 회로들(4503a 및 4503b) 및 상기 주사선 구동 회로들(4504a 및 4504b)은 복수의 트랜지스터들을 포함한다. 도 10b는 예를 들면 상기 화소부(4502)에 포함된 트랜지스터(4510) 및 상기 신호선 구동 회로(4503a)에 포함된 트랜지스터(4509)를 도시한다.
- [0205] 상기 트랜지스터들(4509 및 4510)에 대해, 실시형태 2의 c-축-배향된 산화물 반도체층을 포함하는 높은 이동도를 가진 상기 트랜지스터가 이용될 수 있다. 이 실시형태에서, 상기 트랜지스터들(4509 및 4510)은 n-채널 트랜지스터들이다.
- [0206] 도전층(4540)이 상기 절연층(4544)의 일부 위에 제공되고, 상기 구동 회로에 대한 상기 트랜지스터(4509)의 산화물 반도체층에서 채널 형성 영역과 중첩한다. 상기 도전층(4540)의 전위는 상기 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 상기 도전층(4540)은 또한 제 2 게이트 전극층의 역할을 할 수 있다. 대안적으로, 상기 도전층(4540)의 상기 전위는 GND 또는 OV일 수 있거나, 상기 도전층(4540)은 플로팅 상태에 있을 수 있다.
- [0207] 상기 트랜지스터(4509)에서, 절연층(4541)이 보호 절연층으로서 상기 채널 형성 영역을 포함하는 상기 반도체층과 접하여 형성된다. 상기 절연층(4541)은 실시형태 2에 기술된 상기 산화물 절연층(412)의 재료 및 방법과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 보호 절연층(4514)은 상기 절연층(4541) 위에 형성된다. 상기 보호 절연층(4514)은 실시형태 2에 기술된 상기 층간 절연층(416)의 재료 및 방법과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서, 질화 실리콘층이 상기 보호 절연층(4514)으로서 PCVD법에 의해 형성된다.
- [0208] 또한, 상기 트랜지스터의 표면 거칠기를 감소시키는 평탄화 절연층의 역할을 하는 절연층(4544)이 상기 보호 절연층(4514) 위에 형성된다. 상기 절연층(4544)은 실시형태 6에 기술된 상기 절연층(4021)의 재료 및 방법과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서, 아크릴이 상기 절연층(4544)에 이용된다.

- [0209] 또한, 참조 번호(4511)는 발광 소자를 표시한다. 상기 발광 소자(4511)에 포함된 화소 전극층(4517)이 상기 트랜지스터(4510)의 소스 또는 드레인 전극층에 전기적으로 접속된다. 상기 발광 소자(4511)가 상기 제 1 전극층(4517), 전계발광층(4512) 및 제 2 전극층(4513)을 포함하는 적층 구조를 가지지만, 상기 발광 소자(4511)의 구조는 이에 제한되지 않음을 유념한다. 상기 발광 소자(4511)의 상기 구조는 예를 들면, 광이 상기 발광 소자(4511)로부터 추출되는 방향에 의존하여 적합하게 변경될 수 있다.
- [0210] 상기 파티션(4520)이 유기 수지층 또는 무기 절연층을 이용하여 형성된다. 상기 파티션은 감광성 재료를 이용하여 형성되고, 개구부가 상기 제 1 도전층(4517) 위에 형성되고, 상기 개구부의 측벽이 연속 곡률을 가진 기울어진 측면을 가지는 것이 특히 바람직하다.
- [0211] 상기 전계발광층(4512)은 단층 또는 복수층들의 적층을 이용하여 형성될 수 있다.
- [0212] 상기 발광 소자(4511)로의 산소, 수소, 습기, 이산화탄소 등의 혼입을 방지하기 위해, 보호층이 상기 제 2 전극층(4513) 및 상기 파티션(4520) 위에 형성될 수 있다. 상기 보호층으로서, 질화 실리콘층, 질화산화 실리콘층, DLC층 등이 형성될 수 있다.
- [0213] 또한, 다양한 신호들 및 전위들이 상기 신호선 구동 회로들(4503a 및 4503b), 상기 주사선 구동 회로들(4504a 및 4504b), 또는 상기 화소부(4502)에 FPC들(4518a 및 4518b)을 통해 공급된다.
- [0214] 접속 단자 전극(4515)이 상기 발광 소자(4511)에 포함된 상기 제 1 전극층(4517)과 동일한 도전층을 이용하여 형성된다. 상기 트랜지스터들(4509 및 4510)에 포함된 소스 및 드레인 전극층들과 동일한 도전층을 이용하여 단자 전극(4516)이 형성된다.
- [0215] 상기 접속 단자 전극(4515)은 이방성 도전층(4519)을 통해 FPC(4518a)에 포함된 단자에 전기적으로 접속된다.
- [0216] 상기 발광 소자(4511)로부터 광이 추출되는 방향에 배치되는 상기 제 2 기판은 투광성을 가져야 한다. 그 경우, 유리판, 플라스틱판, 폴리에스테르막 또는 아크릴 수지막과 같은 투광성 재료가 이용된다.
- [0217] 상기 충전제(4507)로서, 질소 또는 아르곤과 같은 불활성 기체 외에도, 자외선 경화성 수지 또는 열경화성 수지가 이용되고, 아크릴, 에폭시 수지 등이 이용될 수 있다. 예를 들면, 질소가 상기 충전제로서 이용될 수 있다.
- [0218] 또한, 필요시, 편광판, 원형 편광판(타원 편광판을 포함), 위상차판( $\lambda/4$ 판 또는  $\lambda/2$ 판)과 같은 광학 막 또는 컬러 필터가 상기 발광 소자의 방출 표면 상에 적합하게 제공될 수 있다.
- [0219] 상기 공정을 통해, 발광 표시 장치(표시 패널) 액체가 제작될 수 있다.
- [0220] 실시형태 2에 기술된 c-축-배향된 산화물 반도체층을 포함하는 상기 트랜지스터는 우수한 결정성을 가진 산화물 반도체층을 포함하고, 높은 전계-효과 이동도를 가진다. 발광 표시 장치가 이 실시형태에서와 같은 트랜지스터를 이용하여 제작될 때, 우수한 표시 특성들을 가진 발광 표시 장치가 실현된다.
- [0221] 이 실시형태는 다른 실시형태들에 기술된 임의의 구조와 적합하게 조합하여 구현될 수 있다.
- [0222] (실시형태 8)
- [0223] 이 실시형태에서, 전자 페이퍼가 반도체 장치의 예로서 기술될 것이다.
- [0224] 실시형태 1 내지 실시형태 3에 기술된 방법에 의해 획득되는 c-축-배향된 산화물 반도체층을 포함하는 트랜지스터가, 전자 잉크가 스위칭 소자에 전기적으로 접속된 소자에 의해 구동되는 전자 페이퍼에 이용될 수 있다. 상기 전자 페이퍼는 또한 전기영동 표시 장치(전기영동 디스플레이)라고 칭해지고, 일반 종이와 동일한 판독성 수준을 가지고, 다른 표시 장치들보다 낮은 전력 소비를 가지고, 얇고 경량으로 만들 수 있다는 이점이 있다.
- [0225] 전기영동 디스플레이들은 다양한 모드들을 가질 수 있다. 예를 들면, 전기영동 디스플레이들은, 용매 또는 용질에 분산된 복수의 마이크로캡슐들을 포함하고, 각각의 마이크로캡슐은 양의 전하를 가진 제 1 입자들 및 음의 전하를 가진 제 2 입자들을 포함한다. 상기 마이크로캡슐들에 전계의 인가에 의해, 상기 마이크로캡슐들의 상기 입자들은 서로 반대 방향들로 이동하고, 한 측면 상에 모인 상기 입자들의 컬러만이 표시된다. 상기 제 1 입자들 또는 상기 제 2 입자들 각각은 안료를 포함하고, 전계 없이 이동하지 않음을 유념한다. 상기 제 1 입자들 및 상기 제 2 입자들은 상이한 컬러들을 가진다(무색을 포함할 수 있다).
- [0226] 따라서, 전기영동 디스플레이에는 높은 유전 상수를 가진 물질이 높은 전계를 가진 영역으로 이동하는 소위 유전 영동적 효과를 이용한다.

- [0227] 상기 마이크로캡슐들이 용매에서 분산된 용액은 전자 잉크라고 칭해진다. 전자 잉크는 유리, 플라스틱, 섬유, 종이 등의 표면 상에 인쇄될 수 있다. 또한, 안료를 가지는 입자들 또는 컬러 필터의 이용에 의해 컬러 표시가 또한 달성될 수 있다.
- [0228] 또한, 복수의 상기 마이크로캡슐들이 2개의 전극들 사이에 개재되도록 액티브 매트릭스 기판 위에 적합하게 배열되는 경우, 액티브 매트릭스 표시 장치가 완성될 수 있고, 상기 마이크로캡슐들로의 전계의 인가에 의해 화상들이 표시될 수 있다. 예를 들면, 실시형태 2에 기술된 c-축-배향된 산화물 반도체층을 포함하는 상기 트랜지스터들을 이용하여 형성되는 액티브 매트릭스 기판이 이용될 수 있다.
- [0229] 상기 마이크로캡슐들의 상기 제 1 입자들 및 상기 제 2 입자들은 도전 재료, 절연 재료, 반도체 재료, 자기 재료, 액정 재료, 강유전성 재료, 전계발광 재료, 일렉트로크로믹 재료 및 자기영동 재료 중 어느 하나로부터 형성될 수 있거나, 그 복합 재료로부터 형성될 수 있음을 유념한다.
- [0230] 도 11은 반도체 장치의 예로서 액티브 매트릭스 전자 페이퍼를 도시한다. 상기 반도체 장치의 트랜지스터(581)는 실시형태 2에 기술된 상기 트랜지스터의 방식과 유사한 방식으로 제작될 수 있고, c-축-배향된 산화물 반도체층을 포함하는 높은 이동도를 가진 트랜지스터이다. 또한, 절연층(584)은 수소를 함유한 질화물 절연층이고 수소를 상기 c-축-배향된 산화물 반도체층에 공급하기 위해 제공된다.
- [0231] 도 11의 상기 전자 페이퍼는 트위스팅 볼 표시 시스템이 이용되는 표시 장치의 예이다. 상기 트위스팅 볼 표시 시스템은 흑색 및 백색으로 채색된 구형 입자들 각각이 표시 소자에 이용된 전극층들인 제 1 전극층과 제 2 전극층 사이에 배열되고, 상기 구형 입자들의 배향을 제어하기 위해 상기 제 1 전극층과 상기 제 2 전극층 사이에 전위차가 생성되어, 표시가 수행되는 방법을 나타낸다.
- [0232] 제 1 기판(580) 위에 형성된 상기 트랜지스터(581)는 보텀-케이트형 트랜지스터이고, 그 소스 또는 드레인 전극 층이 절연층(585)에 형성된 개구부를 통해 제 1 전극층(587)과 접하고, 그에 의해 상기 트랜지스터(581)가 상기 제 1 전극층(587)에 전기적으로 접속된다. 상기 제 1 전극층(587)과 제 2 기판(596) 상에 제공되는 상기 제 2 전극층(588) 사이에, 구형 입자들(589)이 제공된다. 상기 구형 입자들(589)은 수지와 같은 재료로 이루어진 충전제(595)에 의해 둘러싸인다. 상기 구형 입자들(589)에서의 캐비티(594)가 액체로 채워지고, 또한 흑색 영역(590a) 및 백색 영역(590b)을 가진 입자를 포함한다.
- [0233] 상기 제 1 전극층(587)은 화소 전극에 대응하고, 상기 제 2 전극층(588)은 공통 전극에 대응한다. 상기 제 2 전극층(588)은 상기 트랜지스터(581)와 동일한 절연 기판 위에 제공된 공통 전위선에 전기적으로 접속된다. 공통 접속부의 이용으로, 상기 제 2 전극층(588)은 한 쌍의 기판들 사이에 제공된 도전성 입자들을 통해 상기 공통 전위선에 전기적으로 접속될 수 있다.
- [0234] 또한, 상기 트위스팅 볼 대신에, 전기영동 소자가 이용될 수 있다. 투명 액체, 양으로 대전된 백색 마이크로입자들 및 음으로 대전된 흑색 마이크로입자들이 캡슐화되는 약  $10\mu\text{m}$  내지  $200\mu\text{m}$ 의 직경을 가진 마이크로캡슐이 이용된다. 상기 제 1 전극층과 상기 제 2 전극층 사이에 제공되는 상기 마이크로캡슐들에서, 상기 제 1 전극층 및 상기 제 2 전극층에 의해 전계가 인가될 때, 상기 백색 마이크로입자들 및 상기 흑색 마이크로입자들이 서로 반대측들로 이동하여, 백색 또는 흑색이 표시될 수 있다. 이 원리를 이용한 표시 소자가 전기영동 표시 소자이고, 일반적으로 전자 페이퍼라고 칭해진다.
- [0235] 상기 공정을 통해, 전자 페이퍼가 제작될 수 있다.
- [0236] 이 실시형태에서, 실시형태 2에 기술된 c-축-배향된 산화물 반도체층을 포함하는 상기 트랜지스터의 이용으로, 소위 전자 페이퍼가 제작된다. 상기 트랜지스터는 우수한 결정성을 가진 산화물 반도체층을 포함하고 높은 전계-효과 이동도를 가진다. 전자 페이퍼가 상기 트랜지스터를 이용하여 제작될 때, 우수한 표시 특성들을 가진 전자 페이퍼가 실현될 수 있다.
- [0237] 이 실시형태는 다른 실시형태들에 기술된 임의의 구조와 적합하게 조합하여 구현될 수 있다.
- [0238] (실시형태 9)
- [0239] 이 명세서에 개시된 상기 반도체 장치는 다양한 전자 기기들(게임기들을 포함)에 적용될 수 있다. 이러한 전자 기기들의 예들은 텔레비전 장치(또한 텔레비전 또는 텔레비전 수신기라고 칭해짐), 컴퓨터 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화 세트(또한 휴대 전화 또는 휴대 전화 장치라고 칭해짐), 휴대용 게임 콘솔, 휴대 정보 단말기, 오디오 재생 장치, 핀볼 머신과 같은 대형 게임기 등이다.

- [0240] 이 실시형태에서, 실시형태 6 내지 실시형태 8 중 어느 것에서 획득될 수 있는 표시 장치를 포함하는 전자 기기의 예들이 도 12a 내지 도 12e 및 도 13을 참조하여 기술될 것이다.
- [0241] 도 12a는 적어도 표시 장치를 구성요소로서 포함하고 또한 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등을 포함하는 노트북 개인용 컴퓨터를 도시한다. 이 노트북 개인용 컴퓨터는 실시형태 6에 기술된 상기 액정 표시 장치를 포함함을 유념한다.
- [0242] 도 12b는 적어도 표시 장치를 구성요소로서 포함하는 휴대 정보 단말기(개인용 휴대 정보 단말기, PDA)를 도시한다. 본체(3021)에는 표시부(3023), 외부 인터페이스(3025), 조작 버튼(3024) 등이 구비된다. 또한, 스타일러스(3022)가 조작을 위한 액세서리로서 제공된다. 이 휴대 정보 단말 장치는 실시형태 7에 기술된 발광 표시 장치를 포함함을 유념한다.
- [0243] 도 12c는 실시형태 8에 기술된 상기 전자 페이퍼를 구성요소로서 포함하는 전자 서적이다. 도 12c는 전자 서적의 예를 도시한다. 예를 들면, 상기 전자 서적(2700)은 2개의 하우징들, 하우징(2701) 및 하우징(2703)을 포함한다. 상기 하우징(2701) 및 상기 하우징(2703)은 상기 전자 서적(2700)이 헌지(2711)로 개폐될 수 있도록 상기 헌지(2711)와 결합된다. 이러한 구조로, 상기 전자 서적(2700)은 종이 서적처럼 다루어질 수 있다.
- [0244] 표시부(2705) 및 표시부(2707)가 상기 하우징(2701) 및 상기 하우징(2703)에 각각 내장된다. 상기 표시부(2705) 및 상기 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 상기 표시부(2705) 및 상기 표시부(2707) 상에 상이한 화상들이 표시될 때, 우측 표시부(도 12c의 상기 표시부(2705))가 텍스트를 표시할 수 있고, 좌측 표시부(도 12c의 상기 표시부(2707))가 화상들을 표시할 수 있다.
- [0245] 도 12c는 하우징(2701)에 조작부 등이 구비되는 예를 도시한다. 예를 들면, 상기 하우징(2701)에는 전력 스위치(2721), 조작 키들(2723), 스피커(2725) 등이 구비된다. 페이지들은 상기 조작 키들(2723)로 넘겨질 수 있다. 키보드, 포인팅 디바이스 등이 또한 상기 하우징의 상기 표시부와 동일한 표면 상에 제공될 수 있음을 유념한다. 또한, 외부 접속 단자(예를 들면 이어폰 단자 또는 USB 단자), 저장 매체 삽입부 등이 상기 하우징의 후면 또는 측면 상에 제공될 수 있다. 또한, 상기 전자 서적(2700)은 전자 사전의 기능을 가질 수 있다.
- [0246] 상기 전자 서적(2700)은 데이터를 무선으로 송수신하도록 구성될 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 도서 데이터 등이 구매될 수 있거나 다운로드될 수 있다.
- [0247] 도 12d는 적어도 표시 장치를 구성요소로서 포함하고 2개의 하우징들 하우징(2800) 및 하우징(2801)을 포함하는 휴대 전화를 도시한다. 상기 하우징(2801)은 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라(2807), 외부 접속 단자(2808) 등을 포함한다. 상기 하우징(2800)에는 상기 휴대 전화를 충전하기 위한 태양 전지(2810), 외부 메모리 슬롯(2811) 등이 구비된다. 또한, 안테나가 상기 하우징(2801)에 내장된다.
- [0248] 또한, 상기 표시 패널(2802)에는 터치 스크린이 구비된다. 표시되는 복수의 조작 키들(2805)이 도 12d에서 점선으로 표시된다. 승압 회로가 각각의 회로에 요구된 전압으로 상기 태양 전지(2810)로부터의 출력 전압을 승압하기 위해 장착됨을 유념한다.
- [0249] 상기 표시 패널(2802)에서, 표시 배향이 사용 모드에 의존하여 적합하게 변경될 수 있다. 또한, 상기 카메라(2807)는 상기 표시 패널(2802)과 동일한 평면에 제공되고, 따라서 상기 휴대 전화가 비디오폰 호출들에 이용될 수 있다. 상기 스피커(2803) 및 상기 마이크로폰(2804)은 음성 호출들에 제한되지 않고, 비디오폰 호출들, 기록 및 사운드 재생 등에 이용될 수 있다. 또한, 도 12d에 전개된 하우징들(2800 및 2801)은 하나가 다른 하나 위에 겹치도록 슬라이딩될 수 있고, 따라서 상기 휴대 정보 단말기의 크기가 감소될 수 있고, 이것은 휴대 전화가 휴대하기에 적합하게 한다.
- [0250] 상기 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블과 같은 다양한 종류들의 케이블들에 접속될 수 있어서, 상기 개인용 컴퓨터 등의 충전 및 이와의 데이터 통신이 가능하다. 또한, 대용량의 데이터가 저장될 수 있고 상기 외부 메모리 슬롯(2811)으로 삽입되는 저장 매체로 이동될 수 있다.
- [0251] 상기 기능들 외에도, 상기 휴대 전화는 적외선 통신 기능, 텔레비전 수신 기능 등을 가질 수 있다.
- [0252] 도 12e는 적어도 표시 장치를 구성요소로서 포함하고, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등을 포함하는 디지털 카메라를 도시한다.
- [0253] 도 13은 텔레비전 세트의 예를 도시한다. 상기 텔레비전 세트(9600)에서, 표시부(9603)가 하우징(9601)에 내장

된다. 상기 표시부(9603)는 화상들을 표시할 수 있다. 여기서, 상기 하우징(9601)은 스텐드(9605)에 의해 지지된다.

[0254] 상기 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 별도의 원격 제어기(9610)에 의해 조작될 수 있다. 상기 원격 제어기(9610)의 조작 키들(9609)로 채널들이 스위칭될 수 있고 볼륨이 제어될 수 있고, 그에 의해 상기 표시부(9603) 상에 표시된 화상이 제어될 수 있다. 또한, 상기 원격 제어기(9610)에는 상기 원격 제어기(9610)로부터 출력된 데이터를 표시하기 위한 표시부(9607)가 구비될 수 있다.

[0255] 상기 텔레비전 세트(9600)에는 수신기, 모뎀 등이 구비됨을 유념한다. 일반 텔레비전 방송들이 상기 수신기로 수신될 수 있다. 또한, 상기 표시 장치가 상기 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신기에서 수신기로) 또는 양방향(송신기와 수신기 사이 및 수신기들 사이) 정보 통신이 수행될 수 있다.

[0256] 상기 표시부(9603)에서, 실시형태 2에 기술된 복수의 트랜지스터들이 화소들의 스위칭 소자들로서 제공된다. 상기 표시부(9603)와 동일한 절연 기판 위에 형성된 구동 회로에서, 실시형태 2에 기술된 높은 이동도를 가진 트랜지스터가 제공된다.

[0257] 이 실시형태는 다른 실시형태들에 기술된 임의의 구조와 적합하게 조합하여 구현될 수 있다.

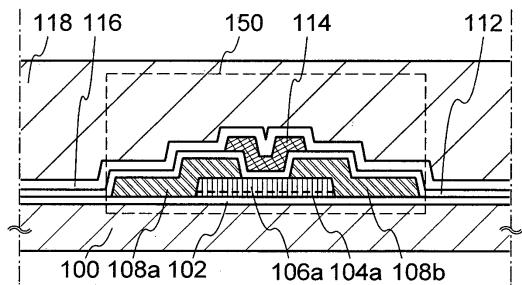
[0258] 이 출원은 2009년 12월 18일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2009-288245호에 기초하고, 그 전체 내용들은 본 명세서에 참조로서 포함된다.

## 부호의 설명

[0259] 100: 기판, 102: 절연층, 104: 산화물 반도체층, 105: 산화물 반도체층, 106: 산화물 반도체층, 108: 도전층, 112: 게이트 절연층, 114: 게이트 전극층, 116: 층간 절연층, 118: 층간 절연층, 150: 트랜지스터, 200: 기판, 206: 소자 분리 절연층, 214: 불순물 영역, 216: 채널 형성 영역, 218: 측벽 절연층, 220: 고농도 불순물 영역, 224: 금속 화합물 영역, 226: 층간 절연층, 228: 층간 절연층, 234: 절연층, 250: 트랜지스터, 256: 절연층, 300: 트랜지스터, 302: 트랜지스터, 400: 기판, 401: 게이트 전극층, 402: 게이트 절연층, 404: 산화물 반도체층, 406: 산화물 반도체층, 412: 산화물 절연층, 414: 전극층, 416: 층간 절연층, 418: 층간 절연층, 450: 트랜지스터, 451: 트랜지스터, 500: 기판, 501: 게이트 전극층, 502: 게이트 절연층, 516: 층간 절연층, 518: 층간 절연층, 520: 산화물 절연층, 550: 트랜지스터, 581: 트랜지스터, 583: 절연층, 584: 절연층, 587: 전극층, 588: 전극층, 594: 캐비티, 595: 충전제, 104a: 제 1 산화물 반도체층, 106a: 제 2 산화물 반도체층, 108a: 소스 전극층, 108b: 드레인 전극층, 208a: 게이트 절연층, 210a: 게이트 전극층, 230a: 드레인 전극층, 230b: 드레인 전극층, 230c: 전극, 236a: 전극, 236b: 전극, 236c: 전극, 254a: 전극, 254b: 전극, 254c: 전극, 254d: 전극, 254e: 전극, 258a: 전극, 258b: 전극, 258c: 전극, 258d: 전극, 404a: 제 1 산화물 반도체층, 406a: 제 2 산화물 반도체층, 408a: 소스 전극층, 408b: 드레인 전극층, 504a: 제 1 산화물 반도체층, 506a: 제 2 산화물 반도체층, 508a: 소스 전극층, 508b: 드레인 전극층, 590a: 흑색 영역, 590b: 백색 영역, 2700: 전자 서적, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 헌지, 2721: 전력 스위치, 2723: 조작 키, 2725: 스피커, 2800: 하우징, 2801: 하우징, 2802: 표시 패널, 2803: 스피커, 2804: 마이크로폰, 2805: 조작 키, 2806: 포인팅 디바이스, 2807: 카메라, 2808: 외부 접속 단자, 2810: 태양 전지, 2811: 외부 메모리 슬롯, 3001: 본체, 3002: 하우징, 3003: 표시부, 3004: 키보드, 3021: 본체, 3022: 스타일러스, 3023: 표시부, 3024: 조작 버튼, 3025: 외부 인터페이스, 3051: 본체, 3053: 접안부, 3054: 조작 스위치, 3055: 표시부(B), 3056: 배터리, 3057: 표시부(A), 4001: 제 1 기판, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 씰재, 4006: 제 2 기판, 4008: 액정층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 소자, 4014: 절연층, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전층, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4040: 도전층, 4501: 기판, 4502: 화소부, 4505: 씰재, 4506: 기판, 4507: 충전제, 4509: 트랜지스터, 4510: 트랜지스터, 4511: 발광 소자, 4512: 전계발광층, 4513: 전극층, 4514: 보호 절연층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 전극층, 4519: 이방성 도전층, 4520: 파티션, 4540: 도전층, 4541: 절연층, 4544: 절연층, 4503a: 신호선 구동 회로, 4504a: 주사선 구동 회로, 4518a: FPC, 9600: 텔레비전 장치, 9601: 하우징, 9603: 표시부, 9605: 스텐드, 9607: 표시부, 9609: 조작 키, 9610: 원격 제어

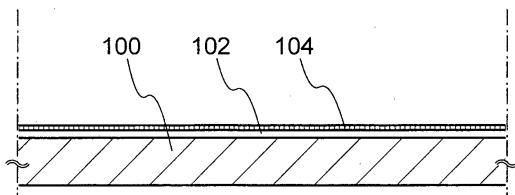
## 도면

## 도면1

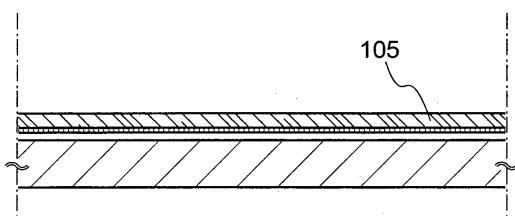


## 도면2

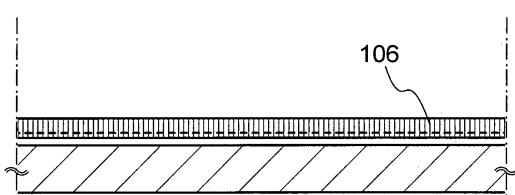
(a)



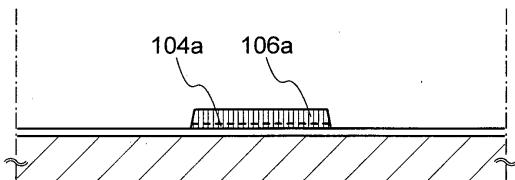
(b)



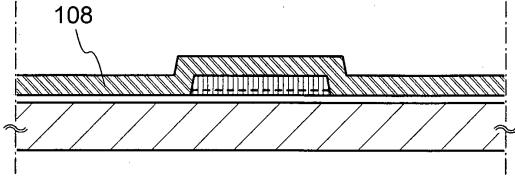
(c)



(d)

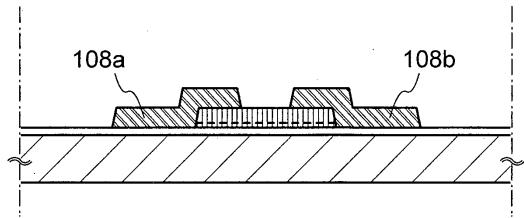


(e)

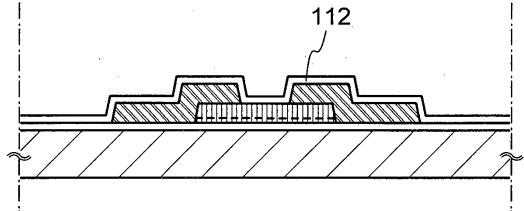


도면3

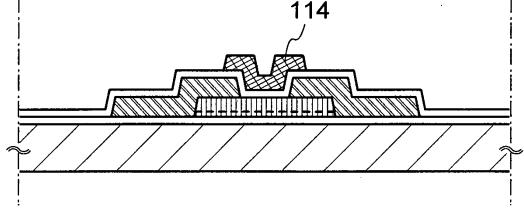
(a)



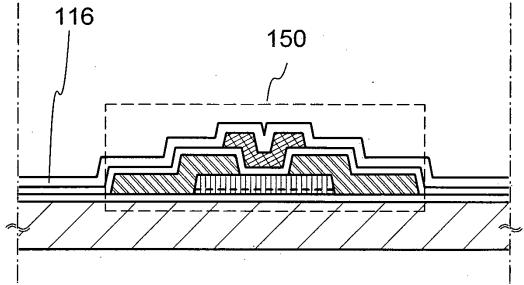
(b)



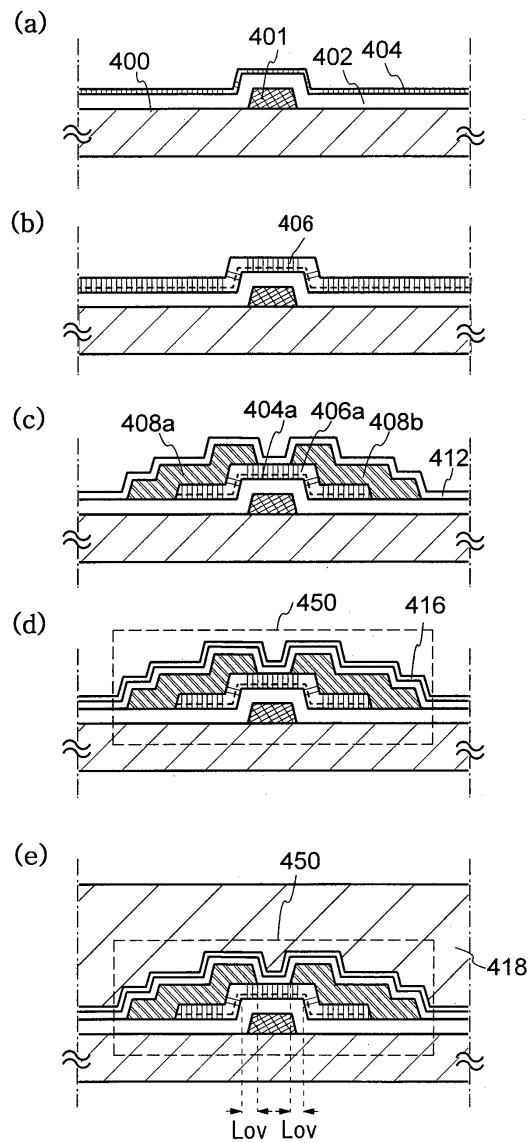
(c)



(d)

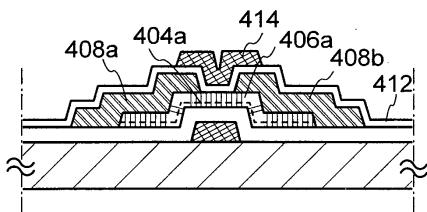


## 도면4

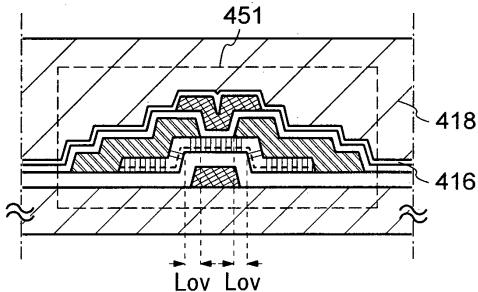


## 도면5

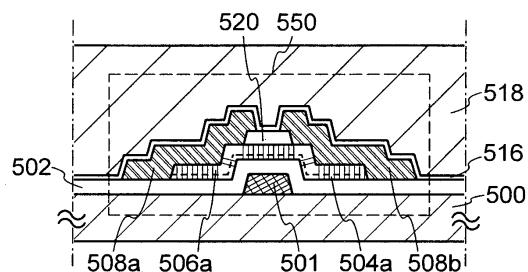
(a)



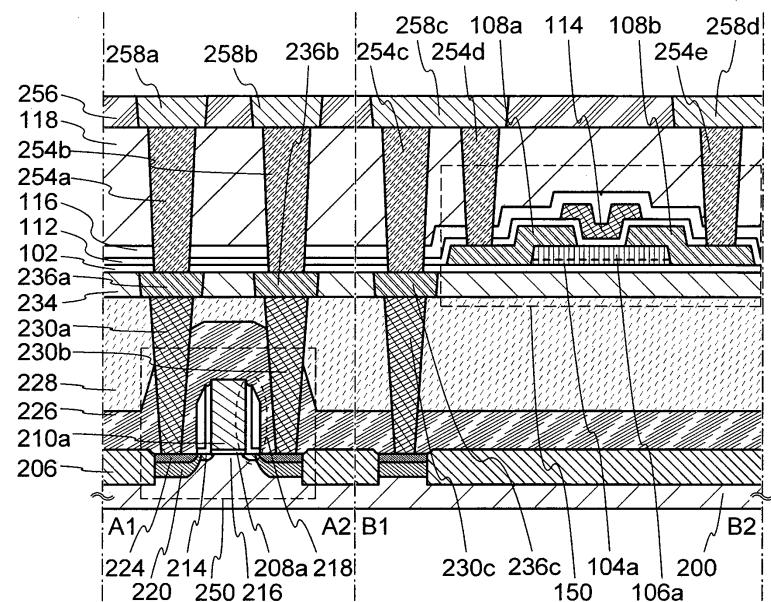
(b)



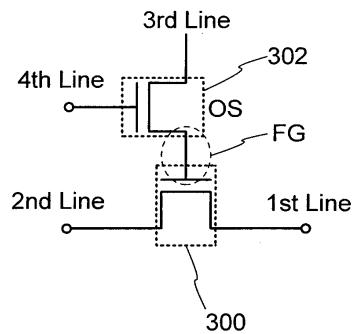
## 도면6



## 도면7

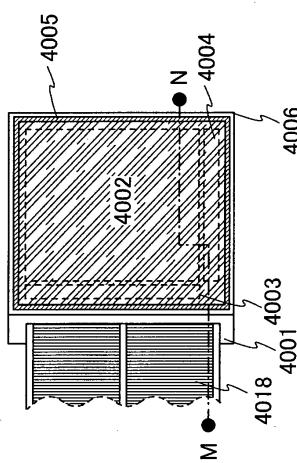


도면8

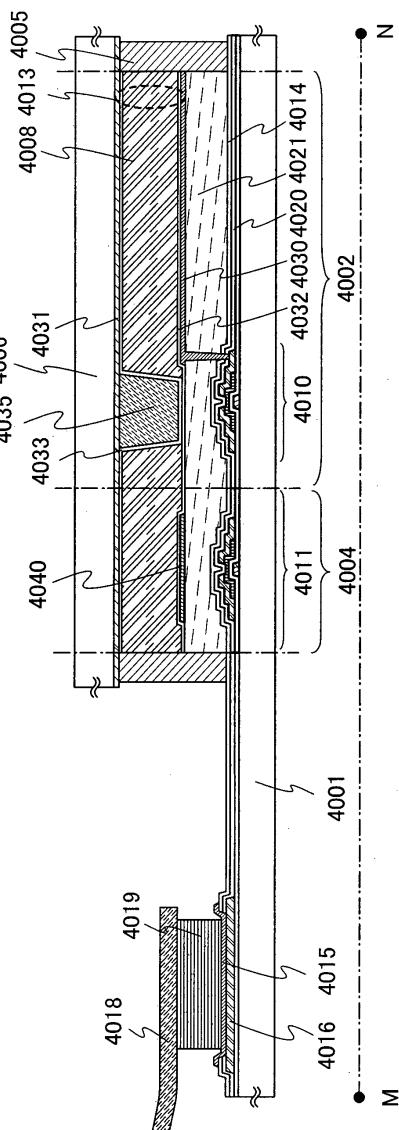


도면9

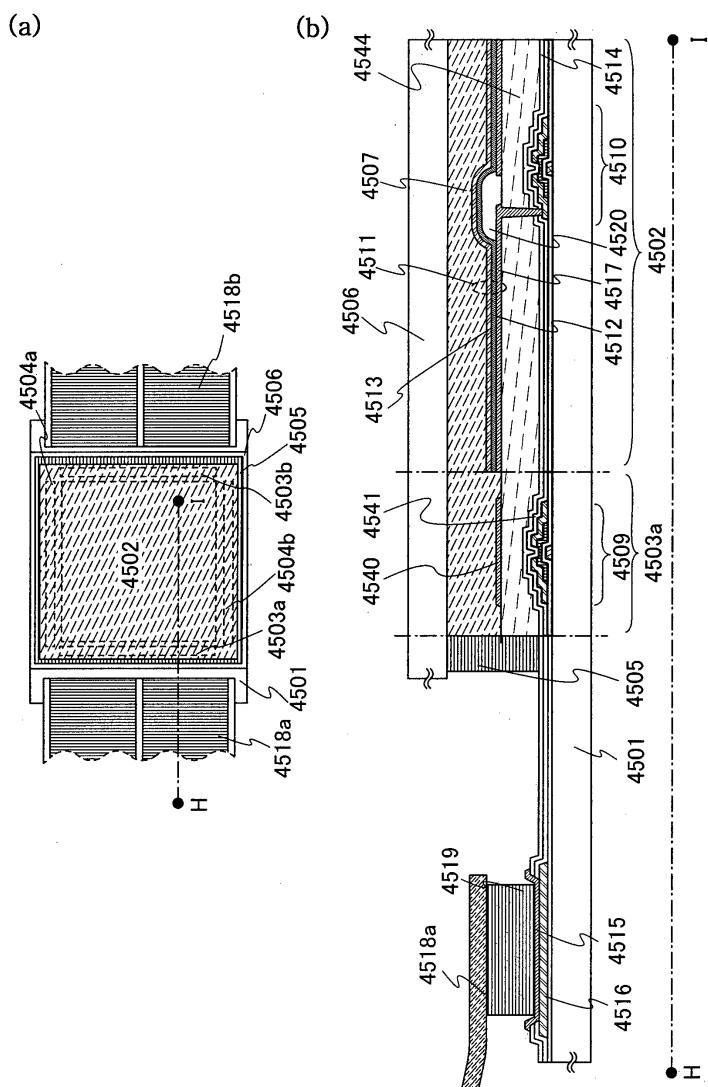
(a)



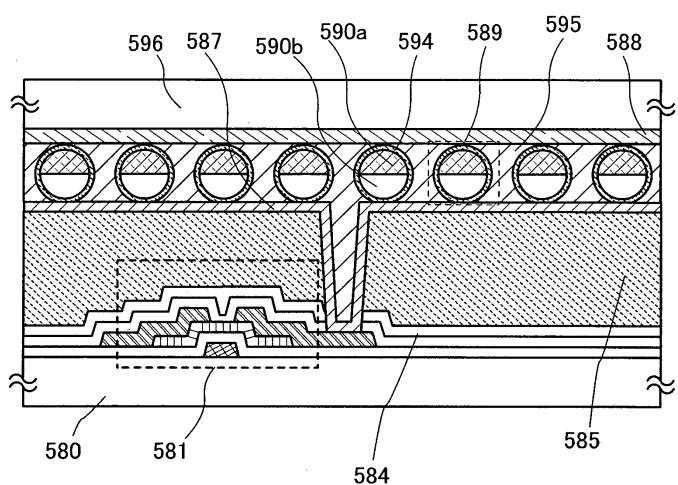
(b)



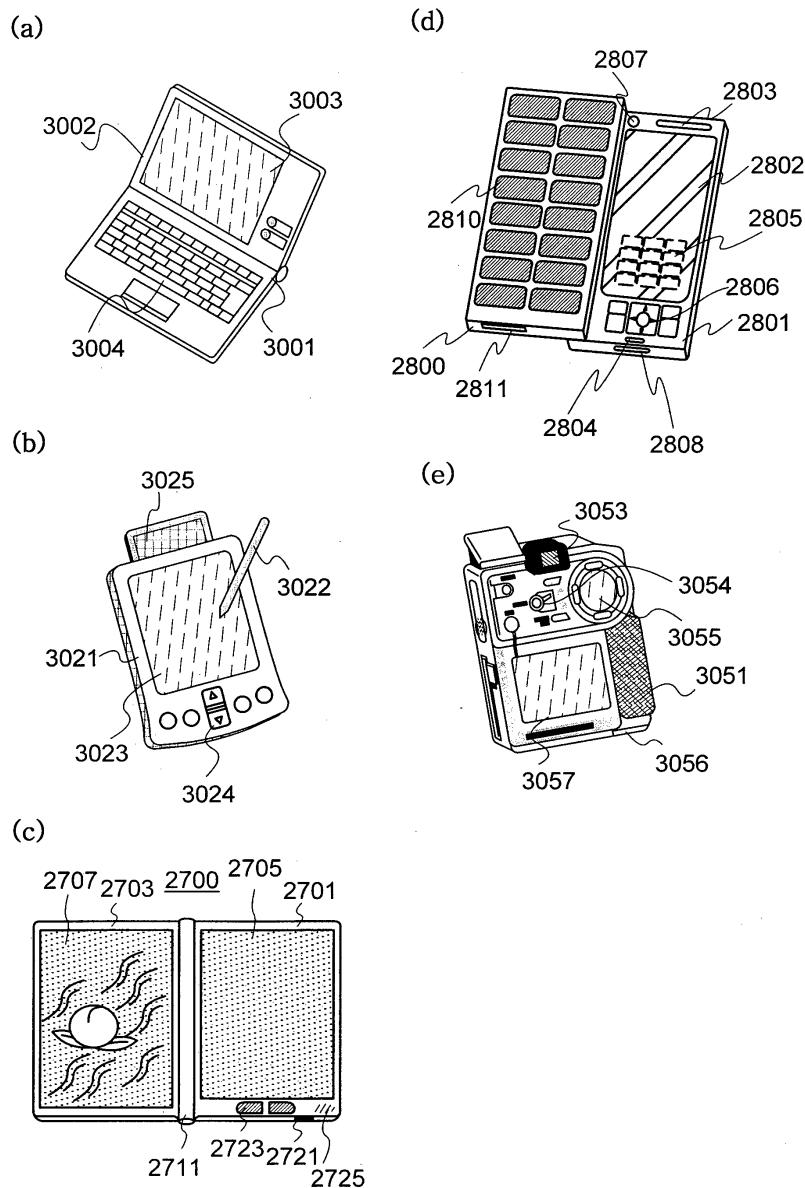
## 도면10



도면11



**도면12**



**도면13**

