

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610154854.0

[51] Int. Cl.

G06F 3/06 (2006.01)

G11C 16/00 (2006.01)

G11C 7/00 (2006.01)

[45] 授权公告日 2009年8月19日

[11] 授权公告号 CN 100530070C

[22] 申请日 2006.11.24

[21] 申请号 200610154854.0

[73] 专利权人 骆建军

地址 310012 浙江省杭州市拱墅区大关西
三苑12幢1单元301室

共同专利权人 赵刚

[72] 发明人 骆建军 赵刚

[56] 参考文献

CN2676291Y 2005.2.2

US20050097263A1 2005.5.5

US5663901A 1997.9.2

CN1351351A 2002.5.29

审查员 俞晨

[74] 专利代理机构 杭州天勤知识产权代理有限公司

代理人 胡红娟

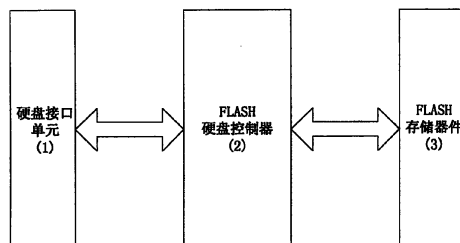
权利要求书2页 说明书6页 附图3页

[54] 发明名称

基于 FLASH 的硬盘

[57] 摘要

本发明公开了一种体积小、重量轻、耗电省、发热量低、无运行噪声、抗震性强的基于 FLASH 的硬盘，包括 FLASH 存储器件、FLASH 硬盘控制器和硬盘接口单元，FLASH 硬盘控制器由接口电路模块、数据缓存器、CPU 和若干个 FLASH 控制器模块组成，各 FLASH 控制器模块一端对应连接 FLASH 存储器件的一个 FLASH 存储器，另一端并行接入数据缓存器和 CPU。本发明采用体积小、重量轻的 FLASH 取代了传统硬盘所使用的磁介质，同时完全废除了传统硬盘笨重的机械结构，降低了运行功耗和发热量，消除了机械噪声，同时又能达到传统硬盘的读写速度和性能，并在接口上保持了传统硬盘的接口，具有良好的系统兼容性。



1. 一种基于 FLASH 的硬盘，能兼容现有硬盘规范，具备硬盘规范定义的接口信号和传输速度，其特征在于包括：

FLASH 存贮器件（3），由若干个 FLASH 存贮器（31）级连构成，用于存贮数据；

FLASH 硬盘控制器（2），由接口电路模块（21）、数据缓存器（22）、CPU（23）和若干个 FLASH 控制器模块（24）组成，各 FLASH 控制器模块（24）一端对应连接 FLASH 存贮器件（3）的一个 FLASH 存贮器（31），另一端并行接入数据缓存器（22）和 CPU（23），控制 FLASH 存贮器件（3）和对应主机间的数据交换，管理 FLASH 存贮器件（3）完成正确的数据存贮或访问，主机对 FLASH 硬盘进行写操作时，各个 FLASH 控制模块（24）对相应的 FLASH 存贮器（31）进行数据传输速度的性能评估并反馈给 CPU（23），CPU（23）根据接受到的反馈数据来决定应该分配给各个 FLASH 控制器模块（24）的数据带宽，然后将来自数据缓存器（22）的数据经协调后交付于各 FLASH 控制器模块（24），FLASH 控制器模块（24）对接收到的数据写入 FLASH 存贮器（31），主机对硬盘进行读操作时，通过 CPU（23）将各 FLASH 控制器模块（24）读取的数据流进行汇集，送入数据缓存器（22），最后通过硬盘接口单元（1）传送给主机；

硬盘接口单元（1），其一端与接口电路模块（21）相连，采用和接口电路模块（21）对应的接口规范，另一端用于连接主机，完成硬盘与主机间的数据通讯和数据格式转换。

2. 如权利要求 1 所述的硬盘，其特征在于：所述的 FLASH 硬盘控制器（2）可以是一个单芯片的集成电路，也可以由多个集成电路组合集成。

3. 如权利要求 1 所述的硬盘，其特征在于：所述的 FLASH 控制器模块（24）可以设置嵌入式 CPU，嵌入式 CPU 加载控制软件，通过嵌入式 CPU 运行控制软件来控制相应的逻辑电路，以帮助实现管理通道数据流和支持算法。

4. 如权利要求 1 所述的硬盘，其特征在于：所述的硬盘接口单元（1）和接口电路模块（21）采用 IDE ATA 接口标准或 SATA 接口标准。

5. 如权利要求 1 所述的硬盘，其特征在于：所述的各 FLASH 控制器

模块（24）内均设定有若干算法，包括：

映射 Mapping 算法, 用于实现 FLASH 存储器中逻辑块和物理块间有效映射, 保证读写数据的各逻辑块可以对应到无缺陷的物理块, 以保证数据的可靠性和完整性;

疲劳控制 Wearing 算法, 用于均衡 FLASH 存储器（31）中逻辑位置地址的读写概率, 以提高 FLASH 存储器的使用寿命;

ECC 算法, 用于完成对 FLASH 存储器（31）读取数据时的错误检测和修正, 控制位错误比率。

6. 如权利要求 1 所述的硬盘, 其特征在于: 硬盘与对应主机间的数据读写过程如下:

主机对 FLASH 硬盘进行写操作时, 数据经硬盘接口单元（1）传输至数据缓存器（22）, 各 FLASH 控制模块（24）对相应的 FLASH 存储器（31）进行数据传输速度的性能评估并反馈给 CPU（23）, CPU（23）根据接受到的反馈数据来决定应该分配给各个 FLASH 控制模块的数据带宽, 然后将来自数据缓存器（22）的数据经协调后交付于各 FLASH 控制器模块（24）, FLASH 控制器模块（24）对接收到的数据进行相应的 ECC 处理、地址映射后写入对应的 FLASH 存储器（31）;

主机对 FLASH 硬盘进行读操作时, 各 FLASH 控制器模块（24）负责对对应的 FLASH 存储器（31）进行数据读取, 通过 CPU（23）将各 FLASH 控制器模块（24）读取的数据流进行汇集, 送入数据缓存器（22）, 最后通过硬盘接口单元（1）传送给主机。

基于 FLASH 的硬盘

技术领域

本发明涉及一种数据存储设备，尤其是指一种基于 FLASH 的硬盘。

背景技术

硬盘作为计算机的一个重要组成部分，从诞生以来经过不断的革新和改进，其技术和性能都已经非常的成熟和完善。

传统的硬盘是由盘头组件（Hard Disk Assembly，简称 HDA）构成的核心封装在硬盘的净化腔体内，包括浮动磁头组件、磁头驱动机构、盘片及主轴驱动机构、前置读写控制电路等。其中对硬盘技术的更新换代起重要作用的主要有磁头、电机、盘片和接口：

磁头技术是硬盘技术更新换代的重要技术之一，现在的硬盘单碟容量一般都在 10GB 以上，最高的单碟容量已经达到了 20GB，以后硬盘的单碟容量还将继续增大，而磁头技术对单碟容量的增大起着直接的作用，磁头技术越先进，硬盘的单碟容量就可以做得更高。

电机技术直接影响着硬盘转速的大小。当然在提高硬盘主轴转速的同时需要考虑得是硬盘的发热量及振动问题，以及硬盘的工作噪声问题。所以电机技术直接决定着硬盘的快慢、工作温度及工作噪声等。

在硬盘磁头、电机及接口不断更新的过程中，存储数据的盘片也在更新，早期的硬盘盘片一般都是使用塑料材料作为盘片基质，然后在塑料基质上涂上磁性材料构成。而最新的硬盘盘片则是采用玻璃材料作为盘片基质，能使硬盘平滑性更好，坚固性更高，此外玻璃材料在硬盘高转速时具有更高的稳定性。

硬盘接口技术一直深受关注，随着电脑其他配件（如中央处理单元、内存、显示等子系统）性能的大步迈进，硬盘接口的传输率越来越体现出它在整个电脑系统的瓶颈效应，硬盘接口越来越受到人们的关注。硬盘接口从最早的 ST-506/412 接口，经过 ESDI (Enhanced Small Drive Interface 加强型小型设备界面)、IDE (Integrated Drive Electronics 电子集成驱动器-也可称之为 ATA (Advanced Technology Attachment)) 到最新的

SATA(Serial ATA 串行 ATA), 传输率也相应的由最早的低于 10Mbps, 到现在的 150MB/s。

由上可见, 传统硬盘在很大程度上依赖于其内部机械设备的运作, 这也决定了传统硬盘在体积、耗电、发热量、防震等方面有着先天性的不足, 虽然随着技术的更新可以不断进行改善, 但始终无法从根本上解决问题。即便是日立公司推出的 1 英寸微硬盘(Micro drive), 使得硬盘的体积大为缩小, 但是其制作工艺复杂、容量有限, 其结构也仅仅是对传统硬盘的缩小化, 并没有从根本上解决上述问题。

另一方面, 随着闪存器件容量的增加和价格的不断下降, 基于与非门闪存(NAND FLASH)工艺的 1GByte (1G = 1000M)、2GByte 的单颗 FLASH 芯片工艺已经非常成熟, 未来单颗 FLASH 存储器容量还将按摩尔定理继续不断上升。目前多颗 FLASH 级联或者并联在一起已经可以达到 16GByte 甚至更高容量。FLASH 容量的不断增大, 同时伴随着价格的不断下降, 使得的 FLASH 硬盘的实现成为可能。

发明内容

本发明提供了一种体积小、重量轻、耗电省、发热量低、无运行噪声、抗震性强的基于 FLASH 的硬盘, 该硬盘能兼容现有硬盘规范, 具备硬盘规范定义的接口信号和传输速度。

一种基于 FLASH 的硬盘, 能兼容现有硬盘规范, 具备硬盘规范定义的接口信号和传输速度, 包括:

FLASH 存储器件, 由若干个 FLASH 存储器级连构成, 用于存储数据;

FLASH 硬盘控制器, 由接口电路模块、数据缓存器、CPU 和若干个 FLASH 控制器模块组成, 各 FLASH 控制器模块一端对应连接 FLASH 存储器件的一个 FLASH 存储器, 另一端并行接入数据缓存器和 CPU, 控制 FLASH 存储器件和对应主机间的数据交换, 管理 FLASH 存储器件完成正确的数据存储或访问, 各 FLASH 控制器模块在 CPU 协调下并行工作, 能够同时对这个这些 FLASH 控制器模块分别对应的多个 FLASH 存储器进行读写;

硬盘接口单元, 其一端与接口电路模块相连, 采用和接口电路模块对应的接口规范, 另一端用于连接主机, 完成硬盘与主机间的数据通讯和数据格式转换。

所述的 FLASH 硬盘控制器可以是一个单芯片的集成电路,也可以由多个集成电路组合集成。

所述的 FLASH 控制器模块可以设置嵌入式 CPU, 嵌入式 CPU 加载控制软件, 通过嵌入式 CPU 运行控制软件来控制相应的逻辑电路, 以帮助实现管理通道数据流和支持算法。

所述的硬盘接口单元和接口电路模块采用 IDE (ATA) 接口标准或 SATA 接口标准。

所述的各 FLASH 控制器模块内均设定有若干算法, 包括:

映射 (Mapping) 算法, 用于实现 FLASH 存储器中逻辑块和物理块间有效映射, 保证读写数据的各逻辑块可以对应到无缺陷的物理块, 以保证数据的可靠性和完整性;

疲劳控制 (Wearing) 算法, 用于均衡 FLASH 存储器中逻辑位置地址的读写概率, 以提高 FLASH 存储器的使用寿命;

ECC 算法, 用于完成对 FLASH 存储器读取数据时的错误检测和修正, 控制位错误比率。

硬盘与对应主机间数据读写过程如下:

主机对 FLASH 硬盘进行写操作时, 数据经硬盘接口单元传输至数据缓存器, 各 FLASH 控制模块对相应的 FLASH 存储器进行数据传输速度的性能评估并反馈给 CPU, CPU 根据接受到的反馈数据来决定应该分配给各个 FLASH 控制模块的数据带宽, 然后将来自数据缓存器的数据经协调后交付于各 FLASH 控制器模块, FLASH 控制器模块对接收到的数据进行相应的 ECC 处理、地址映射后写入对应的 FLASH 存储器;

主机对 FLASH 硬盘进行读操作时, 各 FLASH 控制器模块负责对对应的 FLASH 存储器进行数据读取, 通过 CPU 将各 FLASH 控制器模块读取的数据流进行汇集, 送入数据缓存器, 最后通过硬盘接口单元传送给主机。

本发明基于 FLASH 的硬盘采用体积小、重量轻的 FLASH 作为存储介质, 取代了传统硬盘所使用的磁介质, 同时完全废除了传统硬盘所使用的笨重的机械结构, 极大的降低了运行功耗和发热量, 消除了传统硬盘机械结构运行所导致的机械噪声, 同时又能达到传统硬盘的读写速度和性能, 并且在接口上保持了传统硬盘的 40 针 IDE 接口(或是使用新的 7 针 SATA 接口), 具有良好的系统兼容性。

附图说明

- 图 1 为本发明的系统结构示意图；
图 2 为本发明的系统结构电气连接示意框图；
图 3 为本发明 FLASH 控制器模块的结构示意框图。

具体实施方式

如图 1、2 所示，一种基于 FLASH 的硬盘，能兼容现有硬盘规范，具备硬盘规范定义的接口信号和传输速度，包括：

FLASH 存贮器件 3，由若干个 FLASH 存贮器 31 级连构成，用于存贮数据；

FLASH 硬盘控制器 2，由接口电路模块 21、数据缓存器 22、CPU23 和若干个 FLASH 控制器模块 24 组成，各 FLASH 控制器模块 24 一端对应连接 FLASH 存贮器件 3 的一个 FLASH 存贮器 31，另一端并行接入数据缓存器 22 和 CPU23，控制 FLASH 存贮器件 3 和对应主机间的数据交换，管理 FLASH 存贮器件 3 完成正确的数据存贮或访问，各 FLASH 控制器模块 24 在 CPU23 协调下并行工作，使得这些 FLASH 控制器模块能够同时对多个 FLASH 存贮器 31 进行读写；

硬盘接口单元 1，其一端与接口电路模块 21 相连，采用和接口电路模块 21 对应的接口规范，另一端用于连接主机，完成硬盘与主机间的数据通讯和数据格式转换。

主机对 FLASH 硬盘进行写操作时，数据经硬盘接口单元 1 按照 IDE (ATA) 或 SATA 接口协议传输至数据缓存器 22，各个 FLASH 控制模块 24 对相应的 FLASH 存贮器 31 进行数据传输速度的性能评估并反馈给 CPU23，CPU23 根据接受到的反馈数据来决定应该分配给各个 FLASH 控制器模块 24 的数据带宽，然后将来自数据缓存器 22 的数据经协调后交付于各 FLASH 控制器模块 24，FLASH 控制器模块 24 对接收到的数据进行相应的 ECC 处理、地址映射后写入对应的 FLASH 存贮器 31。

同样，主机对硬盘进行读操作时，各 FLASH 控制器模块 24 负责对相应的 FLASH 存贮器 31 进行数据读取，CPU23 将来自各 FLASH 控制器模块 24 子通道的数据流汇集后，送入数据缓存器 22，最后通过硬盘 IDE 接口

单元 1 传送给主机。

这种方式下,每一 FLASH 控制器模块 24 独立控制一颗或者多颗 FLASH 存贮器 31 构成一子通道,多个 FLASH 控制器模块 24 集合起来,并行处理,IDE 接口高速的数据吞吐量(最高至 150MB/S),被 N 个并行的 FLASH 控制器模块 24 子通道进行处理,每个子通道的数据吞吐量则为主通道的 $1/N$ (数据总线的宽度可以为 4/8/16/32bit)。通过这种数据分散处理的方法,对每个子通道的数据传输率要求就得以降低(理论上,接近于降低到 $(150/N)$ MB/S),整个硬盘控制器具有控制多个 FLASH 并行读写的强大功能,使得单一 FLASH 存贮器有限的速度和容量,有机集成为一个高速度、大容量的整体,弥补了单颗 FLASH 存贮器读写速度和传统硬盘用磁头读写所能达到的速度相比较低的缺陷,同时也解决了 CPU 无法直接同时实现多路 FLASH 存贮器管理需要的 ECC/Mapping 等算法的要求。

如图 3 所示,对应于各子通道的 FLASH 控制器模块 24 可以包括嵌入式(Embedded)CPU,嵌入式 CPU 加载控制软件(或者称为韧体, FIRMWARE),通过嵌入式 CPU 运行该控制软件程序来控制相应的逻辑电路,以帮助实现管理通道数据流和支持算法,这样的优点是灵活性强,可以通过更新 FIRMWARE 来对功能进行调整。FLASH 控制器模块 24 也可以不用嵌入式 CPU 方式实现,而全部用逻辑电路硬件实现,全部用硬件实现相对前者来的简单,但是灵活性较差。

FLASH 控制器模块 24 内设定有若干算法,主要包括:

映射(Mapping)算法,用于管理 FLASH 存贮器 31 的存贮块。由于 NAND FLASH 芯片内所含的存贮单元以页(Page)和块(Block)为基本单位进行操作,并不能够保证每个 Block 出厂后都是无缺陷的。因此,必须用影射算法确保数据存贮在无缺陷的 Block 内。

疲劳控制(Wearing)算法,用于均衡 FLASH 存贮器 31 存贮块的使用寿命。由于 NAND FLASH 每个 Block 被擦除的次数是有限的,目前典型工业界认可的是 10 万次擦写,而 FLASH 内有些逻辑地址可能被频繁改写,而有些逻辑地址可能非常少概率被改写,那些被频繁改写的存贮单元可能很快达到 10 万次改写而使得整个硬盘数据出错。因此,采用 Wearing 算法使得每个物理 Block 尽量得到均等的改写机会,就可以大大增强硬盘和 FLASH 的寿命。

ECC 算法，用于完成对 FLASH 存储器读取数据时的错误检测和修正，控制位错误比率。

具有 DMA(Direct Memory Access 直接存储器访问)通道和 FLASH 读写接口控制逻辑。可以通过 FLASH 芯片的接口发送命令、读取状态、读取/发送数据而不需要经过 CPU 的处理,使用 DMA 通道来直接传输数据可以极大的提高数据的传输速率。

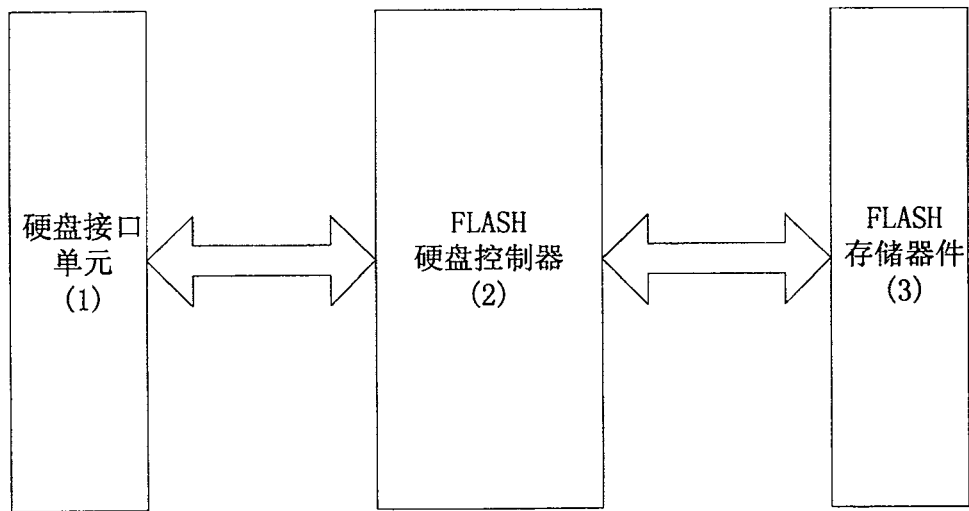


图 1

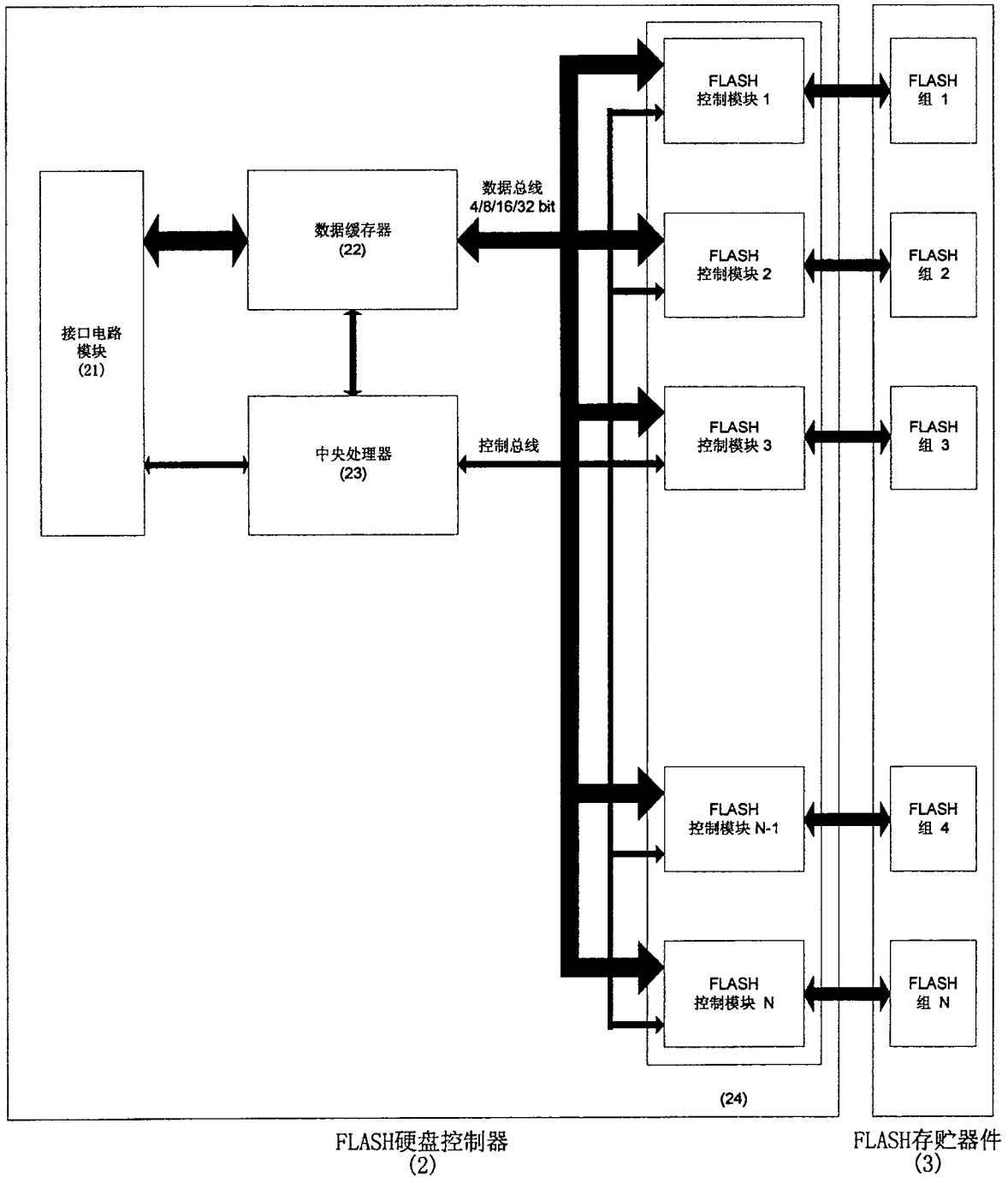


图 2

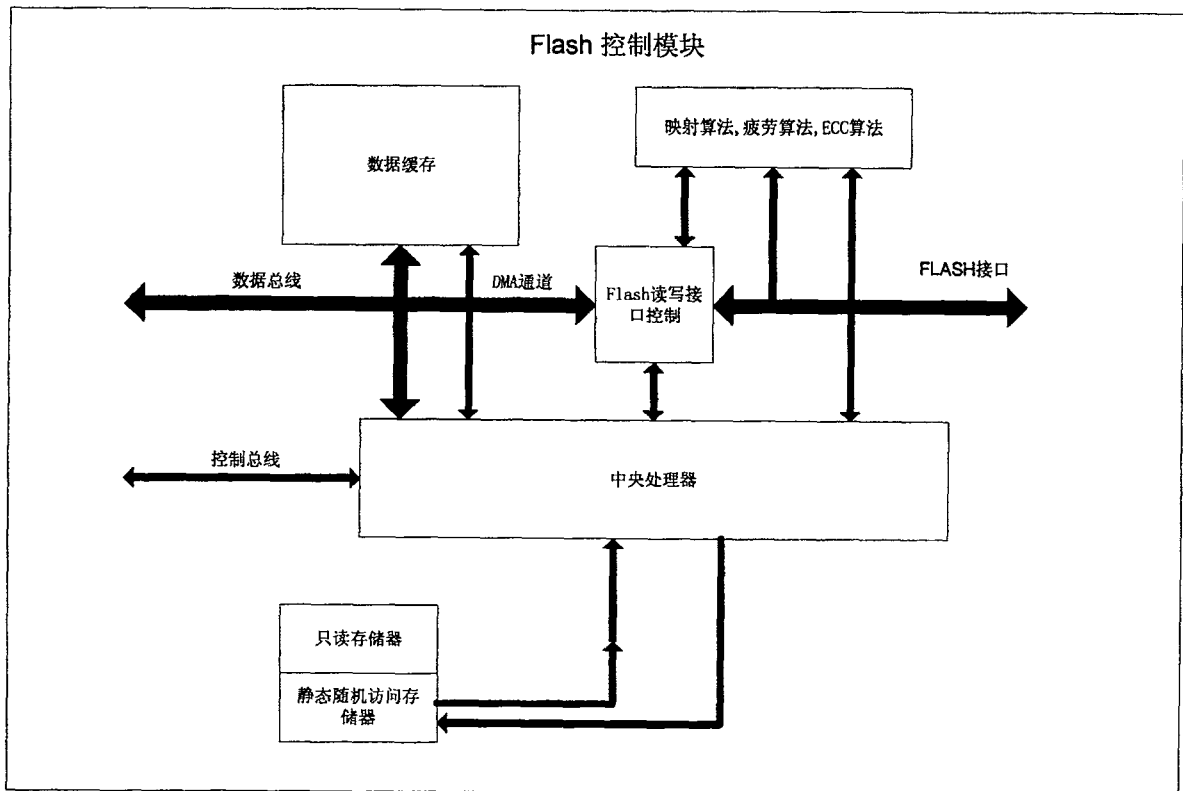


图 3