

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 18 年 12 月 28 日 (2006.12.28)

【公開番号】特開 2005-148085 (P2005-148085A)

【公開日】平成 17 年 6 月 9 日 (2005.6.9)

【年通号数】公開・登録公報 2005-022

【出願番号】特願 2003-380672 (P2003-380672)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

【F I】

G 0 9 G 3/30 K

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 1 1 G

G 0 9 G 3/20 6 2 1 K

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 4 1 E

【手続補正書】

【提出日】平成 18 年 11 月 9 日 (2006.11.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

階調制限回路、メモリ R / W 回路、及び第 1 の可変分周回路を有するメモリコントローラと、メモリと、CPU と、信号線駆動回路と、基準クロック発生回路、第 2 の可変分周回路、クロック発生回路、及び信号線駆動回路用電源制御回路を有するディスプレイコントローラと、を有し、第 1 位ビット乃至第 n (n は自然数) 位ビットのデジタル信号によって、1 フレーム期間において n 階調を表現する第 1 の表示モードと、第 1 位ビット乃至第 n 位ビットのデジタル信号のうち、第 1 位ビット乃至第 m (m は n より小さな自然数) 位ビットのデジタル信号によって、1 フレーム期間において m 階調を表現する第 2 の表示モードを切り換えて表示を行う表示装置の駆動方法であって、

前記メモリコントローラにおいて、

前記 CPU から前記階調制限回路に信号が入力されることによって、前記第 1 の表示モード又は前記第 2 の表示モードに応じた信号が、前記階調制限回路から出力され、

前記階調制限回路から出力された信号に応じて、前記メモリ R / W 回路によって、デジタルビデオ信号を前記メモリに書き込む動作と、またはデジタルビデオ信号を前記メモリから読み出す動作とが選択され、

前記階調制限回路から出力された信号に応じて、前記第 1 の可変分周回路によって、前記メモリのアドレスを選択する信号の周波数を変化させ、

前記ディスプレイコントローラにおいて、

前記 CPU から出力されたクロック信号が、前記基準クロック発生回路に入力されることによって、前記基準クロック発生回路から基準クロックが出力され、

前記基準クロックが前記第 2 の可変分周回路に入力され、

前記 CPU から出力された階調コントロール信号に応じて、前記第 2 の可変分周回路から、周波数を変化させた基準クロックが出力され、

前記CPUから出力された周期信号が前記クロック発生回路に入力され、

前記周波数を変化させた基準クロックに応じて、前記クロック発生回路から、周波数を変化させたクロックパルスとスタートパルスが前記信号線駆動回路に出力され、

前記階調コントロール信号に応じて、前記信号線駆動回路用電源制御回路によって、前記信号線駆動回路に入力される駆動電圧が制御されることを特徴とする表示装置の駆動方法。

【請求項2】

階調制限回路、メモリR/W回路、及び第1の可変分周回路を有するメモリコントローラと、メモリと、CPUと、信号線駆動回路と、基準クロック発生回路、第2の可変分周回路、クロック発生回路、及び信号線駆動回路用電源制御回路を有するディスプレイコントローラと、発光素子を有する複数の画素と、を有し、第1位ビット乃至第n（nは自然数）位ビットのデジタル信号によって、1フレーム期間においてn階調を表現する第1の表示モードと、第1位ビット乃至第n位ビットのデジタル信号のうち、第1位ビット乃至第m（mはnより小さな自然数）位ビットのデジタル信号によって、1フレーム期間においてm階調を表現する第2の表示モードを切り換えて表示を行う表示装置の駆動方法であって、

前記メモリコントローラにおいて、

前記CPUから前記階調制限回路に信号が入力されることによって、前記第1の表示モード又は前記第2の表示モードに応じた信号が、前記階調制限回路から出力され、

前記階調制限回路から出力された信号に応じて、前記メモリR/W回路によって、デジタルビデオ信号を前記メモリに書き込む動作と、またはデジタルビデオ信号を前記メモリから読み出す動作とが選択され、

前記階調制限回路から出力された信号に応じて、前記第1の可変分周回路によって、前記メモリのアドレスを選択する信号の周波数を変化させ、

前記ディスプレイコントローラにおいて、

前記CPUから出力されたクロック信号が、前記基準クロック発生回路に入力されることによって、前記基準クロック発生回路から基準クロックが出力され、

前記基準クロックが前記第2の可変分周回路に入力され、

前記CPUから出力された階調コントロール信号に応じて、前記第2の可変分周回路から、周波数を変化させた基準クロックが出力され、

前記CPUから出力された周期信号が前記クロック発生回路に入力され、

前記周波数を変化させた基準クロックに応じて、前記クロック発生回路から、周波数を変化させたクロックパルスとスタートパルスが前記信号線駆動回路に出力され、

前記階調コントロール信号に応じて、前記信号線駆動回路用電源制御回路によって、前記信号線駆動回路に入力される駆動電圧が制御され、

前記階調コントロール信号に応じて、前記発光素子の対向電極の電位を変化させることを特徴とする表示装置の駆動方法。

【請求項3】

請求項2において、

前記第2の表示モードの第m位ビット以下の任意のビットに対応するサブフレーム期間において発光状態が選択された前記発光素子に印加される電圧が、前記第1の表示モードの前記任意のビットに対応するサブフレーム期間において発光状態が選択された前記発光素子に印加される電圧よりも低くなるように、前記発光素子の対向電極の電位を変化させることを特徴とする表示装置の駆動方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第2の表示モードにおいて前記信号線駆動回路に入力される駆動電圧は、前記第1の表示モードにおいて前記信号線駆動回路に入力される駆動電圧よりも低いことを特徴とする表示装置の駆動方法。

【請求項5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 2 の表示モードにおける前記ディスプレイコントローラを駆動する電圧は、前記第 1 の表示モードにおける前記ディスプレイコントローラを駆動する電圧よりも低いことを特徴とする表示装置の駆動方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 2 の表示モードにおいて前記クロック発生回路から前記信号線駆動回路に出力される前記クロックパルスの周波数は、前記第 1 の表示モードにおいて前記クロック発生回路から前記信号線駆動回路に出力される前記クロックパルスの周波数よりも低く、

前記第 2 の表示モードにおいて前記クロック発生回路から前記信号線駆動回路に出力される前記スタートパルスの周波数は、前記第 1 の表示モードにおいて前記クロック発生回路から前記信号線駆動回路に出力される前記スタートパルスの周波数よりも低いことを特徴とする表示装置の駆動方法。