

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月11日(11.04.2024)



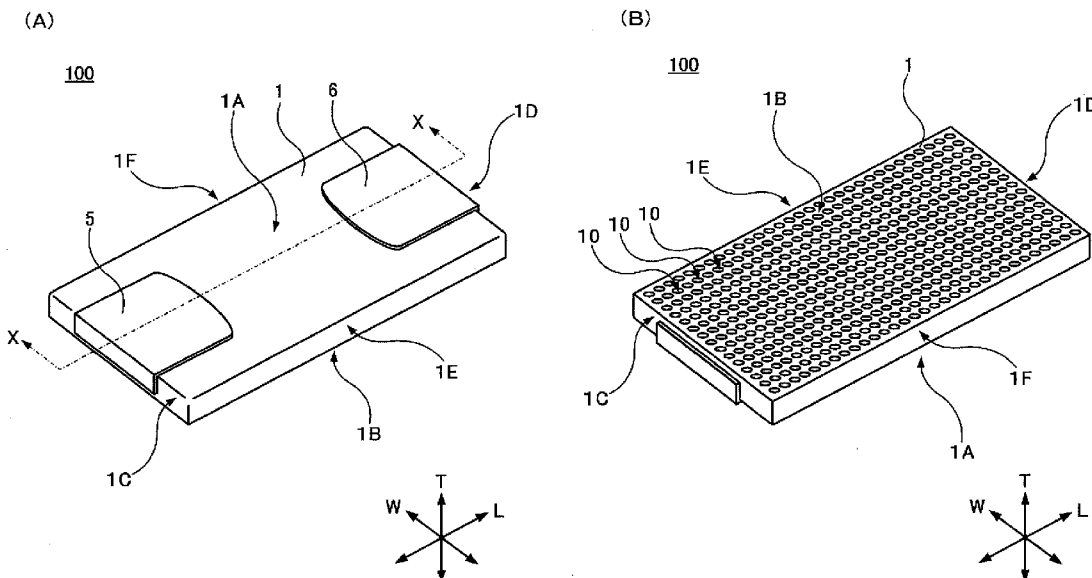
(10) 国際公開番号
WO 2024/075427 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01)
- (21) 国際出願番号: PCT/JP2023/030832
- (22) 国際出願日: 2023年8月27日(27.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-160612 2022年10月4日(04.10.2022) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 西村 亮(NISHIMURA, Ryo); 〒6178555
京都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 河本 尚志(KAWAMOTO, Takashi);
〒6101103 京都府京都市西京区御陵峰ヶ堂町 3
丁目 1 5 番地 7 河本特許事務所 Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: MULTILAYER CERAMIC CAPACITOR

(54) 発明の名称: 積層セラミックコンデンサ

[図1]



(57) Abstract: The present invention provides a multilayer ceramic capacitor which is not susceptible to the occurrence of a crack or the like in a ceramic element. This multilayer ceramic capacitor is provided with: a ceramic element which is obtained by stacking a plurality of ceramic layers, a plurality of first internal electrodes and a plurality of second internal electrodes in the height direction, and which has a first main surface and a second main surface opposite to each other in the height direction, a first end face and a second end face opposite to each other in the length direction that is perpendicular to the height direction, and a first lateral surface and a second lateral surface opposite to each other in the width direction



WO 2024/075427 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

that is perpendicular to the height direction and the length direction; and a first external electrode and a second external electrode, which are formed on the outer surface of the ceramic element. The first internal electrodes are led out in the first end face, and are electrically connected to the first external electrode; while the second internal electrodes are led out in the second end face, and are electrically connected to the second external electrode. If a cross-section that is parallel to the first lateral surface and the second lateral surface is examined, the first external electrode is formed in an L-shape on the first end face and the first main surface; the second external electrode is formed in an L-shape on the second end face and the first main surface; and the second main surface is provided with a plurality of embossed pores.

(57) 要約 : セラミック素体にクラックなどが発生しにくい、積層セラミックコンデンサを提供する。複数のセラミック層と、複数の第1内部電極と、複数の第2内部電極とが高さ方向に積層され、高さ方向に対向する第1主面および第2主面と、高さ方向に直行する長さ方向に対向する第1端面および第2端面と、高さ方向および長さ方向に直行する幅方向に対向する第1側面および第2側面とを有するセラミック素体と、セラミック素体の外表面に形成された、第1外部電極および第2外部電極と、を備え、第1内部電極が、第1端面に引き出され、第1外部電極と電氣的に接続され、第2内部電極が、第2端面に引き出され、第2外部電極と電氣的に接続された積層セラミックコンデンサであって、第1側面および第2側面と平行な断面を見たとき、第1外部電極が、第1端面および第1主面に、L字形状に形成され、第2外部電極が、第2端面および第1主面に、L字形状に形成され、第2主面に、複数のエンボス孔が形成されたものとする。

明 細 書

発明の名称：積層セラミックコンデンサ

技術分野

[0001] 本発明は、積層セラミックコンデンサに関する。

背景技術

[0002] 積層セラミックコンデンサが、電子機器、電気機器をはじめとする種々の機器（以下「電子機器等」という）に、広く使用されている。たとえば、特許文献1（特開2000-100647号公報）に、典型的な構造の積層セラミックコンデンサが開示されている。

[0003] 近時、電子機器等の小型化や高機能化が、急速に進んでいる。電子機器等の小型化によって、電子部品によって構成される電子回路を収納する電子機器等の内部容積（空間容積）が極めて小さくなってきている。また、電子機器等の高機能化によって、電子回路を構成するのに必要な電子部品の個数が急増している。

[0004] そのため、電子機器等の小型化や高機能化にともない、電子回路を構成する電子部品に対しても、小型化が求められている。たとえば、積層セラミックコンデンサでは、セラミック素体が数十 μm の厚さからなる、極めて薄型化された製品が実用化されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2000-100647号公報

発明の概要

発明が解決しようとする課題

[0006] 上述したように、電子機器等の小型化や高機能化にともない、電子部品の小型化、特に薄型化が求められているが、積層セラミックコンデンサの場合、薄型化にともない、外力に対する機械的強度の低下が問題となっている。

[0007] すなわち、面実装型の電子部品である積層セラミックコンデンサは、マウ

ンター装置のノズルで吸着されて、基板などの所定の位置に運ばれて実装される場合が多い。このとき、薄型化された積層セラミックコンデンサは、ノズルの衝撃によって、セラミック素体にクラック（ひび、割れ、欠けなどを含む）が発生する虞があった。そして、セラミック素体にクラックが発生すると、外部からの水分の浸入などによって、積層セラミックコンデンサにIR（絶縁抵抗）不良が発生する虞があった。

[0008] また、積層セラミックコンデンサは、基板などに実装されたのち、樹脂によって封止される場合も多い。このとき、実装された積層セラミックコンデンサのセラミック素体の天面（第2主面）と、樹脂との接合強度が不十分になる場合があった。

[0009] そこで、本発明は、たとえばマウンター装置のノズルで吸着するときに、ノズルによってセラミック素体に衝撃が加わっても、セラミック素体にクラックなどの不良が発生しにくい積層セラミックコンデンサを提供することを目的とする。また、本発明は、基板などに実装し、さらに樹脂で封止した場合に、セラミック素体の天面（第2主面）と樹脂との接合強度が大きい積層セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

[0010] 上述した従来の課題を解決するために、本発明の一実施態様にかかる積層セラミックコンデンサは、複数のセラミック層と、複数の第1内部電極と、複数の第2内部電極とが高さ方向に積層され、高さ方向に対向する第1主面および第2主面と、高さ方向に直行する長さ方向に対向する第1端面および第2端面と、高さ方向および長さ方向に直行する幅方向に対向する第1側面および第2側面とを有するセラミック素体と、セラミック素体の外表面に形成された、第1外部電極および第2外部電極と、を備え、第1内部電極が、第1端面に引き出され、第1外部電極と電氣的に接続され、第2内部電極が、第2端面に引き出され、第2外部電極と電氣的に接続された積層セラミックコンデンサであって、第1側面および第2側面と平行な断面を見たとき、第1外部電極が、第1端面および第1主面に、L字形状に形成され、第2外

部電極が、第2端面および第1主面に、L字形状に形成され、第2主面に、複数のエンボス孔が形成されたものとする。

発明の効果

[0011] 本発明の一実施態様にかかる積層セラミックコンデンサは、第2主面に複数のエンボス孔が形成されているため、たとえばマウンター装置のノズルで吸着するときに、ノズルによって衝撃が加わっても、衝撃に強く、セラミック素体にクラックなどが発生することが抑制されている。

[0012] また、本発明の一実施態様にかかる積層セラミックコンデンサは、第2主面に複数のエンボス孔が形成されているため、基板などに実装し、さらに樹脂で封止した場合に、セラミック素体の第2主面と樹脂との接合強度が大きい。ただし、本発明の積層セラミックコンデンサは、基板などに実装したあと、必ず樹脂で封止して使用するものではなく、樹脂で封止せずに使用することも可能である。

図面の簡単な説明

[0013] [図1]図1(A)、(B)は、それぞれ、第1実施形態にかかる積層セラミックコンデンサ100の斜視図であり、図1(A)は第1主面1A側から、図1(B)は第2主面1B側から、それぞれ、積層セラミックコンデンサ100を示している。

[図2]積層セラミックコンデンサ100の断面図であり、図1(A)に一点鎖線矢印で示したX-X部分の断面を示している。

[図3]積層セラミックコンデンサ100の要部断面図である。

[図4]図4(A)～(D)は、それぞれ、積層セラミックコンデンサ100の製造方法の一例における工程を示す説明図である。

[図5]図5(E)～(J)は、図4(D)の続きであり、それぞれ、積層セラミックコンデンサ100の製造方法の一例における工程を示す説明図である。

。

[図6]第2実施形態にかかる積層セラミックコンデンサ200の断面図である。

。

[図7]図7 (A) ~ (D) は、それぞれ、積層セラミックコンデンサ200の製造方法の一例における工程を示す説明図である。

[図8]図8 (E) ~ (I) は、図7 (D) の続きであり、それぞれ、積層セラミックコンデンサ200の製造方法の一例における工程を示す説明図である。

発明を実施するための形態

[0014] 以下、図面とともに、本発明を実施するための形態について説明する。

[0015] なお、各実施形態は、本発明の実施の形態を例示的に示したものであり、本発明が実施形態の内容に限定されることはない。また、異なる実施形態に記載された内容を組合せて実施することも可能であり、その場合の実施内容も本発明に含まれる。また、図面は、明細書の理解を助けるためのものであって、模式的に描画されている場合があり、描画された構成要素または構成要素間の寸法の比率が、明細書に記載されたそれらの寸法の比率と一致していない場合がある。また、明細書に記載されている構成要素が、図面において省略されている場合や、個数を省略して描画されている場合などがある。

[0016] [第1実施形態]

図1 (A)、(B)、図2、図3に、それぞれ、第1実施形態にかかる積層セラミックコンデンサ100を示す。ただし、図1 (A)、(B) は、それぞれ、積層セラミックコンデンサ100の斜視図であり、図1 (A) は第1主面1A側から、図1 (B) は第2主面1B側から、それぞれ、積層セラミックコンデンサ100を示している。図2は、積層セラミックコンデンサ100の断面図であり、図1 (A) に一点鎖線矢印で示したX-X部分の断面を示している。図3は、積層セラミックコンデンサ100の要部断面図である。

[0017] なお、図面には、積層セラミックコンデンサ100の高さ方向T、長さ方向L、幅方向Wを示しており、以下の説明において、これらの方向に言及する場合がある。本実施形態においては、後述するセラミック層1aの積層方向を、積層セラミックコンデンサ100の高さ方向Tとしている。

- [0018] 積層セラミックコンデンサ100は、セラミック素体1を備えている。セラミック素体1は、直方体からなり、高さ方向Tに対向する第1主面1Aおよび第2主面1Bと、長さ方向Lに対向する第1端面1Cおよび第2端面1Dと、幅方向Wに対向する第1側面1Eおよび第2側面1Fとを有している。
- [0019] セラミック素体1の寸法は任意であるが、たとえば、長さ方向Lの寸法および幅方向Wの寸法の一方が1.0mm以下であり、他方が0.5mm以下であることも好ましい。また、高さ方向Tの寸法が、0.1mm以下であることも好ましい。本発明を実施した場合、このように、小型化され、薄層化された積層セラミックコンデンサ100においても、後述するように、セラミック素体1の第2主面1Bに複数のエンボス孔10を形成したことにより、耐衝撃性が改善され、セラミック素体1にクラックなどが発生することが抑制される。
- [0020] セラミック素体1は、セラミック層1aと、第1内部電極2と、第2内部電極3と、ダミー内部電極4とが積層されたものからなる。セラミック層1a、第1内部電極2、第2内部電極3、ダミー内部電極4は、セラミック素体1の高さ方向Tに積層されている。
- [0021] なお、ダミー内部電極4は、後述するように、主に、容量を形成するためではなく、第1外部電極5および第2外部電極6の下地外部電極として設けられた電極である。
- [0022] セラミック素体1（セラミック層1a）の材質は任意であるが、たとえば、BaTiO₃を主成分とする誘電体セラミックスを使用することができる。ただし、BaTiO₃に代えて、CaTiO₃、SrTiO₃、CaZrO₃など、他の材質を主成分とする誘電体セラミックスを使用してもよい。
- [0023] セラミック層1aの厚みは任意であるが、たとえば、第1内部電極2、第2内部電極3が形成された容量形成の実効領域において、0.3μm~2.0μm程度とすることができる。
- [0024] セラミック層1aの層数は任意であるが、たとえば、第1内部電極2、第

2内部電極3が形成された容量形成の実効領域において、1層～6000層程度とすることができる。

[0025] セラミック素体1の上下両側に、第1内部電極2、第2内部電極3が形成されず、セラミック層1aのみで構成された保護層（外層）が設けられている。ただし、本実施形態においては、保護層に、ダミー内部電極4が形成されている。保護層の厚みは任意であるが、たとえば、 $5\mu\text{m}$ ～ $150\mu\text{m}$ 程度とすることができる。なお、保護層のセラミック層1aの厚みは、第1内部電極2、第2内部電極3が形成されている容量形成の実効領域のセラミック層1aの厚みよりも大きくしてもよい。また、保護層のセラミック層1aの材質は、実効領域のセラミック層1aの材質と異なってもよい。

[0026] 図2から分かるように、第1内部電極2は、セラミック素体1の長さ方向Lに伸び、一方の端部がセラミック素体1の第1端面1Cに引出されている。第2内部電極3は、セラミック素体1の長さ方向Lに伸び、一方の端部がセラミック素体1の第2端面1Dに引出されている。なお、第1内部電極2と第2内部電極3とは、原則として交互に積層されることが好ましい。

[0027] 第1外部電極5および第2外部電極6の下地外部電極として設けられたダミー内部電極4は、第1内部電極2および第2内部電極3よりも、長さ方向Lの寸法が小さい。ダミー内部電極4の一方の端部は、セラミック素体1の第1端面1Cまたは第2端面1Dのいずれかに引き出されている。また、セラミック素体1の最も第1主面1A側に配置されたダミー内部電極4は、セラミック素体1の第1主面1Aに露出されている。

[0028] なお、ダミー内部電極4は、少なくとも、第1外部電極5および第2外部電極6において、それぞれ、セラミック素体1の最も第1主面1A側に配置され、セラミック素体1の第1主面に露出されたものが1層あればよい。

[0029] 第1内部電極2、第2内部電極3、ダミー内部電極4の主成分（金属成分）の材質は任意であるが、本実施形態においては、Niを使用した。ただし、Niに代えて、Cu、Ag、Pd、Auなど、他の金属を使用してもよい。また、NiやCu、Ag、Pd、Auなどは、他の金属との合金であって

もよい。第1内部電極2、第2内部電極3、ダミー内部電極4は、金属成分の外に、セラミックなどの他の成分を含んでいてもよい。

[0030] 第1内部電極2、第2内部電極3、ダミー内部電極4の厚みは任意であるが、たとえば、 $0.3\mu\text{m}$ ~ $1.5\mu\text{m}$ 程度とすることができる。

[0031] セラミック素体1の外表面に、第1外部電極5と第2外部電極6とが形成されている。第1側面1E、第2側面1Fと平行な断面を見たとき、第1外部電極5は、第1端面1Cおよび第1主面1AにL字形状に形成され、第2外部電極6は、第2端面1Dおよび第1主面1AにL字形状に形成されている。第1外部電極5は、第1端面1Cにおいて、第1内部電極2と電氣的に接続されている。第2外部電極6は、第2端面1Dにおいて、第2内部電極3と電氣的に接続されている。

[0032] 第1外部電極5と第2外部電極6とは、同じ多層構造を備えている。本実施形態においては、第1外部電極5、第2外部電極6は、下から順番に、下地外部電極と、下地外部電極の外側に形成されたCuめっき外部電極層7と、Cuめっき外部電極層7の外側に形成されたNiめっき外部電極層8と、Niめっき外部電極層8の外側に形成されたAuめっき外部電極層9とを備えている。ただし、第1外部電極5、第2外部電極6の構造、材質などは任意であり、この構造、材質には限られない。また、第1外部電極5、第2外部電極6の厚さ、幅、長さなどの寸法も任意であり、自由に設定することができる。特に、めっき外部電極層の層数、材質、寸法などについては、種々のバリエーションを採用することができる。

[0033] 次に、第1外部電極5、第2外部電極6の下地外部電極について説明する。下地外部電極とは、その外側にめっき外部電極層を形成するとき、下地となる層である。

[0034] 第1外部電極5の下地外部電極は、第1端面1Cに引き出された第1内部電極2、ダミー内部電極4の端部と、第1主面1Aに露出されたダミー内部電極4の主面とで構成されている。図2には、第1外部電極5が、下地外部電極として、4層のダミー内部電極4を備え、そのうち最も第1主面1A側

に配置されたダミー内部電極 4 の上側の主面が第 1 主面 1 A に露出され、残りの 3 層のダミー内部電極 4 の端部が第 1 端面 1 C に引き出された構造が例示されている。ただし、第 1 外部電極 5 のダミー内部電極 4 の層数は任意であり、少なくとも、セラミック素体 1 の最も第 1 主面 1 A 側に配置され、上側の主面がセラミック素体 1 の第 1 主面 1 A から外部に露出された 1 層を備えていればよい。

[0035] 同様に、第 2 外部電極 6 の下地外部電極は、第 2 端面 1 D に引き出された第 2 内部電極 3、ダミー内部電極 4 の端部と、第 1 主面 1 A に露出されたダミー内部電極 4 の主面とで構成されている。図 2、図 3 には、第 2 外部電極 6 が、下地外部電極として、4 層のダミー内部電極 4 を備え、そのうち最も第 1 主面 1 A 側に配置されたダミー内部電極 4 の上側の主面が第 1 主面 1 A に露出され、残りの 3 層のダミー内部電極 4 の端部が第 2 端面 1 D に引き出された構造が例示されている。ただし、第 2 外部電極 6 のダミー内部電極 4 の層数は任意であり、少なくとも、セラミック素体 1 の最も第 1 主面 1 A 側に配置され、上側の主面がセラミック素体 1 の第 1 主面 1 A から外部に露出された 1 層を備えていればよい。

[0036] 上述のとおり、セラミック素体 1 の第 1 端面 1 C に引き出された第 1 内部電極 2 の端部、セラミック素体 1 の第 2 端面 1 D に引き出された第 2 内部電極 3 の端部も、第 1 外部電極 5、第 2 外部電極 6 の下地外部電極の一部分である。図 2、図 3 においては、図面が煩雑になるため、第 1 内部電極 2 の端部、第 2 内部電極 3 の端部を、第 1 外部電極 5、第 2 外部電極 6 の一部分としては示していない（第 1 外部電極 5 を示す図中の符号「5」、第 2 外部電極 6 を示す図中の符号「6」からの引き出し線を省略している）。

[0037] 第 1 外部電極 5、第 2 外部電極 6 の下地外部電極は、その外側に、Cuめっき外部電極層 7 を形成するための下地としての機能を果たしている。なお、上述したとおり、本実施形態においては、第 1 端面 1 C に引き出された第 1 内部電極 2 の端部、ダミー内部電極 4 の端部、第 2 端面 1 D に引き出された第 2 内部電極 3 の端部、ダミー内部電極 4 の端部も、第 1 外部電極 5、第

2外部電極6の下地外部電極の一部である。第1端面1Cには、幅方向Wに延びる複数の線状の第1内部電極2の端部、ダミー内部電極4の端部が、第2端面1Dには、幅方向Wに延びる複数の線状の第2内部電極3の端部、ダミー内部電極4の端部が、それぞれ、間隔を空けて（間に幅方向Wに延びる線状のセラミック層1aの端部を挟んで）露出されているが、第1内部電極2の端部、第2内部電極3の端部、ダミー内部電極4の端部は、間隔を空けて配置されていても、めっき外部電極層を形成するとき、下地として機能する。

[0038] 第1外部電極5、第2外部電極6は、下地外部電極の外側に、Cuめっき外部電極層7を備えている。Cuめっき外部電極層7は、主に、耐湿性を向上させる機能を果たしている。なお、Cuめっき外部電極層7がNiを含むことも好ましい。この場合には、外部電極層のはんだへの溶解を抑制することができる。

[0039] 第1外部電極5、第2外部電極6は、Cuめっき外部電極層7の外側に、Niめっき外部電極層8を備えている。Niめっき外部電極層8は、主に、はんだ耐熱性を向上させるとともに、接合性を向上させる機能を果たしている。なお、Niめっき外部電極層8がPを含むことも好ましい。この場合には、外部電極層の機械的強度を向上させることができる。

[0040] 第1外部電極5、第2外部電極6は、Niめっき外部電極層8の外側に、Auめっき外部電極層9を備えている。Auめっき外部電極層9は、主に、外部電極層のはんだへの濡れ性を向上させる機能を果たしている。

[0041] 本実施形態の積層セラミックコンデンサ100は、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法が、第2主面1Bと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法よりも、大きい。第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法は、たとえば、1 μ m以上、10 μ m以下程度とすることが好ましい。一方、第2主面1Bと、第2端面1D、第1側面1E、第2側面1Fとが接

する稜線のR寸法は、たとえば、 $1\mu\text{m}$ 未満程度とすることが好ましい。

[0042] 本実施形態の積層セラミックコンデンサ100においては、第1外部電極5、第2外部電極6を備えた、セラミック素体1の第1主面1Aが、基板などへの実装面である。積層セラミックコンデンサ100は、実装面である第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法が大きいため（丸みが大きいため）、積層セラミックコンデンサ100を実装のために基板などに配置（プレーシング）するときに、これらの稜線や、あるいは、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fから選ばれる2つの面とが接する角が、基板などに衝突しても、セラミック素体1にクラックなどが発生することが抑制されている。

[0043] なお、上述したように、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法は、たとえば、 $1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下程度であることが好ましい。 $1\mu\text{m}$ 未満であると、セラミック素体1にクラックなどが発生することを抑制する効果が小さいからである。また、 $10\mu\text{m}$ を超えると、セラミック素体1の実質的な容積が小さくなり、第1内部電極2や第2内部電極3の形成に支障をきたし、積層セラミックコンデンサ100の容量が低下する虞があるからである。

[0044] 本実施形態の積層セラミックコンデンサ100は、セラミック素体1の第2主面1Bに、複数のエンボス孔10が形成されている。本実施形態においては、同じ形状、同じ寸法の複数のエンボス孔10が、セラミック素体1の第2主面1Bに、長さ方向Lおよび幅方向Wに整列した状態で形成されている。

[0045] 本件出願書類において、エンボス孔とは、凹面状の有底孔をいう。凹面は、半球状であってもよいし、非半球状であってもよい。エンボス孔10の寸法、個数、配列、間隔、形成される領域などは任意であり、適宜、設定することができる。エンボス孔10の形成方法も任意である。なお、第2主面1Bにエンボス孔10が形成されているか否かの確認は、セラミック素体1の

他の面（たとえば第1主面1Aなど）と比較することによって、容易におこなうことができる。

[0046] 積層セラミックコンデンサ100において、セラミック素体1の第2主面1Bは、実装のとき、たとえばマウンター装置のノズルで吸着する面であり、ノズルによって衝撃が加わる虞のある面である。本実施形態の積層セラミックコンデンサ100は、セラミック素体1の第2主面1Bに、複数のエンボス孔10が形成されているため、ノズルなどによって衝撃が加えられても、衝撃に強く、セラミック素体1にクラックなどが発生することが抑制されている。なお、エンボス孔10は、深さが、1層から数十層程度のセラミック層1aに収まる微細なものであれば、良好にセラミック素体1の耐衝撃性を向上させることができる。ただし、エンボス孔10の深さが大きくなり過ぎると、逆にセラミック素体1の全体としての強度を低下させる場合があるので、エンボス孔10の深さは、大きくし過ぎないことが必要である。

[0047] 本実施形態の積層セラミックコンデンサ100は、たとえば、図4(A)～図5(J)に示す方法で製造することができる。

[0048] まず、図4(A)に示す、セラミック素体1のセラミック層1aを作製するためのセラミックグリーンシート11aを準備する。なお、セラミックグリーンシート11aは、多数の積層セラミックコンデンサ100を一括して製造するために、多数のセラミックグリーンシート11aがマトリックス状に配置された、マザーセラミックグリーンシート50として準備する。

[0049] 図示は省略するが、まず、誘電体セラミックスの粉末、バインダー樹脂、溶剤などを用意し、これらを湿式混合してセラミックスラリーを作製する。

[0050] 次に、キャリアフィルム上に、セラミックスラリーをダイコータ、グラビアコーター、マイクログラビアコーターなどを用いてシート状に塗布し、乾燥させて、マザーセラミックグリーンシート50を作製する。

[0051] 次に、同じく図4(A)に示すように、マザーセラミックグリーンシート50における所定のセラミックグリーンシート11aの主面に、予め用意した、第1内部電極2を形成するための導電性ペースト12、第2内部電極3

を形成するための導電性ペースト13、ダミー内部電極4を形成するための導電性ペースト14を、所望のパターン形状に塗布（たとえば印刷）する。導電性ペーストには、たとえば、溶剤、バインダー樹脂、金属粉末（たとえばNi粉末）などを混合したものを使用することができる。

[0052] 次に、図4（B）に示すように、マザーセラミックグリーンシート50を所定の順番に積層し、圧着させて、多数の未焼成セラミック素体11がマトリックス状に配置された、マザー未焼成セラミック素体60を作製する。

[0053] 次に、図4（C）に示すように、上側の主面に複数の凸部70aが形成された治具70を用意する。続いて、マザー未焼成セラミック素体60の下側主面を、治具70の凸部70aに押し当てる。この結果、図4（D）に示すように、マザー未焼成セラミック素体60の各未焼成セラミック素体11の第2主面1Bに、複数のエンボス孔10が形成される。

[0054] 次に、図5（E）に示すように、マザー未焼成セラミック素体60を、個々の未焼成セラミック素体11にカットする。

[0055] 次に、未焼成セラミック素体11を所定のプロファイルで焼成して、図5（F）に示す、セラミック素体1を作製する。このとき、セラミック素体1の内部に、導電性ペースト12が同時に焼成されて第1内部電極2が形成され、導電性ペースト13が同時に焼成されて第2内部電極3が形成され、導電性ペースト14が同時に焼成されてダミー内部電極4が形成される。

[0056] 次に、図5（G）に示すように、治具80を用意する。そして、治具80の上側の主面に、セラミック素体1の第2主面1Bを固定する。続いて、たとえばサンドブラストを施し、セラミック素体1の第1主面1Aを削り、セラミック素体1の最も第1主面1A側に配置されているダミー内部電極4の上側の主面を、セラミック素体1の第1主面1Aに露出させる。

[0057] このとき、同時に、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線が削られ、丸みが付き、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法が、第2主面1Bと、第1端面1C、第2端面1D、第1側

面 1 E、第 2 側面 1 F とが接する稜線の R 寸法よりも大きくなる（丸みが大きくなる）。

[0058] 次に、図 5（H）に示すように、第 1 端面 1 C、第 2 端面 1 D に引き出された第 1 内部電極 2、第 2 内部電極 3、ダミー内部電極 4 の端部、および、第 1 主面 1 A に露出されたダミー内部電極 4 の上側の主面を下地外部電極とし、これらの下地外部電極の表面に、必要に応じて所定の触媒を施したうえで、無電解めっきを施し、Cuめっき外部電極層 7 を形成する。

[0059] 次に、図 5（I）に示すように、Cuめっき外部電極層 7 の外側に、必要に応じて所定の触媒を施したうえで、無電解めっきを施し、Niめっき外部電極層 8 を形成する。

[0060] 次に、図 5（J）に示すように、Niめっき外部電極層 8 の外側に、必要に応じて所定の触媒を施したうえで、無電解めっきを施し、Auめっき外部電極層 9 を形成する。以上により、セラミック素体 1 の第 1 端面 1 C および第 1 主面 1 A に L 字形状に第 1 外部電極 5 が形成され、セラミック素体 1 の第 2 端面 1 D および第 1 主面 1 A に L 字形状に第 2 外部電極 6 が形成され、第 1 実施形態にかかる積層セラミックコンデンサ 100 が完成する。

[0061] [第 2 実施形態]

図 6 に、第 2 実施形態にかかる積層セラミックコンデンサ 200 を示す。ただし、図 6 は、積層セラミックコンデンサ 200 の断面図である。

[0062] 第 2 実施形態にかかる積層セラミックコンデンサ 200 は、上述した第 1 実施形態にかかる積層セラミックコンデンサ 100 の構成の一部に変更を加えた。

[0063] 具体的には、積層セラミックコンデンサ 100 では、セラミック素体 1 において、第 1 主面 1 A と、第 1 端面 1 C、第 2 端面 1 D、第 1 側面 1 E、第 2 側面 1 F とが接する稜線の R 寸法が、第 2 主面 1 B と、第 1 端面 1 C、第 2 端面 1 D、第 1 側面 1 E、第 2 側面 1 F とが接する稜線の R 寸法よりも大きかった。積層セラミックコンデンサ 200 は、これを変更し、第 1 主面 1 A と、第 1 端面 1 C、第 2 端面 1 D、第 1 側面 1 E、第 2 側面 1 F とが接す

る稜線のR寸法と、第2主面1Bと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法とを、同じ、または、ほぼ同じにした。

[0064] この結果、積層セラミックコンデンサ100と積層セラミックコンデンサ200とを比較した場合、積層セラミックコンデンサ200のセラミック素体1における、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法は、積層セラミックコンデンサ100のセラミック素体1における、第1主面1Aと、第1端面1C、第2端面1D、第1側面1E、第2側面1Fとが接する稜線のR寸法に比べて、小さくなっている。

[0065] また、積層セラミックコンデンサ100では、第1外部電極5、第2外部電極6の下地外部電極の一部として、ダミー内部電極4を使用していた。積層セラミックコンデンサ200は、これを変更し、ダミー内部電極4を省略した。そして、積層セラミックコンデンサ200は、この代わりに、第1外部電極25、第2外部電極26の下地外部電極として、スパッタリングによってNiCr薄膜層27を形成した。NiCr薄膜層27は、セラミック素体1との密着性が高く、第1外部電極25、第2外部電極26の優れた下地外部電極になる。

[0066] また、積層セラミックコンデンサ100では、第1外部電極5、第2外部電極6のめっき外部電極層として、下地外部電極の外側に、Cuめっき外部電極層7、Niめっき外部電極層8、Auめっき外部電極層9を順に備えていた。積層セラミックコンデンサ200は、これを変更し、第1外部電極25、第2外部電極26のめっき外部電極層として、下地外部電極であるNiCr薄膜層27の外側に、Niめっき外部電極層28、Auめっき外部電極層29を順に形成した。

[0067] 積層セラミックコンデンサ200の他の構成は、積層セラミックコンデンサ100と同じにした。

[0068] 積層セラミックコンデンサ200は、積層セラミックコンデンサ100と

同様に、セラミック素体1の第2主面1Bに、複数のエンボス孔10が形成されている。したがって、積層セラミックコンデンサ200も、実装のときに、ノズルなどによって、セラミック素体1の第2主面1Bに衝撃が加えられても、衝撃に強く、セラミック素体1にクラックなどが発生することが抑制される。

- [0069] 本実施形態の積層セラミックコンデンサ200は、たとえば、図7(A)～図8(I)に示す方法で製造することができる。
- [0070] まず、図7(A)に示す、セラミック素体1のセラミック層1aを作製するためのセラミックグリーンシート11aを準備する。セラミックグリーンシート11aは、多数の積層セラミックコンデンサ100を一括して製造するために、マザーセラミックグリーンシート50として準備する。
- [0071] 次に、同じく図7(A)に示すように、マザーセラミックグリーンシート50における所定のセラミックグリーンシート11aの主面に、予め用意した、第1内部電極2を形成するための導電性ペースト12、第2内部電極3を形成するための導電性ペースト13を、所望のパターン形状に塗布する。なお、積層セラミックコンデンサ200は、ダミー内部電極を備えていないため、ダミー内部電極を形成するための導電性ペーストを塗布することはない。
- [0072] 次に、図7(B)に示すように、マザーセラミックグリーンシート50を所定の順番に積層し、圧着させて、マザー未焼成セラミック素体60を作製する。
- [0073] 次に、図7(C)に示すように、マザー未焼成セラミック素体60の下側主面を、上側の主面に複数の凸部70aが形成された治具70に押し当て、図7(D)に示すように、各未焼成セラミック素体11の第2主面1Bに、複数のエンボス孔10を形成する。
- [0074] 次に、図8(E)に示すように、マザー未焼成セラミック素体60を、個々の未焼成セラミック素体11にカットする。
- [0075] 次に、未焼成セラミック素体11を所定のプロファイルで焼成して、図8

(F) に示す、セラミック素体 1 を作製する。

[0076] 次に、図 8 (G) に示すように、第 1 外部電極 25、第 2 外部電極 26 の下地外部電極として、スパッタリングによって、NiCr 薄膜層 27 を形成する。

[0077] 次に、図 8 (H) に示すように、第 1 外部電極 25、第 2 外部電極 26 の下地外部電極である NiCr 薄膜層 27 の外側に、必要に応じて所定の触媒を施したうえで、無電解めっきを施し、Niめっき外部電極層 28 を形成する。

[0078] 次に、図 8 (I) に示すように、Niめっき外部電極層 28 の外側に、必要に応じて所定の触媒を施したうえで、無電解めっきを施し、Auめっき外部電極層 29 を形成する。以上により、セラミック素体 1 の第 1 端面 1C および第 1 主面 1A に L 字形状に第 1 外部電極 25 が形成され、セラミック素体 1 の第 2 端面 1D および第 1 主面 1A に L 字形状に第 2 外部電極 26 が形成され、第 2 実施形態にかかる積層セラミックコンデンサ 200 が完成する。

[0079] 以上、実施形態にかかる積層セラミックコンデンサ 100、200 について説明した。しかしながら、本発明が上述した内容に限定されることはなく、発明の趣旨に沿って種々の変更を加えることができる。

[0080] たとえば、上記実施形態においては、上側の主面に複数の凸部 70a が形成された治具 70 を用意し、未焼成セラミック素体 11 の第 2 主面 1B を治具 70 の凸部 70a に押し当ててから、未焼成セラミック素体 11 を焼成することによって、第 2 主面 1B に複数のエンボス孔 10 を形成した。しかしながら、セラミック素体 1 の第 2 主面 1B へのエンボス孔 10 の形成方法は、この方法には限られず、種々の方法を採用することができる。なお、上述したとおり、本件出願書類において、エンボス孔とは、凹面状の有底孔をいい、その製造方法が限定されることはない。エンボス孔（凹面状の有底孔）は、半球状であってもよいし、非半球状であってもよい。

[0081] また、上記実施形態においては、セラミック素体 1 の第 2 主面 1B の全面

にエンボス孔10が形成されているが、エンボス孔10はセラミック素体1の第2主面1Bの一部の領域に形成されたものであってもよい。

[0082] また、上記実施形態においては、セラミック素体1の第2主面1Bに、同じ形状、同じ寸法の複数のエンボス孔10が、セラミック素体1の長さ方向Lおよび幅方向Wに整列した状態で形成されているが、個々のエンボス孔10において形状や寸法は異なってもよいし、複数のエンボス孔10は整列した状態で形成されていなくてもよい。

[0083] 本発明の一実施態様にかかる積層セラミックコンデンサは、「課題を解決するための手段」の欄に記載したとおりである。

[0084] この積層セラミックコンデンサにおいて、第1主面と、第1端面、第2端面、第1側面、第2側面とが接する稜線のR寸法が、第2主面と、第1端面、第2端面、第1側面、第2側面とが接する稜線のR寸法よりも、大きいことも好ましい。一実施態様にかかる積層セラミックコンデンサにおいては、第1主面が、基板などへの実装面であるが、この場合には、実装面である第1主面と、第1端面、第2端面、第1側面、第2側面とが接する稜線のR寸法が大きいため、積層セラミックコンデンサを実装のために基板などに配置（プレーシング）するとき、これらの稜線や、あるいは、第1主面と、第1端面、第2端面、第1側面、第2側面から選ばれる2つの面とが接する角が、基板などに衝突しても、セラミック素体にクラックなどが発生することが抑制される。

[0085] また、第1主面と、第1端面、第2端面、第1側面、第2側面とが接する稜線のR寸法が、 $1\ \mu\text{m}$ 以上、 $10\ \mu\text{m}$ 以下であることも好ましい。 $1\ \mu\text{m}$ 未満であると、これらの稜線が基板などに衝突したときに、セラミック素体にクラックが発生することを抑制する効果が小さいからである。 $10\ \mu\text{m}$ を超えると、セラミック素体の実質的な容積が小さくなり、第1内部電極や第2内部電極の形成に支障をきたし、積層セラミックコンデンサの容量が低下する虞があるからである。

[0086] 第1外部電極および第2外部電極が、それぞれ、下地外部電極と、下地外

部電極の外側に形成された、少なくとも1層のめっき外部電極層と、を含むことも好ましい。この場合には、下地外部電極を下地として、その外側に、たとえば無電解めっきなどによって、めっき外部電極層を容易に形成することができる。

[0087] また、下地外部電極が、第1内部電極および第2内部電極よりも長さ方向の寸法が小さく、セラミック素体の第1主面に露出されたダミー内部電極を含むことも好ましい。この場合には、セラミック素体の第1主面における面積が比較的大きな第1外部電極、第2外部電極を、容易に形成することができる。

[0088] ダミー内部電極と、第1内部電極および第2外部電極とが、同じ材質で形成されることも好ましい。この場合には、下地外部電極であるダミー内部電極を形成するために、別途、材料を用意する必要がなく、積層セラミックコンデンサの生産性が向上する。

[0089] この場合において、ダミー内部電極が、Niを主成分とすることも好ましい。この場合には、セラミック素体と、第1内部電極および第2外部電極と、ダミー内部電極とを、いわゆる同時焼成によって、容易に作製することができる。

[0090] 下地外部電極が、薄膜であることも好ましい。この場合には、下地外部電極を、たとえばスパッタリングにより、容易に形成することができる。

[0091] この場合において、薄膜がNiCrを主成分とすることも好ましい。この場合には、セラミック素体との密着性が高く、第1外部電極、第2外部電極の優れた下地外部電極になる。

[0092] めっき外部電極層が、Cuめっき外部電極層と、Niめっき外部電極層と、Auめっき外部電極層と、から選ばれる少なくとも1つを含むことも好ましい。この場合には、各めっき外部電極層において、種々の機能が発揮され、優れた第1外部電極、第2外部電極を形成することができる。

[0093] めっき外部電極層が、下地外部電極の外側に形成されたNiめっき外部電極層と、Niめっき外部電極層の外側に形成されたAuめっき外部電極層と

、を含むことも好ましい。この場合には、Niめっき外部電極層で、主に、はんだ耐熱性を向上させるとともに、接合性を向上させる機能を果たすことができ、Auめっき外部電極層9で、主に、外部電極層のはんだへの濡れ性を向上させる機能を果たすことができる。

[0094] めっき外部電極層が、下地外部電極の外側に形成されたCuめっき外部電極層と、Cuめっき外部電極層の外側に形成されたNiめっき外部電極層と、Niめっき外部電極層の外側に形成されたAuめっき外部電極層と、を含むことも好ましい。この場合には、Cuめっき外部電極層7で、主に、耐湿性を向上させる機能を果たすことができ、Niめっき外部電極層で、主に、はんだ耐熱性を向上させるとともに、接合性を向上させる機能を果たすことができ、Auめっき外部電極層9で、主に、外部電極層のはんだへの濡れ性を向上させる機能を果たすことができる。

[0095] Niめっき外部電極層が、Pを含むことも好ましい。この場合には、外部電極層の機械的強度を向上させることができる。

[0096] Cuめっき外部電極層が、Niを含むことも好ましい。この場合には、外部電極層のはんだへの溶解を抑制することができる。

[0097] 長さ方向の寸法および幅方向の寸法の一方が1.0mm以下であり、他方が0.5mm以下であることも好ましい。また、高さ方向の寸法が0.1mm以下であることも好ましい。本発明は、このように、小型化され、薄層化された積層セラミックコンデンサに適用した場合においても、セラミック素体の第2主面に形成されたエンボス孔によって、耐衝撃性が改善され、セラミック素体にクラックなどが発生することが抑制される。

符号の説明

- [0098] 1・・・セラミック素体
1a・・・セラミック層
1A・・・第1主面
1B・・・第2主面
1C・・・第1端面

- 1 D . . . 第 2 端面
- 1 E . . . 第 1 側面
- 1 F . . . 第 2 側面
- 2 . . . 第 1 内部電極
- 3 . . . 第 2 内部電極
- 4 . . . ダミー内部電極
- 5 . . . 第 1 外部電極
- 6 . . . 第 2 外部電極
- 7 . . . Cuめっき外部電極層
- 8、28 . . . Niめっき外部電極層
- 9、29 . . . Auめっき外部電極層
- 27 . . . NiCr薄膜層（下地外部電極）
- 10 . . . エンボス孔

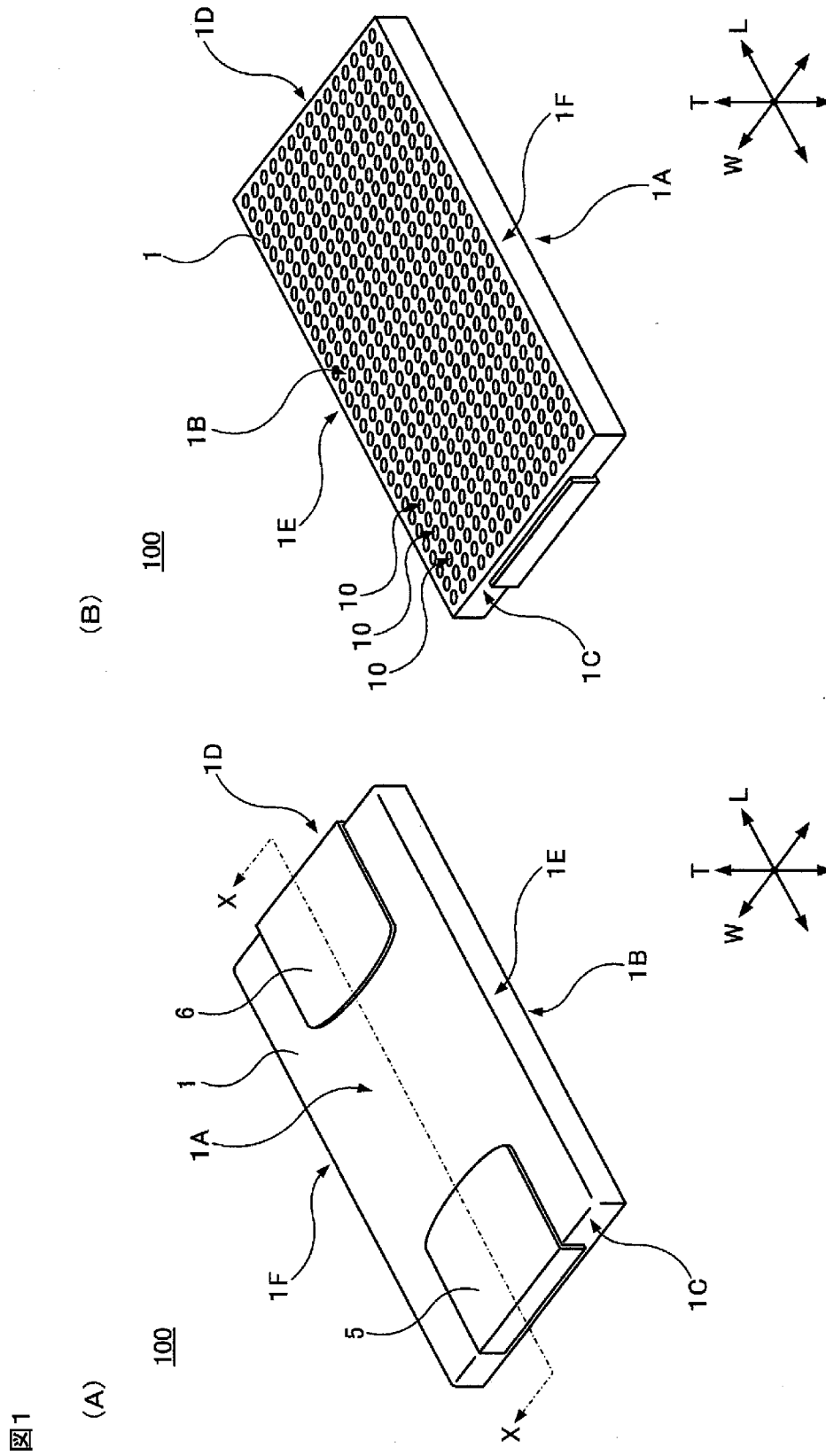
請求の範囲

- [請求項1] 複数のセラミック層と、複数の第1内部電極と、複数の第2内部電極とが高さ方向に積層され、前記高さ方向に対向する第1主面および第2主面と、前記高さ方向に直行する長さ方向に対向する第1端面および第2端面と、前記高さ方向および前記長さ方向に直行する幅方向に対向する第1側面および第2側面とを有するセラミック素体と、
前記セラミック素体の外表面に形成された、第1外部電極および第2外部電極と、を備え、
前記第1内部電極が、前記第1端面に引き出され、前記第1外部電極と電氣的に接続され、
前記第2内部電極が、前記第2端面に引き出され、前記第2外部電極と電氣的に接続された積層セラミックコンデンサであって、
前記第1側面および前記第2側面と平行な断面を見たとき、
前記第1外部電極が、前記第1端面および前記第1主面に、L字形状に形成され、
前記第2外部電極が、前記第2端面および前記第1主面に、L字形状に形成され、
前記第2主面に、複数のエンボス孔が形成された、
積層セラミックコンデンサ。
- [請求項2] 前記第1主面と、前記第1端面、前記第2端面、前記第1側面、前記第2側面とが接する稜線のR寸法が、
前記第2主面と、前記第1端面、前記第2端面、前記第1側面、前記第2側面とが接する稜線のR寸法よりも、大きい、
請求項1に記載された積層セラミックコンデンサ。
- [請求項3] 前記第1主面と、前記第1端面、前記第2端面、前記第1側面、前記第2側面とが接する稜線のR寸法が、
1 μm 以上、10 μm 以下である、
請求項1または2に記載された積層セラミックコンデンサ。

- [請求項4] 前記第1外部電極および前記第2外部電極が、それぞれ、
下地外部電極と、
前記下地外部電極の外側に形成された、少なくとも1層のめっき外部電極層と、を含む、
請求項1ないし3のいずれか1項に記載された積層セラミックコンデンサ。
- [請求項5] 前記下地外部電極が、
前記第1内部電極および前記第2内部電極よりも前記長さ方向の寸法が小さく、前記セラミック素体の前記第1主面に露出されたダミー内部電極を含む、
請求項4に記載された積層セラミックコンデンサ。
- [請求項6] 前記ダミー内部電極と、前記第1内部電極および前記第2外部電極とが、同じ材質で形成された、
請求項5に記載された積層セラミックコンデンサ。
- [請求項7] 前記ダミー内部電極が、Niを主成分とする、
請求項5または6に記載された積層セラミックコンデンサ。
- [請求項8] 前記下地外部電極が、薄膜である、
請求項4に記載された積層セラミックコンデンサ。
- [請求項9] 前記薄膜が、NiCrを主成分とする、
請求項8に記載された積層セラミックコンデンサ。
- [請求項10] 前記めっき外部電極層が、
Cuめっき外部電極層と、Niめっき外部電極層と、Auめっき外部電極層と、から選ばれる少なくとも1つを含む、
請求項4に記載された積層セラミックコンデンサ。
- [請求項11] 前記めっき外部電極層が、
前記下地外部電極の外側に形成されたNiめっき外部電極層と、
前記Niめっき外部電極層の外側に形成されたAuめっき外部電極層と、を含む、

- 請求項10に記載された積層セラミックコンデンサ。
- [請求項12] 前記めっき外部電極層が、
前記下地外部電極の外側に形成されたCuめっき外部電極層と、
前記Cuめっき外部電極層の外側に形成されたNiめっき外部電極層と、
前記Niめっき外部電極層の外側に形成されたAuめっき外部電極層と、を含む、
請求項10に記載された積層セラミックコンデンサ。
- [請求項13] 前記Niめっき外部電極層が、Pを含む、
請求項10に記載された積層セラミックコンデンサ。
- [請求項14] 前記Cuめっき外部電極層が、Niを含む、
請求項10に記載された積層セラミックコンデンサ。
- [請求項15] 前記長さ方向の寸法および前記幅方向の寸法の一方が1.0mm以下であり、他方が0.5mm以下である、
請求項1ないし14のいずれか1項に記載された積層セラミックコンデンサ。
- [請求項16] 前記高さ方向の寸法が0.1mm以下である、
請求項1ないし15のいずれか1項に記載された積層セラミックコンデンサ。

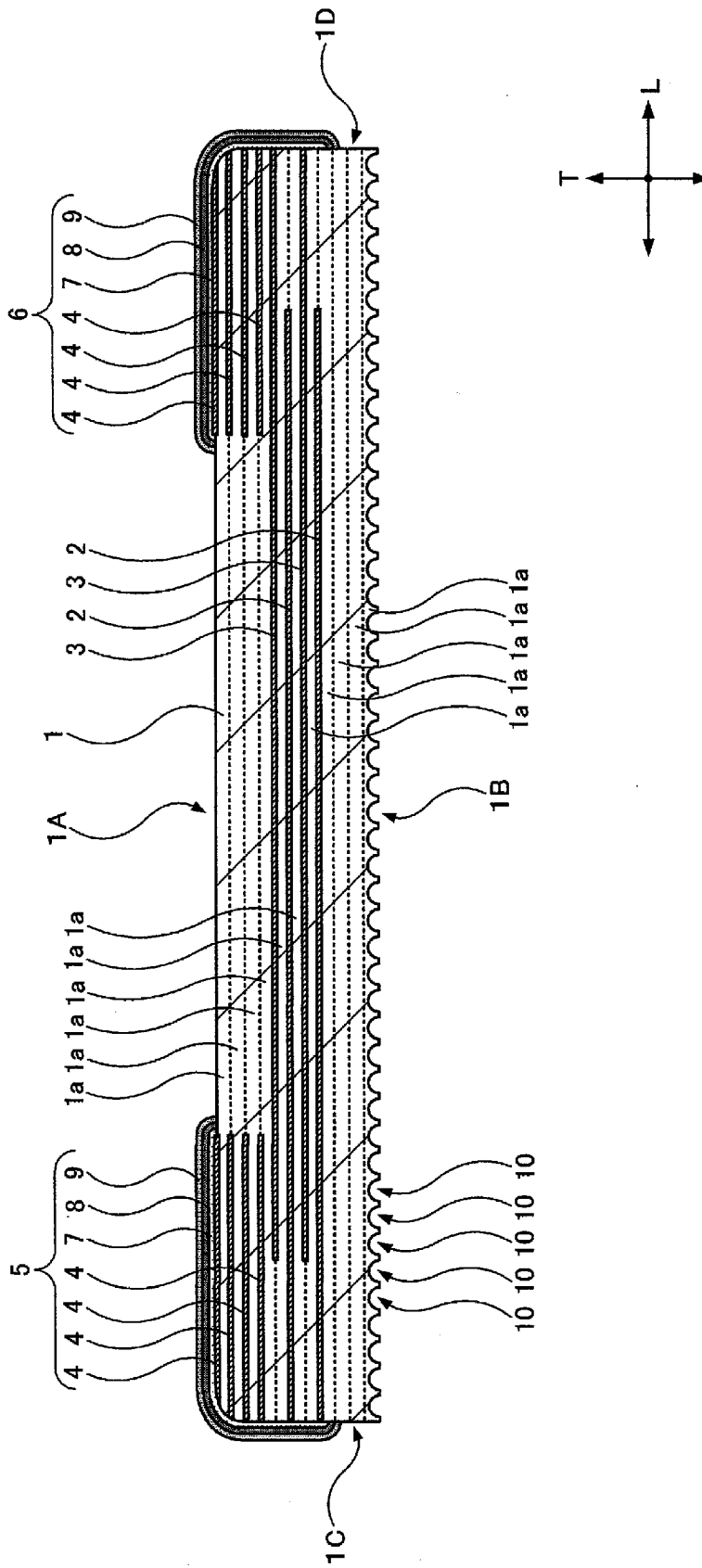
[図1]



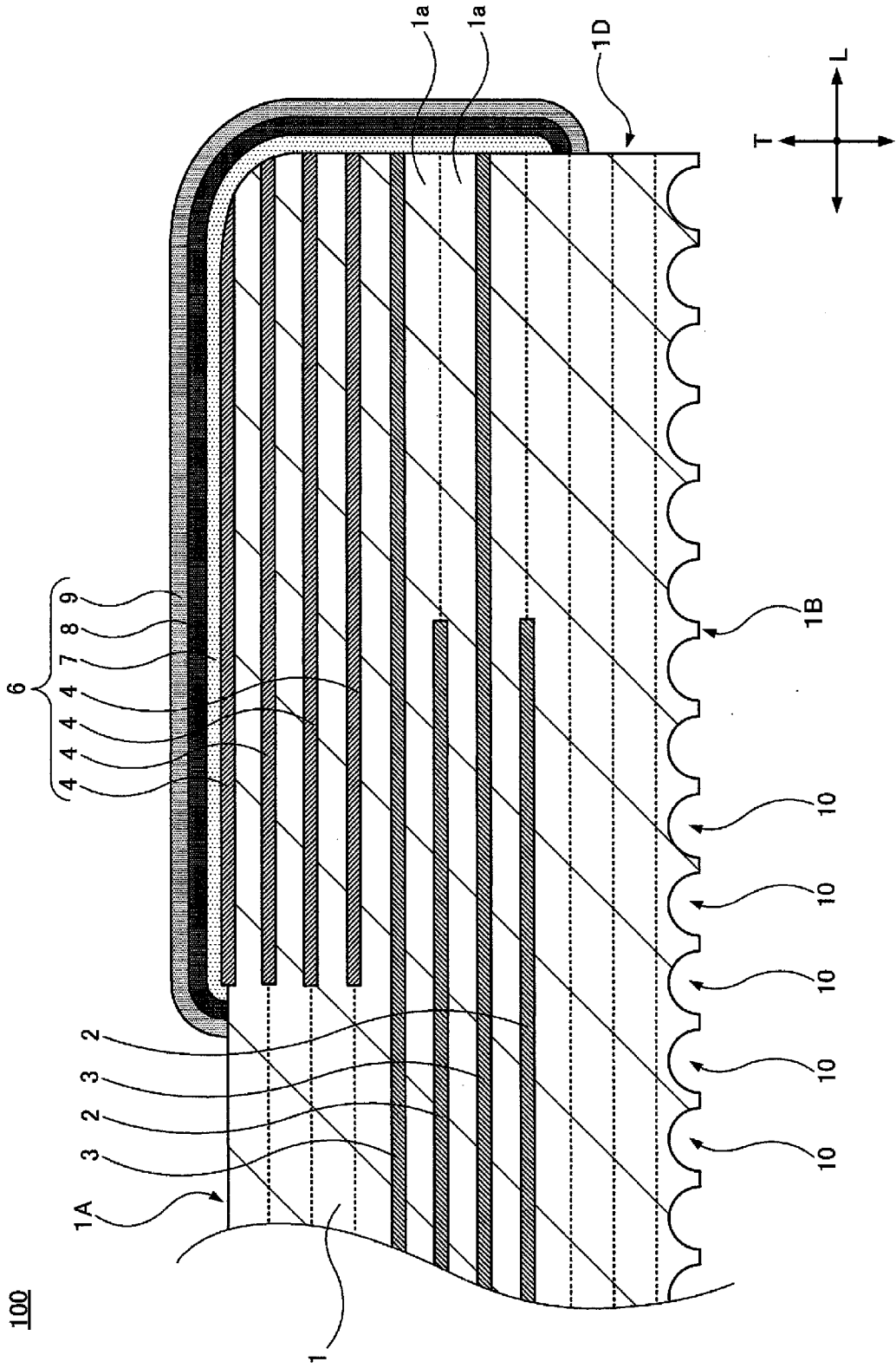
[图2]

图2

100

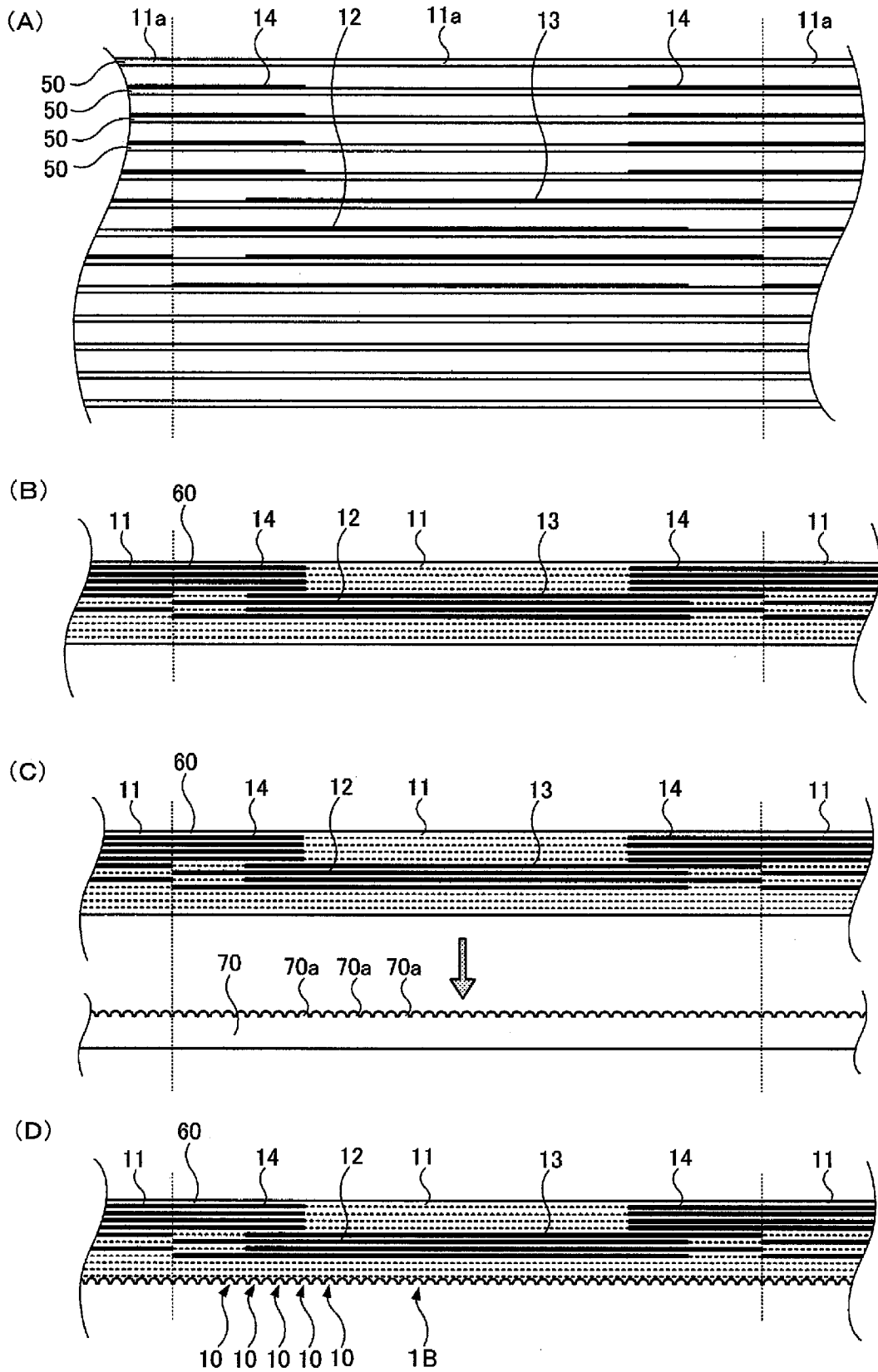


[図3]



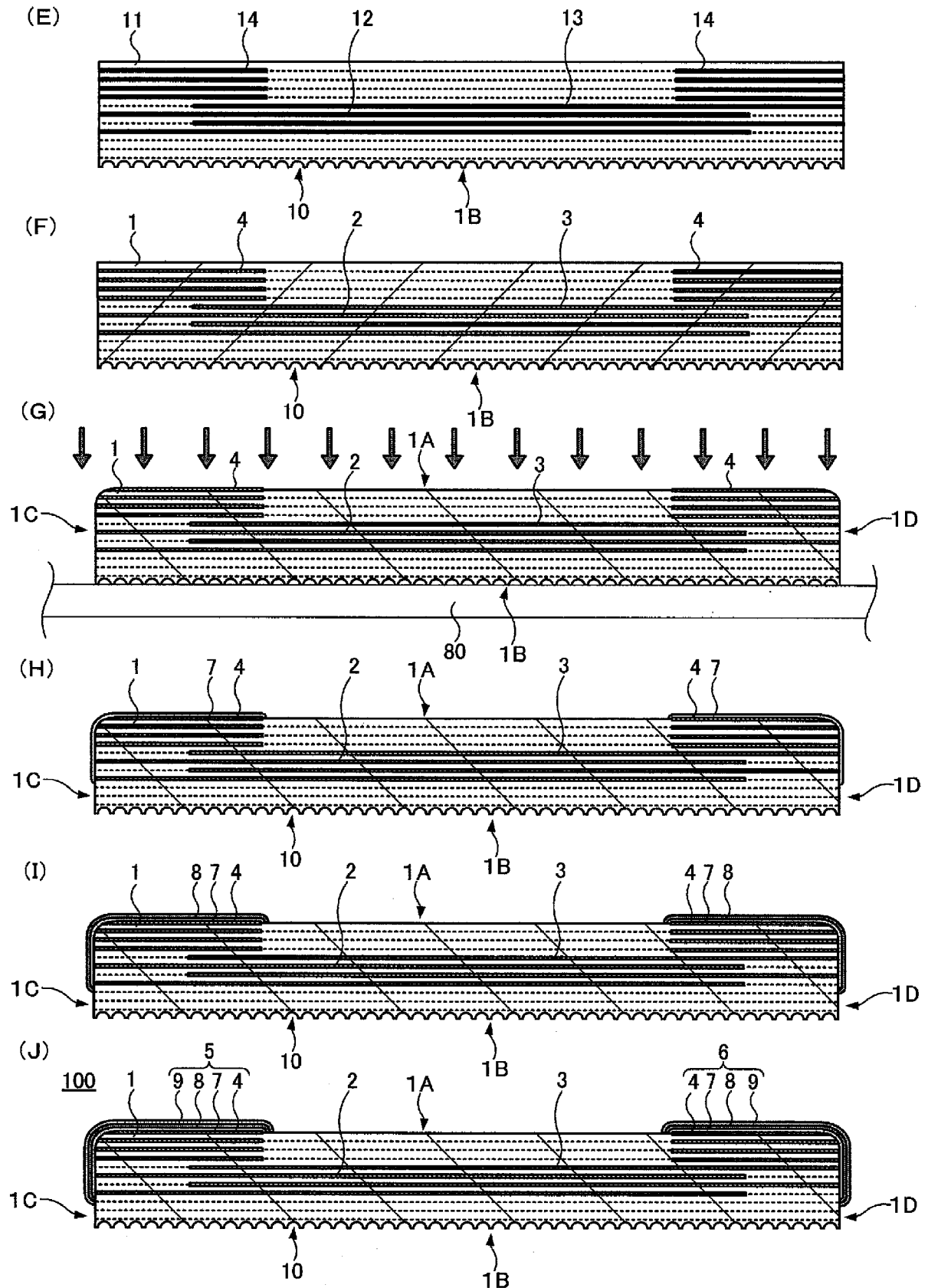
[図4]

図4



[図5]

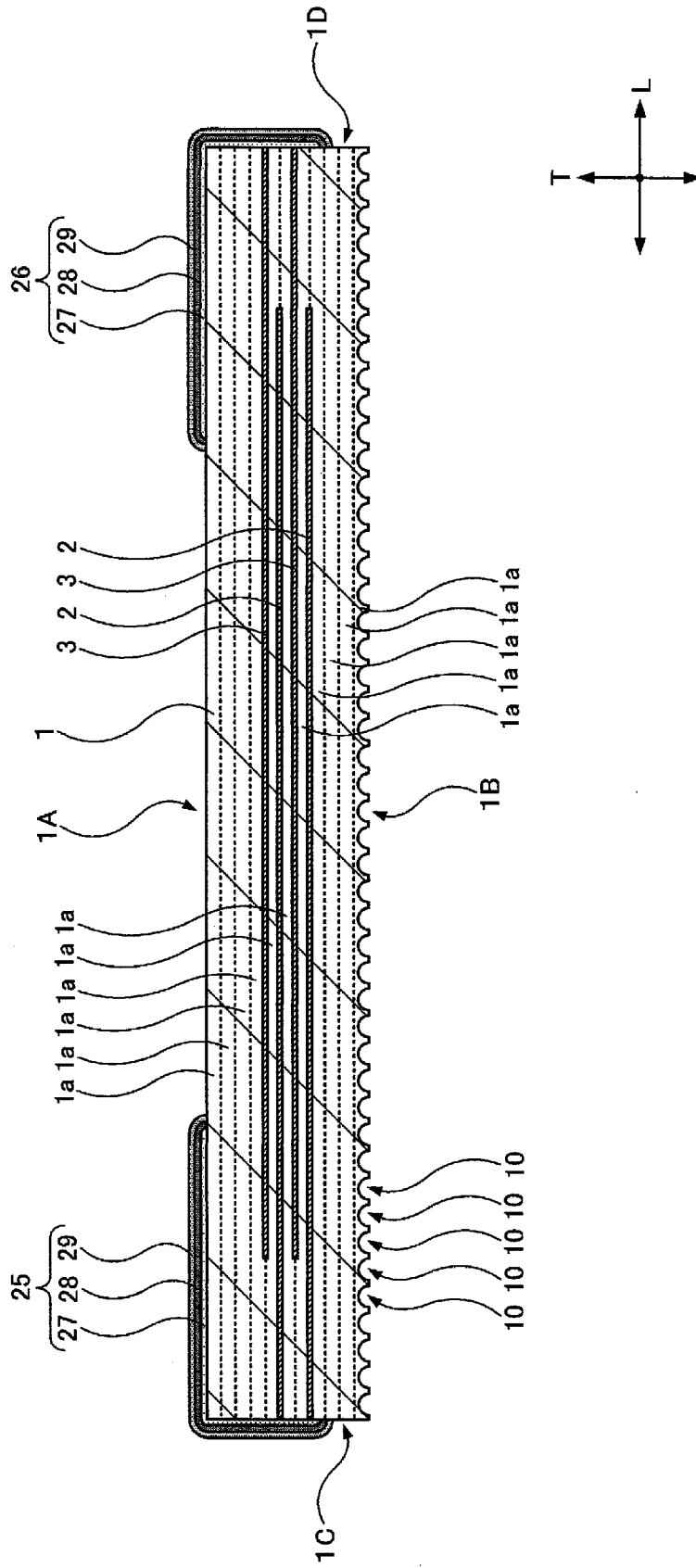
図5



[図6]

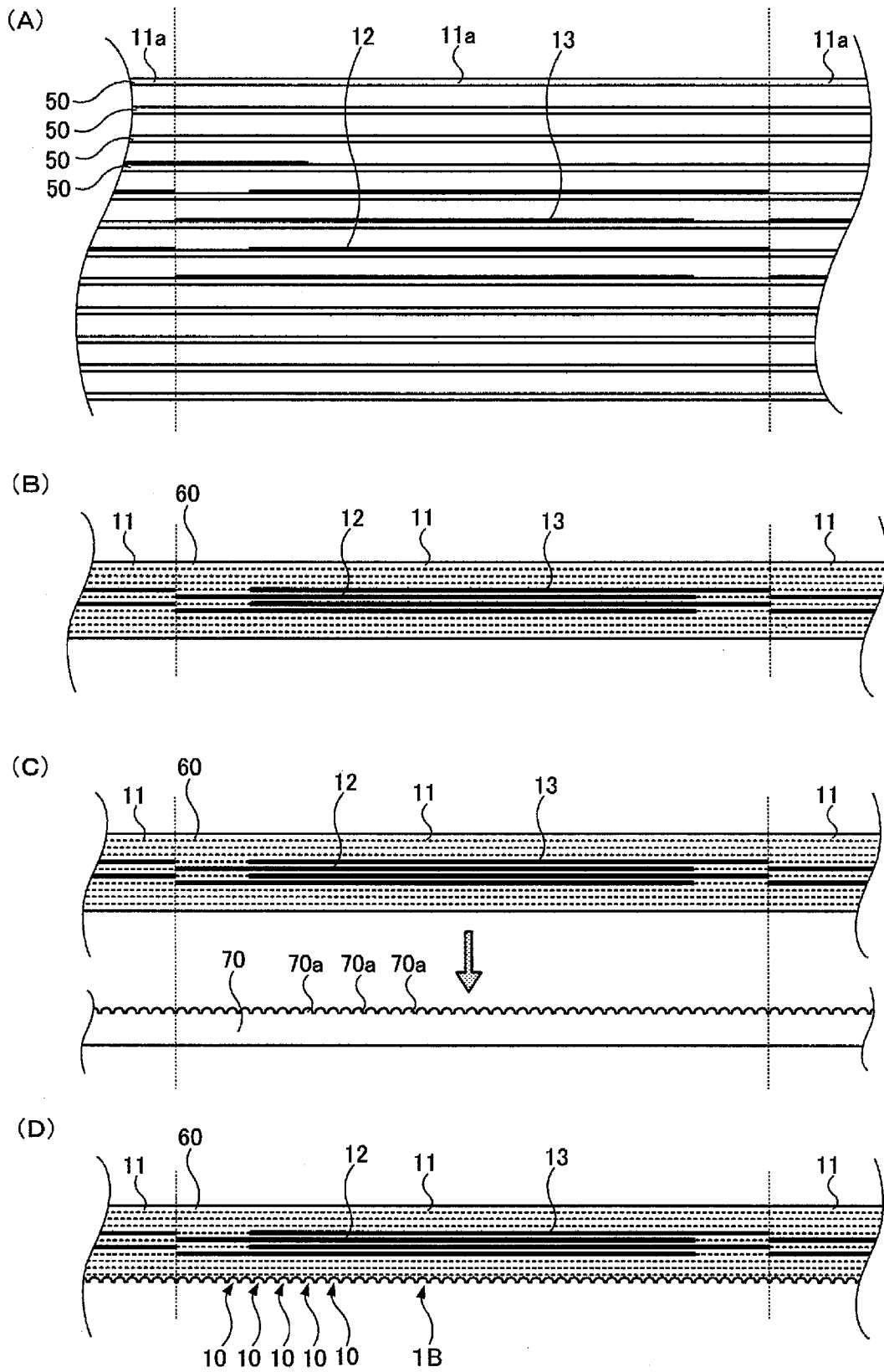
200

図6



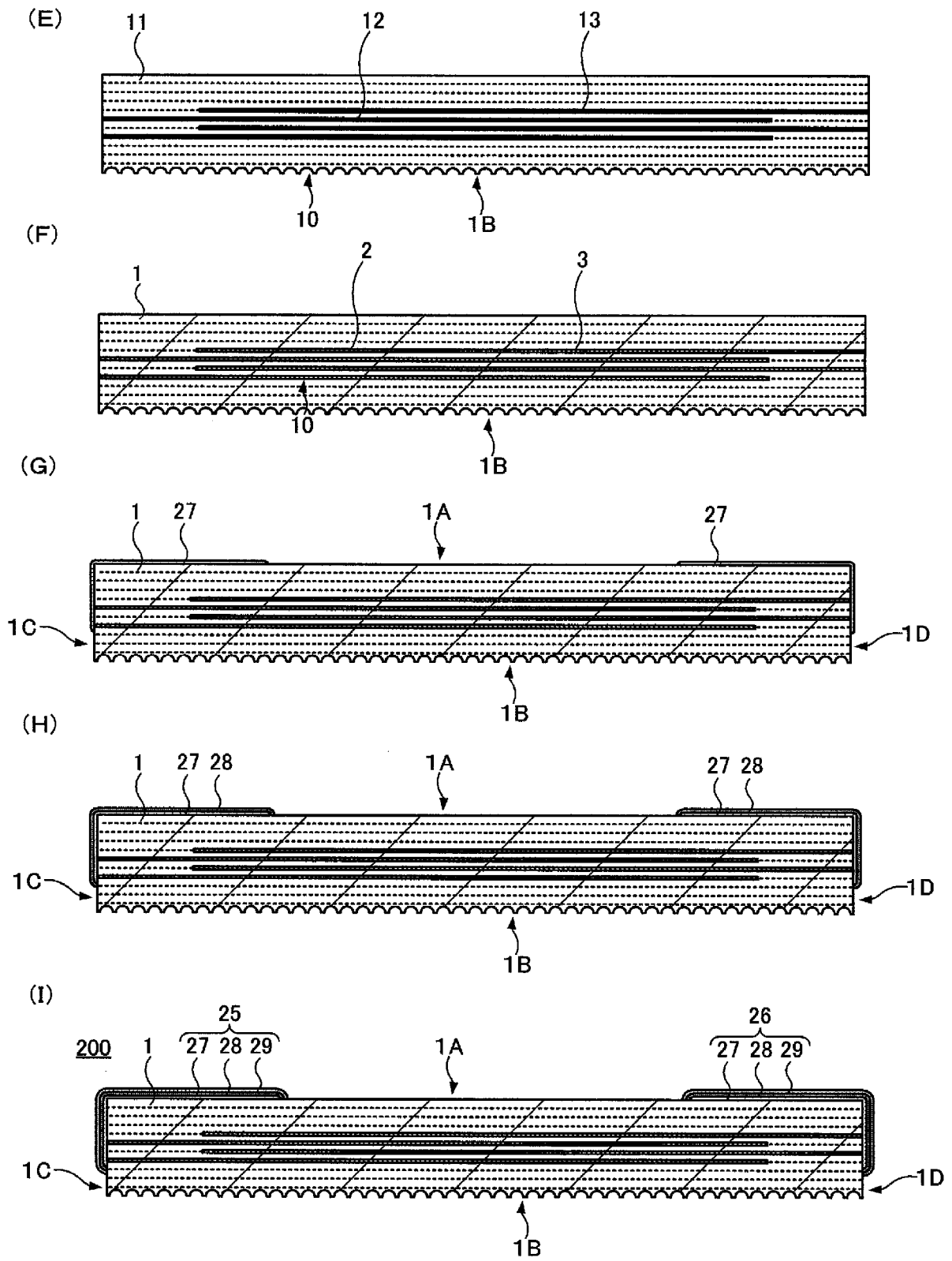
[図7]

図7



[図8]

図8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030832

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01G 4/30</i> (2006.01)i		
FI: H01G4/30 201K; H01G4/30 201F; H01G4/30 201G; H01G4/30 512; H01G4/30 513; H01G4/30 516		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01G4/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-142240 A (MURATA MANUFACTURING CO) 30 September 2022 (2022-09-30) paragraphs [0014], [0037]-[0043], [0046], [0051], [0133]-[0139], [0206]-[0218], fig. 11B, 16	1, 4, 8-12, 15-16
Y	paragraphs [0014], [0037]-[0043], [0046], [0051], [0133]-[0139], [0206]-[0218], fig. 11B, 16	2-3, 5-7, 13-14
Y	JP 2016-72279 A (MURATA MANUFACTURING CO) 09 May 2016 (2016-05-09) paragraphs [0103]-[0115], fig. 11-12	2-3, 5-7, 13-14
Y	JP 2022-90195 A (TAIYO YUDEN KK) 17 June 2022 (2022-06-17) paragraphs [0054], [0080]-[0082], fig. 6C	2-3, 5-7, 13-14
Y	JP 2012-164966 A (MURATA MANUFACTURING CO) 30 August 2012 (2012-08-30) paragraphs [0053], [0054]	5-7
Y	JP 2012-43841 A (MURATA MANUFACTURING CO) 01 March 2012 (2012-03-01) paragraphs [0017]-[0018]	13
Y	JP 2019-62100 A (TAIYO YUDEN KK) 18 April 2019 (2019-04-18) claim 4	14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
26 October 2023		07 November 2023
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030832

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-167231 A (MURATA MANUFACTURING CO) 08 October 2020 (2020-10-08) paragraph [0055]	14
A	CN 205248112 U (DONGGUAN PINGSHANG ELECTRONIC TECHNOLOGY CO., LTD.) 18 May 2016 (2016-05-18)	1-16
A	JP 2004-153098 A (NEC TOKIN CORP) 27 May 2004 (2004-05-27)	1-16
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 150231/1988 (Laid-open No. 70402/1990) (NEC CORP) 29 May 1990 (1990-05-29)	1-16
A	JP 2022-85195 A (TAIYO YUDEN KK) 08 June 2022 (2022-06-08)	1-16
A	JP 2021-120977 A (MURATA MANUFACTURING CO) 19 August 2021 (2021-08-19)	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/030832

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-142240 A	30 September 2022	US 2022/0301777 A1 paragraphs [0046], [0069]- [0075], [0078], [0083], [0175]- [0181], [0248]-[0260], fig. 11B, 16	
		CN 115083774 A	
JP 2016-72279 A	09 May 2016	(Family: none)	
JP 2022-90195 A	17 June 2022	US 2022/0181088 A1 paragraphs [0083], [0110]- [0112], fig. 6C	
		CN 114597068 A	
JP 2012-164966 A	30 August 2012	US 2012/0188682 A1 paragraphs [0069]-[0070]	
		CN 102610388 A	
		KR 10-2012-0085193 A	
JP 2012-43841 A	01 March 2012	US 2012/0039014 A1 paragraphs [0017]-[0018]	
		CN 102376449 A	
		KR 10-2012-0016005 A	
JP 2019-62100 A	18 April 2019	US 2019/0096577 A1 claim 4	
		CN 109559892 A	
		KR 10-2019-0036479 A	
JP 2020-167231 A	08 October 2020	US 2020/0312565 A1 paragraph [0060]	
CN 205248112 U	18 May 2016	(Family: none)	
JP 2004-153098 A	27 May 2004	(Family: none)	
JP 2-70402 U1	29 May 1990	(Family: none)	
JP 2022-85195 A	08 June 2022	(Family: none)	
JP 2021-120977 A	19 August 2021	US 2021/0241976 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i FI: H01G4/30 201K; H01G4/30 201F; H01G4/30 201G; H01G4/30 512; H01G4/30 513; H01G4/30 516		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2022-142240 A (株式会社村田製作所) 30.09.2022 (2022-09-30) 段落 [0014]、[0037] - [0043]、[0046]、[0051]、[0133] - [0139]、[0206] - [0218]、図11B、16	1,4,8-12,15-16
Y	段落 [0014]、[0037] - [0043]、[0046]、[0051]、[0133] - [0139]、[0206] - [0218]、図11B、16	2-3,5-7,13-14
Y	JP 2016-72279 A (株式会社村田製作所) 09.05.2016 (2016-05-09) 段落 [0103] - [0115]、図11-12	2-3,5-7,13-14
Y	JP 2022-90195 A (太陽誘電株式会社) 17.06.2022 (2022-06-17) 段落 [0054]、[0080] - [0082]、図6C	2-3,5-7,13-14
Y	JP 2012-164966 A (株式会社村田製作所) 30.08.2012 (2012-08-30) 段落 [0053] - [0054]	5-7
Y	JP 2012-43841 A (株式会社村田製作所) 01.03.2012 (2012-03-01) 段落 [0017] - [0018]	13
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
26.10.2023	07.11.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 多田 幸司 5D 5292 電話番号 03-3581-1101 内線 3551	

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2019-62100 A (太陽誘電株式会社) 18.04.2019 (2019 - 04 - 18) 請求項4	14
Y	JP 2020-167231 A (株式会社村田製作所) 08.10.2020 (2020 - 10 - 08) 段落 [0055]	14
A	CN 205248112 U (DONGGUAN PINGSHANG ELECTRONIC TECHNOLOGY CO., LTD.) 18.05.2016 (2016 - 05 - 18)	1-16
A	JP 2004-153098 A (NECトーキン株式会社) 27.05.2004 (2004 - 05 - 27)	1-16
A	日本国実用新案登録出願63-150231号(日本国実用新案登録出願公開2-70402号)の願書 に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本電気株式会社) 29.05.1990 (1990-05-29)	1-16
A	JP 2022-85195 A (太陽誘電株式会社) 08.06.2022 (2022 - 06 - 08)	1-16
A	JP 2021-120977 A (株式会社村田製作所) 19.08.2021 (2021 - 08 - 19)	1-16

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/030832

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-142240 A	30.09.2022	US 2022/0301777 A1 段落 [0046]、[0069] - [0075]、 [0078]、[0083]、[0175] - [0181]、[0248] - [0260]、図11B、 16 CN 115083774 A	
JP 2016-72279 A	09.05.2016	(ファミリーなし)	
JP 2022-90195 A	17.06.2022	US 2022/0181088 A1 段落 [0083]、[0110] - [0112]、図 6C CN 114597068 A	
JP 2012-164966 A	30.08.2012	US 2012/0188682 A1 段落 [0069] - [0070] CN 102610388 A KR 10-2012-0085193 A	
JP 2012-43841 A	01.03.2012	US 2012/0039014 A1 段落 [0017] - [0018] CN 102376449 A KR 10-2012-0016005 A	
JP 2019-62100 A	18.04.2019	US 2019/0096577 A1 請求項4 CN 109559892 A KR 10-2019-0036479 A	
JP 2020-167231 A	08.10.2020	US 2020/0312565 A1 段落 [0060]	
CN 205248112 U	18.05.2016	(ファミリーなし)	
JP 2004-153098 A	27.05.2004	(ファミリーなし)	
JP 2-70402 U1	29.05.1990	(ファミリーなし)	
JP 2022-85195 A	08.06.2022	(ファミリーなし)	
JP 2021-120977 A	19.08.2021	US 2021/0241976 A1	