



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G01R 31/28</p>	<p>A1</p>	<p>(11) 国際公開番号 WO96/20409</p> <p>(43) 国際公開日 1996年7月4日(04.07.96)</p>
<p>(21) 国際出願番号 PCT/JP95/02692 (22) 国際出願日 1995年12月26日(26.12.95)</p> <p>(30) 優先権データ 特願平6/338918 1994年12月28日(28.12.94) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 アドバンテスト (ADVANTEST CORPORATION)[JP/JP] 〒179 東京都練馬区旭町1丁目32番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 加藤義昭(KATO, Yoshiaki)[JP/JP] 〒349-11 埼玉県北埼玉郡大利根町新利根1-5 Saitama, (JP)</p> <p>(81) 指定国 DE, US.</p> <p>添付公開書類 国際調査報告書</p>		

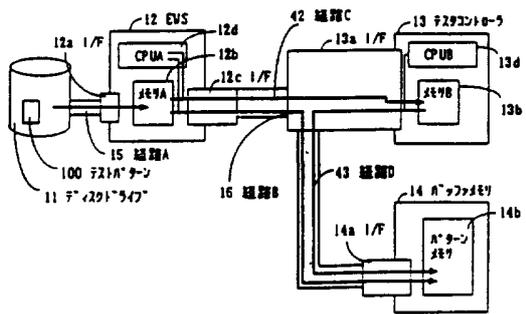
(54) Title : HIGH-SPEED TEST-PATTERN TRANSFER APPARATUS FOR SEMICONDUCTOR TESTING

(54) 発明の名称 半導体試験装置用テストパターンの高速転送装置

(57) Abstract

An apparatus that simplifies the routing for transferring test patterns in a semiconductor tester to decrease transfer time, thus improving throughput of a semiconductor test. To accomplish this object, a high-speed pattern transfer apparatus comprises a tester controller (13) provided with an I/F (13a) for transferring directly the test patterns (100) stored in a memory (12b) of an EWS (12) to a pattern memory (14b) of a buffer memory (14), transferring the test patterns (100) to a memory (13b) of the tester controller (13) and transferring them from the memory (13b) to the pattern memory (14b) of the buffer memory (14).

- 11 ... disk drive
- 12b ... memory A
- 13 ... tester controller
- 13b ... memory B
- 14 ... buffer memory
- 14b ... pattern memory
- 15 ... route A
- 16 ... route B
- 42 ... route C
- 43 ... route D
- 100 ... test pattern



(57) 要約

半導体試験装置において、テストパターンの転送経路を簡略化してテストパターンの転送時間を早くし、半導体試験のスループットを向上させる。

このために、EWS(12)のメモリ(12b)に記憶されているテストパターン(100)を、直接バッファメモリ(14)のパターンメモリ(14b)に転送でき、また、テストパターン(100)をテストコントローラ(13)のメモリ(13b)に転送し、メモリ(13b)からバッファメモリ(14)のパターンメモリ(14b)に転送することができるI/F(13a)をテストコントローラ(13)に設けたことを特徴とするテストパターンの高速転送装置である。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DK	デンマーク	LK	スリランカ	PT	ポルトガル
AM	アルメニア	EE	エストニア	LR	リベリア	RO	ルーマニア
AT	オーストリア	ES	スペイン	LS	レソト	RU	ロシア連邦
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SD	スーダン
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BB	バルバドス	GA	ガボン	LV	ラトヴィア	SG	シンガポール
BE	ベルギー	GB	イギリス	MC	モナコ	SI	スロヴェニア
BF	ブルキナ・ファソ	GE	グルジア	MD	モルドバ	SK	スロバキア共和国
BG	ブルガリア	GN	ギニア	MG	マダガスカル	SN	セネガル
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴ	SZ	スワジランド
BR	ブラジル	HU	ハンガリー		スラヴィア共和国	TD	チャド
BY	ベラルーシ	IE	アイルランド	ML	マリ	TG	トーゴ
CA	カナダ	IS	アイスランド	MN	モンゴル	TJ	タジキスタン
CF	中央アフリカ共和国	IT	イタリア	MR	モリタニア	TM	トルクメニスタン
CG	コンゴ	JP	日本	MW	マラウイ	TR	トルコ
CH	スイス	KE	ケニア	MX	メキシコ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KG	キルギスタン	NE	ニジェール	UA	ウクライナ
CM	カメルーン	KP	朝鮮民主主義人民共和国	NL	オランダ	UG	ウガンダ
CN	中国	KR	韓国	NO	ノルウェー	US	米国
CZ	チェコ共和国	KZ	カザフスタン	NZ	ニュージーランド	UZ	ウズベキスタン共和国
DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド	VN	ヴェトナム

明 細 書

半導体試験装置用テストパターンの高速転送装置

5 技術分野

本発明は、半導体試験装置において、半導体試験用テストパターンをホストコンピュータからパターンメモリへ高速転送する装置に関する。

背景技術

10 半導体試験装置ではLSIの試験項目が変わる毎に、半導体試験用のテストパターンが入っているワークステーションのディスクドライブから読み出し、大量のテストパターンをパターンメモリに転送しておこなう。

従来の半導体試験装置における、ワークステーションのディスクドライブからバッファメモリのパターンメモリへテストパターンを転送する方法について、図3と、図4と、図5とを参照して説明する。

本装置のシステム構成は、図3に示すように、ワークステーションであるEWS12と、テストコントローラ13とバッファメモリ14とで構成されていて、3者は距離を隔てて設置され、この間をインターフェースするバスケーブルにより接続している。

ワークステーションのEWS12 (Engineering Work Station) は、テストするパターンの作成やデバッグを行うホストコンピュータとして主に使用され、生成したテストパターンを格納する大容量の記憶媒体であるディスクドライブ11を有している。

25 テスタコントローラ13は、半導体試験装置自身を管理する制御用プロセッサである。

パターンメモリ 14 b は、EWS 12 側で生成した L S I テスト用のテストパターン 100 を格納する高速メモリであり、被試験デバイスに試験パターンを印加する。

3 者間のインタフェース回路部である I / F 12 c、I / F 13 c、
5 I / F 13 d、I / F 14 a は、データ転送されるバス間の形式の違いやスピードの違いに対応するインタフェースである。EWS 12 には一時バッファ用メモリ A 12 b を有し、テストコントローラ 13 には一時バッファ用メモリ B 13 b を有している。

ワークステーションの EWS 12 のディスクドライブ 11 から半導体
10 試験用のテストパターン 100 はバッファメモリ 14 のパターンメモリ 14 b へ以下の経路を通過して転送される。

つまり、経路 A 15 として、ディスクドライブ 11 に格納されているテストパターン 100 はインタフェースの I / F 12 a を介して EWS 12 のメモリ A 12 b に転送される。

15 また、経路 C 4 2 として、メモリ A 12 b からインタフェースの I / F 12 c とインタフェースの I / F 13 c を介してテストコントローラ 13 のメモリ B 13 b にテストパターン 100 が転送される。

また、経路 D 4 3 として、メモリ B 13 b からインタフェースの I / F 13 d とインタフェースの I / F 14 a を介してバッファメモリ 14
20 のパターンメモリ 14 b にテストパターン 100 が転送される。

経路 A 15 によるデータ転送は、インタフェースの I / F 12 a を経由してディスクドライブ 11 からメモリ A 12 b への読み出しをおこなう。

経路 C 4 2 による EWS 12 のメモリ A 12 b から、テストコントローラ 13 のメモリ B 13 b への読み出しと書き込みのアクセスによるデータ転送をする場合は下記の①と②の 2 通りがある。

① EWS 12 のプログラム I/O によるプログラムでのデータ転送

② DMA (Direct Memory Access) ハードウェアを使った EWS 12 とテストコントローラ 13 間のデータ転送

①と②の場合についてのハードウェア構成を図 4 により説明する。

5 ①の場合のプログラム I/O によるデータ転送は、マップレジスタ A 13 f が使用される。マップレジスタ A 13 f には、EWS 12 の CPU A 12 d から見たテストコントローラ 13 のメモリ B 13 b に対するオフセット値が保持されている。EWS 12 の CPU A 12 d からテスト
10 側から入ってくるアドレスにこのオフセットが加算されアドレスバス B に送出され、メモリ A 12 b のデータがメモリ B 13 b に転送される。

②の場合のダイレクトメモリアクセスによるデータ転送は、DMA アドレスカウンタ A 12 e と DMA アドレスカウンタ B 13 e とが使用される。

15 DMA アドレスカウンタ A 12 e は EWS 12 のメモリ A 12 b の読み出しと書き込みのアクセスに使用される。CPU A 12 d はダイレクトメモリアクセスを行うまえにメモリ A 12 b の先頭アドレスをデータバス A を経由して DMA アドレスカウンタ A 12 e に格納するとともに、転送するデータのワード数を設定する。CPU A 12 d がダイレクト
20 メモリアクセスのスタートをかけると DMA アドレスカウンタ A 12 e は DMA 転送を 1 回終了するごとにアドレスバス A に対して 1 回当たりのワード数に相当するアドレス値をインクリメントし、設定された転送ワード数が終了するまで、この操作を続ける。転送ワード数が終了すると CPU A 12 d に割り込みをかけ、終了通知を行うことにより DMA
25 転送によるデータ転送が完了する。

DMA アドレスカウンタ B 13 e はテストコントローラ 13 のメモリ

B 1 3 b の読み出しと書き込みのアクセスに使用される。E W S 1 2 の
C P U A 1 2 d は DMA 転送を行う前に DMA アドレスカウンタ B 1 3
e ヘメモリ B 1 3 b の先頭アドレスをデータバス A を経由して格納する
。E W S 1 2 の C P U A 1 2 d がダイレクトメモリアクセスのスタート
5 をかけると、DMA アドレスカウンタ A 1 2 e と同期し、DMA 転送を
1 回終了するごとにアドレスバス B に対して 1 回当たりのワード数に相
当するアドレス値をインクリメントし、データを転送する。DMA アド
レスカウンタ A 1 2 e と異なる点は、データサイズの設定が無く、DM
A アドレスカウンタ A 1 2 e からの制御信号により DMA 転送によるデ
10 ータ転送が完了する。

図 3 に示す経路 D 4 3 によるテストコントローラ 1 3 のメモリ B 1 3
b からバッファメモリ 1 4 のパターンメモリ 1 4 b 間への読み出しと書
き込みのアクセスをする場合は下記の③と④の 2 通りがある。

③ テスタコントローラ 1 3 のプログラム I / O によるプログラムでの
15 データ転送。

④ DMA (Direct Memory Access) ハードウェアを使ってテストコン
トローラ 1 3 とバッファメモリ 1 4 間でのデータの転送。

③と④の場合についてのハードウェア構成を図 5 により説明する。

③の場合は、マップレジスタ B 1 3 j が図 4 のマップレジスタ A 1 3
20 f と同様の動作をすることによりプログラム I / O によるデータ転送を
行う。

④の場合は、DMA アドレスカウンタ C 1 3 g と DMA アドレスカウ
ンタ D 1 3 h が、それぞれ図 4 の DMA アドレスカウンタ A 1 2 e と D
MA アドレスカウンタ B 1 3 e と同様の方法で DMA によるデータ転送
25 を行う。

上記説明のように、ディスクドライブ 1 1 のテストパターン 1 0 0 は

EWS 12のメモリA 12 bに読み込まれて、テストコントローラ 13のメモリB 13 bに転送されてからバッファメモリ 14のパターンメモリ 14 bにデータ転送される。テストパターンのサイズが小さい場合はLSIのテスト時間に比較してデータの転送時間が短いためメモリB 13 bへの書き込みと読み出しのアクセス時間の影響が少ない。しかし、近年LSIの高集積化にともないテストパターンが大きくなり、この転送時間におけるメモリB 13 bへの書き込みと読み出しのアクセス時間がLSIのテスト時間に対して占める割合は大きくなり、スループットが低下する問題があった。

- 10 そこで、本発明が解決しようとする課題は、半導体試験装置におけるテストパターンの転送経路を簡略化してデータの転送時間を早くして、半導体試験のスループットを向上させることを目的とする。

発明の開示

- 15 本発明においては、EWS 12のテストパターン100を、第1にI/F 13 aを経由して直接バッファメモリ 14のI/F 14 aとでデータ転送をインタフェースし、第2にテストコントローラ 13とでデータ転送をインタフェースする、I/F 13 aをテストコントローラ 13に設ける構成手段にする。
- 20 これにより、ワークステーションのEWS 12と制御用のテストコントローラ 13とバッファメモリ 14を有し、EWS 12側にテストコントローラ 13とインタフェースするI/F 12 cを有し、バッファメモリ 14側にテストコントローラ 13とインタフェースするI/F 14 aを有して、ワークステーションのEWS 12のディスクドライブ 11に
- 25 格納されているテストパターン100とバッファメモリ 14との間で、メモリAのデータをメモリBに一時的に転送することなく直接パターン

メモリ14bにデータ転送可能となり、高速なる半導体試験装置用テストパターンの転送装置を実現する。

このI/F13aとしては、同時アクセス時の制御とデータの流れの制御を行うアービタ13kと、マルチプレクサのMUX A 13nとMUX B 13pとを設け、EWS 12のメモリAのデータをテストコントローラ13のメモリB 13bに転送し、さらにメモリBのデータをバッファメモリ14のパターンメモリ14bに転送するDMAアドレスカウンタB 13e/DMAアドレスカウンタC 13g/DMAアドレスカウンタD 13hとマップレジスタA 13f/マップレジスタB 13jを設け、EWS 12のメモリAのデータをバッファメモリ14のパターンメモリ14bに直接転送を行うためにDMAアドレスカウンタE 13rとマップレジスタC 13mを設ける構成手段がある。

本発明による経路B 16によるEWS 12のメモリA 12bのテストパターン100からバッファメモリ14のパターンメモリ14bへの高速転送はつぎのように行われる。すなわちマップレジスタC 13mはプログラムI/Oによるデータ転送をする場合に、EWS 12のプログラムI/OからみたときのアドレスバスCに対するアドレスオフセットが設定されることによりプログラム転送がおこなわれる。

また経路B 16によるDMA転送は、DMAアドレスカウンタE 13rがバッファメモリ14のパターンメモリ14bのアクセスに使用され、MUX A 13nは(a)が選択され、MUX B 13pは(a)が選択されることにより、テストパターンのデータがテストコントローラ13のメモリB (13b)に転送されることなく直接バッファメモリ14のパターンメモリ(14b)に転送されるので、高速のデータ転送が実現できる。

アービタ13kとマルチプレクサのMUX A 13nとMUX B 13p

は、データ転送経路の経路 B 1 6 と経路 C 4 2 と経路 D 4 3 との同時アクセス時の制御とデータの流れの制御をおこなわせる役目をするので EWS 1 2 とテストコントローラ 1 3 とバッファメモリ 1 4 とが互いに影響することなくデータ転送を実現している。

5

図面の簡単な説明

図 1 は、本発明のデータ転送経路を示す構成図である。

図 2 は、本発明のデータ転送のインタフェースの具体例を示す系統図である。

10

図 3 は、従来 of データ転送の経路を示す構成図である。

図 4 は、従来 of データ転送のインタフェースの具体例を示す部分系統図である。

図 5 は、従来 of データ転送のインタフェースの具体例を示す部分系統図である。

15

発明を実施するための最良の形態

本発明の実施例について、図 1 と図 2 を参照して説明する。

図 1 に本発明によるデータ転送の経路 B 1 6 と、経路 C 4 2 と、経路 D 4 3 との関係を示す全体構成を示す。

20

従来技術の構成と異なるのはインタフェースの I / F 1 3 a であり、従来技術のインタフェースの I / F 1 3 c と I / F 1 3 d の機能を包含している。

25

インタフェースの I / F 1 3 a により下記の①～⑥のデータ転送がおこなえるようにした。ここで、①～④は従来技術の経路 C 4 2 と経路 D 4 3 によるデータ転送で、⑤と⑥が本発明により追加された経路 B 1 6 による高速のデータ転送である。

- ① EWS 12のプログラムI/Oによるプログラムでのデータ転送
 - ② DMA (Direct Memory Access) ハードウェアを使ってEWS 12とテストコントローラ13間のデータ転送を行う。
 - ③ テストコントローラ13のプログラムI/Oによるプログラムでの
- 5 データ転送。
- ④ DMA (Direct Memory Access) ハードウェアを使ったテストコントローラ13とバッファメモリ14間でのデータの転送。
 - ⑤ EWS 12とパターンメモリ14b間のプログラムI/Oによるプログラムでのデータ転送。
- 10 ⑥ EWS 12とパターンメモリ14b間のDMA転送によるデータ転送。

本発明によるインタフェースのI/F 13aの構成について図2により説明する。

インタフェースのI/F 13aの構成では、従来の構成と同じDMA

15 アドレスカウンタB 13 e / DMAアドレスカウンタC 13 g / DMA
アドレスカウンタD 13 hとマップレジスタA 13 f / マップレジスタ
B 13 j と、新規に追加したアービタ13kとDMAアドレスカウンタ
E 13 rとマップレジスタC 13 mとマルチプレクサのMUX A 13 n
とMUX B 13 pとで構成する手段にする。

20 アービタ13kとマルチプレクサのMUX A 13 nとMUX B 13 p
とは上記①～⑥に示すデータ転送のプライオリティによる同時アクセス
時の制御とアドレスやデータの流れの制御を行う。

DMAアドレスカウンタE 13 rはEWS 12のメモリA 12 bとバ
ッファメモリ14間のDMA転送に使用され、DMAアドレスカウンタ

25 B 13 eと同一の機能を有している。

マップレジスタC 13 mはEWS 12のプログラムI/Oからみた場

合のアドレスバスCに対するアドレスオフセットが設定されて⑤のプログラムI/Oによるデータ転送に使用される。

MUX A 1 3 nはアドレスのマルチプレクスを行い、⑤と⑥によるデータ転送を行うときは(a)が選択され、①～④によるデータ転送を行うときは(b)が選択される。

MUX B 1 3 pはデータのマルチプレクスを行い、⑤と⑥によるデータ転送を行うときは(a)が選択され、①～④によるデータ転送を行うときは(b)が選択される。

①～④によるデータ転送をおこなう場合、マルチプレクサのMUX A 1 3 nとMUX B 1 3 pとはそれぞれ(b)が選択される。また、①～④によるデータ転送をおこなうための構成としては、従来のDMAアドレスカウンタB 1 3 e/DMAアドレスカウンタC 1 3 g/DMAアドレスカウンタD 1 3 hとマップレジスタA 1 3 f/マップレジスタB 1 3 jが使用され、それぞれ従来の技術で説明した動作をする。

⑤と⑥によるデータ転送をおこなう場合、マルチプレクサのMUX A 1 3 nとMUX B 1 3 pとはそれぞれ(a)が選択される。また、⑤と⑥によるデータ転送をおこなうための構成としては、DMAアドレスカウンタE 1 3 rとマップレジスタC 1 3 mが使用される。

本発明による上記⑤と⑥の転送について説明する。

EWS 1 2のメモリA 1 2 bに読み込まれたテストパターン100をバッファメモリ14のパターンメモリ14bへ転送する図1の経路B 1 6は、⑤と⑥によるデータ転送で行われる。すなわち⑤のプログラムI/Oの場合は、EWS 1 2のメモリA 1 2 bのアドレスにマップレジスタC 1 3 mのオフセットが付加されて、MUX A 1 3 nは(a)が選択され、MUX B 1 3 pは(a)が選択されて、バッファメモリ14のパターンメモリ14bにテストパターン100が高速転送される。また⑥

のDMA転送の場合は、DMAアドレスカウンタA12eがEWS12
のメモリA12bのアクセスに使用され、DMAアドレスカウンタE1
3rがバッファメモリ14のパターンメモリ14bのアクセスに使用さ
れ、MUXA13nは(a)が選択され、MUXB13pは(a)が選
5 択されて、テストパターンのデータが高速に転送される。

上記実施例の説明では転送データとしてテストパターン100の場合
で説明したが、他のデータでも転送の対象として扱うことができる。ま
た、データの転送先をバッファメモリのパターンメモリ14bとしたが
、他の情報記録媒体でも良く、同様にして実施できる。

10

産業上の利用可能性

本発明は、以上説明したように構成されているので、以下に示すよう
な効果を奏する。

つまり、従来の半導体試験装置では、ホストコンピュータのEWSの
15 メモリにあるテストパターンを転送する場合に、一旦テストプロセッサ
のメモリに転送してから、さらにバッファメモリのパターンメモリに転
送していた。その為に、LSIのテストパターンが大きい場合は試験時
間に対する転送時間のしめる割合が大きくなってきた。このため、本発
明では、従来の転送経路のほかに、テストプロセッサのメモリにアクセス
20 すること無く、ホストコンピュータのEWSのメモリからバッファメモ
リのパターンメモリに直接転送できる経路を設けた。テストパターンの
データを直接転送させるために、アドレスカウンタとマップレジスタを
追加し、さらに従来の転送経路と、追加した転送経路のプライオリティ
による同時アクセス時の制御とアドレスとデータの制御をする為にアー
25 ビタとマルチプレクサとを設けたことによりパターンデータの高速転送
を実現できた。

これにより、半導体試験装置におけるテストパターンの転送経路を簡略化してデータの転送時間を早くして、半導体試験のスループットの向上効果が得られる。

5

10

15

20

25

請求の範囲

1. ワークステーションのEWS(12)と制御用のテストコントローラ(13)とバッファメモリ(14)を有し、EWS(12)側にテストコントローラ(13)とインタフェースするI/F(12c)を有し、バッファメモリ(14)側にテストコントローラ(13)とインタフェースするI/F(14a)を有して、ワークステーションのEWS(12)のディスクドライブ(11)に格納されているテストパターン(100)とバッファメモリ(14)との間でパターン転送する、半導体試験装置用テストパターンの転送装置において、

EWS(12)のテストパターン(100)を、第1にI/F(13a)を経由して直接バッファメモリ(14)のI/F(14a)とでデータ転送をインタフェースし、第2にテストコントローラ(13)とでデータ転送をインタフェースする、I/F(13a)をテストコントローラ(13)に設け、

以上を具備していることを特徴とした半導体試験装置用テストパターンの高速転送装置。

2. 請求の範囲第1項記載のI/F(13a)として、同時アクセス時の制御とデータの流れの制御を行うアービタ(13k)と、マルチプレクサのMUX A(13n)とMUX B(13p)とを設け、

EWS(12)のメモリAのデータをテストコントローラ(13)のメモリB(13b)に転送し、さらにメモリBのデータをバッファメモリ(14)のパターンメモリ(14b)に転送するDMAアドレスカウンタB(13e)とDMAアドレスカウンタC(13g)とDMAアド

レスカウンタD (13 h) とマップレジスタA (13 f) とマップレジスタB (13 j) を設け、

EWS (12) のメモリAのデータをバッファメモリ (14) のパターンメモリ (14 b) に直接転送を行うためにDMAアドレスカウンタ
5 E (13 r) とマップレジスタC (13 m) を設け、

以上を具備していることを特徴とした半導体試験装置用テストパターンの高速転送装置。

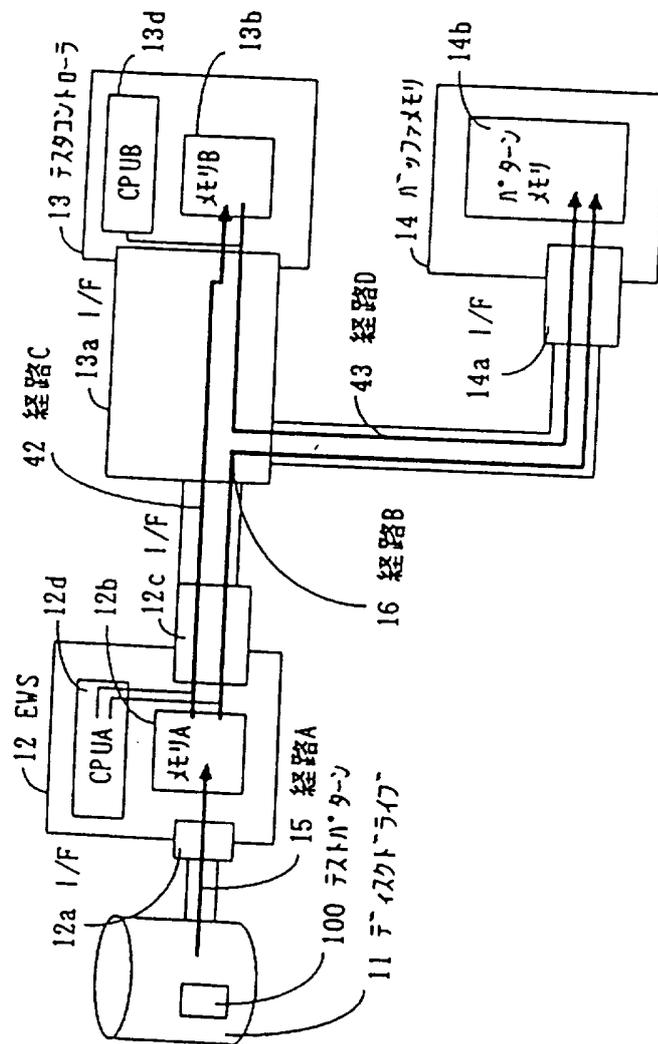
10

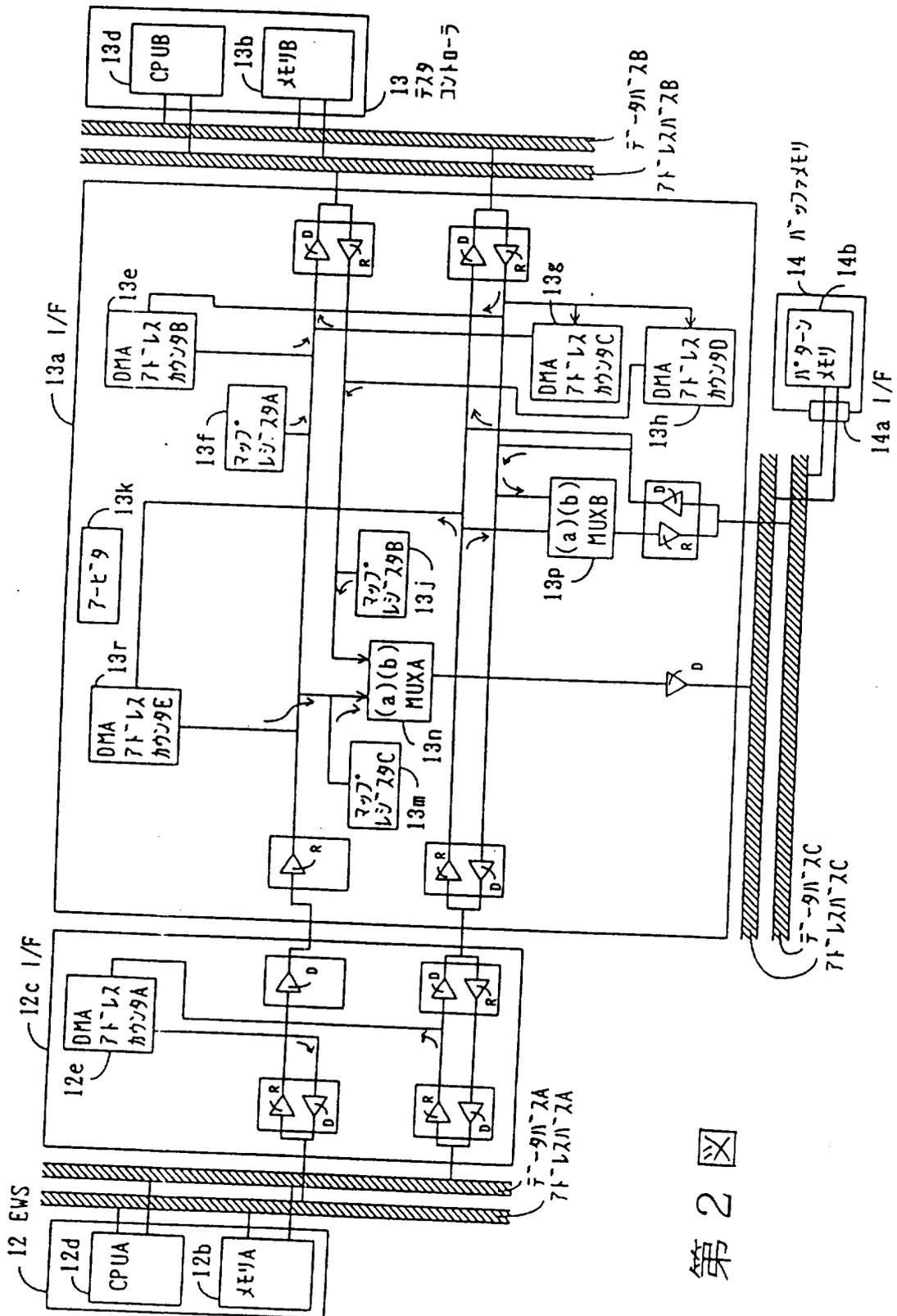
15

20

25

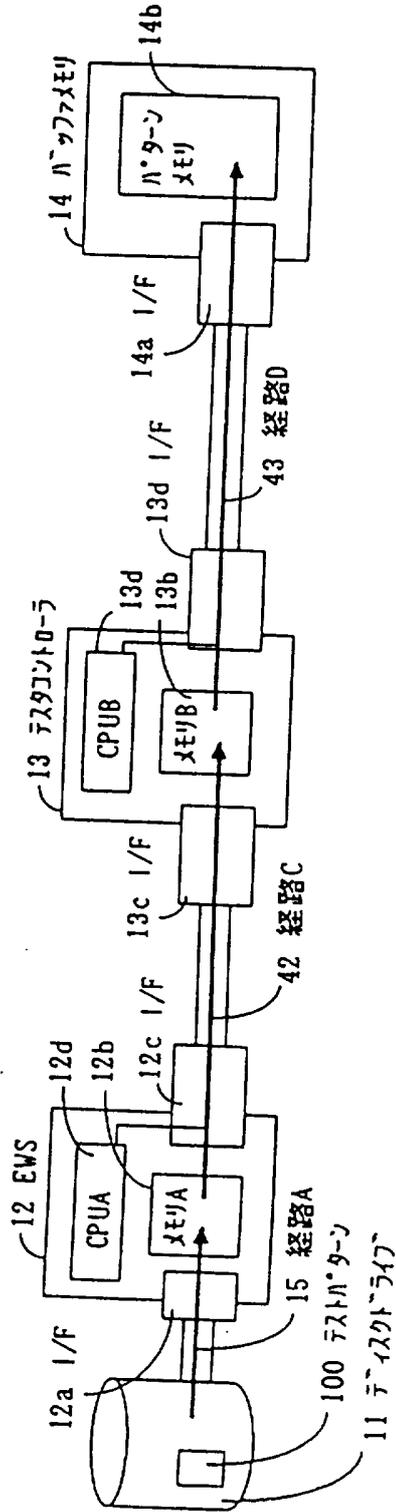
第 1 図

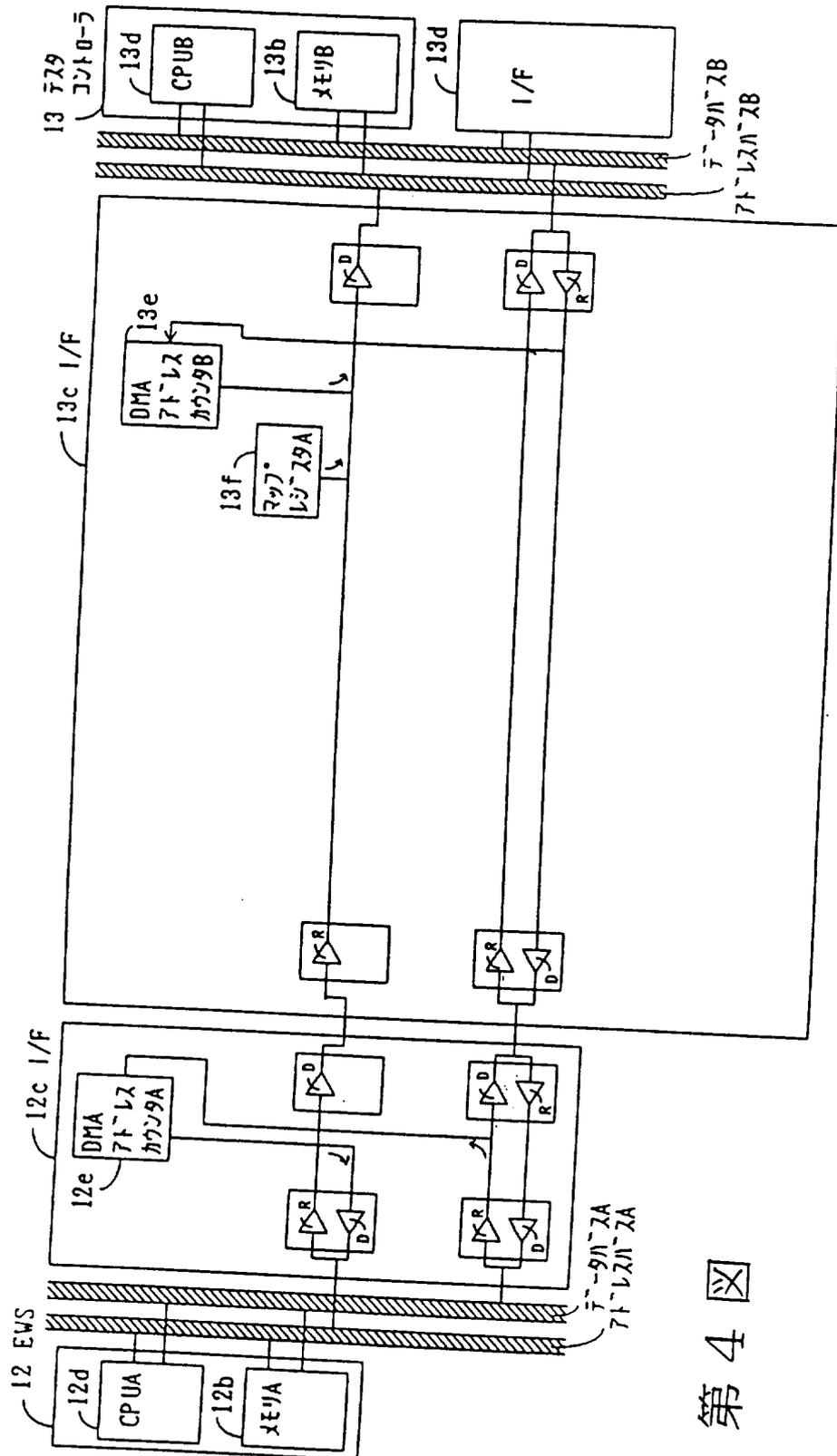




第 2 図

第 3 図

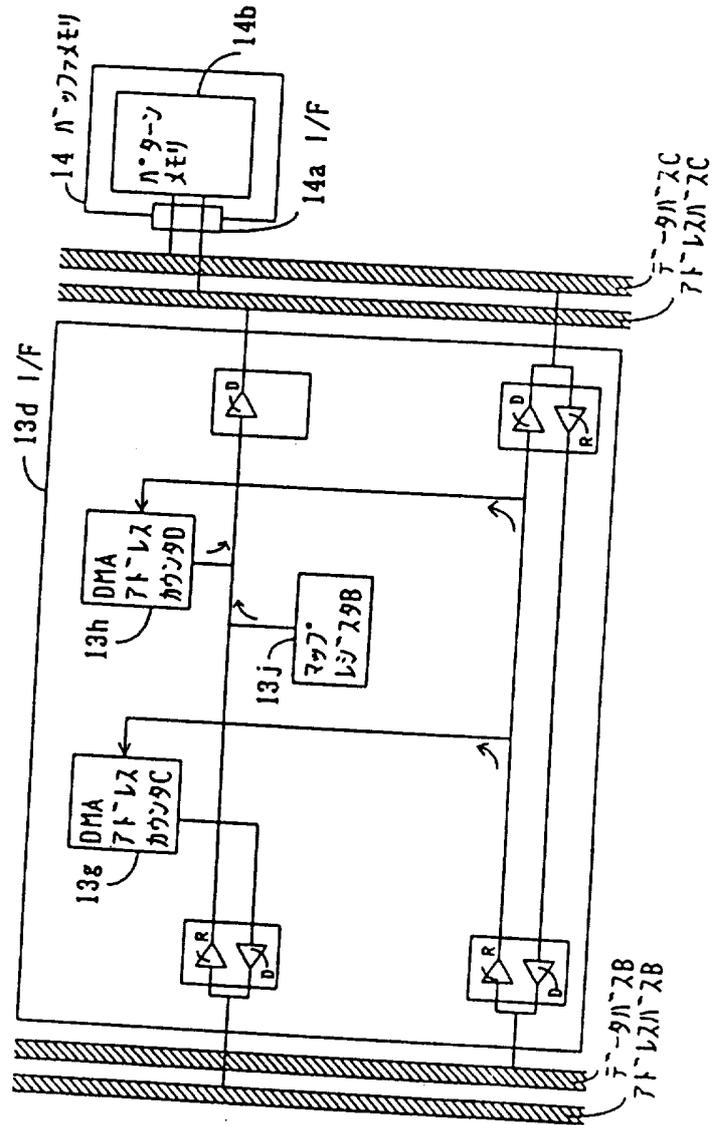




第 4 図

第 5 図

5 / 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/02692

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G01R31/28, G06F11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-126915, A (Mitsubishi Electric Corp.), May 25, 1993 (25. 05. 93) (Family: none)	1, 2
A	JP, 4-62486, A (Hitachi Electronics Eng. Co., Ltd.), February 27, 1992 (27. 02. 92) (Family: none)	1, 2
A	JP, 61-59558, A (Fujitsu Ltd.), March 27, 1986 (27. 03. 86) (Family: none)	1, 2

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

March 14, 1996 (14. 03. 96)

Date of mailing of the international search report

April 2, 1996 (02. 04. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl.⁸ G01R31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl.⁸ G01R31/28, G06F11/22

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1926-1995年
日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 5-126915, A (三菱電機株式会社), 25. 5月. 1993 (25. 05. 93) (ファミリーなし)	1, 2
A	JP, 4-62486, A (日立電子エンジニアリング株式会社), 27. 2月. 1992 (27. 02. 92) (ファミリーなし)	1, 2
A	JP, 61-59558, A (富士通株式会社), 27. 3月. 1986 (27. 03. 86) (ファミリーなし)	1, 2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 先行文献ではあるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日
14. 03. 96

国際調査報告の発送日
02.04.96

名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
関 根 洋 之 ⑤ **2 G 9 3 0 8**

電話番号 03-3581-1101 内線 **3226**