(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월12일
(11) 등록번호 10-1027678
(24) 등록일자 2011년03월31일

(51) Int. Cl.
H03L 7/08 (2006.01) *H03K 5/14* (2006.01)
(21) 출원번호 10-2008-0110974
(22) 출원일자 2008년11월10일
심사청구일자 2008년11월10일
(65) 공개번호 10-2010-0052095
(43) 공개일자 2010년05월19일
(56) 선행기술조사문헌
KR100837810 B1*
KR1020080001435 A
KR1020040102282 A
KR100837822 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
김관동
충청북도 청주시 흥덕구 복대1동 세원2차 테마빌 204동 902호
(74) 대리인
김성남

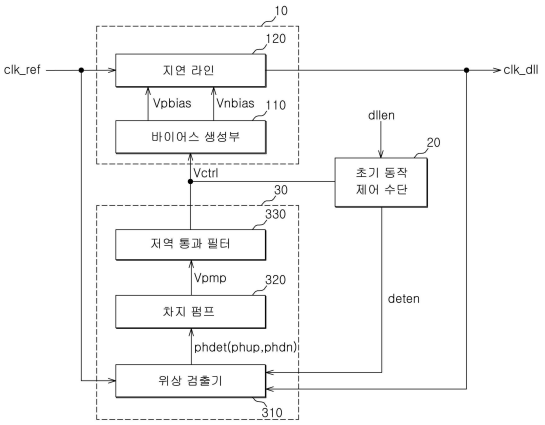
전체 청구항 수 : 총 10 항 심사관 : 김기완

(54) DLL 회로 및 그 제어 방법

(57) 요 약

본 발명의 DLL(Delay Locked Loop) 회로는, 기준 클럭을 지연시켜 DLL 클럭을 생성하되, 제어 전압의 레벨에 응답하여 지연량을 조정하는 지연 수단; 상기 제어 전압의 초기 레벨을 제어하고, 검출 인에이블 신호를 생성하는 초기 동작 제어 수단; 및 상기 검출 인에이블 신호에 응답하여 상기 기준 클럭과 상기 DLL 클럭의 위상을 비교하여 상기 제어 전압을 생성하는 지연 제어 수단;을 포함한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

초기 동작시 DLL 인에이블 신호가 인에이블되면 제어 전압의 레벨을 하강시키고, 상기 제어 전압의 레벨이 기준 레벨까지 하강한 것이 감지되면 검출 인에이블 신호를 활성화시키는 초기 동작 제어 수단;

상기 검출 인에이블 신호에 응답하여 기준 클럭과 DLL 클럭의 위상을 비교하여 상기 제어 전압의 레벨을 조절하는 지연 제어 수단; 및

상기 제어 전압의 레벨에 대응하는 지연량만큼 상기 기준 클럭을 지연하여 상기 DLL 클럭을 생성하는 지연 수단;

을 포함하는 DLL(Delay Locked Loop) 회로.

청구항 2

제 1 항에 있어서,

상기 지연 수단은,

상기 제어 전압의 레벨에 응답하여 풀업 바이어스 전압과 풀다운 바이어스 전압을 생성하는 바이어스 생성부; 및

상기 풀업 바이어스 전압과 상기 풀다운 바이어스 전압에 응답하여 상기 기준 클럭을 지연시켜 상기 DLL 클럭을 출력하는 지연 라인;

을 포함하는 것을 특징으로 하는 DLL 회로.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 지연 제어 수단은,

상기 검출 인에이블 신호가 인에이블 되면 상기 기준 클럭과 상기 DLL 클럭의 위상을 비교하여 위상 검출 신호를 생성하는 위상 검출기;

상기 위상 검출 신호에 응답하여 전압 펌핑 동작을 수행하여 펌핑 전압을 생성하는 차지 펌프; 및

상기 펌핑 전압을 여과하여 상기 제어 전압을 생성하는 저역 통과 필터;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 5

제 4 항에 있어서,

상기 위상 검출 신호는 위상 업 신호와 위상 다운 신호를 포함하며,

상기 위상 검출기는, 최초 동작시 상기 위상 업 신호를 먼저 인에이블 시키도록 구성됨을 특징으로 하는 DLL 회로.

청구항 6

제 5 항에 있어서,

상기 위상 검출기는,

상기 기준 클럭과 상기 DLL 클럭의 활성화 타이밍을 제어하여 제어 기준 클럭과 제어 DLL 클럭을 생성하는 타이밍 제어부;

상기 제어 기준 클럭과 상기 제어 DLL 클럭의 위상을 판별하여 상기 위상 업 신호를 생성하는 업 신호 생성부; 및

상기 제어 기준 클럭과 상기 제어 DLL 클럭의 위상을 판별하여 상기 위상 다운 신호를 생성하는 다운 신호 생성부;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 7

제 5 항에 있어서,

상기 차지 펌프는, 상기 위상 업 신호가 인에이블 되면 상기 펌핑 전압의 레벨을 상승시키고, 상기 위상 다운 신호가 인에이블 되면 상기 펌핑 전압의 레벨을 하강시키도록 구성됨을 특징으로 하는 DLL 회로.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

a) 제어 전압의 레벨을 기준 레벨 이하로 조절하고, 검출 인에이블 신호를 인에이블 시키는 단계;

b) 상기 검출 인에이블 신호에 응답하여 위상 업 신호를 인에이블 시키는 단계;

c) 상기 위상 업 신호에 응답하여 상기 제어 전압의 레벨을 상승시키는 단계; 및

d) 상기 제어 전압에 응답하여 기준 클럭을 지연시켜 DLL 클럭을 생성하는 단계;

를 포함하는 DLL(Delay Locked Loop) 회로의 제어 방법.

청구항 20

제 19 항에 있어서,

상기 a) 단계는,

a-1) DLL 인에이블 신호가 인에이블 되면 초기 전압 제어 신호를 인에이블 시키는 단계;

a-2) 상기 초기 전압 제어 신호에 응답하여, 상기 제어 전압의 레벨을 하강시키고, 기준 전압을 생성하는 단계;

a-3) 상기 제어 전압의 레벨이 상기 기준 전압의 레벨 이하로 하강한 것이 감지되면, 리셋 신호를 인에이블 시키는 단계;

a-4) 상기 리셋 신호에 응답하여 상기 검출 인에이블 신호를 인에이블 시키는 단계; 및

a-5) 상기 초기 전압 제어 신호를 디스에이블 시키고, 상기 리셋 신호를 디스에이블 시키는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 21

제 19 항에 있어서,

상기 c) 단계는,

c-1) 상기 위상 업 신호에 응답하여, 전압 펌핑 동작을 수행하여 펌핑 전압을 생성하되, 상기 펌핑 전압의 레벨을 상승시키는 단계; 및

c-2) 상기 펌핑 전압을 여과하여 상기 제어 전압을 생성하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 22

제 19 항에 있어서,

상기 d) 단계는,

d-1) 상기 제어 전압의 레벨에 응답하여 풀업 바이어스 전압과 풀다운 바이어스 전압을 생성하는 단계; 및

d-2) 상기 풀업 바이어스 전압과 상기 풀다운 바이어스 전압에 응답하여 상기 기준 클럭을 지연시켜 상기 DLL 클럭을 생성하되, 상기 제어 전압에 응답하여 상기 DLL 클럭의 주파수를 조정하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로, 보다 상세하게는 반도체 집적 회로의 내부에서 사용되는 DLL(Delay Locked Loop) 회로 및 그 제어 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 반도체 집적 회로는 그 동작 속도를 향상시키기 위해, 내부 클럭을 이용하여 출력 데이터를 동기시키는 기술을 활용하며, 이를 위해 DLL(Delay Locked Loop) 회로와 같은 클럭 생성 회로를 구비한다. 최근의 반도체 집적 회로는 점점 더 고속 동작을 구현하는 추세에 있으며, 이에 따라 내부 클럭의 위상을 복수 개로 분할

하여 다위상의 내부 클럭을 생성하여 각각의 위상에 데이터를 동기시키도록 하는 기술이 구현되고 있다. 이와 같은 기술 추이에 따라, DLL 회로는 다위상(Multi-Phase) DLL 회로로서 구현되는데, 이 때 DLL 클럭은 일정한 위상차를 갖는 복수 개의 클럭의 집합으로서 구현된다.

[0003] 일반적으로 다위상 DLL 회로는 아날로그(Analog) 타입으로 구현되며, 전압 펌핑 동작을 통해 얻은 제어 전압을 지연 라인에 공급하여 DLL 클럭의 위상을 제어하는 방식을 따른다. 이와 같은 DLL 회로는 짧은 락킹 타임(Locking Time)을 요구한다. 한편, 다위상 DLL 회로에서는 락킹 타임이 길어지는 경우 DLL 클럭의 한 주기를 복수 개로 균등 분할한 위상차를 가져야만 하는 DLL 클럭 내의 복수 개의 클럭들이 자칫하면 두 주기를 균등 분할한 위상차를 갖게 되는 하모닉 락(Harmonic Lock) 또는 서브 하모닉 락(Sub-Harmonic Lock)과 같은 오류가 발생할 수 있다. 이와 같은 오류의 발생을 방지하기 위해서는, 제어 전압의 레벨이 초기 동작시 적절한 레벨로 구현되어야만 한다. 그러나 종래의 다위상 DLL 회로에서는 초기 동작시 제어 전압의 레벨을 제어할 만한 기술적 구성이 구비되지 않았고, 이에 따라 안정적인 다위상의 DLL 클럭의 구현이 용이하지 않았다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 짧은 락킹 타임을 갖는 다위상 DLL 회로 및 그 제어 방법을 제공하는 데에 그 기술적 과제가 있다.

[0005] 또한, 본 발명은 다위상의 클럭을 생성함에 있어서 하모닉 락 또는 서브 하모닉 락 등의 오동작을 감소시키는 DLL 회로 및 그 제어 방법을 제공하는 데에 다른 기술적 과제가 있다.

과제 해결수단

[0006] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 DLL 회로는, 기준 클럭을 지연시켜 DLL 클럭을 생성하되, 제어 전압의 레벨에 응답하여 지연량을 조정하는 지연 수단; 상기 제어 전압의 초기 레벨을 제어하고, 검출 인에이블 신호를 생성하는 초기 동작 제어 수단; 및 상기 검출 인에이블 신호에 응답하여 상기 기준 클럭과 상기 DLL 클럭의 위상을 비교하여 상기 제어 전압을 생성하는 지연 제어 수단;을 포함한다.

[0007] 또한, 본 발명의 다른 실시예에 따른 DLL 회로는, 초기 동작시 제어 전압의 레벨을 기준 레벨까지 하강시킨 후 검출 인에이블 신호를 인에이블 시키는 초기 동작 제어 수단; 상기 검출 인에이블 신호에 응답하여 기준 클럭과 DLL 클럭의 위상을 비교하여 위상 검출 신호를 생성하는 위상 검출기; 상기 위상 검출 신호에 응답하여 전압 펌핑 동작을 수행하여 펌핑 전압을 생성하는 차지 펌프; 및 상기 펌핑 전압을 여과하여 상기 제어 전압을 생성하는 저역 통과 필터;를 포함한다.

[0008] 그리고, 본 발명의 또 다른 실시예에 따른 DLL 회로의 제어 방법은, a) 제어 전압의 레벨을 기준 레벨 이하로 조절하고, 검출 인에이블 신호를 인에이블 시키는 단계; b) 상기 검출 인에이블 신호에 응답하여 위상 업 신호를 인에이블 시키는 단계; c) 상기 위상 업 신호에 응답하여 상기 제어 전압의 레벨을 상승시키는 단계; 및 d) 상기 제어 전압에 응답하여 기준 클럭을 지연시켜 DLL 클럭을 생성하는 단계;를 포함한다.

효 과

[0009] 본 발명의 DLL 회로 및 그 제어 방법은, 초기 동작시의 제어 전압이 락킹 완료시의 레벨에 근사한 레벨을 갖도록 조정하고, 이후 클럭에 대한 지연 고정 동작을 시작함으로써, 락킹 타임을 짧게 하는 효과를 창출한다.

[0010] 아울러, 본 발명의 DLL 회로 및 그 제어 방법은, 지연 고정 동작시 제어 전압의 레벨이 오차 범위를 넘지 않도록, 초기 동작시 제어 전압의 레벨을 기 설정된 레벨로 조정함으로써, 다위상 생성시의 오동작을 감소시키는 효과를 창출한다.

발명의 실시를 위한 구체적인 내용

[0011] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

[0012] 도 1은 본 발명의 일 실시예에 따른 DLL 회로의 구성을 나타낸 블록도이다.

[0013] 도시한 바와 같이, 본 발명의 일 실시예에 따른 DLL 회로는, 제어 전압(Vctrl)의 레벨에 응답하여 기준 클럭(clk_ref)을 지연시켜 DLL 클럭(clk_dll)을 생성하는 지연 수단(10); DLL 인에이블 신호(dllen)가 인에이블 되

면 상기 제어 전압(Vctrl)의 초기 레벨을 제어하여 검출 인에이블 신호(deten)를 생성하는 초기 동작 제어 수단(20); 및 상기 검출 인에이블 신호(deten)가 인에이블 되면 상기 기준 클럭(clk_ref)과 상기 DLL 클럭(clk_dll)의 위상을 비교하여 상기 제어 전압(Vctrl)을 생성하는 지연 제어 수단(30);을 포함한다.

[0014] 여기에서, 상기 지연 수단(10)은, 상기 제어 전압(Vctrl)의 레벨에 응답하여 풀업 바이어스 전압(Vpbias)과 풀다운 바이어스 전압(Vnbias)을 생성하는 바이어스 생성부(110); 및 상기 풀업 바이어스 전압(Vpbias)과 상기 풀다운 바이어스 전압(Vnbias)에 응답하여 상기 기준 클럭(clk_ref)을 지연시켜 상기 DLL 클럭(clk_dll)을 출력하는 지연 라인(120);을 포함한다.

[0015] 이와 같은 구성에 의해, 상기 지연 수단(10)은 상기 기준 클럭(clk_ref)을 지연시켜 상기 DLL 클럭(clk_dll)을 생성하되, 상기 제어 전압(Vctrl)의 레벨에 응답하여 지연량을 조정할 수 있다. 여기에서는, 상기 지연 수단(10)이 상기 제어 전압(Vctrl)의 레벨이 상승하면 상기 DLL 클럭(clk_dll)의 위상을 뒤로 밀고, 상기 제어 전압(Vctrl)의 레벨이 하강하면 상기 DLL 클럭(clk_dll)의 위상을 앞으로 당기도록 구성되는 것으로 이해하기로 한다. 상기 지연 수단(10)은 다위상의 클럭을 생성하는 구성을 가지며, 여기에서의 상기 DLL 클럭(clk_dll)은 소정의 위상차를 갖는 복수 개의 클럭들 중 기준이 되는 어느 하나의 클럭을 지칭한 것이다.

[0016] 상기 초기 동작 제어 수단(20)은 상기 DLL 회로의 동작이 시작되어 상기 DLL 인에이블 신호(dllen)가 인에이블 되면, 우선 상기 제어 전압(Vctrl)의 레벨을 하강시킨다. 이후, 상기 제어 전압(Vctrl)의 레벨이 기 설정된 기준 레벨까지 하강한 것이 감지되면, 상기 검출 인에이블 신호(deten)를 인에이블 시킨다. 상기 DLL 인에이블 신호(dllen)는 패드를 통해 외부에서 입력될 수 있다.

[0017] 한편, 상기 지연 제어 수단(30)은, 상기 검출 인에이블 신호(deten)가 인에이블 되면 상기 기준 클럭(clk_ref)과 상기 DLL 클럭(clk_dll)의 위상을 비교하여 위상 검출 신호(phdet)를 생성하는 위상 검출기(310); 상기 위상 검출 신호(phdet)에 응답하여 전압 펌핑 동작을 수행하여 펌핑 전압(Vpmp)을 생성하는 차지 펌프(320); 및 상기 펌핑 전압(Vpmp)을 여과하여 상기 제어 전압(Vctrl)을 생성하는 저역 통과 필터(330);를 포함한다.

[0018] 상기 위상 검출기(310)로부터 생성되는 상기 위상 검출 신호(phdet)는 위상 업 신호(phup)와 위상 다운 신호(phdn)를 포함한다. 상기 위상 업 신호(phup)와 상기 위상 다운 신호(phdn)는 각각 펄스 신호의 형태로서 구현되며, 상기 기준 클럭(clk_ref)과 상기 DLL 클럭(clk_dll) 중 어느 클럭의 위상이 앞서는지에 따라 두 신호 중 하나만 인에이블 될 수 있다. 상기 차지 펌프(320)는 상기 위상 업 신호(phup)가 인에이블 되면 상기 펌핑 전압(Vpmp)의 레벨을 상승시키고, 상기 위상 다운 신호(phdn)가 인에이블 되면 상기 펌핑 전압(Vpmp)의 레벨을 하강시킨다.

[0019] 즉, 상기 DLL 회로의 동작이 시작되면, 상기 초기 동작 제어 수단(20)은 상기 제어 전압(Vctrl)의 레벨을 기 설정된 기준 레벨 이하로 조절하고, 상기 검출 인에이블 신호(deten)를 인에이블 시킨다. 상기 위상 검출기(310)는 상기 검출 인에이블 신호(deten)가 인에이블 됨에 따라 동작을 시작한다. 본 실시예에서는, 최초 동작시에는 상기 위상 업 신호(phup)를 먼저 인에이블 시키도록 구성하였다. 상기 차지 펌프(320)는 상기 위상 업 신호(phup)가 인에이블 됨에 따라 상기 펌핑 전압(Vpmp)의 레벨을 상승시키고, 이에 따라 상기 제어 전압(Vctrl)의 레벨은 상승하게 된다. 따라서, 상기 DLL 클럭(clk_dll)의 위상은 점차 뒤로 밀리게 된다.

[0020] 이후에도, 상기 검출 인에이블 신호(deten)는 인에이블 상태를 유지한다. 따라서, 상기 위상 검출기(310)는 지속적으로 상기 기준 클럭(clk_ref)과 상기 DLL 클럭(clk_dll)의 위상을 비교 및 검출하는 동작을 수행하여, 상기 위상 업 신호(phup) 또는 상기 위상 다운 신호(phdn)를 인에이블 시키며, 이에 따라 상기 제어 전압(Vctrl)의 레벨은 상승 또는 하강하게 된다. 이후, 상기 제어 전압(Vctrl)의 레벨이 기 설정된 레벨에 도달하게 되면, 상기 DLL 클럭(clk_dll)은 상기 기준 클럭(clk_ref)과 정확히 한 주기의 위상차를 갖게 되며, 상기 DLL 회로의 지연 고정 동작은 완료된다.

[0021] 이처럼, 본 발명의 일 실시예에 따른 DLL 회로에서, 초기 동작시의 상기 제어 전압(Vctrl)의 레벨은 락킹 완료시 갖게 될 레벨에 근사하도록 설정된다. 따라서, 상기 DLL 회로의 락킹 타임을 짧게 하는 것이 가능하며, 락킹 시점까지의 상기 제어 전압(Vctrl)의 레벨의 변동량이 크지 않으므로, 오차 범위를 넘을 가능성을 감소시킬 수 있어, 보다 안정적으로 다위상의 클럭을 생성하는 것 또한 가능하게 된다.

[0022] 도 2는 도 1에 도시한 DLL 회로의 동작을 설명하기 위한 그래프이다.

[0023] 도시된 그래프에서, 가로축은 상기 제어 전압(Vctrl)의 레벨을 나타내고, 세로축은 상기 지연 라인(120)이 상기 DLL 클럭(clk_dll)을 생성하기 위해 상기 기준 클럭(clk_ref)에 부여하는 총 지연량을 나타낸다. 따라서, 그래프 상의 실선으로 그려진 곡선은 상기 제어 전압(Vctrl)의 레벨 변화에 따른 상기 총 지연량의 변화를

나타낸다.

[0024] 곡선 상에는 제 1 락킹 지점과 제 2 락킹 지점이라는 두 개의 점이 표시되어 있다. 상기 제 1 락킹 지점은 정확한 락킹이 일어나는 지점을 표현한 것으로서, 상기 제어 전압(Vctrl)과 상기 총 지연량이 이 지점에 도달하면, 상기 DLL 클럭(clk_dll)은 기 설정된 위상차로 균등 분할된다. 즉, 예를 들어, 상기 DLL 클럭(clk_dll)이 8개의 위상을 갖는 클럭들의 집합이라면 각각의 클럭들이 45도의 위상차를 갖게 된다.

[0025] 반면에 상기 제 2 락킹 지점은 락킹 오류가 일어나는 지점을 표현한 것으로서, 상기 제어 전압(Vctrl)과 상기 총 지연량이 이 지점에 도달하면, 상기 DLL 클럭(clk_dll)은 기 설정된 위상차의 두 배로 균등 분할된다. 즉, 상기와 같이 DLL 클럭(clk_dll)이 8개의 위상을 갖는 클럭들의 집합이라면 각각의 클럭들이 90도의 위상차를 갖게 된다.

[0026] 또한, 곡선 상에는 제 1 영역과 제 2 영역이라는 두 개의 구간이 표시되어 있다. 제 1 영역과 제 2 영역은 상기 제어 전압(Vctrl)의 초기 레벨을 설정하기 위한 영역으로서, 모두 상기 제 1 락킹 지점에 가깝게 위치한다. 상기 제어 전압(Vctrl)의 초기 레벨을 상기 제 1 영역 내에 설정하는 경우, 상기 DLL 회로는 초기 동작시 상기 제어 전압(Vctrl)의 레벨을 낮추는 동작을 수행하여야만 한다. 그러나, 상기 실선으로 나타낸 곡선은 상기 DLL 회로가 구비되는 반도체 집적 회로의 PVT(Process, Voltage, Temperature : 공정, 전압, 온도) 변화에 따라 점선으로 나타낸 곡선으로 변화하곤 한다. 이처럼, 실선의 곡선이 상기 점선의 곡선으로 변화한 상태에서는 점선의 화살표와 같이 상기 제 1 락킹 지점과 상기 제 1 영역이 변화하게 된다. 이러한 상태에서, 상기 DLL 회로가 초기 동작시부터 상기 제어 전압(Vctrl)을 낮추는 동작을 수행하게 되면 상기 제어 전압(Vctrl)은 결국 빗금으로 표현한 동작 불능 영역까지 하강하게 될 수 있다.

[0027] 따라서, 본 발명의 DLL 회로는, 상기 제 2 영역에 상기 제어 전압(Vctrl)의 초기 레벨을 설정하고, 이후 점진적으로 상기 제어 전압(Vctrl)의 레벨을 상승시키는 동작을 수행함으로써, 상술한 오동작이 발생하지 않도록 한다. 상기 위상 검출기(310)가 초기에 상기 위상 업 신호(phup)를 먼저 출력하고, 이에 따라 상기 차지 펌프(320)가 상기 펌핑 전압(Vpmp)의 레벨을 상승시키는 동작을 수행하도록 하는 것은 이러한 원인에서 기인한 것이다.

[0028] 도 3은 도 1에 도시한 바이어스 생성부의 상세 구성도이다.

[0029] 도시한 바와 같이, 상기 바이어스 생성부(110)는, 소스 단에 외부 공급전원(VDD)이 인가되는 제 1 트랜지스터(TR1); 상기 제 1 트랜지스터(TR1)의 드레인 단과 접지단 사이에 구비되는 전류원(CS); 게이트 단이 상기 제 1 트랜지스터(TR1)의 게이트 단에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 제 1 노드(N1)에 접속되는 제 2 트랜지스터(TR2); 게이트 단에 상기 제어 전압(Vctrl)이 인가되고 소스 단이 상기 제 1 노드(N1)에 접속되며 드레인 단이 제 2 노드(N2)에 접속되는 제 3 트랜지스터(TR3); 게이트 단이 제 3 노드(N3)에 접속되고 소스 단이 상기 제 1 노드(N1)에 접속되며 드레인 단이 제 4 노드(N4)에 접속되는 제 4 트랜지스터(TR4); 게이트 단이 상기 제 4 노드(N4)에 접속되고 드레인 단이 상기 제 2 노드(N2)에 접속되며 소스 단이 접지되는 제 5 트랜지스터(TR5); 및 게이트 단과 드레인 단이 상기 제 4 노드(N4)에 접속되고 소스 단이 접지되는 제 6 트랜지스터(TR6);를 포함한다.

[0030] 또한, 상기 바이어스 생성부(110)는, 게이트 단에 상기 제어 전압(Vctrl)이 인가되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 상기 제 3 노드(N3)에 접속되는 제 7 트랜지스터(TR7); 게이트 단과 드레인 단이 상기 제 3 노드(N3)에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되는 제 8 트랜지스터(TR8); 게이트 단이 상기 제 2 노드(N2)에 접속되고 드레인 단이 상기 제 3 노드(N3)에 접속되며 소스 단이 접지되는 제 9 트랜지스터(TR9); 게이트 단과 드레인 단이 제 5 노드(N5)에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되는 제 10 트랜지스터(TR10); 게이트 단과 드레인 단이 상기 제 5 노드(N5)에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되는 제 11 트랜지스터(TR11); 게이트 단이 상기 제 2 노드(N2)에 접속되고 드레인 단이 상기 제 5 노드(N5)에 접속되며 소스 단이 접지되는 제 12 트랜지스터(TR12); 및 상기 제 2 노드(N2)와 접지단 사이에 구비되는 제 1 캐패시터(C1);를 더 포함한다.

[0031] 여기에서 상기 제 2 노드(N2)에 인가되는 전압이 상기 풀다운 바이어스 전압(Vnbias)이고, 상기 제 5 노드(N5)에 인가되는 전압이 상기 풀업 바이어스 전압(Vpbias)이다.

[0032] 이와 같은 상기 바이어스 생성부(110)의 구성에 의해, 상기 제어 전압(Vctrl)의 레벨이 높아지면 상기 제 3 노드(N3)의 전위 레벨이 낮아지게 되고, 이에 따라 상기 제 4 노드(N4)의 전위 레벨이 높아지게 되므로, 상기 제 2 노드(N2)에 인가되는 상기 풀다운 바이어스 전압(Vnbias)의 레벨은 낮아지게 되며, 상기 제 5 노드(N5)에 인

가되는 상기 풀업 바이어스 전압(Vpbias)의 레벨은 높아지게 된다.

[0033] 반면에, 상기 제어 전압(Vctrl)의 레벨이 낮아지면 상기 제 3 노드(N3)의 전위 레벨이 높아지게 되고, 이에 따라 상기 제 4 노드(N4)의 전위 레벨이 낮아지게 되므로, 상기 제 2 노드(N2)에 인가되는 상기 풀다운 바이어스 전압(Vnbias)의 레벨은 높아지게 되며, 상기 제 5 노드(N5)에 인가되는 상기 풀업 바이어스 전압(Vpbias)의 레벨은 낮아지게 된다.

[0034] 도 4는 도 1에 도시한 지연 라인의 상세 구성도로서, 여기에서 상기 DLL 클럭(clk_dll)은 일정한 위상차를 갖는 8개의 클럭들(clk_dll1 ~ clk_dll8)의 집합으로서 구현되며, 상기 기준 클럭(clk_ref)과 상기 DLL 클럭(clk_dll)은 각각 클럭 쌍(clk_ref, /clk_ref, clk_dll, /clk_dll)으로서 구현된다고 가정하기로 한다.

[0035] 도시한 바와 같이, 상기 지연 라인(120)은, 각각 상기 풀업 바이어스 전압(Vpbias) 및 상기 풀다운 바이어스 전압(Vnbias)에 응답하여 앞단의 출력 신호 쌍을 지연시켜 생성한 출력 신호 쌍을 뒷단에 전달하는 제 1 내지 제 8 단위 지연기(UD1 ~ UD8); 및 상기 제 1 내지 제 8 단위 지연기(UD1 ~ UD8)의 출력 신호 쌍들을 각각 버퍼링하여 각각 제 1 DLL 클럭 쌍(clk_dll1, /clk_dll1), 제 2 DLL 클럭 쌍(clk_dll2, /clk_dll2), 제 3 DLL 클럭 쌍(clk_dll3, /clk_dll3), 제 4 DLL 클럭 쌍(clk_dll4, /clk_dll4), 제 5 DLL 클럭 쌍(clk_dll5, /clk_dll5), 제 6 DLL 클럭 쌍(clk_dll6, /clk_dll6), 제 7 DLL 클럭 쌍(clk_dll7, /clk_dll7) 및 제 8 DLL 클럭 쌍(clk_dll8, /clk_dll8)을 출력하는 제 1 내지 제 8 버퍼(BUF1 ~ BUF8);를 포함한다.

[0036] 여기에서, 상기 제 1 단위 지연기(UD1)는 상기 기준 클럭 쌍(clk_ref, /clk_ref)을 입력 받아 지연시키도록 구성된다.

[0037] 이와 같은 구성에 의해 출력되는 상기 제 1 내지 제 8 DLL 클럭(clk_dll1 ~ clk_dll8)은 각각 상기 기준 클럭(clk_ref)의 한 주기를 8등분한 위상차를 가져야만 한다. 이 때, 상기 바이어스 생성부(110)로부터 전달되는 상기 풀업 바이어스 전압(Vpbias)의 레벨이 높아지고 상기 풀다운 바이어스 전압(Vnbias)의 레벨이 낮아지면, 상기 지연 라인(120)은 상기 기준 클럭(clk_ref)에 부여하는 지연량을 증가시키며, 이에 따라 상기 DLL 클럭(clk_dll)의 위상은 뒤로 밀리게 된다. 반면에, 상기 풀업 바이어스 전압(Vpbias)의 레벨이 낮아지고 상기 풀다운 바이어스 전압(Vnbias)의 레벨이 높아지면 상기 지연 라인(120)은 상기 기준 클럭(clk_ref)에 부여하는 지연량을 감소시키고, 이에 따라 상기 DLL 클럭(clk_dll)의 위상은 앞으로 당겨지게 된다.

[0038] 도 5는 도 1에 도시한 초기 동작 제어 수단의 상세 구성도이다.

[0039] 도시한 바와 같이, 상기 초기 동작 제어 수단(20)은, 상기 DLL 인에이블 신호(dllen)와 리셋 신호(rst)에 응답하여 초기 전압 제어 신호(ivcnt)를 생성하는 초기 전압 제어부(210); 상기 외부 공급전원(VDD)의 공급과 상기 초기 전압 제어 신호(ivcnt)의 제어에 응답하여 상기 제어 전압(Vctrl)의 레벨을 조정하는 제어 전압 조정부(220); 상기 외부 공급전원(VDD)의 공급과 상기 초기 전압 제어 신호(ivcnt)의 제어에 응답하여 기준 전압(Vref)을 생성하는 기준 전압 생성부(230); 상기 초기 전압 제어 신호(ivcnt)에 응답하여 상기 기준 전압(Vref)과 상기 제어 전압(Vctrl)의 레벨을 비교하여 상기 리셋 신호(rst)를 생성하는 전압 비교부(240); 및 상기 DLL 인에이블 신호(dllen)와 상기 리셋 신호(rst)에 응답하여 상기 검출 인에이블 신호(deten)를 생성하는 검출 인에이블 제어부(250);를 포함한다.

[0040] 상기 초기 전압 제어부(210)는 상기 DLL 인에이블 신호(dllen)가 인에이블 되기 이전에는 상기 초기 전압 제어 신호(ivcnt)를 디스에이블 시킨다. 이후, 상기 DLL 인에이블 신호(dllen)가 인에이블 되는 것에 응답하여 상기 초기 전압 제어 신호(ivcnt)를 인에이블 시키는데, 상기 초기 전압 제어 신호(ivcnt)의 인에이블 구간은 상기 리셋 신호(rst)의 인에이블 시점까지만 유지될 수 있다.

[0041] 상기 제어 전압 조정부(220)는 상기 초기 전압 제어 신호(ivcnt)가 인에이블 되기 이전에는 상기 제어 전압(Vctrl)이 상기 외부 공급전원(VDD)의 레벨을 갖도록 한다. 이후, 상기 초기 전압 제어 신호(ivcnt)가 인에이블 되면, 상기 제어 전압 조정부(220)는 상기 제어 전압(Vctrl)의 레벨을 하강시킨다. 상기 초기 전압 제어 신호(ivcnt)가 다시 디스에이블 되면 상기 제어 전압 조정부(220)는 상기 제어 전압(Vctrl)의 레벨 하강 동작을 중지한다.

[0042] 상기 기준 전압 생성부(230)는 상기 초기 전압 제어 신호(ivcnt)의 인에이블시 상기 외부 공급전원(VDD)을 내부에 구비된 저항들의 저항비에 따라 전압 분배하여 상기 기준 전압(Vref)을 생성한다. 이 때, 상기 기준 전압(Vref)의 레벨은 앞서 언급한 상기 제어 전압(Vctrl)의 기준 레벨이다. 도 2의 그래프를 참조하면, 상기 제어 전압(Vctrl)이 초기에 제 2 영역 내의 레벨을 가져야만 하므로, 이를 위해 상기 기준 전압(Vref)의 레벨은 상기

제어 전압(Vctrl)의 초기 레벨과 같은 레벨로서 설정된다.

[0043] 상기 전압 비교부(240)는 상기 초기 전압 제어 신호(ivcnt)가 인에이블 되면 상기 제어 전압(Vctrl)의 레벨이 상기 기준 전압(Vref)의 레벨보다 높을 때에는 상기 리셋 신호(rst)의 디스에이블 상태를 유지시키고, 상기 제어 전압(Vctrl)의 레벨이 상기 기준 전압(Vref)의 레벨보다 낮을 때에는 상기 리셋 신호(rst)를 인에이블 시킨다. 이후, 상기 전압 비교부(240)는 상기 초기 전압 제어 신호(ivcnt)가 디스에이블 되면 상기 리셋 신호(rst)를 디스에이블 시킨다.

[0044] 상기 검출 인에이블 제어부(250)는 상기 DLL 인에이블 신호(dllen)가 인에이블 되면 상기 검출 인에이블 신호(deten)를 디스에이블 시킨다. 그러나 이후, 상기 리셋 신호(rst)가 인에이블 되면 상기 검출 인에이블 신호(deten)를 인에이블 시키며, 상기 리셋 신호(rst)의 상태가 변화되어도 상기 검출 인에이블 신호(deten)의 인에이블 상태를 유지시킨다.

[0045] 즉, 상기 초기 동작 제어 수단(20)에서, 상기 DLL 회로의 동작이 시작되어 상기 DLL 인에이블 신호(dllen)가 인에이블 되면, 상기 초기 전압 제어부(210)는 상기 초기 전압 제어 신호(ivcnt)를 인에이블 시킨다. 이에 따라, 상기 기준 전압 생성부(230)는 기 설정된 레벨의 상기 기준 전압(Vref)을 생성하기 시작하고, 상기 제어 전압 조정부(220)는 상기 제어 전압(Vctrl)의 레벨을 하강시키기 시작한다. 상기 전압 비교부(240)는 상기 기준 전압(Vref)과 상기 제어 전압(Vctrl)의 레벨을 비교하는 동작을 수행하다가 상기 제어 전압(Vctrl)의 레벨이 상기 기준 전압(Vref)의 레벨보다 하강한 것이 감지되면 상기 리셋 신호(rst)를 인에이블 시킨다. 상기 초기 전압 제어부(210)는 상기 리셋 신호(rst)에 응답하여 상기 초기 전압 제어 신호(ivcnt)를 디스에이블 시킨다. 그리고, 상기 검출 인에이블 제어부(250)는 상기 리셋 신호(rst)에 응답하여 상기 검출 인에이블 신호(deten)를 인에이블 시키고, 이후 상기 리셋 신호(rst)가 디스에이블 되어도 상기 검출 인에이블 신호(deten)의 인에이블 상태를 유지시킨다.

[0046] 이처럼, 상기 초기 동작 제어 수단(20)은 상기 DLL 회로의 동작 초기에 상기 제어 전압(Vctrl)의 레벨을 하강시키기 위한 동작을 수행하며, 이후 상기 제어 전압(Vctrl)의 레벨이 기준 레벨 이하로 하강하면 상기 검출 인에이블 신호(deten)를 인에이블 시킨다. 이에 따라, 상기 지연 제어 수단(30)은 상기 제어 전압(Vctrl)의 레벨이 상기 기준 레벨 이하일 때에만 동작할 수 있게 되며, 결과적으로 빠른 락킹 타임을 가지고 안정적인 다위상의 클럭을 생성하는 DLL 회로를 구현할 수 있게 되는 것이다.

[0047] 도 6은 도 5에 도시한 초기 전압 제어부의 상세 구성도이다.

[0048] 도시한 바와 같이, 상기 초기 전압 제어부(210)는, 상기 리셋 신호(rst)를 입력 받는 제 1 인버터(IV1); 게이트 단에 상기 제 1 인버터(IV1)의 출력 신호가 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 제 6 노드(N6)에 접속되는 제 13 트랜지스터(TR13); 상기 제 6 노드(N6)의 전위를 입력 받는 제 2 인버터(IV2); 게이트 단에 상기 제 2 인버터(IV2)의 출력 신호가 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 상기 제 6 노드(N6)에 접속되는 제 14 트랜지스터(TR14); 상기 DLL 인에이블 신호(dllen)를 입력 받는 제 3 인버터(IV3); 게이트 단에 상기 제 3 인버터(IV3)의 출력 신호가 입력되고 드레인 단이 상기 제 6 노드(N6)에 접속되며 소스 단이 접지되는 제 15 트랜지스터(TR15); 상기 제 2 인버터(IV2)의 출력 신호를 입력 받는 제 4 인버터(IV4); 상기 DLL 인에이블 신호(dllen)를 입력 받는 제 5 인버터(IV5); 상기 제 5 인버터(IV5)의 출력 신호를 입력 받는 제 6 인버터(IV6); 상기 제 5 인버터(IV5)의 출력 신호와 상기 제 6 인버터(IV6)의 출력 신호의 제어에 따라 상기 제 4 인버터(IV4)의 출력 신호를 제 7 노드(N7)에 전달하는 제 1 패스게이트(PG1); 상기 제 5 인버터(IV5)의 출력 신호와 상기 제 6 인버터(IV6)의 출력 신호의 제어에 따라 상기 외부 공급전원(VDD)을 상기 제 7 노드(N7)에 전달하는 제 2 패스게이트(PG2); 및 상기 제 7 노드(N7)에 인가되는 전위를 입력 받아 상기 초기 전압 제어 신호(ivcnt)를 출력하는 제 7 인버터(IV7);를 포함한다.

[0049] 이와 같은 상기 초기 전압 제어부(210)의 구성에서, 상기 DLL 인에이블 신호(dllen)가 인에이블 되기 이전에는 상기 제 1 패스게이트(PG1)는 턴 오프(Turn Off) 되고 상기 제 2 패스게이트(PG2)는 턴 온(Turn On) 되므로, 상기 초기 전압 제어 신호(ivcnt)는 디스에이블 된다. 그러나, 상기 DLL 인에이블 신호(dllen)가 인에이블 되면, 상기 제 6 노드(N6)에 인가되어 있던 로우 레벨(Low Level)의 전위가 상기 제 2 인버터(IV2)와 상기 제 4 인버터(IV4)를 통해 상기 제 1 패스게이트(PG1)에 전달되고, 이 경우 상기 제 1 패스게이트(PG1)가 턴 온 되므로, 상기 초기 전압 제어 신호(ivcnt)는 인에이블 된다. 이후, 상기 리셋 신호(rst)가 인에이블 되면, 상기 제 13 트랜지스터(TR13)가 턴 온 됨에 따라 상기 제 6 노드(N6)는 하이 레벨의 전위를 갖게 되고, 결과적으로 상기 초기 전압 제어 신호(ivcnt)는 디스에이블 된다.

[0050] 즉, 상기 초기 전압 제어 신호(ivcnt)는 상기 DLL 인에이블 신호(dllen)가 인에이블 됨에 따라 인에이블 되고, 상기 리셋 신호(rst)가 인에이블 됨에 따라 디스에이블 된다.

[0051] 도 7은 도 5에 도시한 제어 전압 조정부와 기준 전압 생성부의 상세 구성도이다.

[0052] 도시한 바와 같이, 상기 제어 전압 조정부(220)는, 상기 제어 전압(Vctrl)이 인가되는 제 8 노드(N8); 게이트 단에 상기 DLL 인에이블 신호(dllen)가 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 상기 제 8 노드(N8)에 접속되는 제 16 트랜지스터(TR16); 상기 외부 공급전원(VDD)의 공급단과 상기 제 8 노드(N8) 사이에 구비되는 제 2 캐패시터(C2); 및 게이트 단에 상기 초기 전압 제어 신호(ivcnt)가 입력되고 드레인 단이 상기 제 8 노드(N8)에 접속되며 소스 단이 접지되는 제 17 트랜지스터(TR17);를 포함한다.

[0053] 또한, 상기 기준 전압 생성부(230)는, 상기 기준 전압(Vref)을 출력하는 제 9 노드(N9); 상기 초기 전압 제어 신호(ivcnt)를 입력 받는 제 8 인버터(IV8); 게이트 단에 상기 제 8 인버터(IV8)의 출력 신호가 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되는 제 18 트랜지스터(TR18); 상기 제 18 트랜지스터(TR18)의 드레인 단과 상기 제 9 노드(N9) 사이에 구비되는 제 1 저항(R1); 및 상기 제 9 노드(N9)와 접지단 사이에 구비되는 제 2 저항(R2);을 포함한다.

[0054] 상기 제어 전압 조정부(220)의 상기 제 8 노드(N8)에는 상기 지연 제어 수단(30)의 상기 저역 통과 필터(330)로부터 전달되는 상기 제어 전압(Vctrl)이 인가된다. 그러나, 상기 지연 제어 수단(30)의 동작이 활성화되기 이전에는 실질적으로 상기 지연 제어 수단(30)이 상기 제어 전압(Vctrl)을 생성하는 동작을 수행하지 않는다. 이 경우, 상기 DLL 인에이블 신호(dllen)의 디스에이블시 상기 외부 공급전원(VDD)이 상기 제 16 트랜지스터(TR16)를 통해 상기 제 8 노드(N8)에 전달되어 있으므로, 상기 제어 전압(Vctrl)의 레벨은 상기 외부 공급전원(VDD)과 같은 레벨이 되어 있다. 이후, 상기 DLL 인에이블 신호(dllen)가 디스에이블 되고 상기 초기 전압 제어 신호(ivcnt)가 인에이블 되면, 상기 제 17 트랜지스터(TR17)가 턴 온 되므로, 상기 제 8 노드(N8)의 전위, 즉 상기 제어 전압(Vctrl)의 레벨은 하강하게 된다. 이 때, 상기 제 2 캐패시터(C2)의 작용에 의해 상기 제 8 노드(N8)의 전위의 하강 속도는 급하지 않게 조정된다. 이와 같은 상기 제어 전압(Vctrl)의 레벨 하강은 상기 초기 전압 제어 신호(ivcnt)의 디스에이블 시점까지 지속된다.

[0055] 한편, 상기 초기 전압 제어 신호(ivcnt)가 인에이블 되면, 상기 기준 전압 생성부(230)의 상기 제 18 트랜지스터(TR18)가 턴 온 되므로, 상기 제 9 노드(N9)에 인가되는 상기 기준 전압(Vref)은 상기 제 1 저항(R1)과 상기 제 2 저항(R2)의 저항비에 따라 상기 외부 공급전원(VDD)을 전압 분배한 레벨을 갖게 된다. 이 때, 상기 기준 전압(Vref)의 레벨이 상기 제어 전압(Vctrl)이 도달해야만 하는 기준 레벨이 되도록, 상기 제 1 저항(R1)과 상기 제 2 저항(R2)의 저항비는 적절히 설정되어야만 한다.

[0056] 도 8은 도 5에 도시한 전압 비교부와 검출 인에이블 제어부의 상세 구성도이다.

[0057] 도시한 바와 같이, 상기 전압 비교부(240)는, 게이트 단이 제 10 노드(N10)에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 제 11 노드(N11)에 접속되는 제 19 트랜지스터(TR19); 게이트 단에 상기 기준 전압(Vref)이 인가되고 소스 단이 상기 제 11 노드(N11)에 접속되며 드레인 단이 상기 제 10 노드(N10)에 접속되는 제 20 트랜지스터(TR20); 게이트 단에 상기 기준 전압(Vref)이 인가되고 드레인 단이 상기 제 10 노드(N10)에 접속되며 소스 단이 제 12 노드(N12)에 접속되는 제 21 트랜지스터(TR21); 게이트 단에 상기 제어 전압(Vctrl)이 인가되고 소스 단이 상기 제 11 노드(N11)에 접속되며 드레인 단이 제 13 노드(N13)에 접속되는 제 22 트랜지스터(TR22); 게이트 단에 상기 제어 전압(Vctrl)이 인가되고 드레인 단이 상기 제 13 노드(N13)에 접속되며 소스 단이 상기 제 12 노드(N12)에 접속되는 제 23 트랜지스터(TR23); 게이트 단이 상기 제 10 노드(N10)에 접속되고 드레인 단이 상기 제 12 노드(N12)에 접속되는 제 24 트랜지스터(TR24); 게이트 단에 상기 초기 전압 제어 신호(ivcnt)가 입력되고 드레인 단이 상기 제 24 트랜지스터(TR24)의 소스 단에 접속되며 소스 단이 접지되는 제 25 트랜지스터(TR25); 상기 초기 전압 제어 신호(ivcnt)를 입력 받는 제 9 인버터(IV9); 게이트 단에 상기 제 9 인버터(IV9)의 출력 신호가 입력되고 드레인 단이 상기 제 13 노드(N13)에 접속되며 소스 단이 접지되는 제 26 트랜지스터(TR26); 상기 제 13 노드(N13)의 전위를 입력 받는 제 10 인버터(IV10); 및 상기 제 10 인버터(IV10)의 출력 신호를 입력 받아 상기 리셋 신호(rst)를 출력하는 제 11 인버터(IV11);를 포함한다.

[0058] 상기 검출 인에이블 제어부(250)는, 상기 DLL 인에이블 신호(dllen)를 입력 받는 반전 지연기(IDLY); 상기 DLL 인에이블 신호(dllen)와 상기 반전 지연기(IDLY)의 출력 신호를 입력 받는 제 1 낸드게이트(ND1); 게이트 단에 상기 제 1 낸드게이트(ND1)의 출력 신호가 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 제 14 노드(N14)에 접속되는 제 27 트랜지스터(TR27); 게이트 단에 상기 리셋 신호(rst)가 입력되고 드레인

단이 상기 제 14 노드(N14)에 접속되며 소스 단이 접지되는 제 28 트랜지스터(TR28); 상기 제 14 노드(N14)에 인가되는 전위를 입력 받아 상기 검출 인에이블 신호(deten)를 출력하는 제 12 인버터(IV12); 및 상기 제 12 인버터(IV12)와 래치 구조를 형성하는 제 13 인버터(IV13);를 포함한다.

[0059] 상술한 구성에 의해 상기 전압 비교부(240)는 상기 초기 전압 제어 신호(ivcnt)가 디스에이블 되면 상기 리셋 신호(rst)를 디스에이블 시킨다. 반면에, 상기 초기 전압 제어 신호(ivcnt)가 인에이블 되면 상기 기준 전압(Vref)과 상기 제어 전압(Vctrl)의 레벨을 비교하여 상기 리셋 신호(rst)를 인에이블 시킨다. 이 때, 앞서 설명한 것과 같이, 상기 기준 전압(Vref)의 레벨이 상기 제어 전압(Vctrl)의 레벨보다 낮으면, 상기 제 13 노드(N13)의 전위가 상기 제 10 노드(N10)의 전위보다 낮아지므로 상기 리셋 신호(rst)가 디스에이블 되고, 상기 제어 전압(Vctrl)의 레벨이 상기 기준 전압(Vref)의 레벨보다 낮으면, 상기 제 13 노드(N13)의 전위가 상기 제 10 노드(N10)의 전위보다 높아지므로 상기 리셋 신호(rst)가 인에이블 된다.

[0060] 상기 검출 인에이블 제어부(250)에서, 상기 제 1 낸드게이트(ND1)의 출력 신호는 로우 펄스(Low Pulse) 신호의 형태로서 구현된다. 상기 DLL 인에이블 신호(dllen)가 인에이블 되면, 상기 제 1 낸드게이트(ND1)의 출력 신호는 로우 레벨로 인에이블 된다. 이 때, 상기 제 27 트랜지스터(TR27)가 턴 온 되므로, 상기 제 14 노드(N14)에 하이 레벨의 전위가 공급되며, 이에 따라 상기 검출 인에이블 신호(deten)는 디스에이블 된다. 그리고, 이후 상기 제 1 낸드게이트(ND1)의 출력 신호가 디스에이블 되어도 상기 검출 인에이블 신호(deten)의 디스에이블 상태는 유지된다.

[0061] 이후, 상기 리셋 신호(rst)가 인에이블 되면, 상기 제 28 트랜지스터(TR28)가 턴 온 되므로, 상기 제 14 노드(N14)의 전위는 로우 레벨이 되며, 이에 따라 상기 검출 인에이블 신호(deten)는 인에이블 된다. 이후, 상기 리셋 신호(rst)가 디스에이블 되어도 상기 검출 인에이블 신호(deten)의 인에이블 상태는 유지된다.

[0062] 도 9는 도 1에 도시한 위상 검출기의 상세 구성도이다.

[0063] 도시한 바와 같이, 상기 위상 검출기(310)는, 상기 기준 클럭(clk_ref)과 상기 DLL 클럭(clk_dll)의 활성화 타이밍을 제어하여 제어 기준 클럭(clk_cref)과 제어 DLL 클럭(clk_cdll)을 생성하는 타이밍 제어부(312); 상기 제어 기준 클럭(clk_cref)과 상기 제어 DLL 클럭(clk_cdll)의 위상을 판별하여 상기 위상 업 신호(phup)를 생성하는 업 신호 생성부(314); 및 상기 제어 기준 클럭(clk_cref)과 상기 제어 DLL 클럭(clk_cdll)의 위상을 판별하여 상기 위상 다운 신호(phdn)를 생성하는 다운 신호 생성부(316);를 포함한다.

[0064] 여기에서, 상기 타이밍 제어부(312)는, 상기 기준 클럭(clk_ref)에 응답하여 상기 검출 인에이블 신호(deten)를 래치하는 제 1 플립플롭(FF1); 상기 기준 클럭(clk_ref)에 응답하여 상기 제 1 플립플롭(FF1)의 출력 신호를 래치하는 제 2 플립플롭(FF2); 상기 제 2 플립플롭(FF2)의 출력 신호와 상기 기준 클럭(clk_ref)을 입력 받는 제 2 낸드게이트(ND2); 상기 제 2 낸드게이트(ND2)의 출력 신호를 입력 받아 상기 제어 기준 클럭(clk_cref)을 출력하는 제 14 인버터(IV14); 상기 DLL 클럭(clk_dll)에 응답하여 상기 검출 인에이블 신호(deten)를 래치하는 제 3 플립플롭(FF3); 상기 제 3 플립플롭(FF3)의 출력 신호와 상기 DLL 클럭(clk_dll)을 입력 받는 제 3 낸드게이트(ND3); 및 상기 제 3 낸드게이트(ND3)의 출력 신호를 입력 받아 상기 제어 DLL 클럭(clk_cdll)을 출력하는 제 15 인버터(IV15);를 포함한다.

[0065] 또한, 상기 업 신호 생성부(314)는, 게이트 단에 상기 제어 기준 클럭(clk_cref)이 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되는 제 29 트랜지스터(TR29); 게이트 단에 상기 제어 DLL 클럭(clk_cdll)이 입력되고 소스 단이 상기 제 29 트랜지스터(TR29)의 드레인 단에 접속되며 드레인 단이 제 15 노드(N15)에 접속되는 제 30 트랜지스터(TR30); 게이트 단에 상기 제어 기준 클럭(clk_cref)이 입력되고 드레인 단이 상기 제 15 노드(N15)에 접속되며 소스 단이 접지되는 제 31 트랜지스터(TR31); 게이트 단이 상기 제 15 노드(N15)에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 제 16 노드(N16)에 접속되는 제 32 트랜지스터(TR32); 게이트 단에 상기 제어 DLL 클럭(clk_cdll)이 입력되고 드레인 단이 상기 제 16 노드(N16)에 접속되는 제 33 트랜지스터(TR33); 게이트 단이 상기 제 15 노드(N15)에 접속되고 드레인 단이 상기 제 33 트랜지스터(TR33)의 소스 단에 접속되며 소스 단이 접지되는 제 34 트랜지스터(TR34); 및 상기 제 16 노드(N16)의 전위를 입력 받아 상기 위상 업 신호(phup)를 출력하는 제 16 인버터(IV16);를 포함한다.

[0066] 상기 다운 신호 생성부(316)는, 게이트 단에 상기 제어 DLL 클럭(clk_cdll)이 입력되고 소스 단에 상기 외부 공급전원(VDD)이 인가되는 제 35 트랜지스터(TR35); 게이트 단에 상기 제어 기준 클럭(clk_cref)이 입력되고 소스 단이 상기 제 35 트랜지스터(TR35)의 드레인 단에 접속되며 드레인 단이 제 17 노드(N17)에 접속되는 제 36 트랜지스터(TR36); 게이트 단에 상기 제어 DLL 클럭(clk_cdll)이 입력되고 드레인 단이 상기 제 17 노드(N17)에

접속되며 소스 단이 접지되는 제 37 트랜지스터(TR37); 게이트 단이 상기 제 17 노드(N17)에 접속되고 소스 단에 상기 외부 공급전원(VDD)이 인가되며 드레인 단이 제 18 노드(N18)에 접속되는 제 38 트랜지스터(TR38); 게이트 단에 상기 제어 기준 클럭(clk_cref)이 입력되고 드레인 단이 상기 제 18 노드(N18)에 접속되는 제 39 트랜지스터(TR39); 게이트 단이 상기 제 17 노드(N17)에 접속되고 드레인 단이 상기 제 39 트랜지스터(TR39)의 소스 단에 접속되며 소스 단이 접지되는 제 40 트랜지스터(TR40); 및 상기 제 18 노드(N18)의 전위를 입력 받아 상기 위상 다운 신호(phdn)를 출력하는 제 17 인버터(IV17);를 포함한다.

[0067] 상기 타이밍 제어부(312)의 이와 같은 구성에 의해, 상기 제어 DLL 클럭(clk_cdll)은 상기 제어 기준 클럭(clk_cref)보다 먼저 토글(Toggle)하게 된다. 즉, 상기 검출 인에이블 신호(deten)가 인에이블 되면, 상기 기준 클럭(clk_ref)이 두 번 토글하여야만 상기 제 2 플립플롭(FF2)의 출력 신호가 하이 레벨이 될 수 있으나, 상기 DLL 클럭(clk_dll)이 한 번만 토글하여도 상기 제 3 플립플롭(FF3)의 출력 신호가 하이 레벨이 될 수 있으므로, 상기 제 15 인버터(IV15)로부터 출력되는 상기 제어 DLL 클럭(clk_cdll)이 상기 제 14 인버터(IV14)로부터 출력되는 상기 제어 기준 클럭(clk_cref)보다 먼저 토글하게 된다.

[0068] 상기 업 신호 생성부(314)는 상기 제어 DLL 클럭(clk_cdll)의 전위가 하이 레벨이고 상기 제어 기준 클럭(clk_cref)의 전위가 로우 레벨인 구간에서 상기 위상 업 신호(phup)를 인에이블 시킨다. 반대로, 상기 다운 신호 생성부(316)는 상기 제어 기준 클럭(clk_cref)의 전위가 하이 레벨이고 상기 제어 DLL 클럭(clk_cdll)의 전위가 로우 레벨인 구간에서 상기 위상 다운 신호(phdn)를 인에이블 시킨다. 이와 같은 구성에 의해, 일반적으로 상기 위상 업 신호(phup)와 상기 위상 다운 신호(phdn)는 각각 펄스 신호의 형태로서 구현될 수 있으며, 상보적으로 어느 하나만 인에이블 될 수 있다. 여기에서는 상기 제어 DLL 클럭(clk_cdll)이 상기 제어 기준 클럭(clk_cref)보다 먼저 토글하게 되므로, 초기 동작시 상기 위상 업 신호(phup)가 먼저 인에이블 되며, 이에 따라 이후 상기 제어 전압(Vctrl)의 레벨이 상승하게 된다.

[0069] 상술한 바와 같이, 다위상의 클럭을 생성하기 위해 아날로그 타입으로서 구현되는 본 발명의 DLL 회로는, 초기 동작시 제어 전압의 레벨을 하강시키고, 상기 제어 전압의 레벨이 기준 레벨까지 하강한 것이 감지되면 위상 검출기를 활성화시킨다. 이 때, 상기 위상 검출기는 먼저 위상 업 신호를 인에이블 시키도록 구성되며, 이에 따라 상기 제어 전압의 레벨은 상승하게 된다. 즉, 초기 동작시의 상기 제어 전압의 레벨을 락킹 완료시 상기 제어 전압이 갖게 되는 레벨에 근사하도록 설정하되, 락킹 완료시의 레벨보다 약간 낮은 레벨로 설정하고, 상기 제어 전압의 레벨을 상승시키면서 락킹 동작을 수행한다. 이에 따라, 상기 DLL 회로의 락킹 타임을 감소시킬 수 있게 되며, PVT 변동에 의해 상기 DLL 회로가 기준 클럭에 부여하는 지연량이 감소하더라도 안정적인 동작을 구현할 수 있다.

[0070] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0071] 도 1은 본 발명의 일 실시예에 따른 DLL 회로의 구성을 나타낸 블록도,

[0072] 도 2는 도 1에 도시한 DLL 회로의 동작을 설명하기 위한 그래프,

[0073] 도 3은 도 1에 도시한 바이어스 생성부의 상세 구성도,

[0074] 도 4는 도 1에 도시한 지연 라인의 상세 구성도,

[0075] 도 5는 도 1에 도시한 초기 동작 제어 수단의 상세 구성도,

[0076] 도 6은 도 5에 도시한 초기 전압 제어부의 상세 구성도,

[0077] 도 7은 도 5에 도시한 제어 전압 조정부와 기준 전압 생성부의 상세 구성도,

[0078] 도 8은 도 5에 도시한 전압 비교부와 검출 인에이블 제어부의 상세 구성도,

[0079] 도 9는 도 1에 도시한 위상 검출기의 상세 구성도이다.

[0080] <도면의 주요 부분에 대한 부호 설명>

[0081] 10 : 지연 수단 20 : 초기 동작 제어 수단

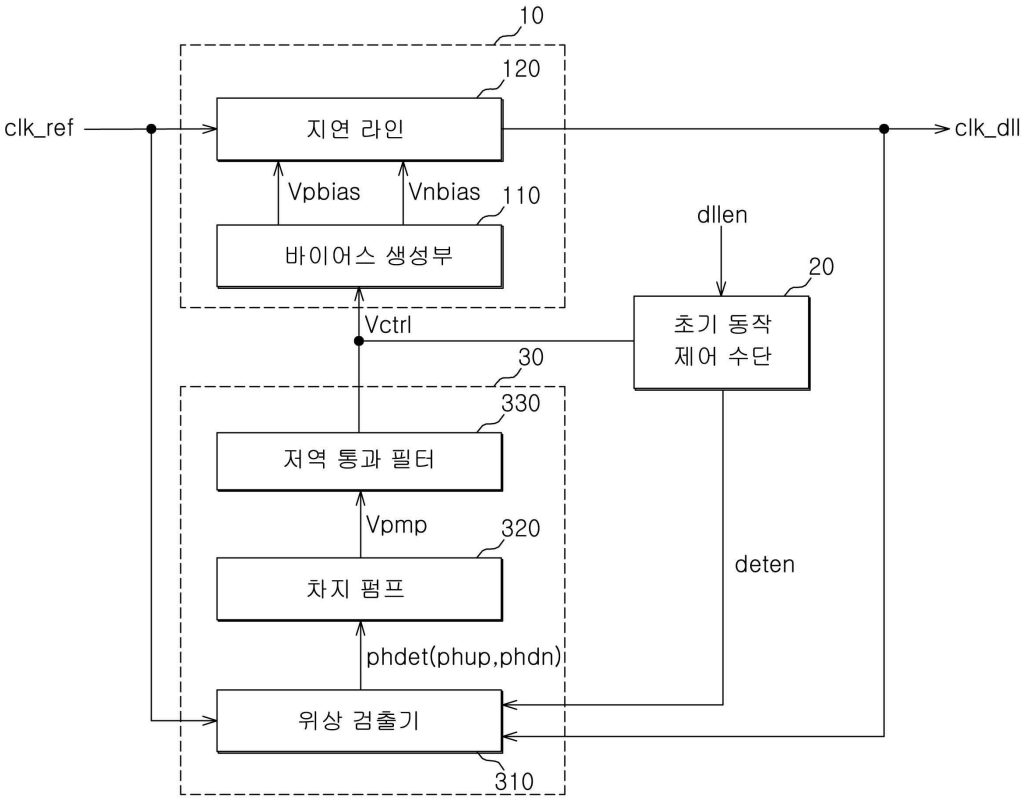
[0082] 30 : 지연 제어 수단 110 : 바이어스 생성부

[0083] 120 : 지연 라인 310 : 위상 검출기

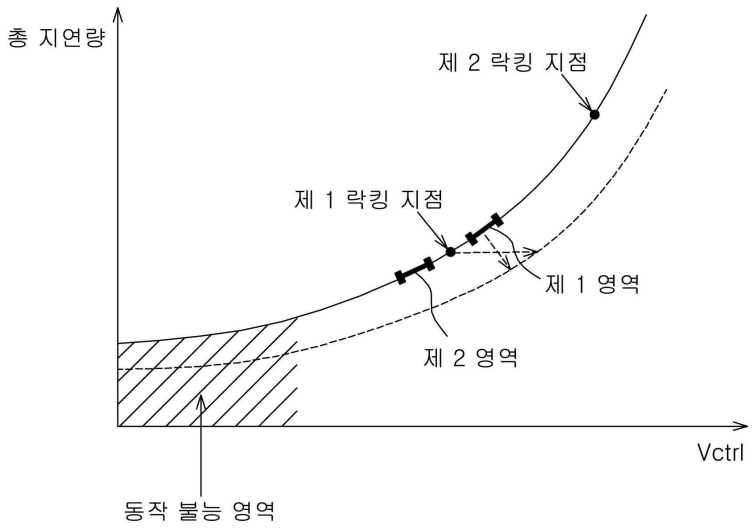
[0084] 320 : 차지 펌프 330 : 저역 통과 필터

도면

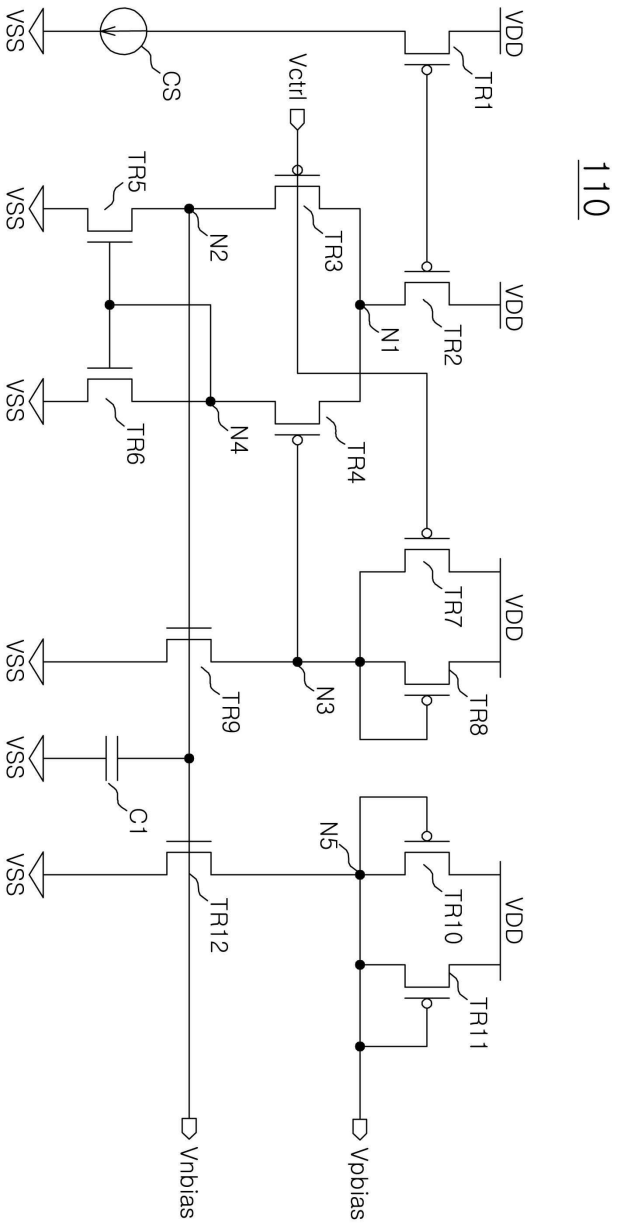
도면1



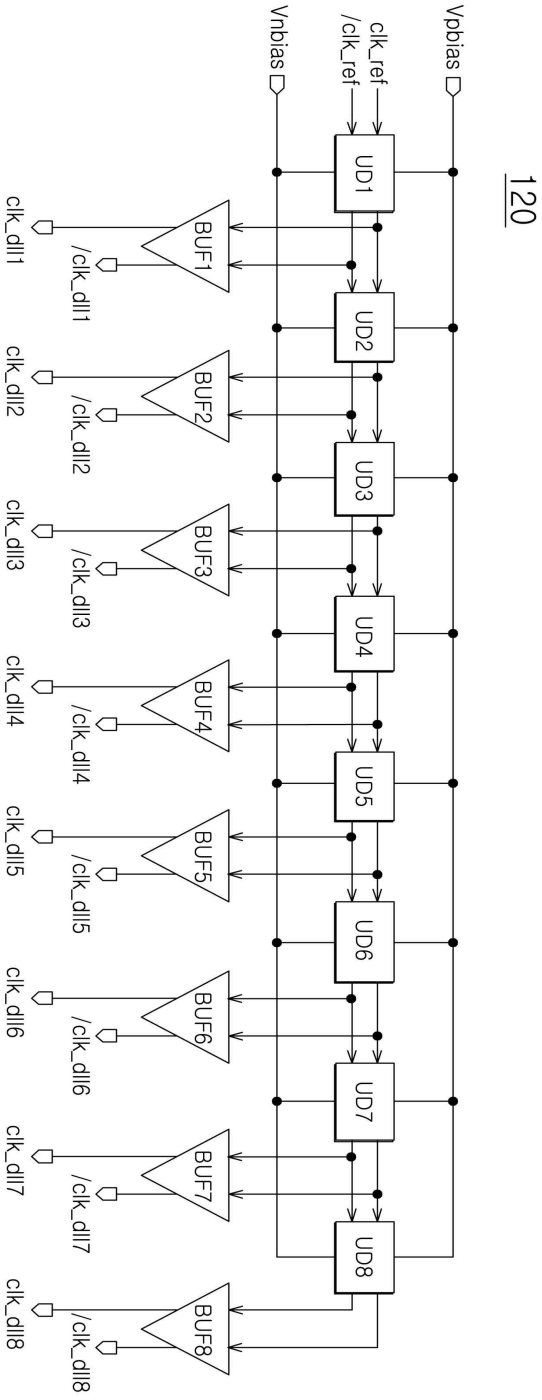
도면2



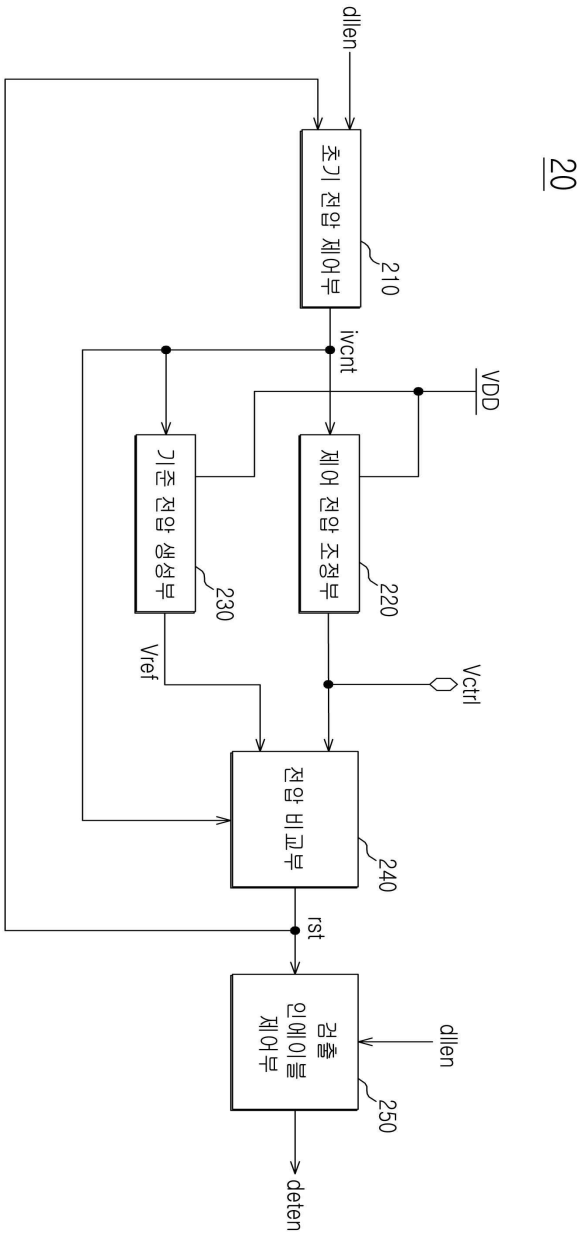
도면3


110
VDD
VSS
CS
Vctrl
TR1
TR2
TR3
TR4
TR5
TR6
TR7
TR8
TR9
TR10
TR11
TR12
N1
N2
N3
N4
N5
C1
Vnbias
Vpbias

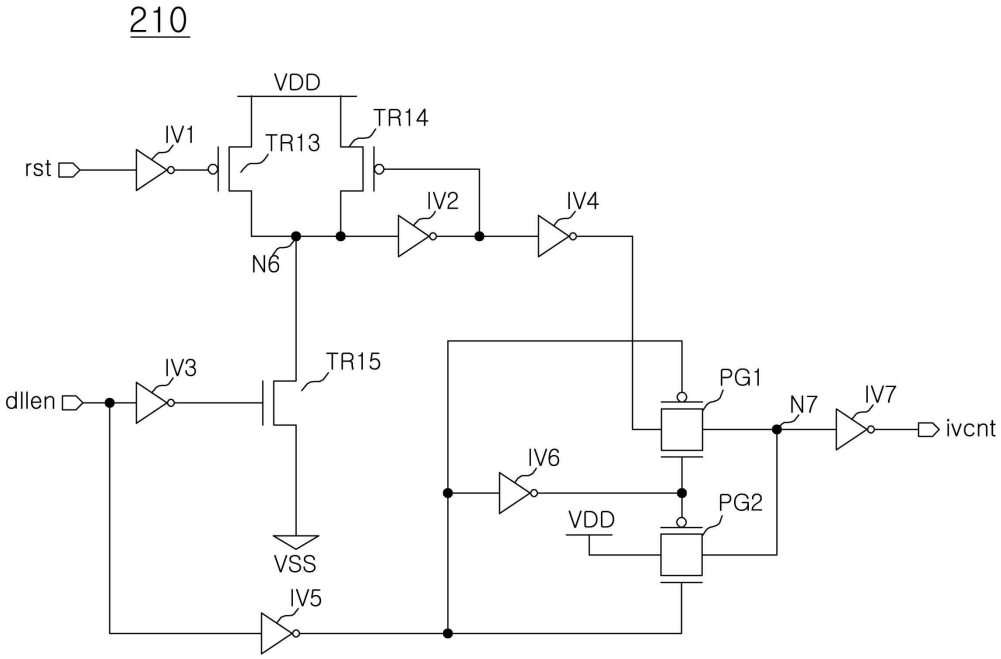
도면4


120
Vpbias
clk_ref
/clk_ref
Vnbias
UD1
UD2
UD3
UD4
UD5
UD6
UD7
UD8
BUF1
BUF2
BUF3
BUF4
BUF5
BUF6
BUF7
BUF8
clk_dll1
/clk_dll1
clk_dll2
/clk_dll2
clk_dll3
/clk_dll3
clk_dll4
/clk_dll4
clk_dll5
/clk_dll5
clk_dll6
/clk_dll6
clk_dll7
/clk_dll7
clk_dll8
/clk_dll8

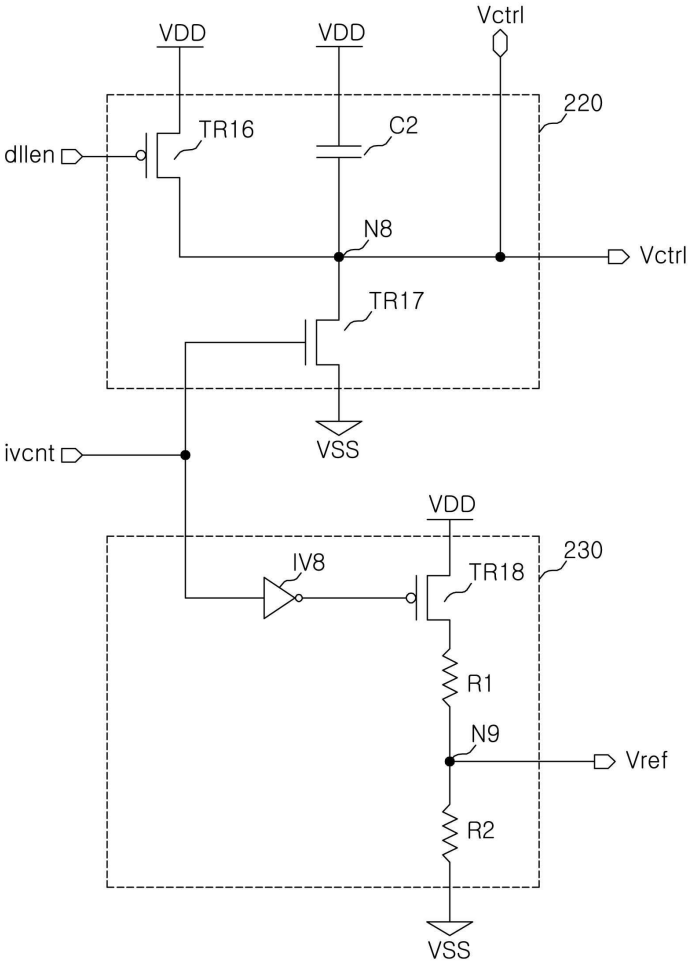
도면5


20
dlen
초기 전압 제어부
210
ivcnt
VDD
기준 전압 생성부
230
제어 전압 조정부
220
Vref
Vctrl
전압 비교부
240
rst
검출 인에이블 제어부
250
dlen
deten

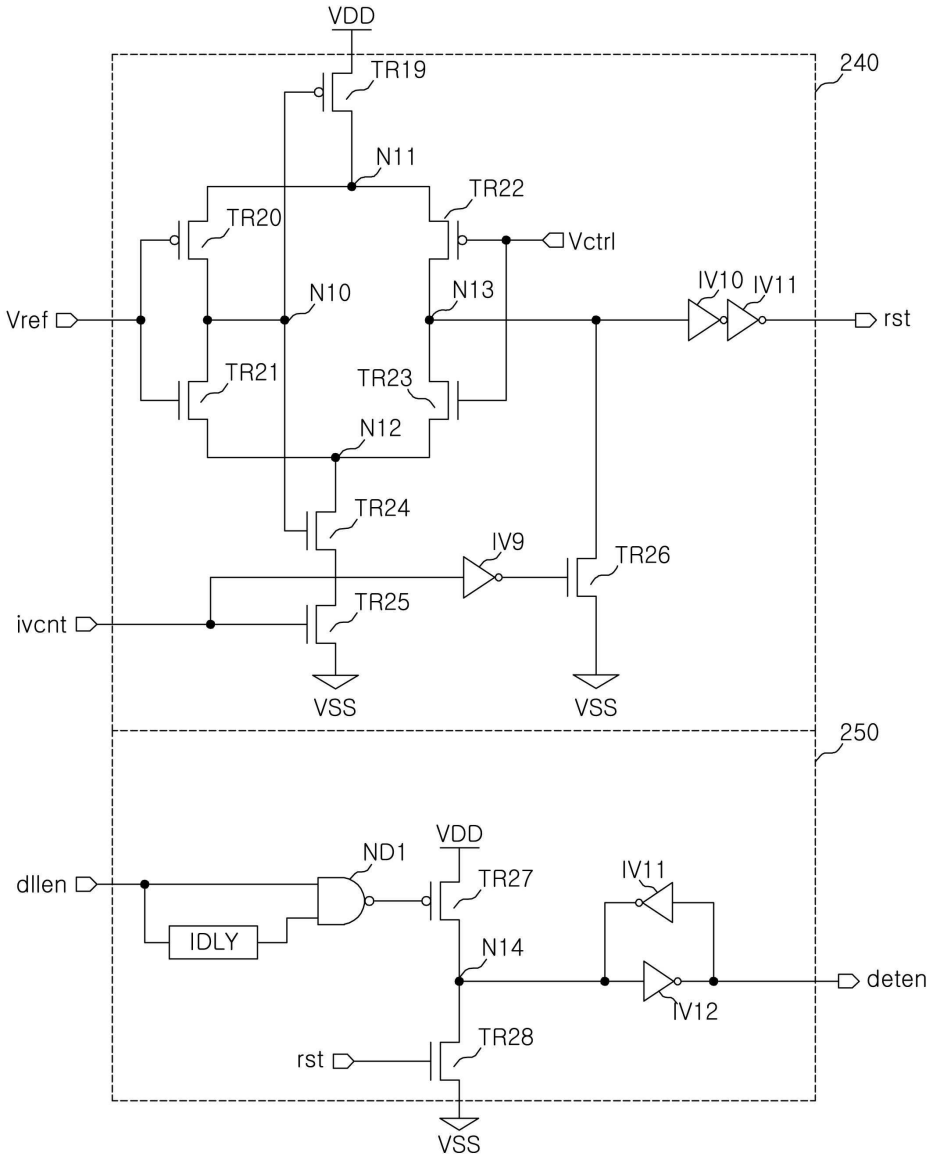
도면6


210
VDD
TR14
IV1
TR13
rst
IV2
IV4
N6
IV3
TR15
dllen
PG1
N7
IV7
ivcnt
IV6
PG2
VDD
VSS
IV5

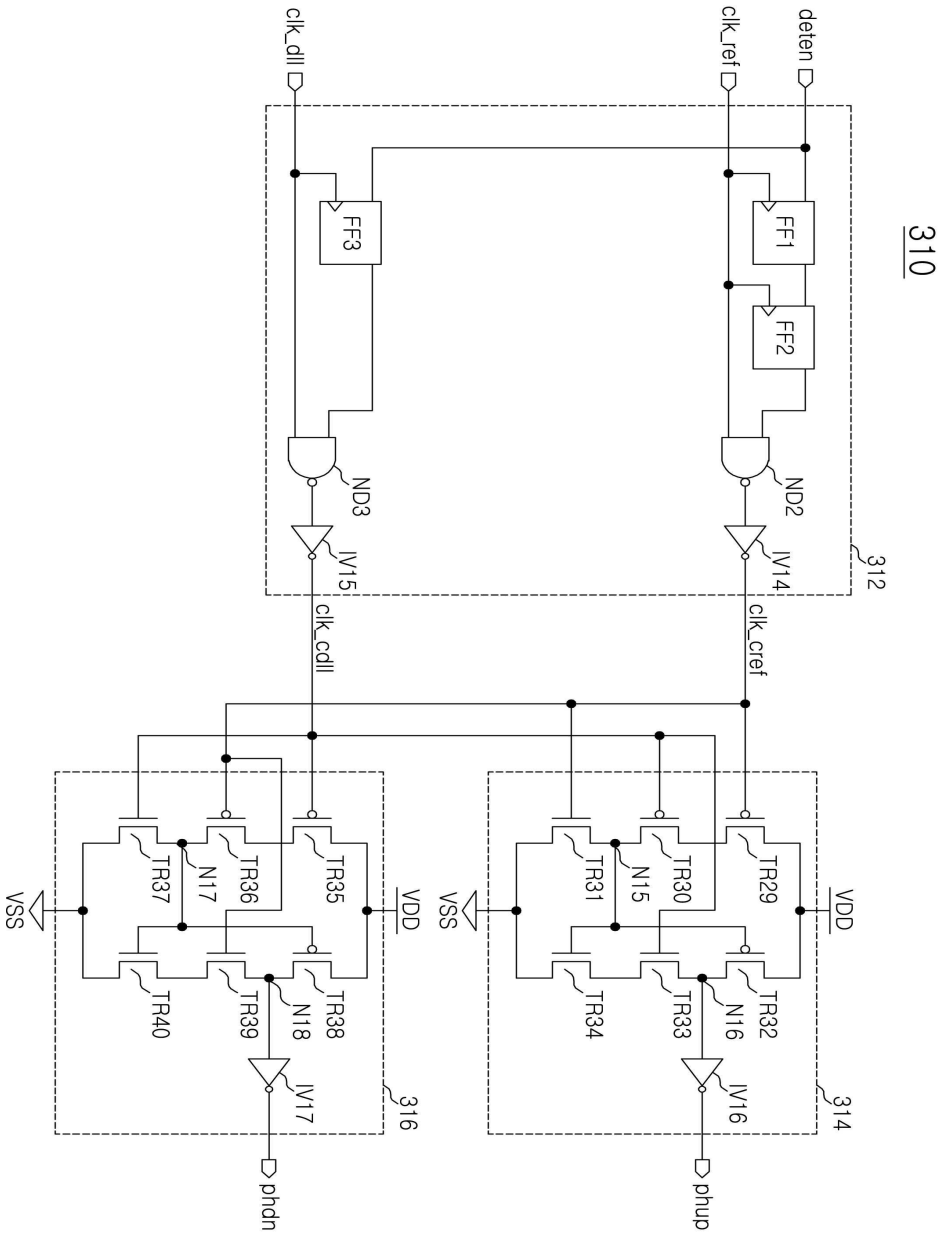
도면7


VDD
VDD
Vctrl
220
TR16
C2
dllen
N8
Vctrl
TR17
VSS
ivcnt
VDD
230
IV8
TR18
R1
N9
Vref
R2
VSS

도면8


VDD
TR19
240
N11
TR22
TR20
Vctrl
IV10
IV11
N10
N13
Vref
rst
TR21
TR23
N12
TR24
IV9
TR26
TR25
ivcnt
VSS
VSS
250
VDD
ND1
dllen
TR27
IV11
IDLY
N14
deten
IV12
TR28
rst
VSS

도면9


310
clk_dll
clk_ref
deten
FF3
FF1
FF2
ND3
ND2
IV15
IV14
312
clk_cdll
clk_cref
VSS
VDD
TR37
N17
TR36
TR35
TR31
N15
TR30
TR29
TR40
TR39
N18
TR38
TR34
TR33
N16
TR32
IV17
IV16
316
314
phdn
phup