





# 發明專利說明書

**【發明名稱】** 半導體裝置及其操作方法

SEMICONDUCTOR DEVICE AND OPERATING METHOD  
THEREOF

**【技術領域】**

**【0001】** 各種示範實施例一般關於一種半導體裝置及其操作方法，且尤其是關於一種包括一源極線電壓偵測電路之半導體裝置的一讀取操作方法。

**【0002】** 本發明主張的優先權為在 2014 年 11 月 4 日向韓國智慧財產局提出申請的申請案，其韓國申請案號為 10-2014-0152398，在此併入其全部參考內容。

**【先前技術】**

**【0003】** 一種半導體裝置包括儲存資料的複數個記憶胞。記憶胞包括儲存一般資料的一般記憶胞及儲存半導體裝置操作所必須的各種類型之資料的旗標胞元。

**【0004】** 單級胞元(SLC, single level cell)係其中儲存一個位元資料的記憶胞。多級胞元(MLC, multi-level cell)係其中儲存二個或更多個位元資料的記憶胞。單級胞元可基於一臨界電壓分布而被分成一抹除狀態或一編程狀態。多級胞元可基於一臨界電壓分布而被分成一抹除狀態或複數編程狀態之其一者。

**【0005】** 當編程多級胞元時，可進行一最低有效位元(LSB, least significant bit)編程操作及一最高有效位元(MSB, most significant bit)編程操作以減少臨界電壓分布的寬度。指示是否進行 LSB 編程操作或 MSB 編程操作的資料(以下稱為「LSB/MSB 完成資料」)被儲存在每個分頁的旗標胞元中。分頁

可指耦接至相同字元線的一群記憶胞。

【0006】 當 LSB/MSB 完成資料被儲存在旗標胞元中時，在包括旗標胞元之分頁的一讀取操作期間，可首先讀取旗標胞元的 LSB/MSB 完成資料，且可自讀取資料判斷是否對分頁完整進行 LSB 編程操作或 MSB 編程操作。

【0007】 然而，由於每個分頁包括儲存 LSB/MSB 完成資料的旗標胞元，因此將限制記憶胞之大小可被減少的程度。

### 【發明內容】

【0008】 實施例係為能夠藉由使用源極線電壓或源極線電流代替 LSB/MSB 完成資料(即，不使用儲存 LSB/MSB 完成資料的旗標胞元)來進行讀取操作的半導體裝置及其操作方法。

【0009】 根據本發明之一實施例之半導體裝置的操作方法可包括對一選定記憶體區塊的一選定字元線施加一讀取電壓，選定記憶體區塊係在包括耦接在位元線與一源極線之間之胞元串的複數記憶體區塊當中、藉由在選定記憶體區塊的胞元串中形成一通道來偵測源極線電壓、比較源極線電壓與對應於選定記憶體區塊的一參考電壓、及當源極線電壓大於參考電壓時(由於該比較之結果)對耦接至選定字元線的記憶胞進行一最低有效位元(LSB)讀取操作，當源極線電壓小於參考電壓時(由於該比較之結果)對記憶胞進行一最高有效位元(MSB)讀取操作。

【0010】 根據本發明之一實施例之半導體裝置的操作方法可包括對一選定記憶體區塊的一選定字元線施加一讀取電壓，選定記憶體區塊係在包括耦接在位元線與一源極線之間之胞元串的複數記憶體區塊當中、藉由在選定記憶體區塊的胞元串中形成一通道來偵測源極線電流、比較源極線電流與對應於選定

記憶體區塊的一參考電流、及當源極線電流大於參考電流時(由於比較之結果)對耦接至選定字元線的記憶胞進行一最低有效位元(LSB)讀取操作，當源極線電流小於參考電流時(由於比較之結果)對記憶胞進行一最高有效位元(MSB)讀取操作。

**【0011】** 根據本發明之一實施例之半導體裝置可包括複數記憶體區塊，包括耦接在位元線與一源極線之間之複數胞元串、一周邊電路，適用於對在複數記憶體區塊當中的一選定記憶體區塊進行編程、讀取及抹除操作；一源極線檢查電路，適用於測量源極線電壓或源極線電流、比較源極線電壓或源極線電流與一參考電壓或一參考電流、及在於複數記憶體區塊當中的選定記憶體區塊之讀取操作期間輸出一比較結果；及一控制電路，適用於控制源極線檢查電路，以比較選定記憶體區塊的參考電壓或參考電流與源極線電壓或源極線電流，並控制周邊電路，以基於比較結果而對選定記憶體區塊進行讀取操作。

### **【圖式簡單說明】**

#### **【0012】**

〔圖 1〕係繪示根據一實施例之一半導體裝置的一方塊圖；

〔圖 2〕係圖 1 所示之記憶胞陣列的一詳細電路圖；

〔圖 3〕係繪示一多級胞元之一臨界電壓分布的一視圖；

〔圖 4〕係繪示取決於一記憶胞之一編程狀態之一源極線電壓差的一視圖；

〔圖 5〕係繪示根據一實施例之一讀取操作的一流程圖；

〔圖 6〕係繪示一參考電壓的一視圖；

〔圖 7〕係繪示包括根據一實施例之一半導體裝置的一固態硬碟之一方塊圖；

〔圖 8〕係繪示包括根據一實施例之一半導體裝置之一記憶體系統之一方塊圖；及

〔圖 9〕係繪示包括根據一實施例之一半導體裝置之一計算系統之示意配置的一視圖。

### 【實施方式】

【0013】 於下文中，將參考附圖詳細說明本發明之各種示範實施例。然而，本發明可以不同形式實作且不應被當作限於本文提出之實施例。而是，提出這些實施例，使得本揭露將為完善且完整，且將對本領域具有通常知識者完整傳達本發明之範圍。在圖式中，為了方便說明而可放大元件的厚度及長度。在下面說明中，為了說明之簡單及簡潔而省略相關功能及結構的詳細說明。遍及說明書及圖式的相同元件符號係指相同元件。

【0014】 圖 1 係繪示根據一實施例之一半導體裝置 1000 的一視圖。

【0015】 參考圖 1，半導體裝置 1000 可包括一記憶胞陣列 110、一周邊電路 120、一源極線檢查電路 200 及一控制電路 130。記憶胞陣列 110 可儲存資料。周邊電路 120 可對記憶胞陣列 110 進行編程、讀取及抹除操作。源極線檢查電路 200 在讀取操作期間可測量源極線的電壓或電流、比較源極線之測得的電壓或電流與參考電壓或電流、及輸出一比較結果。控制電路 130 可控制周邊電路 120 及源極線檢查電路 200。如上所述，可使用源極線電壓或源極線電流。然而，根據此實施例，為了簡化說明而敘述使用源極線電壓之設備及方法。

【0016】 記憶胞陣列 110 可包括具有相同配置的第 0 個至第  $i$  個記憶體區塊。下面參考圖 2 來詳細說明記憶胞陣列 110 的配置。

【0017】 周邊電路 120 可包括一電壓產生器 21、一系列解碼器 22、一分頁

緩衝器群組 23、一行解碼器 24 及一輸入/輸出電路 25。

【0018】 電壓產生器 21 可回應於操作命令訊號 OP\_CMD 而產生具有不同位準的操作電壓。操作命令訊號 OP\_CMD 可包括一編程命令訊號、一讀取命令訊號及一抹除命令訊號。例如，電壓產生器 21 可產生一編程電壓  $V_{pgm}$ 、一讀取電壓  $V_{read}$ 、一通過電壓  $V_{pass}$ 、及具有各種位準的其他電壓。

【0019】 列解碼器 22 可回應於一列位址 RADD 而選擇包括在記憶體陣列 110 當中的其中一個記憶體區塊，並傳送操作電壓至耦接至選定記憶體區塊的字元線 WL、汲極選擇線 DSL 及源極選擇線 SSL。

【0020】 分頁緩衝器群組 23 可包括透過位元線 BL 耦接至記憶體區塊的複數分頁緩衝器 PB，且在編程、讀取及抹除操作期間反應於分頁緩衝器控制訊號 PBSIGNALS 而將選定分頁的資料暫時地儲存在鎖存器中。

【0021】 行解碼器 24 可回應於一行位址 CADD 而與分頁緩衝器群組 23 交換資料。

【0022】 輸入/輸出電路 25 可將自外部裝置傳送的一命令訊號 CMD 及一位址 ADD 傳送至控制電路 130、將外部傳送資料 DATA 傳送至分頁緩衝器群組 23、及將自分頁緩衝器群組 23 傳送的資料 DATA 輸出至外部裝置。

【0023】 源極線檢查電路 200 可包括一源極線電壓偵測電路 210 及一參考電壓產生電路 220。

【0024】 參考電壓產生電路 220 可回應於偵測一致能訊號 DET\_EN 及一區塊位址 BLOCK\_ADD 而產生對應於選定記憶體區塊的一參考電壓  $V_{ref}$ 。參考電壓  $V_{ref}$  可改變用於記憶體區塊。在此連接中，參考電壓產生電路 220 可包括一儲存單元，用於儲存關於對應於每個記憶體區塊之參考電壓  $V_{ref}$  的資料。

【0025】 源極線電壓偵測電路 210 可回應於偵測致能訊號 DET\_EN，而偵測記憶胞陣列 110 之源極線的電壓(以下稱為「源極線電壓」)、比較參考電壓 Vref 與源極線電壓、及輸出編程狀態訊號 MSBPGMED 作為比較結果。

【0026】 控制電路 130 可回應於命令訊號 CMD 及位址 ADD，而輸出操作命令訊號 OP\_CMD、列位址 RADD、偵測致能訊號 DET\_EN、區塊位址 BLOCK\_ADD、分頁緩衝器控制訊號 PBSIGNALS 及行位址 CADD，以控制周邊電路 120。

【0027】 控制電路 130 可同時將偵測致能訊號 DET\_EN 輸出至源極線電壓偵測電路 210 及參考電壓產生電路 220、及將對應於選定分頁的區塊位址 BLOCK\_ADD 輸出至參考電壓產生電路 220 用於選定記憶體區塊之選定分頁的讀取操作。隨後，控制電路 130 可回應於自源極線電壓偵測電路 210 輸出的編程狀態訊號 MSBPGMED 而控制周邊電路 120，使得可對選定記憶體區塊之選定分頁進行讀取操作。例如，控制電路 130 可回應於編程狀態訊號 MSBPGMED 而判斷選定分頁是否於抹除狀態、最低有效位元(LSB)編程狀態、或最高有效位元(MSB)編程狀態，且為每個狀態設定操作條件藉此控制周邊電路 120。

【0028】 以下詳述上述之記憶胞陣列 110。

【0029】 圖 2 係圖 1 所示之記憶胞陣列 110 的一詳細電路圖。

【0030】 參考圖 2，記憶胞陣列可包括第 0 個至第 i 個記憶體區塊 BLK0 至 BLKi。第 0 個至第 i 個記憶體區塊 BLK0 至 BLKi 可共享源極線 SL。第 0 個至第 i 個記憶體區塊 BLK0 至 BLKi 可彼此大致上以相同方式配置。第 0 個至第 i 個記憶體區塊 BLK0 至 BLKi 之每一者可包括主區塊 MBLK 及旗標區塊 FBLK\_1。下面詳細敘述第 0 個記憶體區塊 BLK0 的結構作為記憶胞陣列 110 的

記憶體區塊之實例。

**【0031】** 第 0 個記憶體區塊 BLK0 可包括耦接於位元線 BL 與源極線 SL 之間的複數胞元串。每個胞元串可包括源極選擇電晶體、記憶胞及汲極選擇電晶體。包括在不同胞元串中的源極選擇電晶體之間可耦接至源極選擇線 SSL，且包括在不同胞元串中的汲極選擇電晶體之間可耦接至汲極選擇線 DSL。在列中包括在不同胞元串中的記憶胞之間可耦接至字元線 WL0 至 WLn 之其一者。耦接至相同字元線的一群記憶胞可稱為分頁。該等胞元串之一些者可包括在主區塊 MBLK 中，且其他可包括在旗標區塊 FBLK\_1 中。包括在主區塊 MBLK 中的記憶胞可稱為主胞元，且包括在旗標區塊 FBLK\_1 中的記憶胞可稱為旗標胞元。被使用者使用的資料可儲存在主胞元中，且在半導體裝置中使用的資料可儲存在旗標胞元中。例如，關於編程、讀取及抹除操作的資料可儲存在旗標胞元中。然而，根據一實施例，不使用 LSB/MSB 完成資料(指示進行 LSB 編程操作或 MSB 編程操作的資料)，且用以儲存對應資料的旗標胞元可為不必要的。

**【0032】** 由於第 0 個至第 i 個記憶體區塊 BLK0 至 BLKi 之每一者不包括用於 LSB/MSB 完成資料的旗標胞元，因此可減少記憶胞陣列 110 的大小。

**【0033】** 每個上述記憶胞可依據待儲存之位元數量而被分成單級胞元(SLC)或多級胞元(MLC)。單級胞元(SLC)可係指其中儲存一個位元資料的記憶胞。多級胞元(MLC)可係指其中儲存二個或更多個位元資料的記憶胞。由於儲存在單一胞元的資料之位元數量增加，因此多級胞元(MLC)可係指其中儲存二位元資料的記憶胞。此外，其中儲存三位元資料的記憶胞可被定義為三級胞元(TLC)，且其中儲存四位元資料的記憶胞可被定義為四級胞元(QLC)。本發明可適用多級胞元(MLC)、三級胞元(TLC)及四級胞元(QLC)。然而，為了簡單說明，

以下敘述多級胞元(MLC)作為實例。

【0034】 圖 3 係繪示一多級胞元之一臨界電壓分布的一視圖。

【0035】 參考圖 3，多級胞元可基於臨界電壓分布而具有一抹除狀態 ER、一第一編程狀態 32、一第二編程狀態 33 或一第三編程狀態 34。為了將具有抹除狀態 ER 的記憶胞編程為第一編程狀態 32、第二編程狀態 33 及第三編程狀態 34 之其一者，可對其進行最低有效位元(LSB)編程操作及最高有效位元(MSB)編程操作。在具有抹除狀態 ER 的記憶胞中，可對記憶胞進行 LSB 編程操作以編程至第二編程狀態 33 或第三編程狀態 34 之其一者。因此，被進行 LSB 編程操作的記憶胞之臨界電壓分布 31 可具有在具有第一編程狀態 32 之記憶胞之臨界電壓分布與具有第三編程狀態 34 之記憶胞之臨界電壓分布之間的大寬度。

【0036】 在具有抹除狀態 ER 的記憶胞中，可記憶胞進行 MSB 編程操作以編程至第一編程狀態 32，或在被進行 LSB 編程操作的記憶胞中，將記憶胞編程至第二編程狀態 33 或第三編程狀態 34。讀取電壓可包括第一讀取電壓  $V_{M1}$  以區分具有第一編程狀態 32 的記憶胞、第二讀取電壓  $V_{M2}$  以區分具有第二編程狀態 33 的記憶胞、及第三讀取電壓  $V_{M3}$  以區分具有第三編程狀態 34 的記憶胞。第二讀取電壓  $V_{M2}$  可也用以進行判斷選定記憶體區塊是抹除記憶體區塊、LSB 編程記憶體區塊、或 MSB 編程記憶體區塊的操作(以下稱為「源極線電壓偵測操作」)。

【0037】 可進行源極線電壓偵測操作以比較自源極線偵測的電壓與對應於選定記憶體區塊的參考電壓，並基於比較結果來判定選定記憶體區塊處於何種狀態。

【0038】 圖 4 係繪示取決於一記憶胞之一編程狀態之一源極線電壓差的一視圖。

【0039】 參考圖 4，源極線電壓  $V_{SL}$  可依據選定記憶體區塊的狀態(ER、LSB 或 MSB)而具有不同位準。源極線電壓  $V_{SL}$  可指當圖 2 所示之位元線 BL 被預充電，且將讀取電壓施加至選定字元線(其係為圖 2 所示之字元線 WL0 至 WLn 之其一者)、且將通過電壓施加至除了選定字元線之外的剩餘字元線、且將導通電壓施加至圖 2 所示之汲極選擇線 DSL 和源極選擇線 SSL 時之圖 2 所示之源極線 SL 的電壓。

【0040】 當選定記憶體區塊在抹除狀態 ER 時，包括在選定分頁的所有記憶胞可具有抹除狀態。因此，施加至位元線 BL 的預充電電壓可被傳送至源極線 SL，使得源極線電壓  $V_{SL}$  可增加。

【0041】 當對選定記憶體區塊完成 LSB 編程操作且不進行 MSB 編程操作時，選定記憶體區塊在 LSB 編程狀態(LSB)。選定記憶體區塊的選定分頁大約具有相同比例的具有抹除狀態 ER 之記憶胞及被完成 LSB 編程操作的記憶胞。LSB 編程操作及 MSB 編程操作可藉由使用隨機編程方法來進行以用大致上近似比例來分布具有抹除狀態 ER 的記憶胞及具有 LSB 編程狀態(LSB)的記憶胞。

【0042】 根據一隨機編程方法，可隨機化外部輸入資料，使得儲存資料的記憶胞可均勻地分布在選定記憶體區塊中。此隨機編程方法被廣泛使用，但仍有各種隨機方法。因此，省略其詳細說明。當以隨機編程方法對記憶體區塊進行 LSB 編程操作或 MSB 編程操作時，可以大致上近似比例來分布具有抹除狀態的記憶胞及編程至不同狀態的記憶胞。換言之，當對選定記憶體區塊進行一第一 LSB 編程操作及進行一第二 LSB 編程操作時，具有抹除狀態的記憶胞及

編程的記憶胞永遠在選定記憶體區塊中維持大致上近似比例(例如，1：1 的比率)。例如，當選定記憶體區塊的選定分頁中包括 1024 個記憶胞時，在完成選定分頁的 LSB 編程操作之後在選定分頁中可存在大約 512 個具有抹除狀態的記憶胞及大約 512 個具有 LSB 編程狀態(LSB)的記憶胞。

**【0043】** 如上所述，由於具有抹除狀態的記憶胞及具有編程狀態的記憶胞大致上存在近似比例，因此源極線電壓  $V_{SL}$  可維持在抹除狀態 ER、LSB 編程狀態(LSB)、及 MSB 編程狀態(MSB)之每一者的一預定位準。例如，當在抹除狀態 ER 的記憶體區塊之源極線電壓  $V_{SL}$  之位準被定義為一第一位準時，具有 LSB 編程狀態(LSB)的記憶體區塊之源極線電壓  $V_{SL}$  之位準可具有低於第一位準的一第二位準，且具有 MSB 編程狀態(MSB)的記憶體區塊之源極線電壓  $V_{SL}$  之位準可具有低於第二位準的一第三位準。

**【0044】** 換言之，由於在抹除狀態 ER 的選定記憶體區塊之所有記憶胞具有抹除狀態，因此大部分施加至位元線 BL 之預充電電壓可被傳送至源極線 SL，使得顯著電壓突跳(bouncing)可發生在源極線。因此，源極線電壓可具有最高的第一位準。在完成 LSB 編程操作的 LSB 編程狀態(LSB)中，選定記憶體區塊之大約一半的記憶胞可存在為 LSB 編程記憶胞，使得發生在源極線中的突跳可少於在抹除狀態 ER 中的。因此，具有 LSB 編程狀態(LSB)的記憶體區塊之源極線電壓可具有低於第一位準的第二位準。在完成 MSB 編程操作的 MSB 編程狀態(MSB)中，選定記憶體區塊之四分之三的記憶胞存在為 MSB 編程記憶胞。因此，發生在源極線中的突跳可少於在 LSB 編程狀態(LSB)中的。因此，具有 MSB 編程狀態(MSB)的記憶體區塊之源極線電壓可具有低於第二位準的第三位準。

**【0045】** 爲了區分上述之位準差，可爲每個記憶體區塊設定參考電壓

Vref。可事先藉由對半導體裝置進行測試操作來設定參考電壓 Vref。此外，參考電壓 Vref 可考慮到裝載位元線 BL 之差而在記憶體區塊之間改變。此外，上述參考電壓 Vref 可根據在測試操作期間施加至選定字元線的測試讀取電壓來改變。然而，可考慮到藉由 LSB 編程操作及 MSB 編程操作之記憶胞的臨界電壓分布而使用圖 3 所示之第二讀取電壓  $V_{M2}$  作為測試讀取電壓。例如，可對每個記憶體區塊進行測試操作且參考電壓 Vref 可設定於在每個記憶體區塊之 LSB 編程狀態與 MSB 編程狀態中測得之源極線電壓之間。在測試操作期間，可藉由將測試讀取電壓施加至選定記憶體區塊的選定字元線且將通過電壓施加至剩餘字元線來形成通道。隨後，可將一導通電壓施加至汲極選擇線和源極選擇線，使得預充電位元線的電壓可被傳送至通道。可設定參考電壓 Vref 以區分根據源極線之電壓而完成之 LSB 編程操作或 MSB 編程操作的記憶體區塊。

**【0046】** 在圖 4 中，參考源極線之電壓(VSL)作為實例來進行說明。然而，可使用源極線之電流差。當使用源極線電流時，最大電流可流過具有抹除狀態 ER 之記憶體區塊中的源極線，且源極線電流可具有最高位準。源極線電流在具有 LSB 編程狀態(LSB)的記憶體區塊中可具有中間位準。源極線電流在具有 MSB 編程狀態(MSB)的記憶體區塊中可具有最低位準。

**【0047】** 接下來是基於上面說明的讀取操作。

**【0048】** 圖 5 係繪示根據一實施例之一讀取操作的一流程圖。

**【0049】** 參考圖 5，當對圖 1 所示之控制電路 130 施用對選定記憶體區塊之選定分頁進行讀取操作的請求時，控制電路 130 可控制圖 1 所示之周邊電路 120 進行源極線電壓偵測操作(51、52、53、及 54)及回應於源極線電壓偵測操作(51、52、53、及 54)之結果而對選定分頁進行讀取操作(55 或 56)。下方詳細敘

述源極線電壓偵測操作(51、52、53、及 54)及讀取操作(55 或 56)。

【0050】 當選定分頁的讀取操作開始，可控制圖 1 所示之周邊電路 120 預充電位元線 BL 及字元線 WL(51)。然而，在字元線 WL 中耦接至選定分頁的選定字元線可被預充電至圖 3 所示的第二讀取電壓  $V_{M2}$ ，且剩餘字元線可被預充電至大於第二讀取電壓  $V_{M2}$  的通過電壓。

【0051】 可產生對應於選定記憶體區塊的參考電壓  $V_{ref}$ (52)。圖 1 所示之記憶體陣列 110 可包括複數個記憶體區塊。可為每個記憶體區塊設定參考電壓  $V_{ref}$ 。

【0052】 圖 6 係繪示一參考電壓的一視圖。

【0053】 參考圖 6，可設定對應於第 0 個至第  $i$  個記憶體區塊 BLK0 至 BLK $i$  之每一者的參考電壓  $V_{ref}$ 。例如，可對第 0 個記憶體區塊 BLK0 設定具有位準「a0」的參考電壓  $V_{ref}$ ，及可對第 1 個記憶體區塊 BLK1 設定具有位準「a1」的參考電壓  $V_{ref}$ ，及可對第  $i-1$  個記憶體區塊 BLK $i-1$  設定具有位準「a $i-1$ 」的參考電壓  $V_{ref}$ ，及可對第  $i$  個記憶體區塊 BLK $i$  設定具有位準「a $i$ 」的參考電壓  $V_{ref}$ 。對應於每個記憶體區塊之參考電壓  $V_{ref}$  的資料可儲存在圖 1 之參考電壓產生電路 220 中。參考電壓產生電路 220 可自圖 1 所示之控制電路 130 接收區塊位址 BLOCK\_ADD，並回應於傳送之區塊位址 BLOCK\_ADD 而產生參考電壓  $V_{ref}$ 。

【0054】 請復參考圖 5，當產生選定記憶體區塊的參考電壓  $V_{ref}$  時，可偵測選定記憶體區塊的源極線電壓  $V_{SL}$ (53)。例如，圖 1 所示之源極線電壓偵測電路 210 可反應於偵測致能訊號 DET\_EN 而偵測記憶體陣列 110 的源極線電壓  $V_{SL}$ 。為了偵測源極線電壓  $V_{SL}$ ，可將導通電壓施加至圖 2 所示之汲極選擇線 DSL 和源極選擇線 SSL。由於選定字元線被預充電至第二讀取電壓  $V_{M2}$ ，因此可回應

於包括在選定分頁中之記憶胞之臨界電壓而改變源極線電壓  $V_{SL}$ 。

【0055】 隨後，可互相比較源極線電壓  $V_{SL}$  及參考電壓  $V_{ref}$ (54)。當判定源極線電壓  $V_{SL}$  大於參考電壓  $V_{ref}$  時，由於對選定記憶體區塊進行 LSB 編程操作且不進行 MSB 編程操作，因此可進行選定分頁之 LSB 讀取操作(55)。

【0056】 當判定源極線電壓  $V_{SL}$  小於參考電壓  $V_{ref}$  時，由於對選定記憶體區塊進行 MSB 編程操作，因此可進行選定分頁之 MSB 讀取操作(56)。

【0057】 如上所述，雖然每個記憶體區塊不包括儲存指示完成 LSB 或 MSB 編程操作之資料的旗標胞元，但可藉由比較源極線電壓  $V_{SL}$  與對應於選定記憶體區塊的參考電壓  $V_{ref}$  來判定選定記憶體區塊的狀態。因此，由於減少包括在每個記憶體區塊中之旗標胞元的數量，因此可減少記憶胞陣列的大小，且可減少半導體裝置的大小。

【0058】 圖 7 係繪示包括根據本發明之一實施例之一半導體裝置的一固態硬碟之一方塊圖。

【0059】 參考圖 7，一驅動裝置 2000 可包括一主機 2100 及一固態硬碟(SSD)2200。SSD 2200 可包括一 SSD 控制器 2210、一緩衝器記憶體 2220 及一半導體裝置 1000。

【0060】 SSD 控制器 2210 可提供主機 2100 及 SSD 2200 之間的實體連接。換言之，SSD 控制器 2210 可回應於主機 2100 的匯流排格式而與 SSD 2200 進行通訊。SSD 控制器 2210 可解碼自主機 2100 提供的命令。根據一解碼結果，SSD 控制器 2210 可存取半導體裝置 1000。包括通用序列匯流排(USB)、小型電腦系統介面(SCSI)、周邊元件互連快捷(PCI-E)、先進技術附件(ATA)、平行 ATA(PATA)、序列 ATA(SATA)、及序列式 SCSI(SAS)皆可作為主機 2100 的匯

流排格式。

【0061】 緩衝器記憶體 2220 可暫時地儲存自主機 2100 提供的程式資料或自半導體裝置 1000 讀取的資料。當主機 2100 產生讀取請求且半導體裝置 1000 中的資料被快取時，緩衝器記憶體 2220 可支援快取功能以直接提供快取資料至主機 2100。一般來說，藉由主機 2100 之匯流排格式(例如，STAT 或 SAS)的資料傳送速度可高於 SSD 2200 之記憶體通道的傳送速度。也就是說，當主機 2100 的介面速度高於 SSD 2200 之記憶體通道的傳送速度時，可藉由提供具有大容量的緩衝器記憶體 2220 來最小化速度差造成的效能降級。可提供緩衝器記憶體 2220 作為同步 DRAM 以在 SSD 2200 中充分緩衝。

【0062】 可提供半導體裝置 1000 作為 SSD 2200 的儲存媒體。例如，可提供半導體裝置 1000 作為具有大儲存容量的非揮發性記憶體裝置，如上參考圖 1 詳細所述。半導體裝置 1000 可為 NAND 類型快閃記憶體。

【0063】 圖 8 係繪示包括根據本發明之一實施例之一半導體裝置之一記憶體系統之一方塊圖。

【0064】 參考圖 8，根據一實施例之一記憶體系統 3000 可包括一記憶體控制單元 3100 及半導體裝置 1000。

【0065】 由於半導體裝置 1000 大致上可具有與圖 1 所示相同的配置，因此可省略其詳細敘述。

【0066】 記憶體控制單元 3100 可配置以控制半導體裝置 1000。一 SRAM 3110 可用以作為一 CPU 3120 的工作記憶體。一主機介面(I/F)3130 可包括與記憶體系統 3000 電性耦接之一主機的資料交換協定。記憶體控制單元 3100 中的錯誤改正碼電路(ECC)3140 可偵測且改正自半導體裝置 1000 讀取之資料的錯

誤。半導體(I/F) 3150 可與半導體裝置 1000 通訊。CPU 3120 可進行用於記憶體控制單元 3100 之資料交換的控制操作。此外，雖然未顯示在圖 8 中，但可在記憶體系統 3000 中提供用於儲存與一主機溝通之碼資料的 ROM。

**【0067】** 在一實施例中，記憶體系統 3000 可應用於電腦、超級行動 PC(UMPC)、工作站、小筆電、PDA、可攜式電腦、網路平板、無線電話、行動電話、智慧型手機、數位相機、數位錄音機、數位音頻播放機、數位錄像機、數位圖像播放機、數位錄影機、數位視頻播放機、在無線環境中傳送及接收資訊之裝置、及構成家庭網路之各種裝置之其一者。

**【0068】** 圖 9 係繪示包括根據本發明之一實施例之一半導體裝置之一計算系統之一方塊圖。

**【0069】** 參考圖 9，計算系統 4000 包括電性耦接至一匯流排 4300 的一半導體裝置 1000、一記憶體控制器 4100、一數據機 4200、一微處理器 4400、及一使用者介面 4500。當計算系統 4000 為一行動裝置時，可額外提供用於供應計算系統 4000 之操作電壓的電池 4600。計算系統 4000 可包括應用晶片組(圖未示)、相機影像處理器(CIS)(圖未示)、行動 DRAM(圖未示)等等。

**【0070】** 半導體裝置 1000 可大致上以與圖 1 所示之半導體裝置 1000 相同方式來配置。因此，將省略其詳細說明。

**【0071】** 記憶體控制器 4100 及半導體裝置 1000 可為固態硬碟/磁碟(SSD)的元件。

**【0072】** 可使用各種類型的封裝來裝設半導體裝置 1000 及記憶體控制器 4100。例如，可使用如封裝層疊(PoP)、球柵式陣列構裝(BGA)、晶片級封裝(CSP)、塑膠引腳晶片封裝(PLCC)、塑膠雙列直插式封裝(PDIP)、晶圓中之晶粒

封裝(DWP)、晶圓形式中之晶粒封裝(DWF)、板上晶片(COB)、陶瓷雙列直插式封裝(CERDIP)、塑膠公制四方扁平封裝(MQFP)、薄型四方扁平封裝(TQFP)、小外型積體電路(SOIC)、縮小外型封裝(SSOP)、薄型小外型封裝(TSOP)、系統級封裝(SIP)、多晶片封裝(MCP)、晶圓級製造封裝(WFP)、晶圓級處理堆疊封裝(WSP)、等的封裝來裝設半導體裝置 1000 及記憶體控制器 4100。

**【0073】** 根據一實施例，可藉由使用源極線電壓或源極線電流來消除儲存 LSB/MSB 完成資料的旗標胞元，使得可降低半導體裝置的大小。

**【0074】** 本領域具有通常知識者將了解在不違反本發明之精神或範疇下能對本發明之上述示範實施例進行各種修改。因此，這些修改仍將涵蓋在本發明所附之申請專利範圍及其等效之範圍內。

### **【符號說明】**

#### **【0075】**

21	電壓產生器
22	列解碼器
23	分頁緩衝器群組
24	行解碼器
25	輸入/輸出電路
100	半導體裝置
110	記憶胞陣列
120	周邊電路
130	控制電路
200	源極線檢查電路

210	源極線電壓偵測電路
220	參考電壓產生電路
31	臨界電壓分布
32	第一編程狀態
33	第二編程狀態
34	第三編程狀態
51-54	源極線電壓偵測操作
55-56	讀取操作
1000	半導體裝置
2000	驅動裝置
2100	主機
2200	固態硬碟
2210	SSD 控制器
2220	緩衝器記憶體
3100	記憶體控制單元
3110	SRAM
3120	CPU
3130	主機介面
3140	錯誤改正碼電路
3150	半導體 I/F
4000	計算系統
4100	記憶體控制器

4200	數據機
4300	匯流排
4400	微處理器
4500	使用者介面
4600	電池
ADD	位址
BL	位元線
BLOCK_ADD	區塊位址
BLK0-BLK <sub>i</sub>	記憶體區塊
CADD	行位址
CMD	命令訊號
DATA	資料
DET_EN	偵測致能訊號
DSL	汲極選擇線
ER	抹除狀態
FBLK_1	旗標區塊
FBLK_2	旗標區塊
LSB	最低有效位元
MBLK	主區塊
MLC	多級胞元
MSB	最高有效位元
OP_CMD	操作命令訊號

PB	分頁緩衝器
PBSIGNALS	分頁緩衝器控制訊號
QLC	四級胞元
RADD	列位址
SL	源極線
SLC	單級胞元
SSL	源極選擇線
TLC	三級胞元
VM1	第一讀取電壓
VM2	第二讀取電壓
VM3	第三讀取電壓
Vpass	通過電壓
Vpgm	編程電壓
Vread	讀取電壓
Vref	參考電壓
V <sub>SL</sub>	源極線電壓
WL	字元線

I646552

## 發明摘要

※ 申請案號：104110423

※ 申請日：104/03/31

※IPC 分類：G11C 8/08 (2006.01)  
G11C 8/12 (2006.01)

【發明名稱】 半導體裝置及其操作方法

SEMICONDUCTOR DEVICE AND OPERATING METHOD  
THEREOF

### 【中文】

一種半導體裝置的一操作方法包括對一選定記憶體區塊的一選定字元線施加一讀取電壓，選定記憶體區塊係在包括耦接在位元線與一源極線之間之胞元串的複數個記憶體區塊當中、藉由在選定記憶體區塊的胞元串中形成一通道來偵測源極線的電壓、比較源極線的電壓與對應於選定記憶體區塊的一參考電壓、及當源極線的電壓大於參考電壓時(由於比較之結果)對耦接至選定字元線的記憶體胞進行一最低有效位元(LSB)讀取操作，且當源極線的電壓小於參考電壓時(由於比較之結果)對記憶體胞進行一最高有效位元(MSB)讀取操作。

### 【英文】

An operating method of a semiconductor device includes applying a read voltage to a selected word line of a selected memory block, among a plurality of memory blocks including cell strings coupled between bit lines and a source line, detecting a voltage of the source line by forming a channel in cell strings of the selected memory block, comparing the voltage of the source line with a reference voltage corresponding to the selected memory block, and performing a least significant bit (LSB) read operation on memory cells coupled to the selected word line when the voltage of the source line is greater than the reference voltage, as a

result of the comparing, and performing a most significant bit (MSB) read operation on the memory cells when the voltage of the source line is less than the reference voltage, as the result of the comparing.

**【代表圖】**

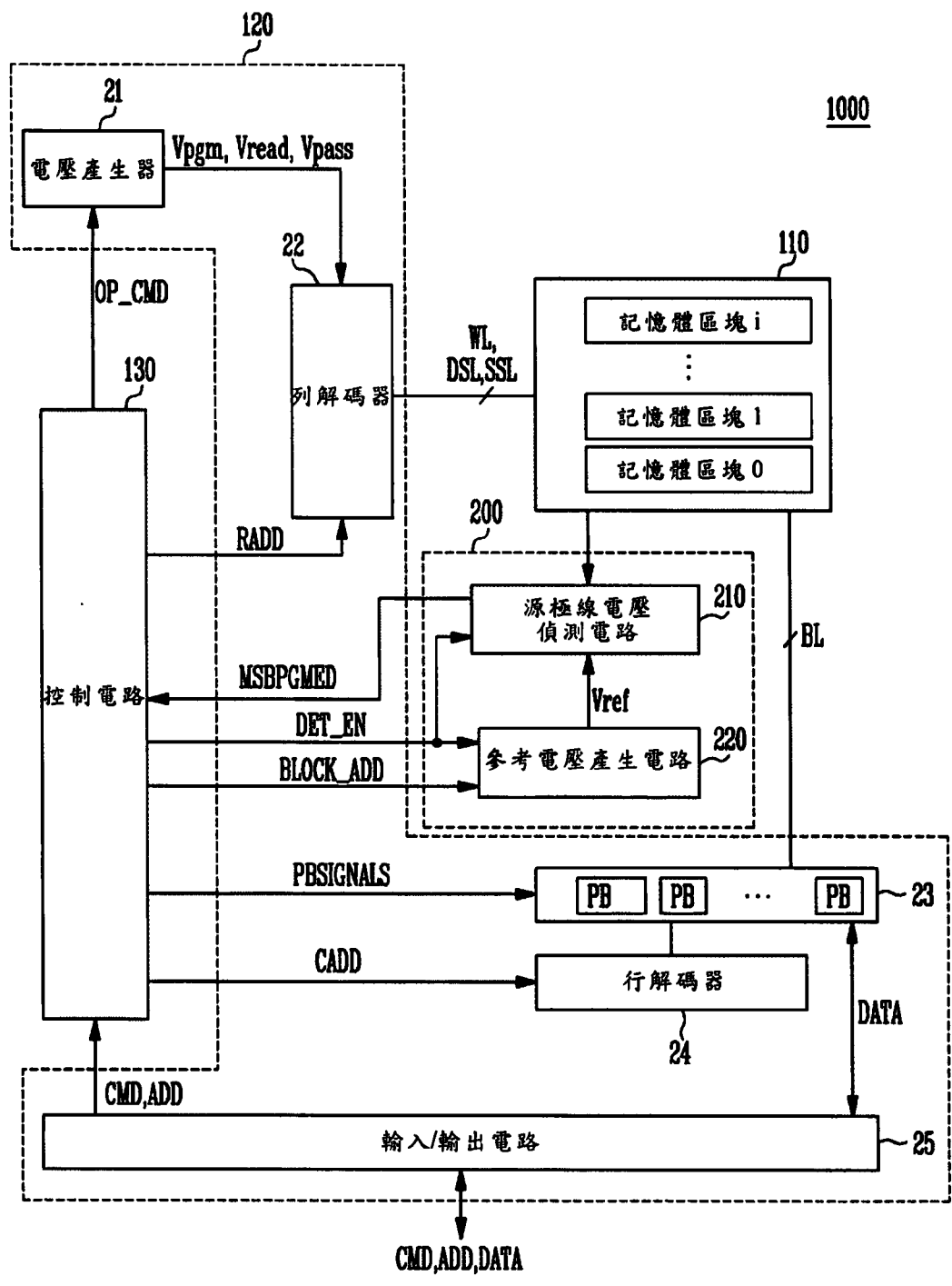
**【本案指定代表圖】**：圖（ 5 ）。

**【本代表圖之符號簡單說明】**：

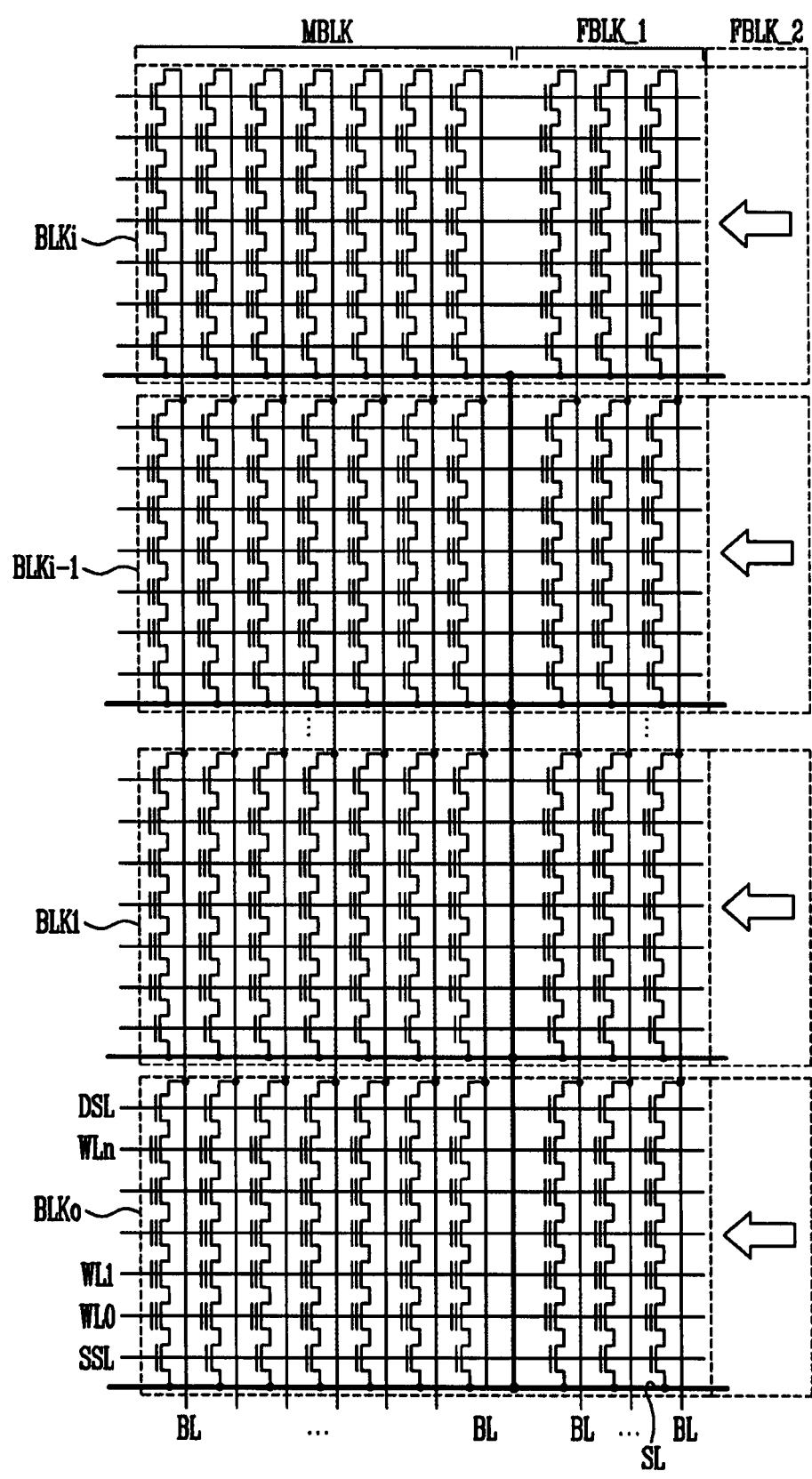
51-54	源極線電壓偵測操作
55-56	讀取操作

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

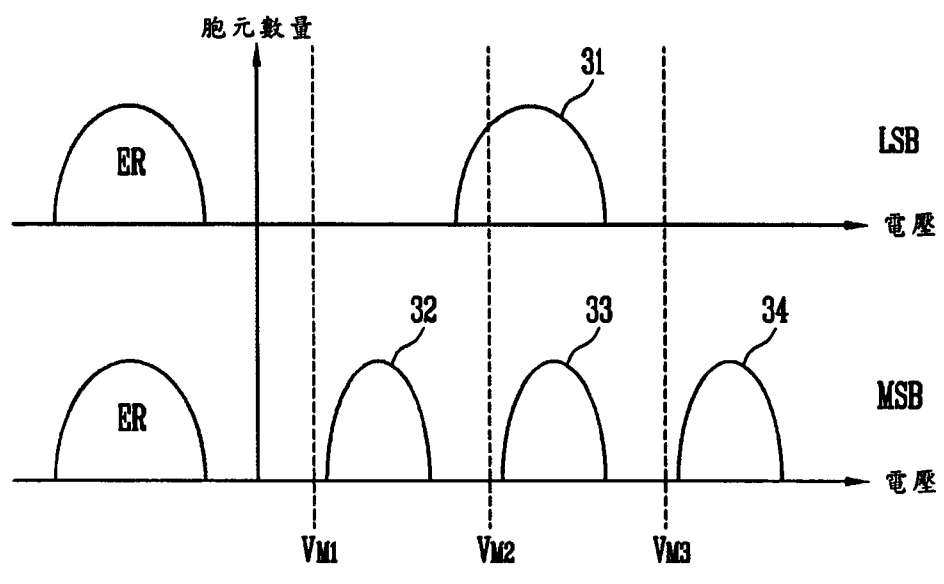
# 圖式



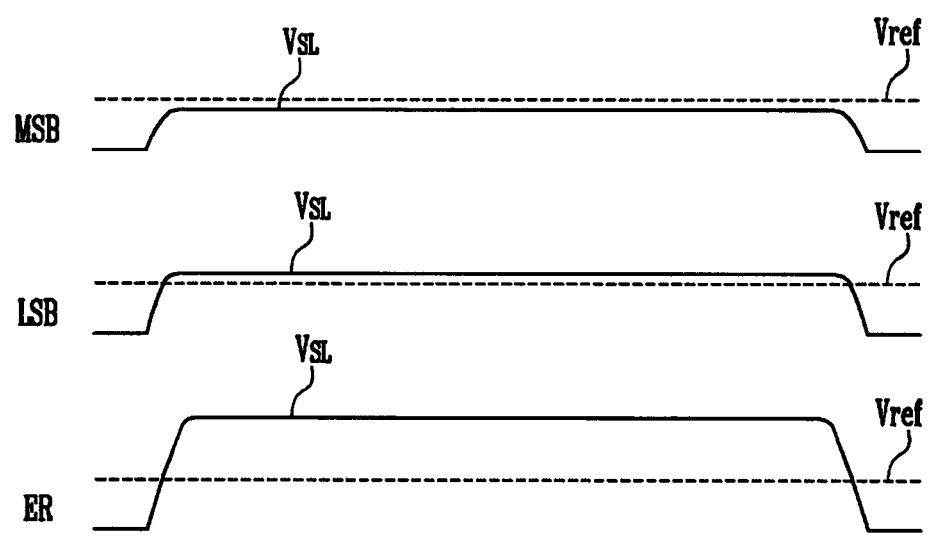
【圖1】



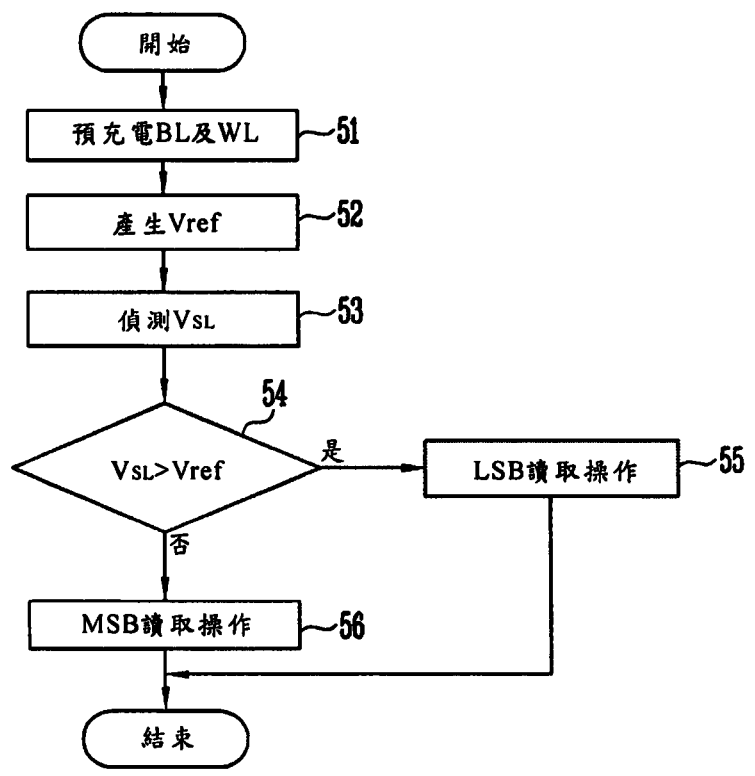
【圖2】



【圖3】



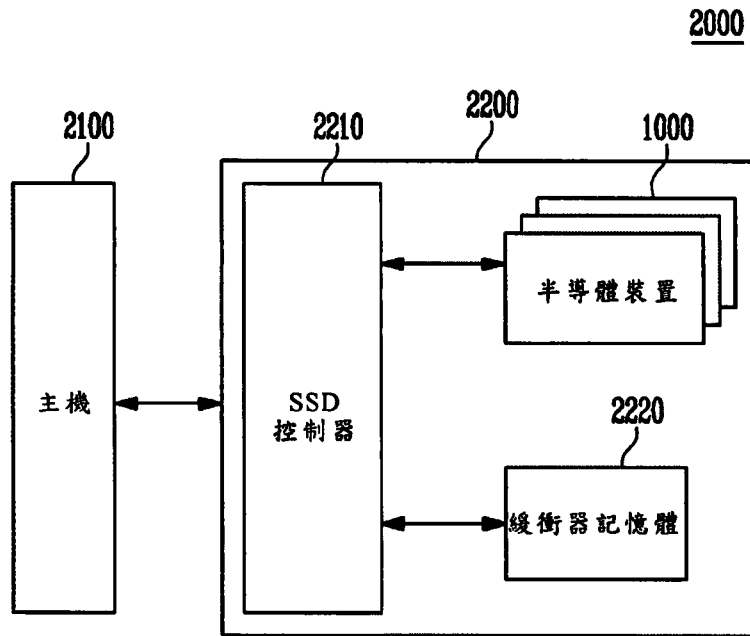
【圖4】



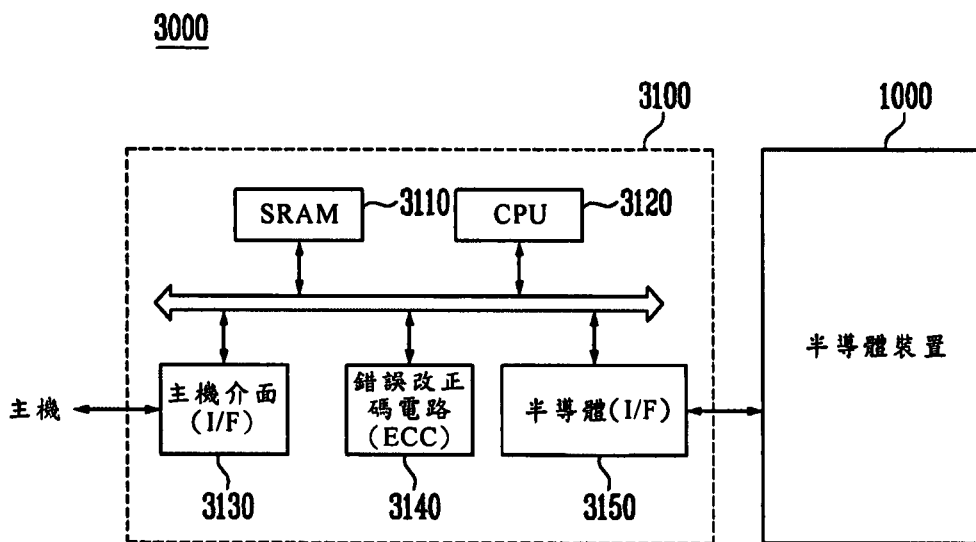
【圖5】

	BLK0	BLK1	...	BLKi-1	BLKi
Vref	a0	a1	...	ai-1	ai

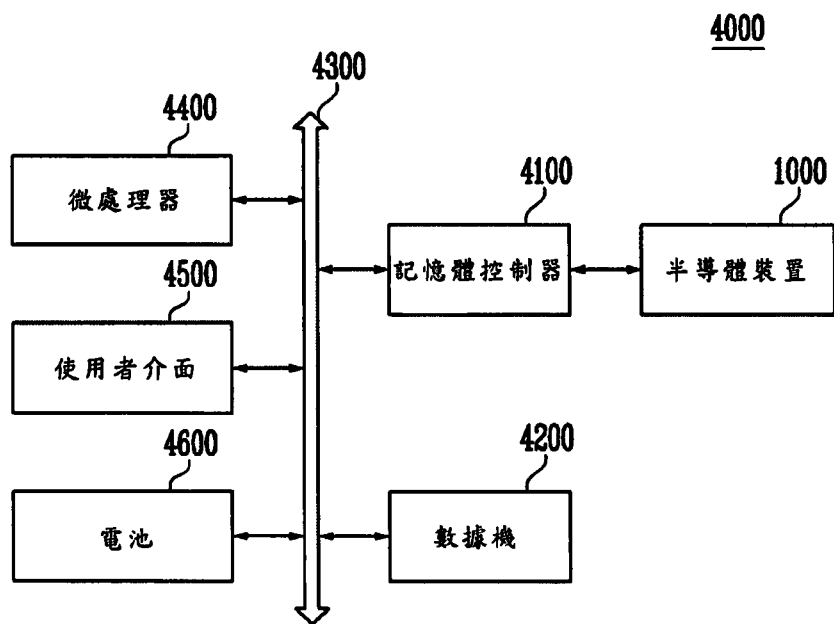
【圖6】



【圖7】



【圖8】



【圖9】

## 申請專利範圍

1. 一種半導體裝置的操作方法，該操作方法包含：

對一選定記憶體區塊的一選定字元線施加一讀取電壓，該選定記憶體區塊係在包括耦接在位元線與一源極線之間之胞元串的複數記憶體區塊當中；

藉由在該選定記憶體區塊的胞元串中形成一通道來偵測一源極線電壓；

比較該源極線電壓與對應於該選定記憶體區塊的一參考電壓；及

當該比較之結果為該源極線電壓大於該參考電壓時，對耦接至該選定字元線的記憶胞進行一最低有效位元(LSB, least significant bit)讀取操作，當該比較之結果為該源極線電壓小於該參考電壓時，對該等記憶胞進行一最高有效位元(MSB, most significant bit)讀取操作。

2. 如申請專利範圍第 1 項之操作方法，其中施加該讀取電壓包含：

對在該選定記憶體區塊之字元線當中的除了該選定字元線之外的剩餘字元線施加一通過電壓。

3. 如申請專利範圍第 1 項之操作方法，其中該參考電壓是為各該記憶體區塊而設定。

4. 如申請專利範圍第 3 項之操作方法，更包含：

對各該記憶體區塊進行一測試操作，以為各該記憶體區塊設定該參考電壓。

5. 如申請專利範圍第 4 項之操作方法，其中進行該測試操作包含：

預充電該等位元線；

對該選定字元線施加一測試讀取電壓且對剩餘字元線施加一通過電壓，以形成一通道；

傳送該等位元線的電壓至該通道；及

基於該源極線電壓而設定該參考電壓。

6. 如申請專利範圍第 5 項之操作方法，其中該參考電壓係設定於自具有一 LSB 編程狀態之一記憶體區塊測量的一源極線電壓與自具有一 MSB 編程狀態之一記憶體區塊測量的一源極線電壓之間。
7. 如申請專利範圍第 1 項之操作方法，在偵測該源極線電壓之前更包含：

產生對應於該選定記憶體區塊的該參考電壓。
8. 一種半導體裝置的操作方法，該操作方法包含：

對一選定記憶體區塊的一選定字元線施加一讀取電壓，該選定記憶體區塊係在包括耦接在位元線與一源極線之間之胞元串的複數記憶體區塊當中；

藉由在該選定記憶體區塊的胞元串中形成一通道來偵測一源極線電流；

比較該源極線電流與對應於該選定記憶體區塊的一參考電流；及

當該比較之結果為該源極線電流大於該參考電流時，對耦接至該選定字元線的記憶胞進行一最低有效位元(LSB, least significant bit)讀取操作，當該比較之結果為該源極線電流小於該參考電流時，對該等記憶胞進行一最高有效位元(MSB, most significant bit)讀取操作。
9. 如申請專利範圍第 8 項之操作方法，其中當對該選定記憶體區塊進行一測試操作時，設定該參考電流。
10. 如申請專利範圍第 9 項之操作方法，其中該參考電流係在一測試操作期間設定於當該選定記憶體區塊具有一 LSB 編程狀態時測量的一源極線電流與當該選定記憶體區塊具有一 MSB 編程狀態時測量的一源極線電流之間。
11. 如申請專利範圍第 9 項之操作方法，在偵測該源極線電流之前更包含：

產生對應於該選定記憶體區塊的該參考電流。

12. 一種半導體裝置，包含：

複數記憶體區塊，包括耦接於位元線與一源極線之間之複數胞元串；

一周邊電路，適用於對在該等記憶體區塊當中的一選定記憶體區塊進行編程、讀取及抹除操作；

一源極線檢查電路，適用於測量一源極線電壓或一源極線電流、比較該源極線電壓或該源極線電流與一參考電壓或一參考電流、及在於該等記憶體區塊當中的選定記憶體區塊之讀取操作期間輸出一比較結果；及

一控制電路，適用於控制該源極線檢查電路以比較該選定記憶體區塊的參考電壓或參考電流與該源極線電壓或該源極線電流、及控制該周邊電路基於該比較結果而對該選定記憶體區塊進行該讀取操作；

其中當該源極線電壓或該源極線電流大於該參考電壓或該參考電流時，該控制電路控制該周邊電路，以對該選定記憶體區塊的記憶胞進行一最低有效位元(LSB, least significant bit)讀取操作，當該源極線電壓或該源極線電流小於該參考電壓或該參考電流時，該控制電路控制該周邊電路，以對該等記憶胞進行一最高有效位元(MSB, most significant bit)讀取操作。

13. 如申請專利範圍第 12 項之半導體裝置，其中該源極線檢查電路包含：

一參考電壓產生電路或一參考電流產生電路，適用於回應於一偵測致能訊號及自該控制電路輸出的一區塊位址來產生對應於該選定記憶體區塊的參考電壓或參考電流；及

一源極線偵測電路，回應於該偵測致能訊號而偵測該源極線電壓或該源極線電流、比較該參考電壓或該參考電流與該源極線電壓或該源極線電流、及輸出一編程狀態訊號作為該比較結果。

14.如申請專利範圍第 13 項之半導體裝置，其中該參考電壓產生電路或該參考電流產生電路包括：

一儲存單元，適用於儲存關於對應於各該記憶體區塊的該參考電壓或該參考電流之資料。

15.如申請專利範圍第 12 項之半導體裝置，其中該周邊電路進行最低有效位元(LSB, least significant bit)編程及最高有效位元(MSB, most significant bit)編程，但不儲存於該等記憶胞的關於一 LSB 編程狀態或一 MSB 編程狀態的資料於多個旗標胞元中，且使用該源極線電壓或該源極線電流來進行該 LSB 讀取操作及 MSB 讀取操作。