



# [12] 发明专利申请公开说明书

[21] 申请号 97119536.6

[43]公开日 1998 年 7 月 1 日

[11] 公开号 CN 1186333A

[22]申请日 97.9.18

[30]优先权

[32]96.12.26[33]K.R[31]72491 / 96

[71]申请人 LG半导体株式会社

地址 韩国忠清北道

[72]发明人 金焕官

[74]专利代理机构 柳沈知识产权律师事务所

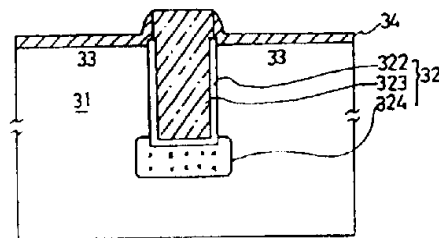
代理人 黄敏

权利要求书 3 页 说明书 4.0 页 附图页数 5 页

[54]发明名称 具有槽隔离结构的半导体器件的制造方法

[57]摘要

一种具有槽隔离结构的半导体器件的方法，包括步骤：形成包括槽和用于填充该槽以便在衬底上限定有源区的槽塞的隔离区，该槽塞的一部分突出于该衬底表面之上；在衬底表面上的该槽塞的突出部分的侧表面上形成氧化材料的侧壁垫层；以及对衬底有源区和各侧壁垫层的表面上进行氧化，以便形成延伸到衬底有源区的上部和槽塞的侧表面上的栅绝缘层。



# 权 利 要 求 书

1. 一种具有槽隔离结构的半导体器件的制造方法, 包括下列步骤:  
在衬底上形成蚀刻阻挡层;
- 5 选择地除去一部分蚀刻阻挡层, 以便露出该衬底;  
在该衬底上形成槽;  
在该槽的内表面上形成绝缘材料的槽垫层;  
形成覆盖该槽垫层和该蚀刻阻挡层的槽填充材料层;  
选择地除去一部分槽填充材料层, 以便露出该蚀刻阻挡层和形成填充该
- 10 槽的槽塞;  
除去蚀刻阻挡层, 以便露出衬底和突出在该衬底表面以上的槽塞部分;  
以及  
在该衬底和该槽塞突出的突出部分的侧面上形成栅绝缘层。
2. 根据权利要求1所述的方法, 其中, 该蚀刻阻挡层由依次淀积氧化硅
- 15 层和氮化硅层构成。
3. 根据权利要求1所述的方法, 其中, 该槽由各向异性蚀刻形成。
4. 根据权利要求1所述的方法, 其中, 该槽垫层由热氧化法形成。
5. 根据权利要求1所述的方法, 其中, 该槽填充材料层由淀积氧化硅层
- 形成。
- 20 6. 根据权利要求1所述的方法, 其中, 该槽塞由对该槽填充材料层进行
- 抛光形成。
7. 根据权利要求1所述的方法, 其中, 该槽塞由对该槽塞填充材料层进
- 行等离子蚀刻形成。
8. 根据权利要求1所述的方法, 其中, 还包括把沟道截止离子注入该衬
- 25 底的槽底表面的步骤。
9. 根据权利要求1所述的方法, 其中, 形成栅绝缘层的步骤包括下列步
- 骤:  
形成覆盖包括该槽塞的该衬底表面的氧化材料层;  
选择地除去一部分氧化材料层, 以便在该槽塞的突出部分的侧表面上形
- 30 成氧化材料的侧壁垫层; 以及



在该衬底表面和该侧壁上进行氧化。

10. 根据权利要求 9 所述的方法，其中，该氧化材料层由淀积多晶硅形成。

5 11. 根据权利要求 9 所述的方法，其中，该侧壁垫层由进行对该氧化材料层的深腐蚀形成。

12. 根据权利要求 1 所述的方法，其中，形成该栅绝缘层的步骤包括下列步骤：

形成覆盖包括该槽塞的该衬底的绝缘材料层；

10 选择地除去一部分绝缘材料层，以便形成侧壁垫层，而该侧壁垫层是在所述的该槽塞突出部分表面上的第一绝缘层；以及

在该衬底表面上进行氧化以形成第二绝缘层。

13. 根据权利要求 12 所述的方法，其中，该绝缘材料层由淀积氧化硅层形成。

15 14. 根据权利要求 12 所述的方法，其中，该侧壁垫层由对该绝缘材料层进行深腐蚀形成。

15. 一种具有槽隔离结构的半导体器件的制造方法，包括下列步骤：

在衬底上形成蚀刻阻挡层；

选择地除去一部分所述阻挡层，以露出所述衬底；

应用所述蚀刻阻挡层作为掩模在所述衬底中形成槽；

20 在所述槽的表面形成第一绝缘材料的槽垫层；

在所述槽垫层和所述蚀刻阻挡层的侧表面上形成第二绝缘材料的槽塞；

除去所述蚀刻阻挡层，以露出所述槽塞和所述衬底的一部分；以及

在所述槽塞和所述衬底的所述部分上形成绝缘层。

25 16. 根据权利要求 15 所述的方法，其中，所述蚀刻阻挡层包括氧化物层和氮化物层。

17. 根据权利要求 15 所述的方法，其中，所述槽由各向异性蚀刻形成。

18. 根据权利要求 15 所述的方法，其中，所述槽垫层由热氧化法形成。

30 19. 根据权利要求 15 所述的方法，其中，所述第一绝缘材料是氧化物而所述第二绝材料是 TEOS 的分解物。

20. 根据权利要求 15 所述的方法，其中，形成所述绝缘层的步骤包括下



列步骤:

在该槽塞的部分上形成氧化材料的侧壁垫层;

对该衬底和侧壁垫层上进行氧化。

21. 根据权利要求 20 所述的方法, 其中, 该氧化材料是氧化物。

5 22. 根据权利要求 15 所述的方法, 其中, 所述形成所述绝缘层的步骤包括下列步骤:

在该槽塞的部分上形成绝缘材料的侧壁垫层;

在该衬底上进行氧化。

# 说明书

## 具有槽隔离结构的半导体 器件的制造方法

5

本发明涉及一种具有槽隔离结构的半导体器件的制造方法，特别是，设计成能增加栅绝缘层可靠性的一种半导体器件的制造方法。

因设计规则尺寸随着半导体器件的超大规模集成电路而减小，实质上就是要求缩小器件隔离区的尺寸。由于这个缘故，所以用设计成适宜于小间距的槽隔离结构来代替 LOCOS(硅局部氧化)。槽隔离结构有利于缩小器件隔离区的尺寸，因为它容易调整其横向距离。

然而，具有这种槽隔离结构的半导体器件包含了导致损害栅绝缘层可靠性的问题。由于在槽的角部不能随着氧化很好地形成栅绝缘层，因而半导体器件在工作时电场集中于槽的角部，就会在低电压下发生击穿。

15 为了解决槽隔离结构中的这个问题，已提出了一种制造双层栅绝缘层(参看 US 5387540)的方法，并以图 1 和 2 的剖面图说明该方法。

在如图 1 和图 2 所示的常规方法中，通过如图 1 所示的氧化，在由隔区 12 限定的衬底 11 的有源区 13 的表面上，形成第一绝缘层 141。在图 2 中，采用 CVD(化学汽相淀积)法形成第二绝缘层 142，覆盖未被第一绝缘层 141 完全覆盖的槽的角部。由此，最终完成包括第一和第二绝缘层 141 和 142 的栅绝缘层 14。

隔离区 12 包括：槽、用于减少形成槽时的蚀刻损伤的槽垫层 122、槽塞 123 和沟道截止区 124。图 2 的标号 15 描绘出栅电极。

25 在现有技术中，用 CVD 法在第一绝缘层 141 上淀积第二绝缘层 142，以便覆盖住槽的角部，因此很难调整其厚度且与用氧化法形成的绝缘层相比可靠性较低。而且，因为在 1Giga DRAM 的超大规模集成器件中的栅绝缘层厚度小于 70 埃，所以，难以用 CVD 法在第一绝缘层 141 上淀积第二绝缘层 142 来调整栅绝缘层 14 的厚度。

30 因此，本发明的目的是提供一种具有用以使槽的角部绝缘的栅绝缘层且同时在器件有源区上也具有一层的半导体器件的制造方法。



本发明的另外的特征和优点在下述的说明中将显示出来，或通过本发明的实施可以了解。本发明的各个目的和其他优点，通过载入了说明书及权利要求和附图指出的特定结构将获得实现。

为达到这些和其它优点及根据本发明的目的，作为概括和一般性说明，  
5 一种具有槽隔离结构的半导体器件的制造方法，包括步骤：形成包括槽和用于填充该槽以便在衬底上限定有源区的槽塞的隔离区，该槽塞的一部分突出于衬底表面之上；在该衬底表面上的该槽塞的该突出部分的侧表面上形成氧化材料的侧壁垫层；以及在该衬底有源区的表面上和该各侧壁垫层上进行氧化，以便形成使栅绝缘层延伸到衬底有源区的上部和该槽塞的侧表面上。

10 根据本发明的另一个实施例的具有槽隔离结构的半导体器件的制造方法，包含步骤：形成包括槽和用于填充该槽以便在衬底上限定有源区的槽塞的隔离区，该槽塞的一部分突出于衬底表面之上；在该衬底表面上的该槽塞的该突出部分的侧表面上形成第一绝缘层的侧壁垫层；以及在该衬底的有源区上形成由栅绝缘层和第一绝缘层的侧壁构成的第二绝缘层。

15 大家都知道，上述的一般说明和下述的详细说明两者都是举例性说明，意图是对所要求保护的发明提供进一步的阐述。

含有提供对本发明的进一步理解并构成本说明书的一部分的各附图，描述了本发明的各个实施例并包含于解释本发明原理的说明：

在附图中：

20 图 1 和 2 是根据现有技术的例子说明半导体器件制造方法的剖面图；

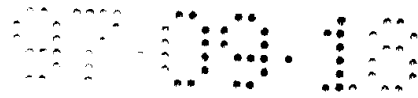
图 3A 到 3J 是说明根据本发明的优选实施例的具有槽隔离结构的半导体器件制造方法的流程图；以及

图 4A、4B 和 4C 是说明根据本发明的另一个优选实施例的半导体器件制造方法的流程图。

25 现在将详细涉及本发明的优选实施例，这些例子在附图中表明。

图 3A 到 3J 是说明根据本发明的优选实施例的具有槽隔离结构的半导体器件制造方法的流程图。

30 参看图 3A，在半导体衬底 31 上形成蚀刻阻挡层 36。用硅作该衬底 31。该蚀刻阻挡层 36 包括硅氧化层的缓冲膜 361，及在此缓冲膜 361 上形成的氮化硅层 362。缓冲膜 361，可用 CVD(化学汽相淀积)法形成硅氧化层，但最好，用热氧化法形成。



如图 3B 所示，在蚀刻阻挡层 36 上形成光刻胶掩模 37，而后除去蚀刻阻挡层的一部分，使衬底 31 的第一部分 39 露出。在图 3B 中的标号 36' 描绘已刻制成图形的蚀刻阻挡层。此外，标号 361' 和 362' 分别描绘已刻制成图形的缓冲膜和已刻制成图形的氮化硅膜。

5 在图 3C 中，经过蚀刻衬底 31 的第一部分 39 形成了槽 321。该槽 321 在衬底 31 的第二部分中限定了有源区 33。采用一种各向异性的蚀刻法作为形成该槽 321 的蚀刻方法。接着，除去上述光刻胶掩模 37。

10 参看图 3D，在该槽 321 的内表面，即，在槽 321 的侧表面和底面上形成绝缘材料的槽垫层 322。为减小形成该槽时用蚀刻工艺造成的损伤而形成的该槽垫层 322，最好是采用热氧化法形成硅氧化层。该蚀刻阻挡层 36' 则用作阻挡氧化的掩模。另外，槽垫层 322 可由无应力的氮氧化硅形成，氮氧化硅是具有高收缩力的氧化硅和具有张力的氮化硅的中间混合物。然后，把沟道截止离子注入到衬底 31 的槽 321 的底部，以便形成沟道截止区 324。该沟道截止区 324 还可以在形成槽垫层 322 之前形成。

15 如图 3E 所示，形成槽填充材料层 40，以便覆盖该槽垫层 322 和蚀刻阻挡层 36'。所形成的槽填充材料层 40 实际上完全填满该槽 321。这是用 CVD 法形成的硅氧化层，并且可用 TEOS(四乙基原硅酸盐)分解获得。

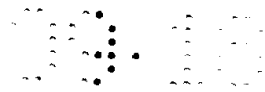
20 在图 3F 中，选择地除去一部分槽填充材料层 40，以便通过 CMP(化学机械抛光)法，或等离子蚀刻法形成槽塞 323。选择地除去槽填充材料层 40 以便露出用作蚀刻挡板的蚀刻阻挡层 36'。在本工艺中，形成隔离区 32 包括：一槽 321、槽垫层 322、槽塞 323 和沟道截止区 324。该隔离区 32 形成于靠近衬底 31 的第二部分的有源区 33。

依次，如图 3G 所示，除去蚀刻阻挡层 36'，以便露出衬底 31 的有源区 33 的表面并使一部分槽塞 323 突出于衬底 31 的表面之上。

25 在图 3H 中，形成氧化材料层 41，以盖住包括该槽塞 323 的衬底 31 表面。该氧化材料层 41 是用 CVD 法由多晶硅形成，而该氧化材料层 41 将通过氧化变成绝缘层。

在图 3I 中，经过深腐蚀工艺选择地除去一部分氧化材料层 41，以便在该槽塞 323 的突出部分的侧表面上形成氧化材料的侧壁垫层 341。

30 最后，在图 3J 中，在该衬底 31 的有源区 33 表面上和该侧壁垫层 341 的表面上用热氧化法形成栅绝缘层 34。从而，从使栅绝缘层 34 延伸到衬底



31 主表面的衬底 31 的有源区 33 的表面和该槽塞 323 的突出部分上。这种结构产生对槽 321 角部的完美绝缘。由于以一定时间的氧化形成了栅绝缘层 34，所以能够增加均匀性和可靠性。

5 图 4A、4B 和 4C 是说明根据本发明的另一个优选实施例的半导体器件的方法的流程图。

如图 4A 所示，包括槽 321、槽垫层 322、槽塞 323 和沟道截止区 324 的隔离区 32 形成于衬底 31 上的，以限定有源区 33。然后，形成绝缘材料层 42，以覆盖包括槽塞 323 在内的该衬底 31 的主表面。该绝缘材料层 42 是用 CVD 法淀积的硅氧化层。

10 在图 4B 中，选择地除去一部分绝缘材料层 42，以便形成侧壁垫层 441，它是在衬底 31 的主表面上的槽塞 323 突出部分的侧表面上的第一绝缘层。采用进行对绝缘材料层 42 的深腐蚀，形成该侧壁垫层 441，于是在衬底 31 主表面上的槽塞 323 突出部分的侧表面上，保留下一部分绝缘材料层 42。因而，该侧壁垫层 441 覆盖槽垫层 322。

15 参看图 4C，对该衬底的有源区 33 表面的热氧化导致形成第二绝缘层 442，而第二绝缘层 442 变成带有侧壁垫层 441，即带第一绝缘层的栅绝缘层 44。该槽 321 的角部完美地被栅绝缘层 44 绝缘，该栅绝缘层 44 包括第一绝缘层，即，侧壁垫层 441，以及第二绝缘层 442。在有源区 33 上的栅绝缘层 44 用热氧化法由具有优良均匀性和可靠性的硅氧化层形成。

20 本领域技术人员都应该清楚，对本发明的具有槽隔离结构的半导体器件的制造方法还可以作出各种改进和变更而不会偏离本发明的构思或范围。因此，本发明应包括，在权利要求书和其等同物范围内提供的对本发明的改进和变更。



说明书附图

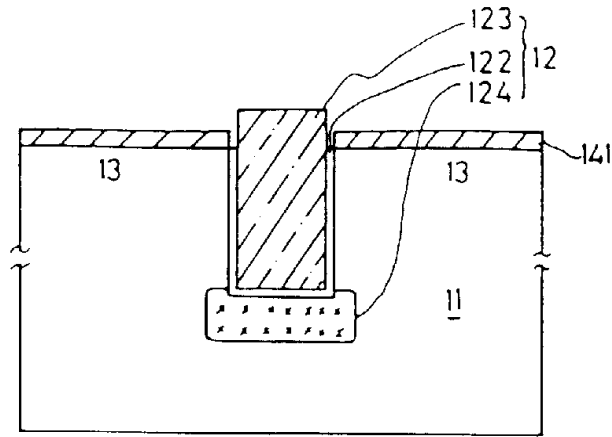


图 1

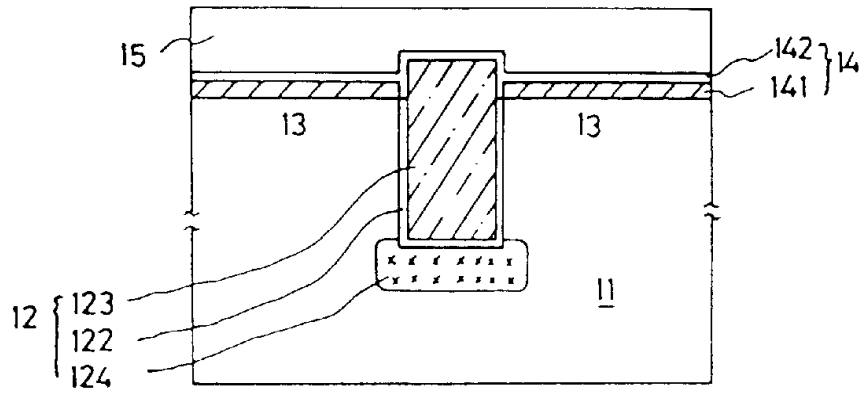


图 2

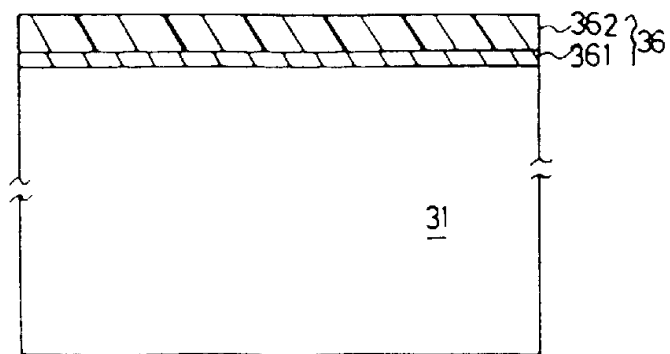


图 3A

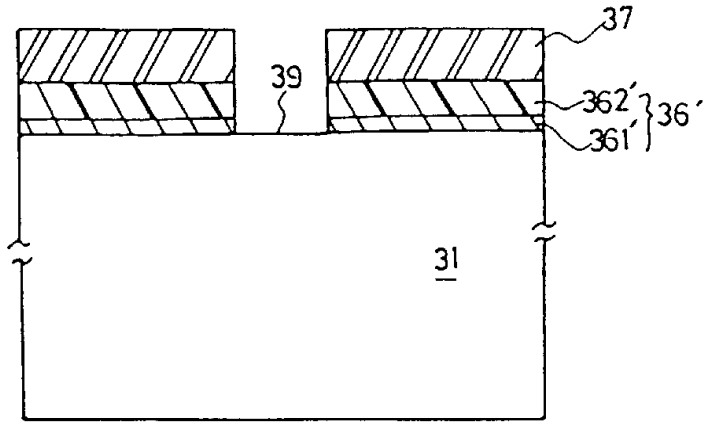
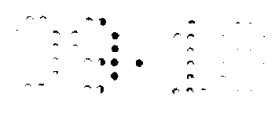


图 3B

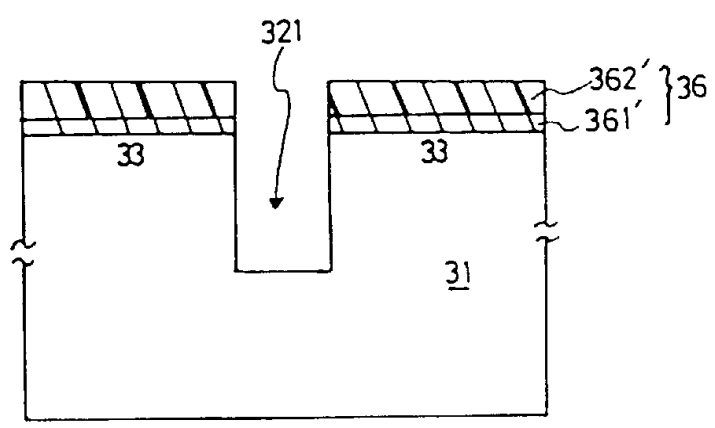


图 3C

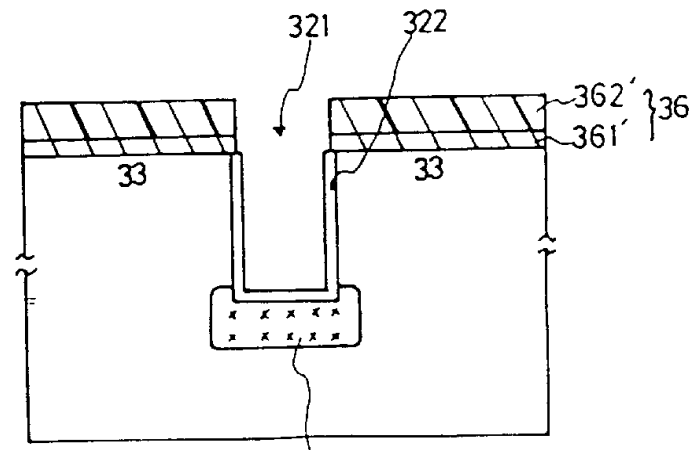


图 3D

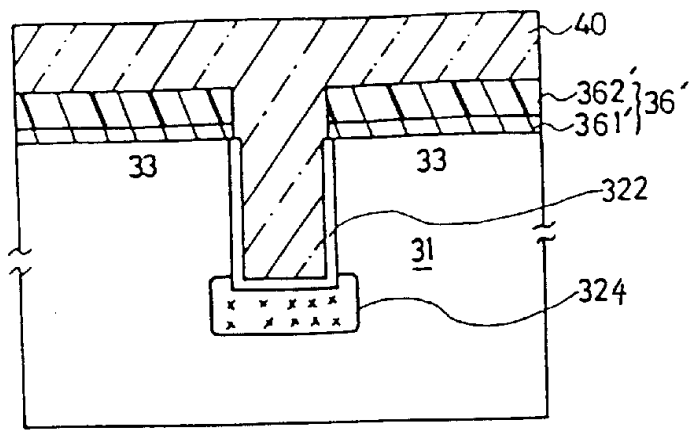


图 3E

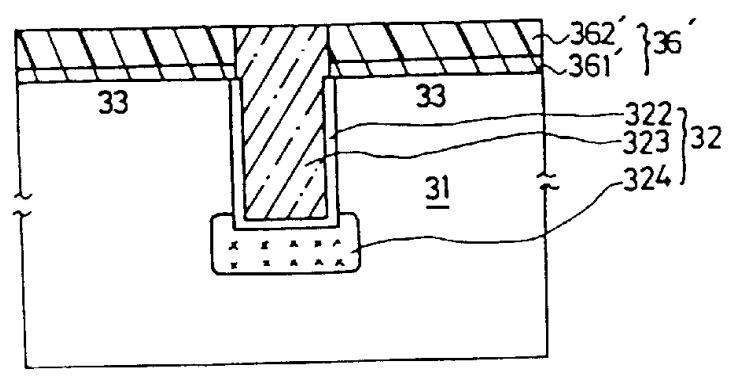


图 3F

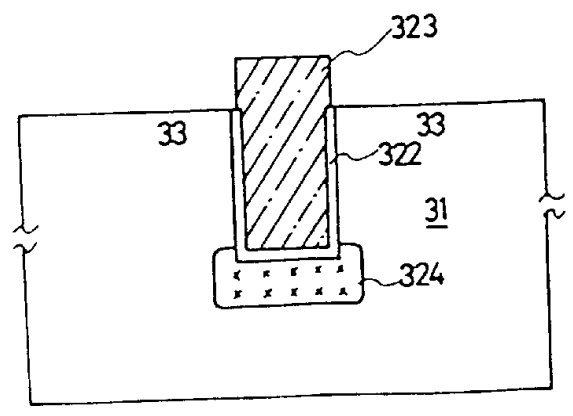


图 3G

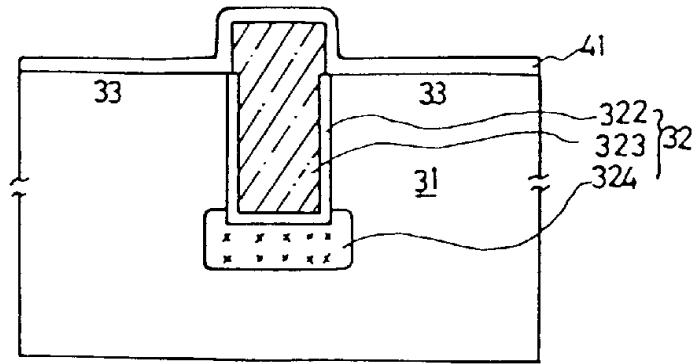


图 3H

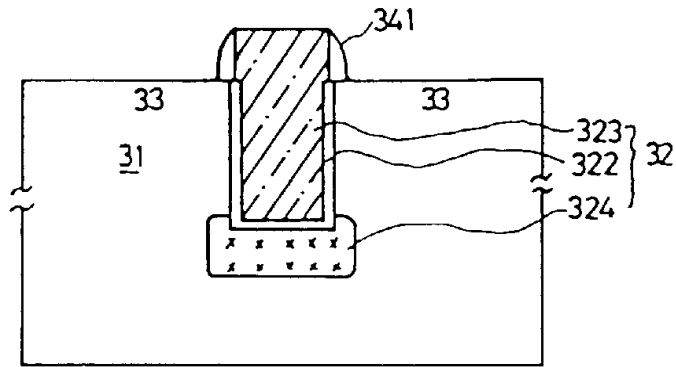


图 3I

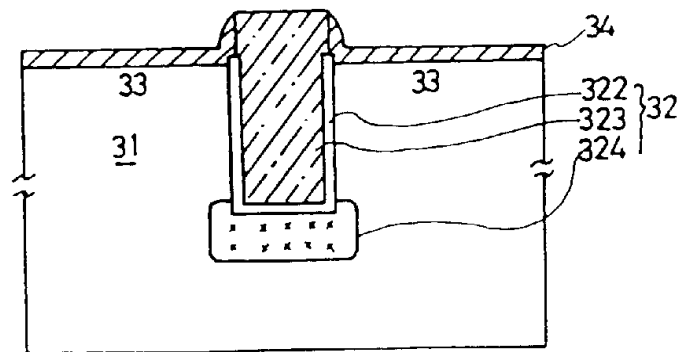


图 3J

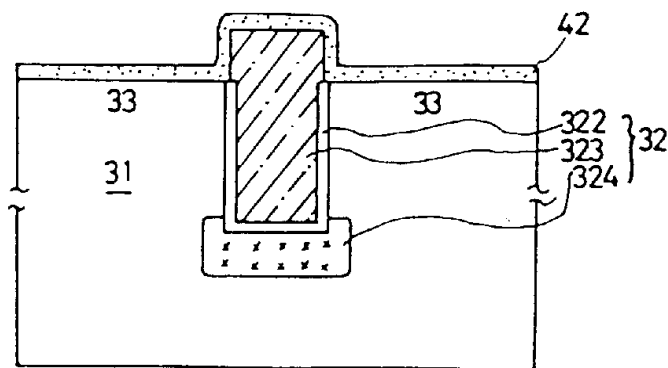


图 4 A

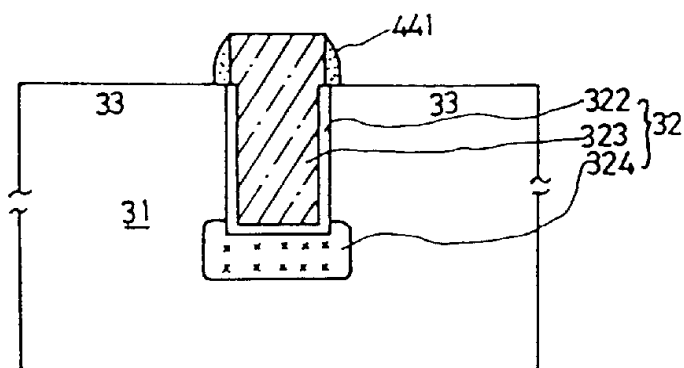


图 4 B

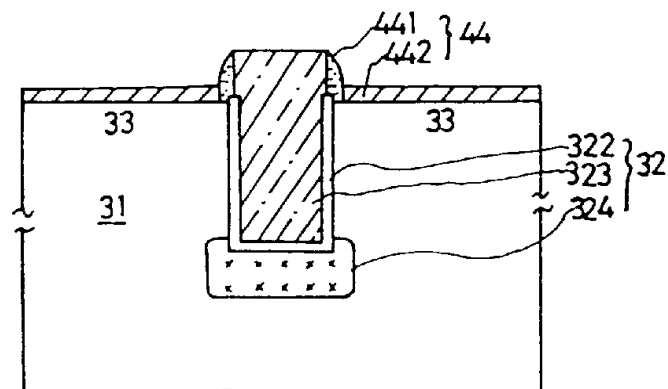


图 4 C