

특허청구의 범위

청구항 1

트랜스의 1차 권선과 2차 권선의 적어도 한 쪽의 권선에 콘덴서가 접속되고 이 출력에 방전관이 접속된 공진회로와, 직류전원의 양단에 접속되며 또한 상기 공진회로 내의 상기 트랜스의 1차 권선과 상기 콘덴서에 전류를 보내기 위한 브릿지 구성의 복수의 스위칭 소자를 갖는 방전관 점등 장치의 주파수 동기화 방법으로서,

미리 정해진 정전류치를 결정하는 저항에 의해 임의로 설정된 정전류를 흘리는 것과,

상기 정전류치에 의해 발진기 콘덴서의 충전 전류에 의한 전압 경사와 방전 전류에 의한 전압 경사가 같으며 또한 상기 복수의 스위칭 소자를 온/오프시키기 위한 삼각파 신호를 발생시켜서 발진시키는 것과,

상기 삼각파 신호와 동기하여, 상기 삼각파 신호의 반주기 미만에 상기 방전관에 흐르는 전류에 따른 펄스폭으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 한 쪽의 1이상의 스위칭 소자를 구동시키기 위한 제 1 구동신호를 발생시키는 것과,

상기 제 1 구동신호와 동일한 펄스폭으로 180도의 위상차를 가지며, 상기 제 1 구동신호의 발생시와는 역방향으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 다른 쪽의 1이상의 스위칭 소자를 구동시키기 위한 제 2 구동신호를 발생시키는 것과,

동기 펄스 전압신호를 듀티가 50%에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일한 펄스 전류로 전환해서 상기 발진기의 삼각파 신호에 중첩시켜서 펄스전류를 발생시키는 것을 포함하고,

상기 제 1 구동신호를 발생시키는 것 및 제 2 구동신호를 발생시키는 것은 상기 펄스전류를 발생시키는 과정에서 상기 펄스전류의 주파수에 삼각파 신호의 주파수를 동기시켜서 상기 제 1 구동신호 및 제 2 구동신호를 발생시키는 것을 특징으로 하는 방전관 점등 장치의 주파수 동기화 방법.

청구항 2

제 1항에 있어서,

상기 펄스전류의 주파수가 상기 동기 펄스 전압신호의 주파수의 미리 정해진 정수배인 것을 특징으로 하는 방전관 점등 장치의 주파수 동기화 방법.

청구항 3

제 1항에 있어서,

상기 펄스전류를 중첩시키지 않는 경우의 상기 삼각파 신호의 발진 주파수는 상기 펄스전류의 주파수와 차이가 기설정된 주파수 이내가 되도록 설정되는 것을 특징으로 하는 방전관 점등 장치의 주파수 동기화 방법.

청구항 4

직류에서 정부대칭의 교류로 변환해서 방전관에 전력을 공급하는 방전관 점등 장치로서,

트랜스의 1차 권선과 2차 권선의 적어도 한 쪽의 권선에 콘덴서가 접속되고 이 출력에 상기 방전관이 접속된 공진회로와,

직류 전원의 양단에 접속되며 또한 상기 공진회로 내의 상기 트랜스의 1차 권선과 상기 콘덴서에 전류를 보내기 위한 브릿지 구성의 복수의 스위칭 소자와,

미리 정해진 정전류치를 결정하는 저항에 의해 임의로 설정된 정전류를 흘리는 정전류 결정 회로와,

상기 정전류치에 의해 발진기 콘덴서의 충전 전류에 의한 전압 경사와 방전 전류에 의한 전압 경사가 같으며 또한 상기 복수의 스위칭소자를 온/오프시키기 위한 삼각파 신호를 발생하는 발진기와,

상기 삼각파 신호와 동기하여, 상기 삼각파 신호의 반주기 미만에 상기 방전관에 흐르는 전류에 따른 펄스폭으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 한 쪽의 1이상의 스위칭 소자를 구동시키기 위한 제 1 구동신호를 발생시키고, 상기 제 1 구동신호와 동일한 펄스폭으로 180도의 위상차를 가지며, 상기 제

1 구동신호의 발생시와는 역방향으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 다른 쪽의 1이상의 스위칭 소자를 구동시키기 위한 제 2 구동신호를 발생시키는 신호 발생부와,

동기 펄스 전압신호를 듀티가 50%에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일한 펄스전류로 변환해 상기 발진기의 삼각파 신호에 중첩시키는 펄스전류 발생기를 가지며,

상기 신호 발생부는 상기 펄스전류 발생기로부터의 상기 펄스전류의 주파수에 삼각파 신호의 주파수를 동기시켜서 상기 제 1 구동신호 및 제 2 구동신호를 발생시키는 것을 특징으로 하는 방전관 점등 장치.

청구항 5

제 4항에 있어서,

상기 펄스전류의 주파수가 상기 동기 펄스 전압신호의 주파수의 미리 정해진 정수배인 것을 특징으로 하는 방전관 점등 장치.

청구항 6

제 4항에 있어서,

상기 삼각파 신호의 상기 반주기는 상기 삼각파 신호의 상승경사시간 중 또는 하강경사시간 중인 것을 특징으로 하는 방전관 점등 장치.

청구항 7

제 4항에 있어서,

상기 삼각파 파형의 상기 반주기는 상기 삼각파 신호의 상한치와 하한치의 중점전위 이상의 기간 중 또는 상기 중점전위 이하의 기간 중인 것을 특징으로 하는 방전관 점등 장치.

청구항 8

방전관에 전력을 공급하는 브릿지 구성의 복수의 스위칭 소자를 제어하는 반도체 집적회로로서,

미리 정해진 정전류치를 결정하는 저항에 의해 임의로 설정된 정전류를 흘리는 정전류 결정 회로와,

상기 정전류치에 의해 발진기 콘덴서의 충전 전류에 의한 전압 경사와 방전 전류에 의한 전압 경사가 같으며 또한 상기 복수의 스위칭 소자를 온/오프시키기 위한 삼각파 신호를 발생하는 발진기와,

상기 삼각파 신호와 동기하여, 상기 삼각파 신호의 반주기 미만에 상기 방전관에 흐르는 전류에 따른 펄스폭으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 한 쪽의 1이상의 스위칭 소자를 구동시키기 위한 제 1 구동신호를 발생시키고 상기 제 1 구동신호와 동일한 펄스폭으로 180도의 위상차를 가지며, 상기 제 1 구동신호의 발생시와는 역방향으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 다른 쪽의 1이상의 스위칭 소자를 구동시키기 위한 제 2 구동신호를 발생시키는 신호 발생부와,

동기 펄스 전압신호를 입력하는 입력단자와,

상기 입력단자로부터 입력된 동기 펄스 전압신호를 듀티가 50%이며 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일한 펄스전류로 변환해 상기 발진기의 삼각파 신호에 중첩시키는 펄스전류 발생기를 가지며,

상기 신호 발생부는 상기 펄스전류 발생기로부터의 상기 펄스전류의 주파수에 삼각파 신호의 주파수를 동기시켜서 상기 제 1 구동신호 및 제 2 구동신호를 발생시키는 것을 특징으로 하는 반도체 집적회로.

청구항 9

제 8항에 있어서,

상기 펄스전류의 주파수가 상기 동기 펄스 전압신호의 주파수의 미리 정해진 정수배인 것을 특징으로 하는 반도체 집적회로.

청구항 10

제 8항에 있어서,

상기 삼각파와 신호의 상기 반주기는 상기 삼각파와 신호의 상승경사시간 중 또는 하강경사시간 중인 것을 특징으로 하는 반도체 집적회로.

청구항 11

제 8항에 있어서,

상기 삼각파와 파형의 상기 반주기는 상기 삼각파와 신호의 상한치와 하한치의 중점전위 이상의 기간 중 또는 상기 중점전위 이하의 기간 중인 것을 특징으로 하는 반도체 집적회로.

명세서

기술분야

[0001] 본 발명은 방전관의 점등 특히, 냉음극관을 사용한 액정표시기기 등에 사용되는 방전관 점등 장치의 주파수 동기화 방법, 방전관 점등 장치 및 반도체 집적회로에 관한 것이다.

배경기술

[0002] 도 1은 종래의 방전관 점등 장치에 동기 신호가 입력되어 있지 않은 경우의 구성을 나타내는 회로도이다. 도 2는 종래의 방전관 점등 장치에 동기 신호가 입력되어 있지 않은 경우의 각 부의 신호를 나타내는 타이밍차트이다. 도 1에 나타난 방전관 점등 장치에서는 직류 전원(Vin)과 그라운드 사이에는 하이사이드인 P형 MOSFET(Qp1)(P형 FET(Qp1)라 함.)과 로우사이드인 N형 MOSFET(Qn1)(N형 MOSFET(Qn1)라 함.)의 제 1 직렬회로가 접속되어 있다. P형 FET(Qp1)과 N형 FET(Qn1)의 접속점과 그라운드(GND)의 사이에는 콘덴서(C3)와 트랜스(T)의 1차 권선(P)의 직렬회로가 접속되고, 트랜스(T)의 2차 권선(S)의 양단에는 리액터(Lr)와 콘덴서(C4)의 직렬회로가 접속되어 있다.

[0003] P형 FET(Qp1)의 소스에 직류 전원(Vin)이 공급되고, P형 FET(Qp1)의 게이트는 컨트롤(IC1)의 단자(DRV1)에 접속되어 있다. N형 FET(Qn1)의 게이트는 컨트롤(IC1)의 단자(DRV2)에 접속되어 있다.

[0004] 컨트롤(IC1)은 시작회로(10), 정전류 결정 회로(11), 발진기(12), 분주기(13), 오차증폭기(15), PWM컴퍼레이트(16), NAND회로(17a), AND회로(17b), 드라이버(18a, 18b)를 가지고 있다. 정전류 결정 회로(11)는 단자(RF)를 통해 정전류 결정 저항(R1)의 일단에 접속되어 있다. 발진기(12)는 단자(CF)를 통해 콘덴서(C1)의 일단에 접속되어 있다.

[0005] 시작회로(10)는 직류 전원(Vin)의 전원공급을 받아 소정 전압(REG)을 생성해서 내부의 각 부에 공급한다. 정전류 결정 회로(11)는 정전류 결정 저항(R1)에 의해 임으로 설정되는 정전류를 보낸다. 발진기(12)는 정전류 결정 회로(11)의 정전류에 의해 콘덴서(C1)의 충방전을 해서 도 2에 나타난 바와 같은 톱니파 발진파형(도 2에서는 단자(CF)에서의 콘덴서(C1)의 충방전 전압을 나타낸다.)을 발생시켜서 톱니파 발진파형에 기초해 클럭(CK)을 생성한다. 클럭(CK)은 도 2에 나타난 바와 같이 단자(CF)에서의 톱니파 발진파형에 동기한 상승기간이 H레벨이고, 하강기간이 L레벨인 펄스 전압 파형이며 분주기(13)에 보내진다.

[0006] 트랜스(T)의 2차 권선(S)의 일단은 리액터(Lr)를 통해 방전관(3)의 한쪽 전극에 접속되고, 방전관(3)의 다른 쪽의 전극은 관전류 검출 회로(5)에 접속되어 있다. 관전류 검출 회로(5)는 다이오드(D1, D2) 및 저항(R3, R4)으로 이루어지며 방전관(3)을 흐르는 전류를 검출하고 검출된 전류에 비례한 전압을 컨트롤(IC1)의 피드백 단자(FB)를 통해 오차증폭기(15)의 1단자에 출력한다.

[0007] 오차증폭기(15)는 -단자에 입력되는 관전류 검출 회로(5)로부터의 전압과 +단자에 입력되는 기준전압(E1)의 오차전압(FBOUT)을 증폭시키고, 이 오차전압(FBOUT)을 PWM컴퍼레이트(16)의 +단자로 보낸다. PWM컴퍼레이트(16)는 +단자에 입력되는 오차증폭기(15)로부터의 오차전압(FBOUT)이 -단자에 입력되는 단자(CF)로부터의 톱니파 파형 전압 이상일 때 H레벨이고 오차전압(FBOUT)이 톱니파 파형 전압 미만일 때 L레벨이 되는 펄스 신호를 생성해서 NAND회로(17a)와 AND회로(17b)에 출력한다.

[0008] 분주기(13)는 발진기(12)로부터의 펄스 신호를 분주하고 분주된 펄스 신호(Q)를 NAND회로(17a)에 출력함과 동시에 분주된 펄스 신호(Q)를 반전한 펄스 신호(분주된 펄스 신호(Q)에 대해 소정의 데드 타임을 갖는다.)를 AND회로(17b)에 출력한다. NAND회로(17a)는 분주기(13)로부터의 분주된 펄스 신호와 PWM컴퍼레이트(16)로부터의 신호의 NAND논리를 연산해서 드라이버(18a) 및 단자(DRV1)를 통해 구동신호를 P형 FET(Qp1)에 출력한다. AND회로

(17b)는 분주기(13)로부터의 분주되면서 반전된 펄스 신호와 PWM컴퍼레이트(16)로부터의 신호의 AND논리를 연산해서 드라이버(18b) 및 단자(DRV2)를 통해 구동신호를 N형 FET(Qn1)에 출력한다.

[0009] 예를 들면, 시각 $t_1 \sim t_2$ 에서는, PWM컴퍼레이트(16)의 출력은 H레벨이 되고, 분주기(13)의 출력은 L레벨이 되기 때문에 NAND회로(17a)의 출력은 L레벨이 된다. 이 때문에 단자(DRV1)에서는 L레벨이 출력되어 P형 FET(Qp1)이 온(on)이 된다. 또한 시각 $t_4 \sim t_5$ 에서는 PWM컴퍼레이트(16)의 출력은 H레벨이 되고, 분주기(13)의 반전 출력은 H레벨이 되기 때문에 AND회로(17b)의 출력은 H레벨이 된다. 이 때문에 단자(DRV2)에서는 H레벨이 출력되어 N형 FET(Qn1)이 온이 된다.

[0010] 즉, 구동신호는 분주기(13)의 출력과의 합성에 의해 클럭(CK)에 동기하면서 톱니파 발진파형의 하강기간을 데드타임으로 단자(DRV1)와 단자(DRV2)에 교대로 보낸다. 이상의 동작에 의해, 컨트롤(IC1)은 톱니파 발진파형의 주파수에서 P형 FET(Qp1)과 N형 FET(Qn1)을 교대로 온/오프시킨다. 이에 의해, 방전관(3)에 전력이 공급됨과 동시에 방전관(3)을 흐르는 전류가 소정치로 제어된다.

[0011] 도 1에 나타난 방전관 점등 장치에 구비된 발진기(12)의 발진 주파수는 일반적으로 저항(R1)과 콘덴서(C1)로 결정된다. 그러나, 사용되는 부품(저항과 콘덴서)의 불균일에 따라서는 저주파의 버스트(burst)조광 발진 주파수나, 방전관 점등 장치의 전단(前段)에 위치하는 SMPS의 발진 주파수 등이 서로 간섭해서 표시기기로는 치명적인 화면에 플리커 등을 일으킬 수 있다.

[0012] 이 대책 방법으로 외부에서 동기 펄스 전압신호를 방전관 점등 장치에 입력하고 발진기(12)의 발진 주파수를 외부의 동기 펄스 전압신호에 동기시켜서 규정하는 방법이 있다. 이 경우, 일반적으로 방전관의 점등 주파수를 외부의 동기 펄스 전압신호의 주파수 또는 외부의 동기 펄스 전압신호의 1/2주파수에 동기시킨다. 예를 들면, 방전관의 점등주파수를 마이크로 컴퓨터로부터의 동기 펄스 전압신호에 동기시키는 경우에는 도 3에 나타난 바와 같은 동기회로를 추가한다.

[0013] 도 3에 나타난 동기회로는 외부로부터의 동기 펄스 전압신호(TRI)이 상승시각에서 1 쇼트펄스를 생성하는 1 쇼트회로(2)와, 1 쇼트회로(2)의 출력과 콘덴서(C1)의 일단 사이에 접속되는 다이오드(D3)와, 콘덴서(C1)의 양단에 접속되는 제너 다이오드(ZD1)를 갖는다. 이 동기회로에서 콘덴서(C1)에 도 4에 나타난 바와 같이 콘덴서(C1)의 톱니파 발진파형(CF)의 주파수보다도 높은 주파수의 동기 펄스 전압신호(TRI)를 입력해서 콘덴서(C1)의 톱니파 발진파형(CF)을 동기 펄스 전압신호(TRI)의 주파수에 동기시키고, 방전관(3)의 점등주파수를 동기 펄스 전압신호(TRI)의 1/2주파수에 동기시켜서 행하는 방법 등이 있다.

[0014] 또한, 관련기술로는 예를 들면, US 5615093호 공보가 알려져 있다. 이 문헌에서 2차 권선이 부하에 접속되는 변압기의 1차 권선에 반도체 스위치회로를 구비해 반도체 스위치회로의 각 스위치를 PWM제어해서 정전류를 제어함과 동시에, 운전·정지신호정지를 지시하는 상태가 되면 제어회로부의 전원을 차단해서 대기상태로 만든다. 이와 동시에 반도체 스위치회로 중의 스위치를 온으로 만드는 스위치 구동신호를 오프로 함으로써 대기상태로 이동시킬때의 과대전류의 발생을 방지할 수 있다.

발명의 상세한 설명

[0015] 하지만 도 3에 나타난 바와 같은 종래의 방전관 점등 장치의 주파수 동기화 방법으로는 도 5에 나타난 바와 같이 콘덴서(C1)의 톱니파 발진파형(CF)의 주파수보다도 낮은 주파수의 동기펄스 신호(TRI)가 입력되면 삼각파 파형의 연속성이 깨져서 2개의 구동신호의 펄스폭이 달라지고 위상도 180도의 위상차가 아니게 된다. 즉, 도에서 단자(DRV2)의 구동신호는 단자(DRV1)의 구동신호와 펄스폭이 다르며 위상차도 180도가 아니다. 그 결과, 방전관을 흐르는 전류가 불균형하게 되어 방전관 내부의 수은 분포를 편중시켜 휘도구배나 수명저하를 발생시킨다.

[0016] 본 발명은 발진기의 발진 주파수에 대해 동기 펄스 전압신호의 주파수가 높아도, 낮아도 동기가 가능하고 동기 가능한 펄스 전압신호의 주파수 대역도 넓힐 수 있으며 안정적이면서 용이하게 동기 펄스 압력신호에 발진 주파수를 동기 할 수 있는 방전관 점등 장치의 주파수 동기화 방법, 방전관 점등 장치 및 반도체 집적회로를 제공한다.

[0017] 상기 문제를 해결하기 위해 본 발명의 방전관 점등 장치의 주파수 동기화 방법은 트랜스의 1차 권선과 2차 권선의 적어도 한 쪽의 권선에 콘덴서가 접속되고 이 출력에 방전관이 접속된 공진회로와, 직류 전원의 양단에 접속되며 또한 상기 공진회로 내의 상기 트랜스의 1차 권선과 상기 콘덴서에 전류를 보내기 위한 브릿지 구성의 복수의 스위칭 소자를 가지며, 발진기 콘덴서의 충전 경사와 방전 경사가 같으며 또한 상기 복수의 스위칭 소자를 온/오프시키기 위한 삼각파 신호를 발생시켜서 발진시키는 것과, 상기 삼각파 신호의 반주기 미만에 상기 방전

관을 흐르는 전류에 따른 펄스폭으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 한 쪽의 1 이상의 스위칭 소자를 구동시키기 위한 제 1 구동신호를 발생시키는 것과, 상기 제 1 구동신호와 거의 동일한 펄스폭에서 약 180도의 위상차를 가지며 상기 제 1 구동신호의 발생시와는 역방향으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 다른 쪽의 1 이상의 스위칭 소자를 구동시키기 위한 제 2 구동신호를 발생시키는 것과, 동기 펄스 전압신호를 듀티가 약 50%에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일한 펄스전류로 변환해 상기 발진기의 삼각파 신호에 중첩시켜서 펄스전류를 발생시키는 것을 포함하고, 상기 제 1 구동신호를 발생시키는 것 및 제 2 구동신호를 발생시키는 것은 상기 펄스전류를 발생시키는 과정에서의 상기 펄스전류의 주파수에 동기시켜서 상기 제 1 구동신호 및 제 2 구동신호를 발생시키는 것을 특징으로 한다.

[0018] 본 발명의 방전관 점등 장치는 직류에서 정부대칭의 교류로 변환해서 방전관에 전력을 공급하는 방전관 점등 장치로, 트랜스의 1차 권선과 2차 권선의 적어도 한 쪽의 권선에 콘덴서가 접속되고 이 출력에 상기 방전관이 접속된 공진회로와 직류 전원의 양단에 접속되며 또한 상기 공진회로 내의 상기 트랜스의 1차 권선과 상기 콘덴서에 전류를 보내기 위한 브릿지 구성의 복수의 스위칭 소자와, 발진기 콘덴서의 충전 경사와 방전 경사가 같으며 또한 상기 복수의 스위칭 소자를 온/오프시키기 위한 삼각파 신호를 발생시키는 발진기와, 상기 삼각파 신호의 반주기 미만에, 상기 방전관을 흐르는 전류에 따른 펄스폭으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 한 쪽의 1 이상의 스위칭 소자를 구동시키기 위한 제 1 구동신호를 발생시키고, 상기 제 1 구동신호와 거의 동일한 펄스폭에서 약 180도의 위상차를 가지며 상기 제 1 구동신호의 발생시와는 역방향으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 다른 쪽의 1 이상의 스위칭 소자를 구동시키기 위한 제 2 구동신호를 발생시키는 신호 발생부와, 동기 펄스 전압신호를 듀티가 약 50%에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일한 펄스전류로 변환해 상기 발진기의 삼각파 신호에 중첩시키는 펄스전류 발생회로를 가지며, 상기 신호 발생부는 상기 펄스전류 발생회로로부터의 상기 펄스전류의 주파수에 동기시켜서 상기 제 1 구동신호 및 제 2 구동신호를 발생시키는 것을 특징으로 한다.

[0019] 본 발명의 반도체 집적회로는 방전관에 전력을 공급하는 브릿지 구성의 복수의 스위칭 소자를 제어하는 반도체 집적회로로, 발진기 콘덴서의 충전 경사와 방전 경사가 같으며 또한 상기 복수의 스위칭 소자를 온/오프시키기 위한 삼각파 신호를 발생시키는 발진기와, 상기 삼각파 신호의 반주기 미만에 상기 방전관을 흐르는 전류에 따른 펄스폭으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 한 쪽의 1 이상의 스위칭 소자를 구동시키기 위한 제 1 구동신호를 발생시키고, 상기 제 1 구동신호와 거의 동일한 펄스폭에서 약 180도의 위상차를 가지며 상기 제 1 구동신호의 발생시와는 역방향으로 상기 방전관에 전류를 보내도록 상기 복수의 스위칭 소자 내의 다른 쪽의 1 이상의 스위칭 소자를 구동시키기 위한 제 2 구동신호를 발생시키는 신호 발생부와, 동기 펄스 전압신호를 입력하는 입력 단자와, 상기 입력단자로부터 입력된 동기 펄스 전압신호를 듀티가 약 50%에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일한 펄스전류로 변환해 상기 발진기의 삼각파 신호에 중첩시키는 펄스전류 발생회로를 가지며, 상기 신호 발생부는 상기 펄스전류 발생회로로부터의 상기 펄스전류의 주파수에 동기시켜서 상기 제 1 구동신호 및 제 2 구동신호를 발생시키는 것을 특징으로 한다.

[0020] 본 발명에 의하면, 발진기의 발진 주파수에 대해 동기 펄스 전압신호의 주파수가 높아도 낮아도 동기 가능하며, 동기 가능한 펄스 전압신호의 주파수대역도 넓힐 수 있고 안정적이면서 용이하게 동기 펄스 전압신호에 발진 주파수를 동기할 수 있다.

실시예

[0040] 이하, 본 발명의 실시형태에 관한 방전관 점등 장치의 주파수 동기화 방법, 방전관 점등 장치 및 반도체 집적회로의 실시형태를 도면을 참조해 상세하게 설명한다.

[0041] 실시예1

[0042] 도 6은 본 발명의 실시예 1에 관한 방전관 점등 장치의 구성을 나타내는 회로도이다. 도 6에 나타난 방전관 점등 장치는 도 1에 나타난 방전관 점등 장치에 대해 컨트롤(IC1a)만이 다르다. 도 6에 나타난 그 외의 구성은 도 1에 나타난 구성과 동일한 구성이며 동일 부분에는 동일 부호를 사용하고 그 부분의 설명은 생략하며, 여기서는 다른 부분만을 설명한다.

[0043] 컨트롤(IC1a)는 본 발명의 반도체 집적회로에 대응해 충방전 펄스전류 발생회로(20), 시작회로(10), 정전류 결정 회로(11a), 발진기(12a), 오차증폭기(15), 감산회로(19), PWM컴퍼레이트(16a), 16b, NAND회로(17c), 논리회로(17d), 드라이버(18a, 18b)를 가지고 있다. 시작회로(10)의 구성은 도 18에 나타난 것과 동일한 구성이다. 정

전류 결정 회로(11a)는 단자(RF)를 통해 정전류 결정 저항(R2)의 일단에 접속되어 있다. 발진기(12a)는 단자(CF)를 통해 콘덴서(C2)의 일단에 접속되어 있다.

[0044] 정전류 결정 회로(11a)는 정전류치 결정 저항(R2)에 의해 임의로 설정되는 정전류를 보낸다. 발진기(12a)는 정전류 결정 회로(11a)의 정전류에 의해 콘덴서(C2)를 충방전하고 삼각파 신호를 발생시켜서 삼각파 신호에 기초해 클럭(CK)을 생성해서 NAND회로(17c) 및 논리회로(17d)로 보낸다. 삼각파 신호는 상승경사와 하강경사가 동일하다. 상승경사와 하강경사는 콘덴서(C2)의 값과 저항(R2)의 값에 의해 설정된다.

[0045] 오차증폭기(15)의 출력단자는 PWM컴퍼레이트(16a)의 +단자에 접속됨과 동시에 저항(R4)을 통해 감산회로(19)의 -단자에 접속되어 있다. 감산회로(19)의 단자와 출력단자 사이에는 저항(R5)이 접속되어 있다. 감산회로(19)는 저항(R4)을 통한 오차증폭기(15)로부터의 오차전압(FBOUT)을 +단자의 기준전압(E2)인 삼각파 신호의 상한치와 하한치의 중점전위에서 반전시킨 전압 즉, 오차전압(FBOUT)의 반전파형을 PWM컴퍼레이트(16b)의 -단자에 출력한다. 기준전압(E2)은 $E2 = (V_L + V_H)/2$ 이고, 삼각파 신호(CF)의 상한치(VH)와 하한치(VL)의 중점전위이다.

[0046] PWM컴퍼레이트(16a)는 +단자에 입력되는 오차증폭기(15)로부터의 오차전압(FBOUT)이 -단자에 입력되는 단자(CF)로부터의 삼각파 신호전압 이상일 때 H레벨이고, 오차전압(FBOUT)이 삼각파 신호전압 미만일 때 L레벨이 되는 펄스 신호를 생성해서 NAND회로(17c)에 출력한다. PWM컴퍼레이트(16b)는 +단자에 입력되는 단자(CF)로부터의 삼각파 신호전압이 -단자에 입력되는 감산회로(19)로부터의 오차전압(FBOUT)의 반전파형 전압 이상일 때 H레벨이고, 삼각파 신호전압이 오차전압(FBOUT)의 반전파형 전압 미만일 때 L레벨이 되는 펄스 신호를 생성해서 논리회로(17d)에 출력한다.

[0047] NAND회로(17c)는 발진기(12a)로부터의 클럭과 PWM컴퍼레이트(16a)로부터의 신호의 NAND연산을 해서 드라이버(18a) 및 단자(DRV1)를 통해 제 1 구동신호를 P형 FET(Qp1)에 출력한다. 논리회로(17d)는 발진기(12a)로부터의 클럭을 반전한 신호와 PWM컴퍼레이트(16b)로부터의 신호의 AND연산을 해서 드라이버(18b) 및 단자(DRV2)를 통해 제 2 구동신호를 N형 FET(Qn1)에 출력한다.

[0048] PWM컴퍼레이트(16a), NAND회로(17c), 드라이버(18a)는 삼각파 신호의 반주기 미만에 방전관(3)을 흐르는 전류에 따른 펄스폭으로 방전관(3)에 전류를 보내도록 P형 FET(Qp1)을 구동시키는 제 1 구동신호를 발생시키며, 본 발명의 신호 발생부에 대응한다. 감산회로(19), PWM컴퍼레이트(16b), NAND회로(17d), 드라이버(18b)는 제 1 구동신호와 거의 동일한 펄스폭으로 약 180도의 위상차를 가지며, 제 1 구동신호의 발생시와는 역방향으로 방전관(3)에 전류를 보내도록 N형 FET(Qn1)을 구동시키는 제 2 구동신호를 발생시키며, 본 발명의 신호 발생부에 대응한다.

[0049] 충방전 펄스전류 발생회로(20)는 외부로부터의 동기 펄스 전압신호(TRI)를 듀티가 50%(또는 50%근방)에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일하며 또한 동기 펄스 전압신호의 주파수를 2분주한 주파수를 갖는 펄스전류로 변환해서 발진기(12a)의 삼각파 신호에 중첩시킨다. 신호 발생부는 충방전 펄스전류 발생회로(20)로부터의 펄스전류의 2분주된 주파수에 동기시켜서 제 1 구동신호 및 제 2 구동신호를 발생시킨다. 즉, 동기 펄스 전압신호의 1/2의 주파수에 발진 주파수가 동기되고 방전관(3)의 점등 주파수를 동기 펄스 전압신호의 1/2주파수에 동기시킨다.

[0050] 도 7은 본 발명의 실시예 1에 관한 방전관 점등 장치에 구비된 충방전 펄스 전류 발생회로의 구성을 나타내는 회로도이다. 충방전 펄스전류 발생회로(20)는 T형 플립프롭 회로(T-FF)와, 전원(REG)과 그라운드(GND) 사이에 접속된 저항(R6)과 저항(R7)의 직렬회로와, +단자에 저항(R6)을 통해 전원(REG)이 접속되고 -단자에 기준전압(V2)이 접속된 컴퍼레이트(COMP1)와, -단자에 저항(R7)을 통해 그라운드(GND)가 접속되고 +단자에 기준전압(V3)이 접속된 컴퍼레이트(COMP2)와, OR회로(OR1)와, NAND회로(NAND1)와, AND회로(AND1)와, 전원(REG)과 그라운드(GND) 사이에 접속된 정전류원(21a)와 P형 FET(22)와 정전류원(21b)과 N형 FET(23)의 직렬회로를 갖는다.

[0051] 또한, 기준전압(V2)과 기준전압(V3)은 $V3 < (REG \text{의 전압}) \times R7 / (R6 + R7) < V2$ 의 관계를 만족하도록 설정된다.

[0052] 컴퍼레이트(COMP1, COMP2), OR회로(OR1)는 TRIC단자에 신호가 없는 경우(이 단자가 오픈인 경우), TRI단자전압 = (REG의 전압) $\times R7 / (R6 + R7)$ 로 해, 펄스전류를 정부 모두 보내지 않게 하기 위해 구비되었다. 또한 기준전압(V3)보다 크고 기준전압(V2)보다도 작은 신호가 TRI단자에 입력된 경우, 컴퍼레이트(COMP1, COMP2)로부터 출력을 송출하지 않도록 불감대를 만들었다.

[0053] T형 플립프롭 회로(T-FF)는 도 8에 나타난 바와 같이 동기 펄스 전압신호(TRI)의 상승엣지마다 H레벨과 L레벨을 교대로 반복한 펄스 신호(T-FF의 Q) 및 반전한 펄스 신호를 생성한다. 이 펄스 신호 및 반전한 펄스 신호는 도

8로 알 수 있듯이 동기 펄스 전압신호(TRI)의 주파수를 2분주한 신호가 된다.

- [0054] 콤퍼레이트(COMP1)는 동기 펄스 전압신호(TRI)가 기준전압(V2) 이상일 때 H레벨을 출력하고, 도8에 나타난 예에서는 동기 펄스 전압신호(TRI)를 완전히 동일한 신호가 OR회로(OR1)에 출력된다. 콤퍼레이트(COMP2)는 동기 펄스 전압신호(TRI)가 기준전압(V3) 이상일 때 L레벨을 출력하고, 도8에 나타난 예에서는 동기 펄스 전압신호(TRI)를 반전한 신호가 OR회로(OR1)에 출력된다. 이 때문에 오프회로(OR1)의 출력은 항상 H레벨이 된다.
- [0055] NAND회로(NAND1)는 T형 플립플롭 회로(T-FF)로부터의 펄스 신호(T-FF의 Q)와 OR회로(OR1)의 출력의 NAND연산을 하기 때문에, T형 플립플롭 회로(T-FF)로부터의 펄스 신호(T-FF의 Q)를 반전한 신호가 P형 FET(22)의 게이트에 출력된다. 이 때문에 시각 $t_1 \sim t_2$ 에서는 NAND회로(NAND1)로부터의 L레벨에 의해 P형 FET(22)가 온이 되고, 정전류원(22a)로부터 펄스전류(+ ΔI)가 P형 FET(22)를 통해 정방향(\rightarrow)으로 흐른다.
- [0056] 한 편, 시각 $t_2 \sim t_3$ 에서는 AND회로(AND1)로부터의 H레벨에 의해 N형 FET(23)가 온이 되고, 부방향(\leftarrow)에서 N형 FET(23)를 통해 펄스전류(- ΔI)가 그라운드(GND)에 흘러 든다.
- [0057] 이와 같이 도 7에 나타난 충방전 펄스전류 발생회로(20)는 도 8에 나타난 바와 같이 동기 펄스 전압신호(TRI)를 듀티가 50%에서 정부의 전류치($\pm \Delta I$)가 바뀌어서 정부의 전류치($\pm \Delta I$)의 절대치가 동일하며 또한 동기 펄스 전압신호의 주파수를 2분주한 주파수를 갖는 펄스전류로 변환해서 발진기(12a)의 삼각파 신호에 중첩시킨다.
- [0058] 다음으로, 도 6의 방전관 점등 장치에 동기신호가 입력되어 있지 않은 경우의 기본 동작을 도 9의 타이밍차트를 참조해 설명한다.
- [0059] 우선, 정전류 결정 저항(R2)에 의해 임의로 설정되는 정전류(I2)에 의해 발진기(12a)는 콘덴서(C2)를 충방전하고 상승경사와 하강경사가 동일한 삼각파 신호(CF)를 발생시키고 삼각파 신호(CF)에 기초해 클럭(CK)을 발생시킨다. 클럭(CK)은 삼각파 신호에 동기한, 예를 들면 상승기간이 H레벨이고, 하강기간이 L레벨이 되는 펄스 신호이다.
- [0060] NAND회로(17c)는 발진기(12a)로부터의 클럭(CK)이 H레벨이면서 PWM콤퍼레이트(16a)로부터의 신호가 H레벨일 때만 L레벨의 펄스 P형 FET(Qp1)에 출력시켜서 온으로 만든다. 즉, 삼각파 신호(CF)의 상승기간(클럭(CK)이 H레벨이고, 예를 들면 시각 $t_1 \sim t_3$, $t_5 \sim t_7$) 중에서 오차증폭기(15)로부터의 오차전압(FBOUT)이 삼각파 신호(CF) 이상일 때(PWM콤퍼레이트(16a)으로부터의 신호가 H레벨, 즉, 삼각파 신호의 하한치(VL)에서 삼각파 신호(CF)가 오차증폭기(15)의 출력과 교차할 때까지의 기간으로, 예를 들면 시각 $t_1 \sim t_2$, $t_5 \sim t_6$) L레벨의 펄스 신호가 P형 FET(Qp1)에 출력된다. 즉, 펄스 신호는 삼각파 신호(CF)의 상승기간 중에만 단자(DRV1)에 출력된다.
- [0061] 예를 들면, 시각 $t_1 \sim t_2$ 에서는 Vin, Qp1, C3, P, GND에 따라 연장 설치된 경로에 전류가 흐르고 트랜스(T)의 2차 측에서는 S, Lr, 방전관(3), 관전류 검출 회로(5)에 따라 연장 설치된 경로에 전류가 흐른다.
- [0062] 한 편, 감산회로(19)는 오차증폭기(15)로부터의 오차전압(FBOUT)을 삼각파 신호의 상한치와 하한치의 중점전위에서 반전시킨 오차전압(FBOUT)의 반전파형을 PWM콤퍼레이트(16b)의 -단자에 출력한다. 논리회로(17d)는 발진기(12a)로부터의 클럭(CK)(L레벨)을 반전한 반전 출력이 H레벨이면서 PWM콤퍼레이트(16b)로부터의 신호가 H레벨일 때만 H레벨의 펄스 신호를 N형 FET(Qn1)에 출력해서 온으로 만든다.
- [0063] 즉, 삼각파 신호(CF)의 하강기간(클럭(CK)이 L레벨이고 예를 들면 시각 $t_3 \sim t_5$, $t_7 \sim t_9$) 중에서 삼각파 신호(CF)가 오차전압(FBOUT)의 반전파형 전압 이상일 때(PWM콤퍼레이트(16b)로부터의 신호가 H레벨, 즉, 삼각파 신호(CF)의 상한치(VH)에서 삼각파 신호(CF)가 오차증폭기의 출력을 반전시킨 반전 출력과 교차할 때까지의 기간이며, 예를 들면 시각 $t_3 \sim t_4$, $t_7 \sim t_8$) H레벨의 펄스 신호가 N형 FET(Qn1)에 출력된다. 즉, 펄스 신호는 삼각파 신호(CF)의 하강기간 중에만 단자(DRV2)에 보내진다.
- [0064] 예를 들면, 시각 $t_3 \sim t_4$ 에서는 P, C3, Qn1, GND에 따라 연장 설치된 경로에 전류가 흐르고 트랜스(T)의 2차 측에서는 관전류 검출 회로(5), 방전관(3), Lr, S에 따라 연장 설치된 경로를 전류가 흐른다.
- [0065] 이상의 동작에 의해 컨트롤(IC1a)는 제 1 구동신호와 제 1 구동신호와 거의 동일한 펄스폭으로 약 180도의 위상차를 갖는 제 2 구동신호에 의해 상승경사기간과 하강경사기간이 동일해 지는 삼각파 신호(CF)의 주파수에서 P형 FET(Qp1), N형 FET(Qn1)을 교대로 온/오프시켜서 방전관(3)에 전력을 공급함과 동시에 방전관(3)을 흐르는 전류를 소정치로 제어한다.
- [0066] 다음으로 도 6의 방전관 점등 장치에 동기 신호가 입력된 경우의 기본 동작을 도 10의 타이밍차트를 참조해 설명한다.

- [0067] 우선, 정전류 결정 저항(R2)에 의해 임의로 설정되는 정전류(I2)에 의해, 발진기(12a)는 콘덴서(C2)를 충전하고 상승경사와 하강경사가 동일한 삼각파 신호(CF)를 발생시킨다. 콘덴서(C2)의 충전전 전류는 듀티가 50%에서 정부의 전류치($\pm I2$)가 바뀌어서 정부의 전류치($\pm I2$)의 절대치가 동일하다. 충전전 펄스전류 발생회로(20)는 도 10에 나타난 바와 같이 동기 펄스 전압신호(TRI)를 듀티가 50%에서 정부의 전류치($\pm \Delta I$)가 바뀌어서 정부의 전류치($\pm \Delta I$)의 절대치가 동일하며 또한 동기 펄스 전압신호의 주파수를 2분주한 주파수를 갖는 펄스전류로 변환해서 발진기(12a)의 삼각파 신호에 중첩시킨다.
- [0068] 도 10에 나타난 예에서는 정부의 전류치($\pm I2$)와 펄스전류의 타이밍이 시간 $t3 \sim t1$ 정도 벗어나 있기 때문에 콘덴서(C2)의 충전전 전류는 도 10에 나타난 바와 같이 시각 $t1 \sim t3$ 에서 $+I2 - \Delta I$, 시각 $t3 \sim t4$ 에서 $+I2 + \Delta I$, 시각 $t4 \sim t6$ 에서 $-I2 + \Delta I$, 시각 $t6 \sim t7$ 에서 $-I2 - \Delta I$ 가 된다. 이 때문에 삼각파 신호(CF)는 콘덴서(C2)의 충전전 전류에 따라 변화하고 펄스전류의 주파수에 동기한 신호가 된다.
- [0069] 예를 들면, 전류치 결정 저항(R2)에 의해 결정되는 발진기(12a)의 충전전 전류를 $\pm I2$, 발진기(12a)의 충전전 전류가 $\pm I2$ 만으로 결정되는 경우의 발진 주파수를 f_F , 중첩시킨 펄스전류를 $\pm \Delta I$ 로 한 경우, 동기 가능한 펄스 전압신호의 주파수대역은,
- [0070] $f_{\max} = 2f_F \times (I2 + \Delta I) / I2$
- [0071] $f_{\min} = 2f_F \times (I2 - \Delta I) / I2$
- [0072] 가 된다.
- [0073] 따라서 ΔI 의 전류치가 발진기(12a)의 충전전 전류치의 75%, 즉, $\Delta I = 0.75 \times I2$ 로 설정되어 있는 경우에는 $0.5f_F \sim 3.5f_F$ 의 외부 동기 펄스 전압신호에 발진 주파수를 동기시킬 수 있다. 반대로 f_F 를 50kHz근방으로 설정해 두면 25k ~ F175kHz의 동기 펄스 전압신호에 동기시킬 수 있다. 도 6의 예에서는 펄스전류의 전류치(ΔI)는 고정되어 있으나, 항상 I2에 대해 같은 비율이 되도록 전류치(ΔI)도 R2에 의해 결정되어도 된다. 또한 전류치(ΔI)를 독립적으로 조정할 수 있도록 반도체 집적회로(1a)가 ΔI 를 독립적으로 결정하는 단자를 구비해도 된다.
- [0074] 이와 같이 실시예 1의 방전관 점등 장치에 의하면 충전전 펄스전류 발생회로(20)는 동기 펄스 전압신호를 듀티가 50%에서 정부의 전류치가 바뀌어서 정부의 전류치의 절대치가 동일하며 또한 동기 펄스 전압신호의 주파수를 2분주한 주파수를 갖는 펄스전류로 변환해서 삼각파 신호에 중첩시킨다. 또한, 신호 발생부는 펄스전류의 2분주된 주파수에 동기시켜서 제 1 구동신호 및 제 2 구동신호를 발생시킨다. 즉, 동기 펄스 전압신호의 주파수를 2분주한 주파수에 발진 주파수가 동기되고, 방전관(3)의 점등주파수를 동기 펄스 전압신호의 주파수를 2분주한 주파수에 동기시킨다. 따라서 발진기(12a)의 발진 주파수에 대해 동기 펄스 전압신호의 주파수가 높아도 낮아도 동기 가능하고, 동기 가능한 펄스 전압신호의 주파수대역도 넓힐 수 있으며 안정적이며 용이하게 동기 펄스 전압신호에 발진 주파수를 동기시킬 수 있다.
- [0075] 실시예 2
- [0076] 도 11은 본 발명의 실시예 2에 관한 방전관 점등 장치의 구성을 나타내는 회로도이다. 도 12는 본 발명의 실시예 2에 관한 방전관 점등 장치에 구비된 충전전 펄스 전류 발생회로의 구성을 나타내는 회로도이다. 실시예 2에서는 충전전 펄스전류 발생회로(20a)가 마이크로 컴퓨터로부터의 듀티가 50%인 동기 펄스 전압신호(TRI)를 듀티가 50%인 채로 정부의 전류치의 절대치가 동일한 펄스전류로 변환해서 발진기(12a)의 충전전 전류에 중첩시킨다. 신호 발생부는 충전전 펄스전류 발생회로(20a)로부터의 펄스전류의 주파수에 동기시켜서 제 1 구동신호 및 제 2 구동신호를 발생시킨다. 즉, 동기 펄스 전압신호의 주파수에 발진 주파수가 동기되고, 방전관(3)의 점등주파수를 동기 펄스 전압신호의 주파수에 동기시킨다.
- [0077] 도 12는 본 발명의 실시예 2에 관한 방전관 점등 장치에 구비된 충전전 펄스 전류 발생회로의 구성을 나타내는 회로도이다. 충전전 펄스전류 발생회로(20a)는 도 7에 나타난 충전전 펄스전류 발생회로(20)에 대해 T형 플립플롭 회로(T-FF)와 OR회로(OR1)와 NAND회로(NAND1)와 AND회로(AND1)를 삭제하고, 콤퍼레이트(COMP1)를 콤퍼레이트(COMP3)로 변경하고, 콤퍼레이트(COMP3)의 출력을 P형 FET(22)의 게이트에 접속하며 콤퍼레이트(COMP2)의 출력을 N형 FET23의 게이트에 접속하고 있다. 콤퍼레이트(COMP3)는 콤퍼레이트(COMP1)에 대해 +단자와 -단자가 반대다 되어 있다.
- [0078] 또한, 도 12에 나타난 그 외의 구성은 도 7에 나타난 구성과 동일하며, 동일 부분에는 동일 부호를 사용하고 그

설명은 생략한다.

- [0079] 콤퍼레이트(COMP3)는 동기 펄스 전압신호(TRI)가 기준전압(V2) 이상일 때 L레벨을 출력하고, 도 13에 나타난 예에서는 동기 펄스 전압신호(TRI)를 반전한 신호가 P형 FET(22)에 출력된다. 이 때문에 시각 t1 ~ t2에서는 P형 FET(22)가 온이 되고, 정전류원(22a)에서 펄스전류(+Δ I)가 P형 FET(22)를 통해 정방향(→)으로 흐른다.
- [0080] 콤퍼레이트(COMP2)는 동기 펄스 전압신호(TRI)이 기준전압(V3) 미만일 때 H레벨을 출력하고, 도 13에 나타난 예에서는 동기 펄스 전압신호(TRI)를 반전한 신호가 N형 FET(23)에 출력된다. 이 때문에 시각 t2 ~ t3에서는 N형 FET(23)이 온이 되고, 부방향(←)에서 N형 FET(23)를 통해 펄스전류(-Δ I)가 그라운드(GND)에 흘러 든다
- [0081] 이와 같이 도 12에 나타난 충방전 펄스전류 발생회로(20a)는 도 13에 나타난 바와 같이 듀티가 50%인 동기 펄스 전압신호(TRI)를 듀티가 50%에서 정부의 전류치(± Δ I)의 절대치가 동일한 펄스전류로 변환해서 발진기(12a)의 삼각파 신호에 중첩시킨다.
- [0082] 예를 들면, 전류치 결정 저항(R2)에서 결정되는 발진기(12a)의 충방전 전류를 (± I2), 발진기(12a)의 충방전 전류가 ± I2만으로 결정되는 경우의 발진 주파수를 f_F, 중첩시키는 펄스전류를 ± Δ I로 한 경우, 동기 가능한 펄스 전압신호의 주파수대역은,
- [0083]
$$f_{\max} = f_F \times (I_2 + \Delta I) / I_2$$
- [0084]
$$f_{\min} = f_F \times (I_2 - \Delta I) / I_2$$
- [0085] 가 된다.
- [0086] 따라서, Δ I의 전류치가 발진기(12a)의 충방전 전류치의 75%, 즉, Δ I = 0.75 x I2로 설정되어 있는 경우에는 0.25f_F ~ 1.75f_F의 외부 펄스 전압신호에 발진 주파수를 동기시킬 수 있다. 반대로 f_F를 50kHz근방으로 설정해 두면, 12.5k ~ 87.5kHz 범위에서 펄스 전압신호에 동기시킬 수 있다. 즉, 발진기(12a)의 충방전 전류에 중첩되는 외부의 동기 펄스 전압신호에 대응한 펄스전류의 주파수근방에 f_F를 미리 설정해 둬으로써 동기 가능한 펄스 전압신호의 주파수 대역을 상하 양방향으로 넓힐 수 있다.
- [0087] 또한, 도 14는 본 발명의 실시예 2에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이나 그 동작은 실시예 1의 도 10에 나타난 타이밍차트의 동작과 동일하기에 그 설명을 생략한다.
- [0088] 실시예 3
- [0089] 도 15는 본 발명의 실시예 3에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력되어 있지 않은 경우의 각 부의 신호를 나타내는 타이밍차트이다. 도 16은 본 발명의 실시예 3에 관한 방전관 점등 장치에 동기 펄스 압력 신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다. 기본적인 회로구성은 도 6에 나타난 방전관 점등 장치의 구성과 동일하나 발진기(12a)로부터의 클럭(CK)과 삼각파 신호(CF)의 타이밍이 도 9에 나타난 타이밍과는 상이하다.
- [0090] 즉, 도 15에 나타난 실시예 3에서는 클럭(CK)은 삼각파 신호(CF)에 동기하고, 삼각파 신호(CF)가 상한치(VH)와 하한치(VL)의 중점전위보다도 아래의 기간이 H레벨이며, 상기 중점전위보다도 위의 기간이 L레벨이 되는 펄스 전압 파형이다.
- [0091] NAND회로(17c)는 발진기(12a)로부터의 클럭(CK)이 H레벨이면서 PWM콤퍼레이트(16a)로부터의 신호가 H레벨일 때만 L레벨의 펄스 신호를 P형 FET(Qp1)FET(Qp1)해서 온으로 만든다. 즉, 삼각파 신호(CF)가 상한치와 하한치의 중점전위보다도 아래의 기간 중(클럭(CK)이 H레벨인 기간)에서 오차증폭기(15)로부터의 오차전압(FBOUT)이 삼각파 신호(CF) 이상일 때(PWM콤퍼레이트(16a)로부터의 신호가 H레벨이고, 예를 들면 시각 t6 ~ t7, t11 ~ t12) L레벨의 펄스 신호가 P형 FET(Qp1)에 출력된다. 즉, 펄스 신호는 삼각파 신호(CF)가 상한치와 하한치의 중점전위보다도 아래의 기간 중에만 단자(DRV1)에 출력된다.
- [0092] 한 편, 감산회로(19)는 오차증폭기(15)로부터의 오차전압(FBOUT)을 삼각파 신호의 상한치와 하한치의 중점전위에서 반전시킨 오차전압(FBOUT)의 반전파형을 PWM콤퍼레이트(16b)의 -단자에 출력한다. 논리회로(17d)는 발진기(12)로부터의 클럭(CK)(L레벨)을 반전한 반전 출력이 H레벨이면서 PWM콤퍼레이트(16b)로부터의 신호가 H레벨일 때만 H레벨의 펄스 신호를 N형 FET(Qn1)에 출력해서 온으로 만든다.

- [0093] 즉, 삼각파 신호(CF)가 상한치와 하한치의 중점전위보다도 위의 기간 중(클럭(CK)이 L레벨인 기간)에서 삼각파 신호(CF)가 오차증폭기(15)로부터의 오차전압(FBOUT)을 반전한 반전파형 이상일 때(PWM컴퍼레이트(16a)로부터의 신호가 L레벨이고, 예를 들면 시각 $t_3 \sim t_5$, $t_8 \sim t_{10}$) H레벨의 펄스 신호가 N형 FET(Qn1)에 출력된다. 즉, 펄스 신호는 삼각파 신호(CF)가 상한치와 하한치의 중점전위보다도 위의 기간 중에만 단자(DRV2)에 보내진다.
- [0094] 이와 같이 실시예 3의 방전관 점등 장치에 의한 제어로도 방전관(3)을 흐르는 전류를 소정치로 제어할 수 있다.
- [0095] 또한 도 16에 나타난 타이밍챌트의 동작도 도 10에 나타난 타이밍챌트의 동작과 같이 동작한다. 즉, 콘덴서(C2)의 충전 전류는 도 10에 나타난 것과 동일해 지며, 삼각파 신호(CF)는 콘덴서(C2)의 충전 전류에 따라 변화 펄스전류의 주파수에 동기한 신호가 된다. 이 때문에 동기 펄스 전압신호의 1/2의 주파수에 발진 주파수를 동기시킬 수 있다.
- [0096] 실시예 4
- [0097] 도 17은 본 발명의 실시예 4에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍챌트이다. 또한, 동기신호가 입력되어 있지 않은 경우의 동작 파형은 도 15에 나타난 것과 완전히 동일하다. 기본적인 회로구성은 도 11에 나타난 방전관 점등 장치의 구성과 동일하나 발진기(12a)로부터의 클럭(CK)과 삼각파 신호(CF)의 타이밍이 도 14에 나타난 타이밍과는 상이하다.
- [0098] 이와 같이 실시예 4의 방전관 점등 장치에 의한 제어로도 방전관(3)을 흐르는 전류를 소정치로 제어할 수 있다. 또한 듀티가 50%인 동기 펄스 전압신호의 주파수에 발진 주파수를 동기할 수 있다.
- [0099] 실시예 5
- [0100] 도 18은 본발명의 실시예 5에 관한 방전관 점등 장치의 구성을 나타내는 회로도이다. 도 18에 나타난 방전관 점등 장치는 풀 브릿지 회로인 경우의 방전관 점등 장치의 일 예이며, 컨트롤(IC1c)는 도 6에 나타난 실시예 1에 대해 P형 FET(Qp2), N형 FET(Qn2), 논리회로(17e), 데드 타임 작성회로(21a, 21b), 드라이버(18a ~ 18d)를 구비하고 있다.
- [0101] 직류 전원(Vin)과 그라운드 사이에는 하이사이드인 P형 FET(Qp2)와 로우사이드인 N형 FET(Qn2)의 직렬회로가 접속되어 있다. P형 FET(Qp1)과 N형 FET(Qn1)의 접속점과 P형 FET(Qp2)와 N형 FET(Qn2)의 접속점의 사이에는 공진 콘덴서(C3)와 트랜스(T)의 1차 권선(P)의 직렬회로가 접속되어 있다. 단자(DRV1)는 P형 FET(Qp1)의 게이트와 N형 FET(Qn1)의 게이트에 접속되고, 단자(DRV2)는 P형 FET(Qp2)의 게이트와 N형 FET(Qn2)의 게이트에 접속되어 있다.
- [0102] 논리회로(17e)는 발진기(12a)로부터의 클럭(CK)을 반전한 출력과 PWM콘페레이트(16b)로부터의 신호의 NAND연산을 한다. 데드 타임 작성회로(21a)는 NAND회로(17c)로부터의 신호를 기초로 드라이버(18a)로의 제 1 구동신호(DRV1)에 대해 소정의 데드 타임(DT)을 갖는 제 3 구동신호(DRV3)를 작성해서 드라이버(18b)에 출력한다. 데드 타임 작성회로(21b)는 논리회로(17e)로부터의 신호를 기초로 드라이버(18c)로의 제 4 구동신호(DRV4)에 대해 소정의 데드 타임(DT)을 갖는 제 2 구동신호(DRV2)를 작성해서 드라이버(18c)에 출력한다.
- [0103] 제 1 구동신호와 제 3 구동신호, 제 2 구동신호와 제 4 구동신호는 각각 동시에 온이 되는 것을 방지하는 데드 타임(DT)을 가지나, 데드 타임(DT)을 제외하면 제 3 구동신호는 제 1 구동신호와 거의 동일하며, 제 4 구동신호는 제 2 구동신호와 거의 동일하다. 충전 펄스전류 발생회로(20a)는 도 12에 나타난 회로와 동일한 구성이다.
- [0104] 이 구성에 의하면 삼각파 신호(CF)의 상승기간 중에서 오차증폭기(15)로부터의 오차전압(FBOUT)이 삼각파 신호(CF) 이상일 때 L레벨의 펄스 신호가 데드 타임 작성회로(21a)와 드라이버(18a, 18b)를 통해 P형 FET(Qp1) 및 N형 FET(Qn1)에 출력되고 P형 FET(Qp1)이 온이 된다. 또한 삼각파 신호(CF)의 상승기간 중에는 H레벨의 펄스 신호가 데드 타임 작성회로(21b)와 드라이버(18c, 18d)를 통해 P형 FET(Qp2) 및 N형 FET(Qn2)에 출력되고 N형 FET(Qn2)이 온이 된다. 이 기간에는 Vin, Qp1, C3, P, Qn2, GND에 따라 연장 설치된 경로를 전류가 흐르고 트랜스(T)의 2차 측에서는 S, Lr, 방전관(3), 관전류 검출 회로(5)에 따라 연장 설치된 경로에 전류가 흐른다.
- [0105] 한 편, 삼각파 신호(CF)의 하강기간 중에는 H레벨의 펄스 신호가 데드 타임 작성회로(21a)와 드라이버(18a, 18b)를 통해 P형 FET(Qp1) 및 N형 FET(Qn1)에 출력되고 N형 FET(Qn1)이 온이 된다. 또한 삼각파 신호(CF)의 하강기간 중에는 오차전압(FBOUT)이 감산회로(19a)로부터의 반전전압(C2') 이상일 때 H레벨의 펄스 신호가 논리회로(17e)에 출력되고 논리회로(17e)는 데드 타임 작성회로(21b)와 드라이버(18c, 18d)를 통해 L레벨을 P형 FET(Qp2) 및 N형 FET(Qn2)에 출력하고 P형 FET(Qp2)이 온이 된다.

- [0106] 이 기간에는 Vin, Qp2, P, C3, Qn1, GND에 따라 연장 설치된 경로에 전류가 흐르고 트랜스(T)의 2차 측에서는 방전전류 검출 회로(5), 방전관(3), Lr, S에 따라 연장 설치된 경로에 전류가 흐른다.
- [0107] 도 19는 본 발명의 실시예 5에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이나, 그 동작은 제 1 내지 제 4 구동신호의 데드 타임(DT)을 제외하면 실시예 2의 도 14에 나타난 타이밍차트의 동작과 동일하기 때문에 그 설명은 생략한다. 따라서 폴 브릿지 회로를 사용한 실시예 5의 방전관 점등 장치에서도 실시예 1의 방전관 점등 장치의 효과와 동일한 효과를 얻을 수 있다.
- [0108] 또한, 본 발명의 방전관 점등 장치는 상술한 각 실시예에 한정되는 것은 아니다. 실시예 1 내지 5에서는 제 2 구동신호가 제 1 구동신호와 완전한 180도의 위상차로 했으나 방전관(3)을 흐르는 전류의 대칭성이 크게 깨지지 않는 범주라면 상기 위상차는 완전한 180도가 아니라 180도에 대해 약간의 오차, 예를 들면 179도나 181도 등이어도 된다.
- [0109] 또한, 본 발명의 각 실시예에서는 펄스전류는 완전한 직사각형 파형이 되어있으나, 듀티가 50%에서 정수가 바뀌어서 정부의 파형이 180도의 위상차를 가져서 동일한 경우에는 완전한 직사각형 파형이 아니어도 된다. 예를 들면, 듀티가 50%에서 정수가 바뀌어서 삼각파 신호의 중점전위에 대해 정부의 절대치가 동일한 펄스전압을 저항을 통해 콘덴서(C1)에 접속함으로써 발진기(12a)의 충방전 전류에 듀티가 50%에서 정수가 바뀌어서 정부의 절대치와 동일한 유사한 펄스 형태의 전류를 중첩시키는 것과 같은 방법이어도 된다.
- [0110] 또한, 방전관을 흐르는 전류의 대칭성이 크게 깨지지 않는 범주라면 상기 펄스 전류는 듀티가 정확하게 50%가 아니어도 된다. 또한, 펄스전류의 정부의 절대치도 약간의 오차가 있어도 된다.

산업상 이용 가능성

- [0111] 본 발명은 방전관 점등 장치의 주파수 동기화 방법, 방전관 점등 장치 및 반도체 집적회로에 적용 가능하다.
- [0112] (미국지정)
- [0113] 본 국제특허출원은 미국지정에 관하며, 2006년 10월 5일 출원된 일본특허출원 제2006-274186호(2006년 10월 5일 출원)에 대해 미국 특허법 제 119조(a)에 기초해 우선권의 이익을 원용하고, 해당 표시내용을 인용한다.

도면의 간단한 설명

- [0021] 도 1은 관련 방전관 점등 장치에 동기 펄스 전압신호가 입력되어 있지 않은 경우의 구성을 나타내는 회로도이다.
- [0022] 도 2는 관련 방전관 점등 장치에 동기 펄스 전압신호가 입력되어 있지 않은 경우의 각 부의 신호를 나타내는 타이밍차트이다.
- [0023] 도 3은 관련 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 구성을 나타내는 회로도이다.
- [0024] 도4는 관련 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다.
- [0025] 도 5는 관련 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우이며, 동기 펄스 전압신호의 주파수가 콘덴서의 톱니파 발진파형의 주파수보다도 낮은 경우의 각 부의 신호를 나타내는 타이밍차트이다.
- [0026] 도 6은 본 발명의 실시예 1에 관한 방전관 점등 장치의 구성을 나타내는 회로도이다.
- [0027] 도 7은 본 발명의 실시예 1에 관한 방전관 점등 장치에 구비된 충방전 펄스전류 발생회로의 구성을 나타내는 회로도이다.
- [0028] 도 8은 도 7에 나타난 충방전 펄스전류 발생회로의 동작을 설명하는 타이밍차트이다.
- [0029] 도 9는 본 발명의 실시예 1에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력되어 있지 않은 경우의 각 부의 신호를 나타내는 타이밍차트이다.
- [0030] 도 10은 본 발명의 실시예 1에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다.
- [0031] 도 11은 본 발명의 실시예 2에 관한 방전관 점등 장치의 구성을 나타내는 회로도이다.
- [0032] 도 12는 본 발명의 실시예 2에 관한 방전관 점등 장치에 구비된 충방전 펄스 전류 발생회로의 구성을 나타내는

회로도이다.

[0033] 도 13은 도 12에 나타낸 충방전 펄스전류 발생회로의 동작을 설명하는 타이밍차트이다.

[0034] 도 14는 본 발명의 실시예 2에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다.

[0035] 도 15는 본 발명의 실시예 3에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력되어 있지 않은 경우의 각 부의 신호를 나타내는 타이밍차트이다.

[0036] 도 16은 본 발명의 실시예 3에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다.

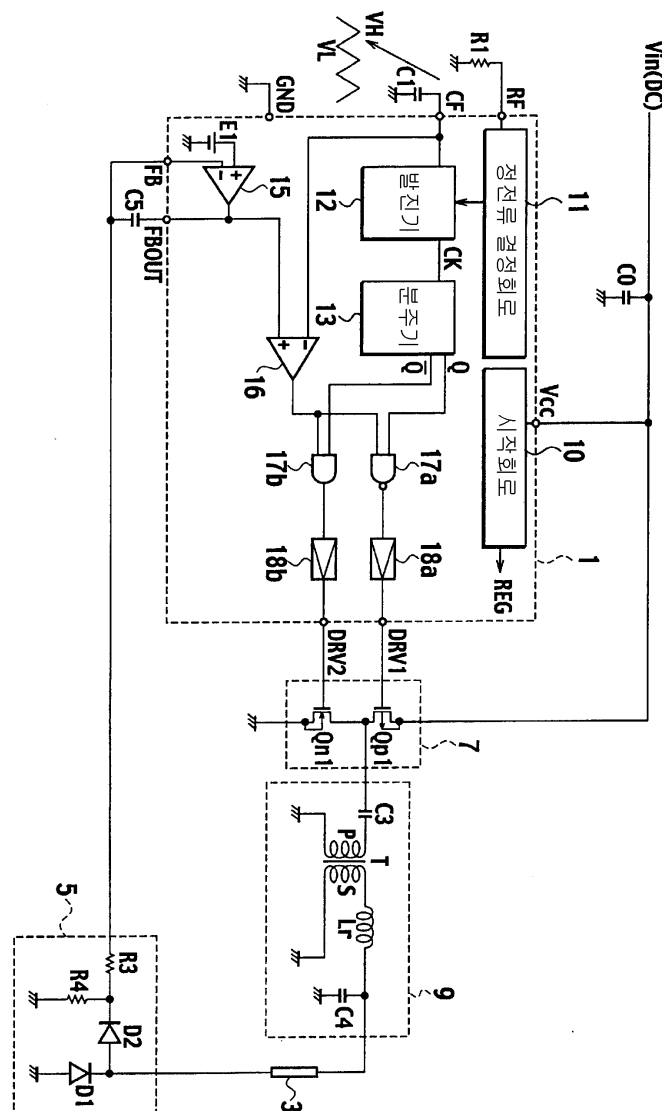
[0037] 도 17은 본 발명의 실시예 4에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다.

[0038] 도 18은 본 발명의 실시예 5에 관한 방전관 점등 장치의 구성을 나타내는 회로도이다.

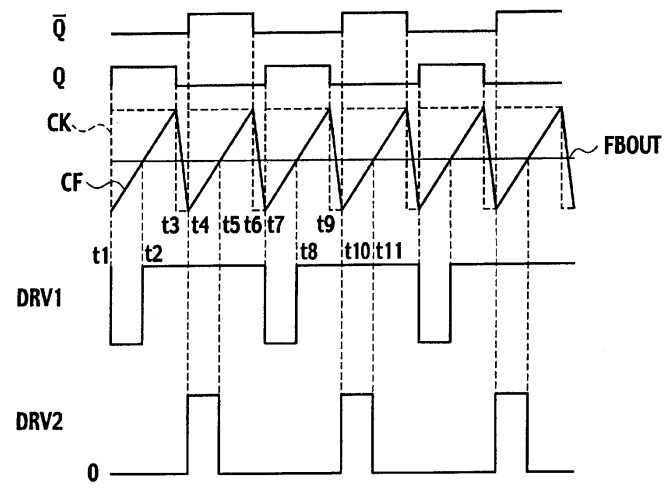
[0039] 도 19는 본 발명의 실시예 5에 관한 방전관 점등 장치에 동기 펄스 전압신호가 입력된 경우의 각 부의 신호를 나타내는 타이밍차트이다.

도면

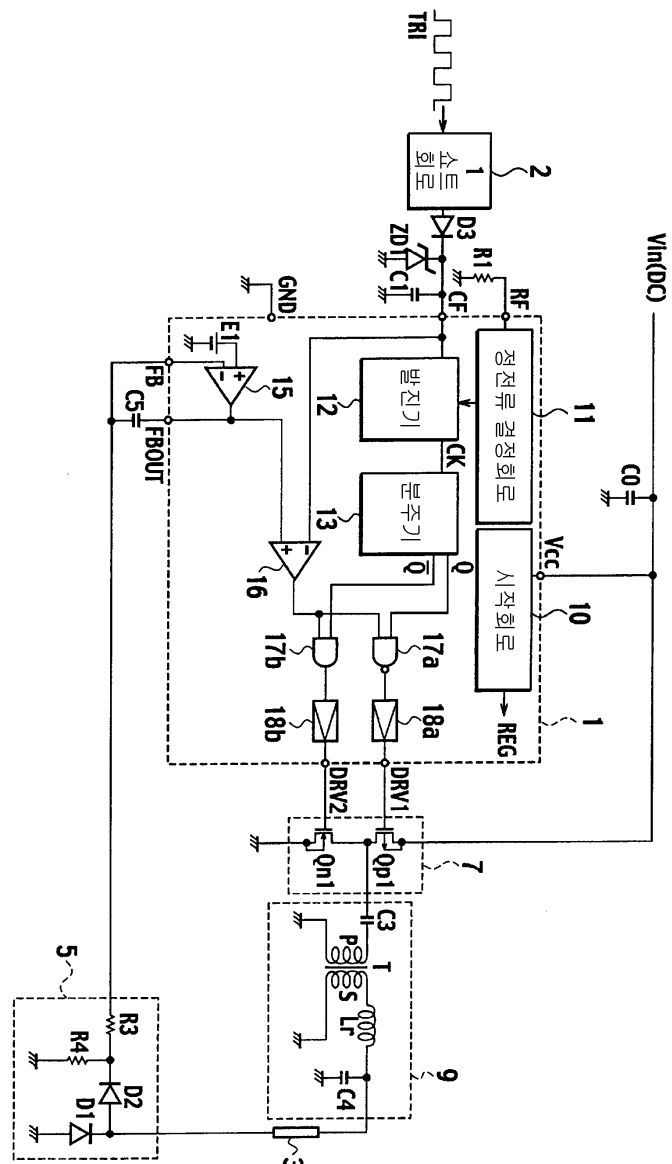
도면1



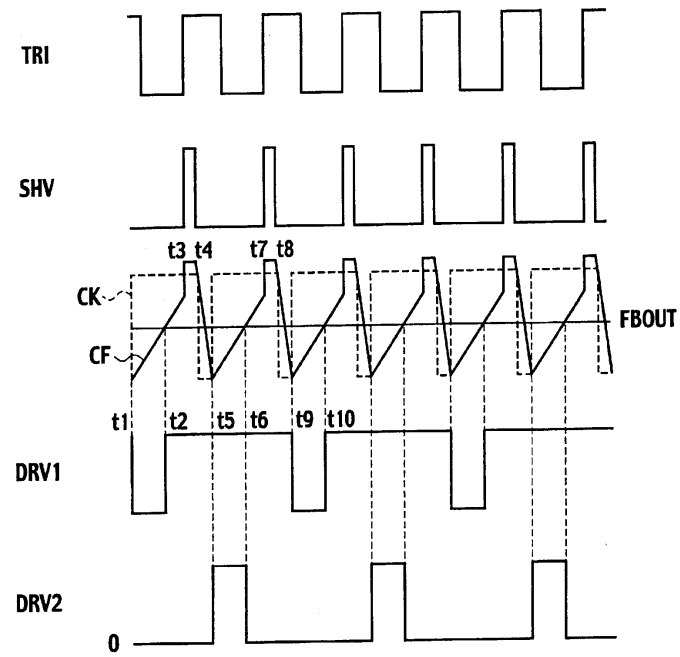
도면2



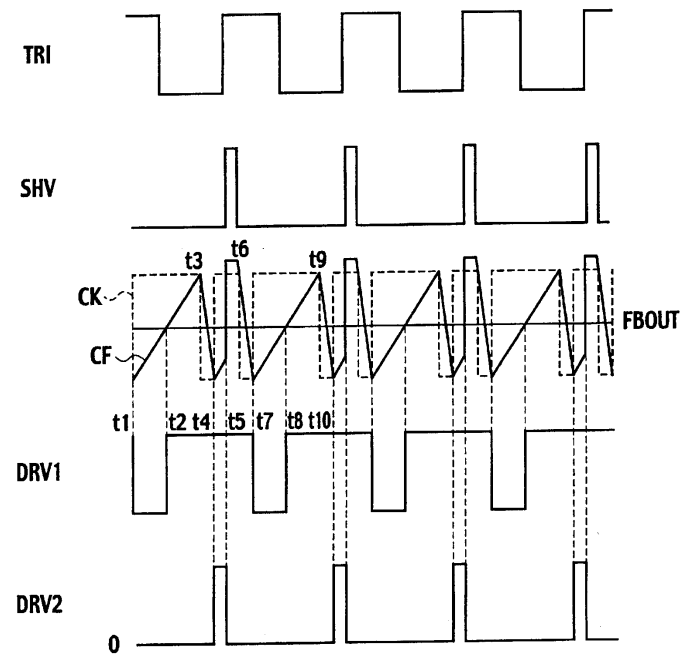
도면3



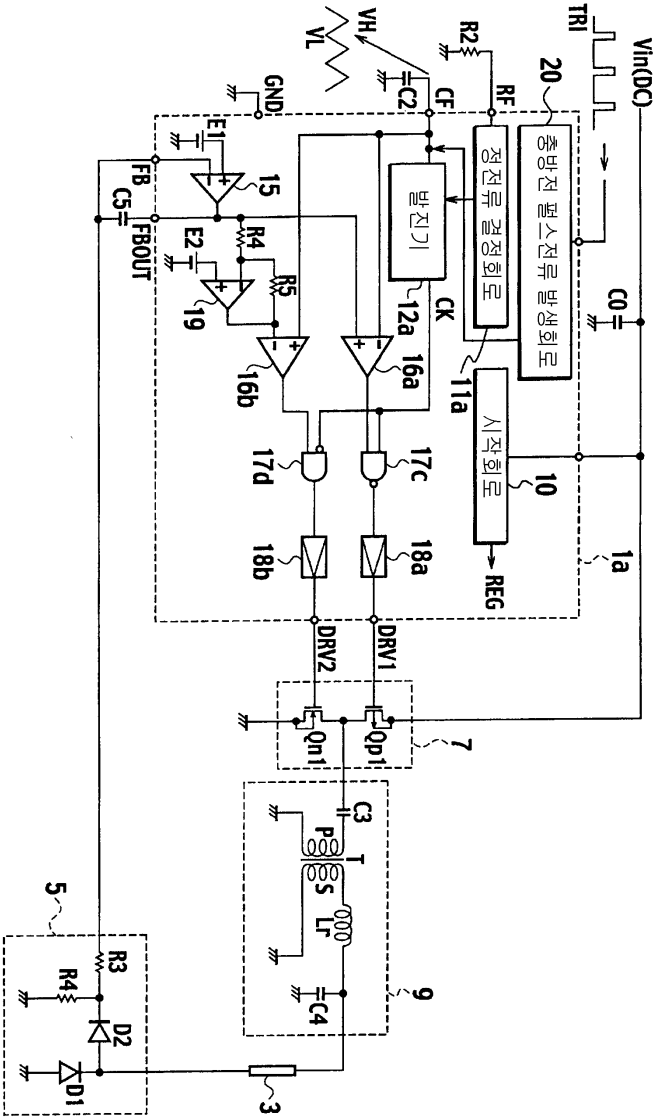
도면4



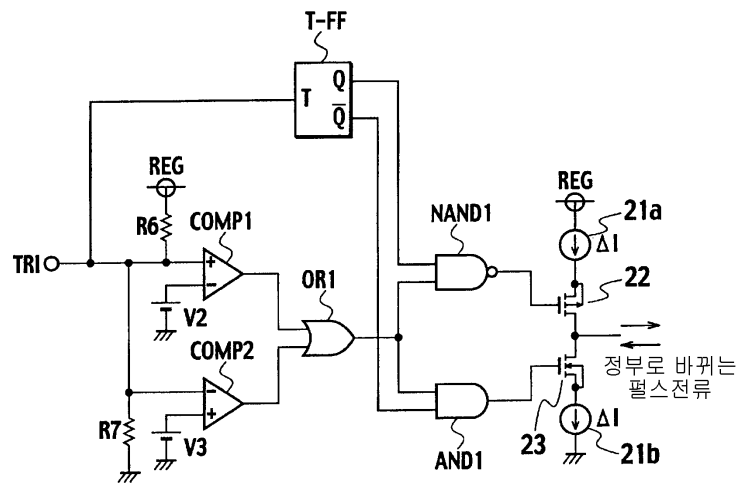
도면5



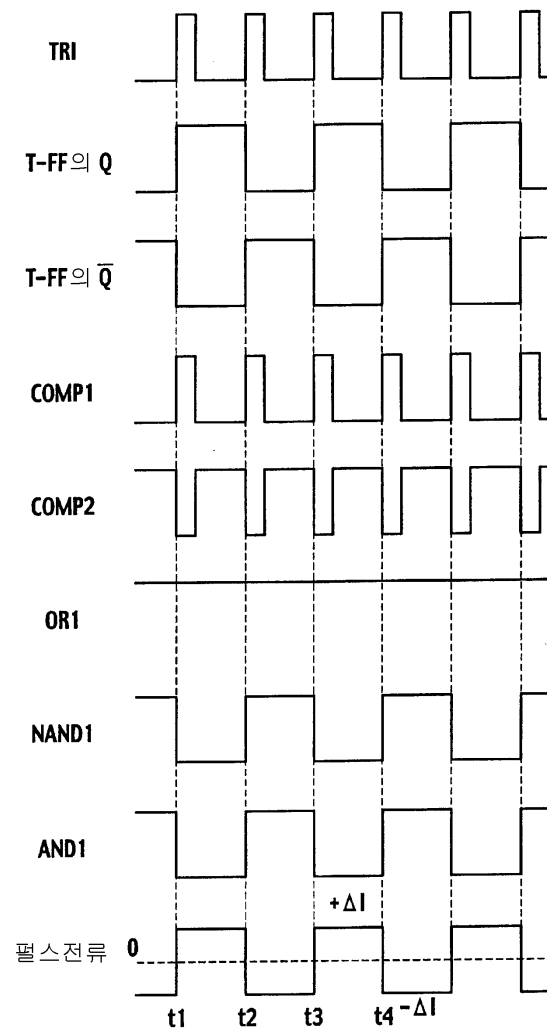
도면6



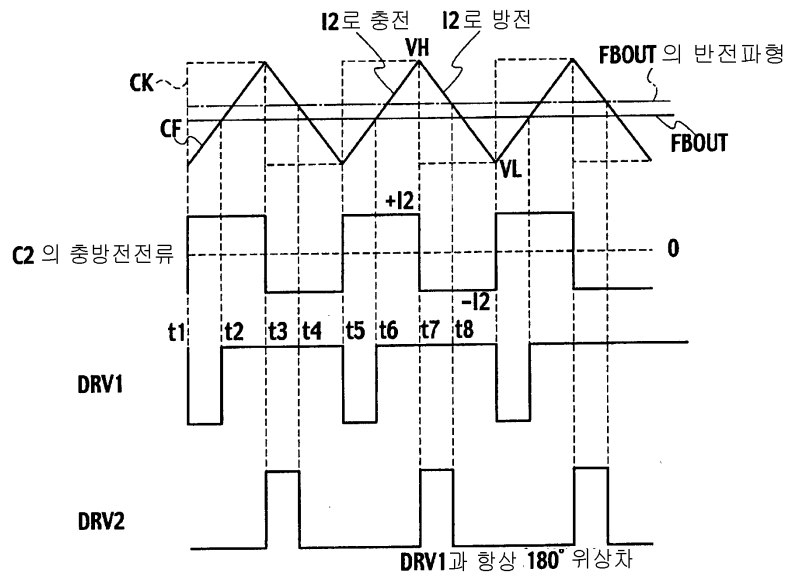
도면7



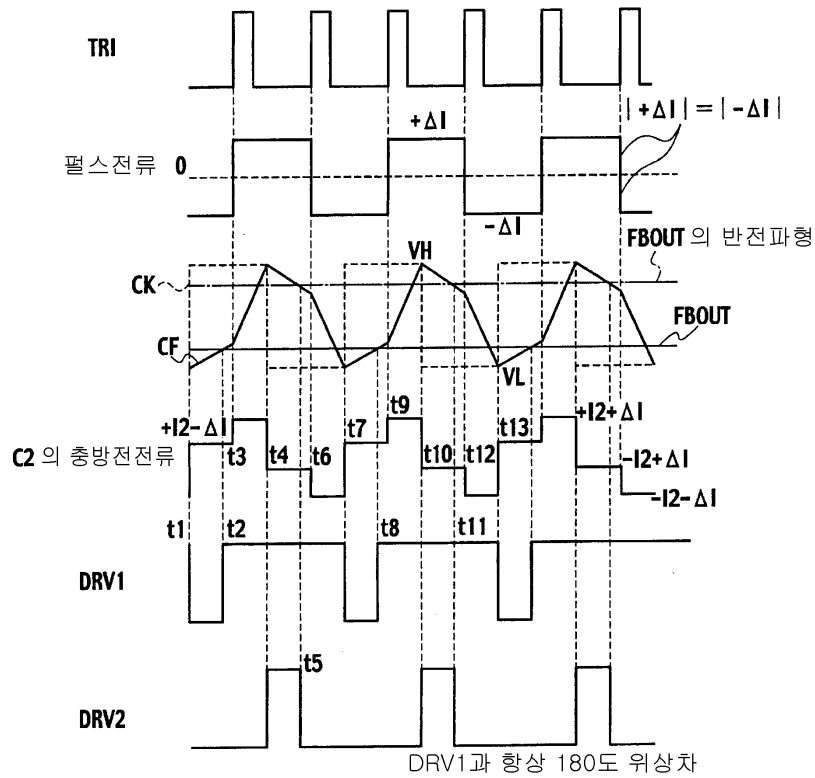
도면8



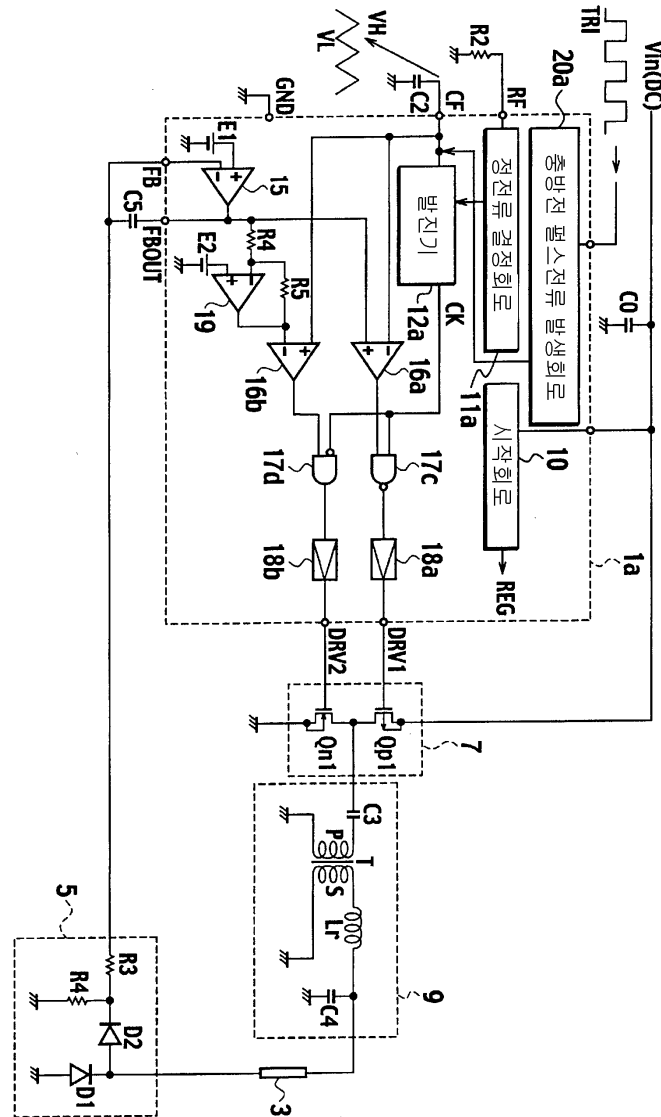
도면9



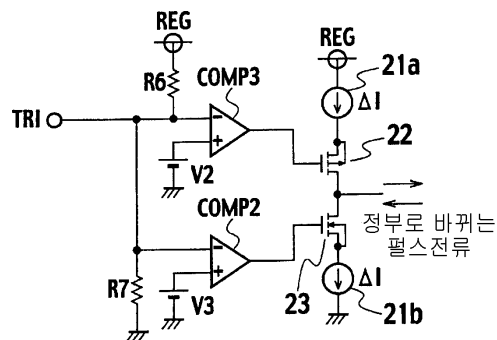
도면10



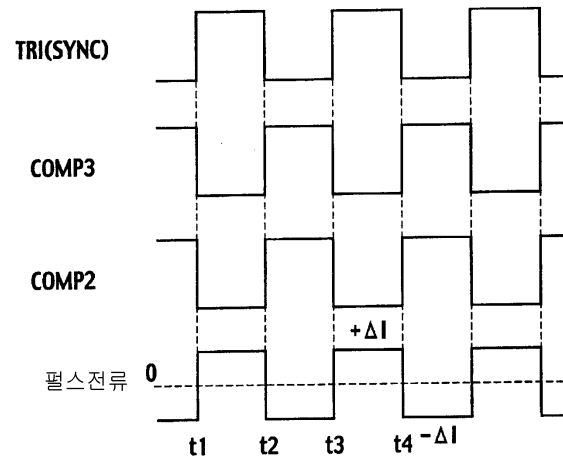
도면11



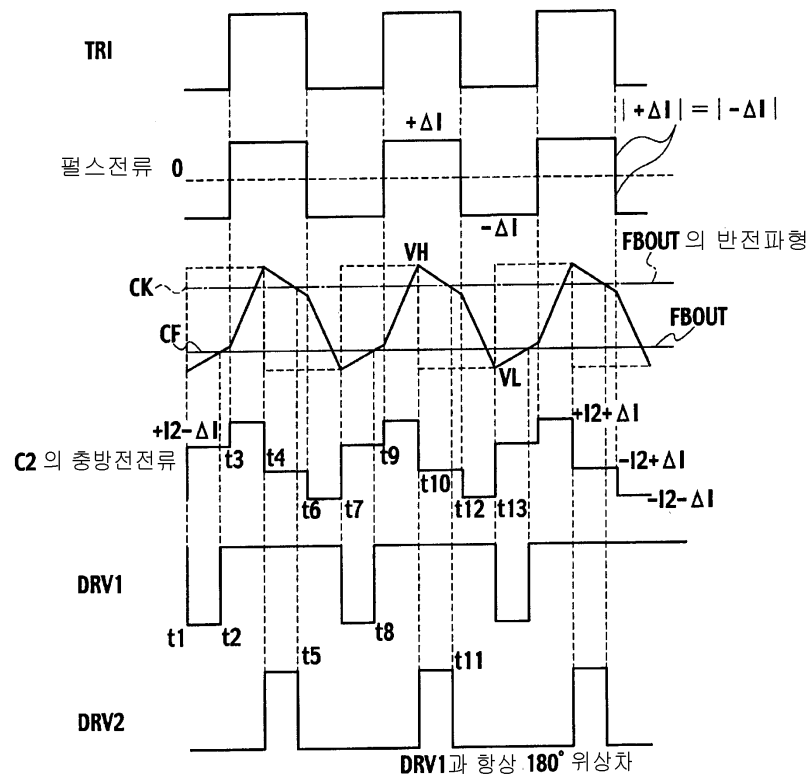
도면12



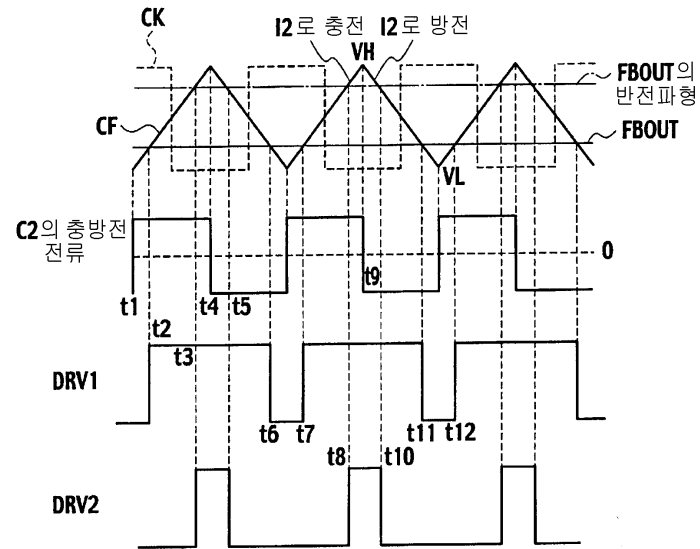
도면13



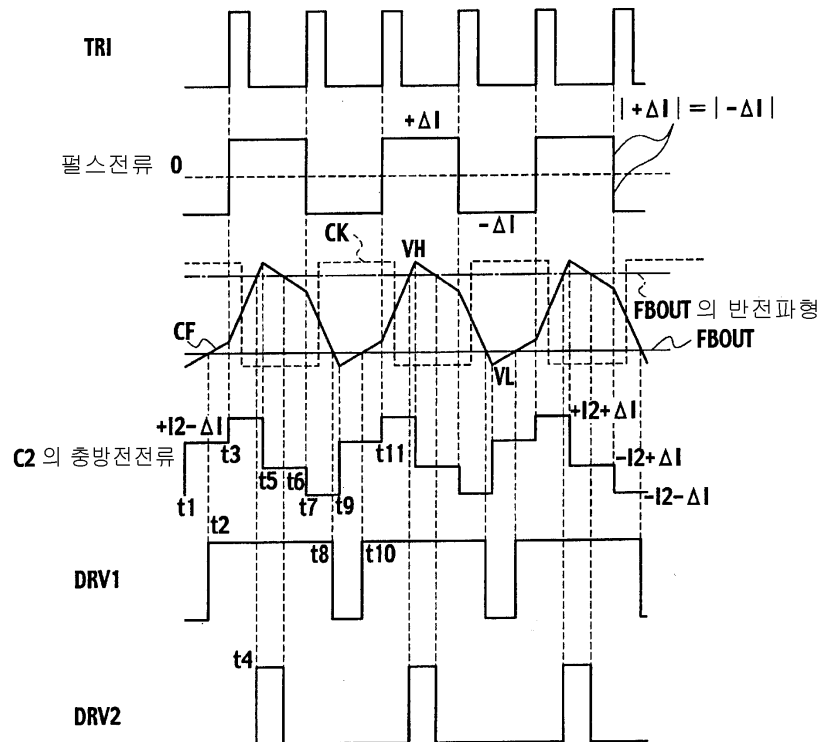
도면14



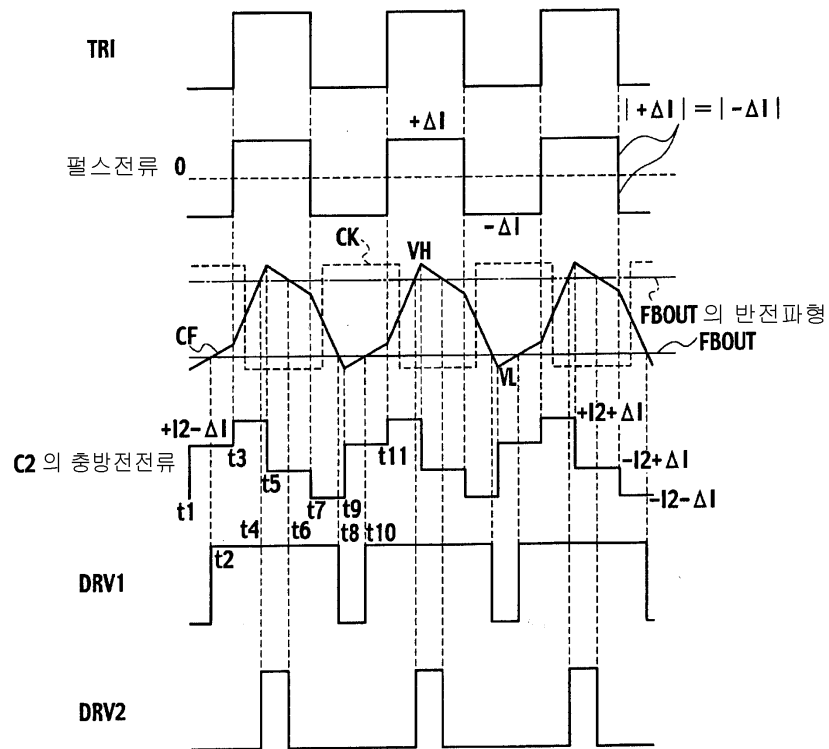
도면15



도면16



도면17



도면19

