(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3713795号

(P3713795)

(45)発行日　平成17年11月9日(2005.11.9)　(24)登録日　平成17年9月2日(2005.9.2)

(51)Int.Cl.[7]	F I		
G05B 19/048	G05B	19/05	N
G05B 9/02	G05B	9/02	B
G05B 19/05	G05B	9/02	K
G05B 23/02	G05B	23/02	302R
H02H 3/093	H02H	3/093	A

請求項の数 4　(全 19 頁)　最終頁に続く

(21)出願番号　特願平8-72866
(22)出願日　平成8年3月27日(1996.3.27)
(65)公開番号　特開平9-34513
(43)公開日　平成9年2月7日(1997.2.7)
審査請求日　平成14年8月29日(2002.8.29)
(31)優先権主張番号　特願平7-117475
(32)優先日　平成7年5月16日(1995.5.16)
(33)優先権主張国　日本国(JP)

(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100064724
弁理士　長谷　照一
(74)代理人　100088971
弁理士　大庭　咲夫
(74)代理人　100103735
弁理士　鈴木　隆盛
(72)発明者　細田　剛
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内
(72)発明者　佐藤　久幸
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内

最終頁に続く

(54)【発明の名称】制御装置の出力回路

(57)【特許請求の範囲】

【請求項１】

入力装置又は検出装置からの検出信号に基づき予め設定したプログラムに従って論理演算処理を行う論理演算部からの演算結果を表す制御信号を出力する出力素子を有する制御装置の出力回路において、

前記出力素子として採用した電界効果トランジスタのドレインーソース間オン電圧を検出するドレインーソース間電圧検出手段と、

該ドレインーソース間電圧検出手段により検出されるドレインーソース間電圧が所定の基準電圧より高くなったとき前記電界効果トランジスタに接続した負荷から同電界効果トランジスタに流れる短絡電流を検出する短絡電流検出素子と同検出素子から付与されるトリガー信号により導通してその導通状態に保持されるトリガー素子とにより構成した短絡電流検出手段を設け、

前記電界効果トランジスタが前記短絡電流検出手段の出力信号に応答してオフ作動して前記トリガー素子の制御下にてオフ状態に保持されるようにしたことを特徴とする制御装置の出力回路。

【請求項２】

前記短絡電流検出素子として所定の基準電圧よりそのツェナー電圧が高くなったとき導通するツェナーダイオードを用い、前記トリガー素子として前記ツェナーダオイオードを通して入力されるトリガー信号によって導通するサイリスタを用いたことを特徴とする請求項１に記載した制御装置の出力回路。

【請求項３】
前記ドレインーソース間オン電圧検出手段が検出したドレインーソース間オン電圧が第２の基準電圧より高いとき過負荷電流検出信号を出力する過負荷電流検出手段と、
前記電界効果トランジスタが導通した後に所定のサージ許容時間が経過したときサージ許容時間経過信号を出力するサージ許容手段とを設けて、、
前記サージ許容時間経過信号が前記サージ許容手段から出力されたとき前記短絡電流検出手段のトリガー素子が前記過負荷電流検出手段から過負荷電流検出信号を付与されて導通しその導通状態に保持されるようにしたことを特徴とする請求項１に記載した制御装置の出力回路。
【請求項４】
前記短絡電流検出手段のトリガー素子が前記トリガー信号により導通してその導通状態に保持されたとき導通する異状検出素子を設けて、同異状検出素子の出力信号が短絡電流の検出信号として前記論理演算部にフィードバックされるようにしたことを特徴とする請求項１に記載した制御装置の出力回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、制御装置本体から出力された電気信号に基づいて被制御装置となる負荷を駆動する駆動信号を出力する制御装置の出力回路に関するものである。
【０００２】
【従来の技術】
従来、この種の制御装置の出力回路は、例えばプログラマブルコントローラに使用されており、図１０に示すようなものが知られている。図１０はプログラマブルコントローラの全体構成を示すブロック図である。図１０において、プログラマブルコントローラ１０は、検出装置２からの電気信号を入力端子Ｓ、Ｇを介して入力するｍ個の入力回路１２と、出力端子Ｐ、Ｏ、Ｍを介して被制御装置４を駆動するための駆動信号を出力するｎ個の出力回路１４と、周知のＣＰＵ、ＲＯＭ、ＲＡＭ等からなるマイクロコンピュータを中心にして構成され、各入力回路１２からの入力信号に基づき、予め設定された所定のシーケンスプログラムに従って各出力回路１４を介して被制御装置４を駆動制御する論理演算部１６と、外部より供給される直流あるいは交流のシステム用電源ＶＳに接続され、このシステム用電源ＶＳの電源電圧を論理演算部１６にて使用可能な所定の直流電圧に変換するコンバータ１８と、論理演算部１６が実行するシーケンスプログラムを外部のプログラム用ツール６等から入力するために外部装置とデータの送受信を行う通信部２０とを備えている。
【０００３】
ここで、出力回路１４は、直流の電源ＶＬおよびこの電源ＶＬのマイナス側に接続されたランプ、モータ、ソレノイド等の負荷Ｌを備えた被制御装置４に出力端子Ｐ、Ｏ、Ｍを介して接続される。そして、電源ＶＬのプラス側（端子Ｐ）にエミッタが接続されるとともに負荷Ｌの電源ＶＬとは反対側（端子Ｏ）にコレクタが接続されるＰＮＰ型トランジスタ（出力素子）２２と、抵抗２４を介してトランジスタ２２のベースにコレクタが接続されるとともに電源ＶＬのマイナス側（端子Ｍ）にエミッタが接続されるフォトトランジスタ２６ａおよび論理演算部１６の演算結果に応じて発光しフォトトランジスタ２６ａを駆動する発光ダイオード２６ｂからなるフォトカプラ２６と、端子Ｍから端子Ｏへの方向を順方向として接続されたフライホイールダイオード２８とを備えている。
【０００４】
この出力回路１４においては、検出装置２からの検出信号が入力回路１２を介して論理演算部１６に入力されると、論理演算部１６はフォトカプラ２６の発光ダイオード２６ｂを発光させ、フォトカプラ２６のフォトトランジスタ２６ａがオンすることにより、出力素子のトランジスタ２２のエミッターベース間に電位差が生じてトランジスタ２２がオンする。すると、直流の電源ＶＬからトランジスタ２２のエミッタとコレクタを介して電流が

流れ、被制御装置４の負荷Ｌが駆動される。

【０００５】

【発明が解決しようとする課題】

上述のような従来の出力回路においては、短絡等により過電流を生じた場合、被制御装置を短絡状態から保護するため、通常は溶断ヒューズを用いている。しかしながら、溶断ヒューズは出力素子を保護するために設けるものでないため、溶断ヒューズが溶断しなかった場合には出力素子を保護することができなく、かつ溶断ヒューズが溶断しても応答性が悪いという問題があった。このため、溶断ヒューズを瞬断性が要求されるこの種の出力回路に用いるには好ましくない。また、溶断ヒューズが溶断する毎に、新たな溶断ヒューズと交換しなければならなく、保守の作業性が悪いという問題も生じた。

【０００６】

そこで、出力回路に溶断ヒューズ等を使わずに、過電流から出力素子を保護することが、例えば特公平６－１４２８１号公報において提案された。このものは、出力素子として負荷電流の主要部を通す主部分と負荷電流の一部分を通すエミュレーション部分（分路回路部分）とを持つ絶縁ゲート・トランジスタ（センスＩＧＢＴという）を用い、出力素子に流れる負荷電流の一部分をエミュレーション部分に取り込み、このエミュレーション部分に流れる電流を検出して、出力素子を略瞬時に遮断するか、あるいは過大電流の持続時間とその大きさに応じて定まる時刻に遮断するようにするものである。

【０００７】

しかしながら、特公平６－１４２８１号公報に記載されたものにおいては、センスＩＧＢＴを使用するため、この種回路が高価になるという問題を生じる。　　本発明は上記問題点に鑑みてなされたものであり、短絡電流等により生じた過電流の検出を容易にするとともに誤検出しない保護回路を電界効果トランジスタからなる汎用の出力素子を用いて実現した出力回路を安価に提供することを目的とするものである。

【０００８】

【課題を解決するための手段】

本発明は、上記の目的を達成するため、入力装置又は検出装置からの検出信号に基づき予め設定したプログラムに従って論理演算処理を行う論理演算部からの演算結果を表す制御信号を出力する出力素子を有する制御装置の出力回路において、前記出力素子として採用した電界効果トランジスタのドレインーソース間オン電圧を検出するドレインーソース間電圧検出手段と、該ドレインーソース間電圧検出手段により検出されるドレインーソース間電圧が所定の基準電圧より高くなったとき前記電界効果トランジスタに接続した負荷から同電界効果トランジスタに流れる短絡電流を検出する短絡電流検出素子と同検出素子から付与されるトリガー信号により導通してその導通状態に保持されるトリガー素子とにより構成した短絡電流検出手段を設け、前記電界効果トランジスタが前記短絡電流検出手段の出力信号に応答してオフ作動して前記トリガー素子の制御下にてオフ状態に保持されるようにしたことを特徴とする制御装置の出力回路を提供するものである。この出力回路においては、ドレインーソース間電圧が所定の基準電圧より高くなったとき前記短絡電流検出手段のトリガー素子が導通してその導通状態に保持され、同トリガー素子の導通に応答して前記電解効果トランジスタがオフ作動してオフ状態に保持されるので、前記電解効果トランジスタに瞬間的に短絡電流が流れても、短絡電流による同電解効果トランジスタの破壊が的確に防止される。

【０００９】

上述した制御装置の出力回路において、前記短絡電流検出素子として所定の基準電圧よりそのツェナー電圧が高くなったとき導通するツェナーダイオードを用い、前記トリガー素子として前記ツェナーダオイオードを通して入力されるトリガー信号によって導通するサイリスタを用いた場合には、従来の出力回路における分路回路を設けなくても簡単な回路構成で短絡電流を検出できるようになる。

【００１０】

本発明の実施にあたっては、前記ドレインーソース間オン電圧検出手段が検出したドレ

インーソース間オン電圧が第２の基準電圧より高いとき過負荷電流検出信号を出力する過負荷電流検出手段と、前記電界効果トランジスタが導通した後に所定のサージ許容時間が経過したときサージ許容時間経過信号を出力するサージ許容手段とを設けて、前記サージ許容時間経過信号が前記サージ許容手段から出力されたとき前記短絡電流検出手段のトリガー素子が前記過負荷電流検出手段から過負荷電流検出信号を付与されて導通しその導通状態に保持されるようにすることが望ましい。この場合には、上記のサージ許容手段がサージ許容時間経過信号を出力するまでは過負荷電流検出手段は過負荷電流を検出しないように動作するため、許容サージ電流を過負荷電流として誤検出することが防止できるようになる。また、出力素子として採用した電界効果トランジスタのドレインーソース間オン電圧を検出することにより、過負荷電流を検出できるようになるので、複雑な分路回路を設ける必要がなくなる。そのため、回路構成が簡単となって、この種の出力回路が小型になるとともに、安価に製造できるようになる。

【００１２】

また、請求項７に記載の発明によれば、第２遅延回路路は電界効果トランジスタが駆動してから第２時間が経過して所定の電圧を発生するまでは、ドレインーソース間オン電圧検出手段はドレインーソース間オン電圧の検出を開始しないので、電界効果トランジスタが駆動する瞬間のドレインーソース間オン電圧を短絡電流によるドレインーソース間オン電圧として誤検出することが防止できるようになる。

【００１４】

フォトトランジスタ１１２のエミッタは抵抗１２１および抵抗１２２の一端に接続する。抵抗１２１の他端はダイオード１２４およびダイオード１２６のアノード側に接続し、ダイオード１２６のカソード側は第１ＦＥＴ１６１のドレインＤに接続している。また、抵抗１２２の他端はダイオード１２５およびダイオード１２８のアノード側に接続し、ダイオード１２８のカソード側は第２ＦＥＴ１６２のドレインＤに接続している。ダイオード１２４、１２５の各カソード側は抵抗１２３とコンデンサ１２９からなる第２遅延回路を介して接地するとともに第１比較器１３１の非反転入力端子に接続している。

【００１５】

また、抵抗１２１、１２２の共通接続点はゲート抵抗１２７ａ、１２７ｂを介して第１ＦＥＴ１６１、第２ＦＥＴ１６２の各ゲートＧに接続し、各ゲートＧはゲート抵抗１２７ｃを介して接地している。第１ＦＥＴ１６１のソースＳと第２ＦＥＴ１６２のソースＳは共通に接続され、第１ＦＥＴ１６１のドレインＤに接続される出力端子Ｐと第２ＦＥＴ１６２のドレインＤに接続される出力端子Ｏとの間には、図示しない被制御装置となる負荷と、この負荷を駆動する負荷用交流電源とが接続され、第１ＦＥＴ１６１および第２ＦＥＴ１６２がオン動作することにより負荷に負荷用交流電源から電力が供給されて負荷が駆動されることとなる。

【００１６】

各ＦＥＴ１６１、１６２のドレインーソース間オン電圧（$V_{DS(ON)}$）検出回路は、ダイオード１２４、１２５、１２６、１２８と抵抗１２１、１２２、１２３と、コンデンサ１２９とから構成され、ダイオード１２６およびダイオード１２８によりＦＥＴ１６１、１６２のドレインーソース間オン電圧（$V_{DS(ON)}$）が検出され、このドレインーソース間オン電圧（$V_{DS(ON)}$）に相当する電位が抵抗１２１および抵抗１２２を通してコンデンサ１２９に充電される。このコンデンサ１２９の充電電圧は、ダイオード１２４とダイオード１２５とがＯＲ接続されているため、ＦＥＴ１６１もしくはＦＥＴ１６２のドレインーソース間オン電圧（$V_{DS(ON)}$）の高い方が印加されることとなる。

【００１７】

ここで、ダイオード１２４とダイオード１２５のカソード側の共通接続点は抵抗１２３とコンデンサ１２９からなる第２遅延回路に接続しているため、フォトカプラ１１０が動作すると、ゲート抵抗１２７ａ、１２７ｂ、１２７ｃの抵抗分割比に応じて第１ＦＥＴ１６１および第２ＦＥＴ１６２の各ゲートＧに電圧が印加され、第１ＦＥＴ１６１および第２ＦＥＴ１６２がオン動作するが、コンデンサ１２９への充電により第１比較器１３１の非

反転入力端子に各ダイオード１２６、１２８の検出電圧が遅れて入力されるので、第１ＦＥＴ１６１もしくは第２ＦＥＴ１６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の検出はこの遅れの時間分だけ無視される。これにより、第１ＦＥＴ１６１および第２ＦＥＴ１６２が完全にオン動作するまでのドレイン－ソース間オン電圧（$V_{DS(ON)}$）を過電流として誤検出することが防止できる。

【００１８】

また、各ＦＥＴ１６１、１６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）を検出することにより、各ＦＥＴ１６１、１６２に流れるドレイン電流（I_D）が過電流であることが検出できる理由について検討する。一般的に、ＦＥＴのドレイン－ソース間オン抵抗（$R_{DS(ON)}$）はドレイン電流（I_D）に対して、図２（ａ）に示されるように、ドレイン電流（I_D）がある範囲内で一定の関係が有り、また、ドレイン－ソース間オン電圧（$V_{DS(ON)}$）はドレイン電流（I_D）に対して、図２（ｂ）に示されるように、比例関係が成り立つ。したがって、ドレイン－ソース間オン電圧（$V_{DS(ON)}$）を検出することにより、ドレイン電流（I_D）の過電流が検出できることとなる。

【００１９】

短絡電流検出回路はツェナーダイオード１３０にて構成され、そのカソード側はダイオード１２４、１２５の各カソード側と抵抗１２３およびコンデンサ１２９からなる第２遅延回路との共通接続点に接続され、そのアノード側はダイオード１３７のアノード側に接続している。ダイオード１３７のカソード側はサイリスタ１４０のゲートに接続している。

【００２０】

ここで、コンデンサ１２９の充電電圧がツェナーダイオード１３０のツェナー電圧V_Z以上（正確には、ツェナーダイオード１３０のツェナー電圧V_Z＋ダイオード１３７の順方向電圧V_F＋サイリスタ１４０のゲートトリガ電圧V_{GT}以上）になると、ツェナーダイオード１３０が導通して、短絡電流が検出されることとなる。ツェナーダイオード１３０のツェナー電圧V_Zの値の設定は以下のようにしてなされる。即ち、ＦＥＴの最大許容サージ電流はＩＥＣ（International Electrotechnical Commission）規格（ＩＥＣ１１３１－２）にて定められており、その最大許容サージ電流は定格電流の１０倍と定められている。

【００２１】

図３はＦＥＴに過渡電流が流れた場合のドレイン－ソース間オン電圧（$V_{DS(ON)}$）波形を示す図であり、短絡時には曲線Ａで示される波形となり、サージ印加時には曲線Ｂで示される波形となり、過負荷時には曲線Ｃで示される波形となり、定格負荷時には曲線Ｄで示される波形となる。したがって、図３に示すように、短絡電流の検出レベルをドレイン－ソース間オン電圧（$V_{DS(ON)}$）が定格電流の１０倍より大きくなった際にツェナーダイオード１３０が導通するようなツェナー電圧V_Zを選定すればよいこととなる。

【００２２】

サージ許容回路および過負荷電流検出回路は、第１比較器１３１と、第２比較器１３５と、抵抗１３３およびコンデンサ１３４からなる第１遅延回路とから構成され、第１比較器１３１の反転入力端子には基準電圧V_1　を発生する第１基準電源１３２に接続し、非反転入力端子には上述したように抵抗１２３およびコンデンサ１２９からなる第２遅延回路を接続している。この第１比較器１３１の出力は抵抗１３３とコンデンサ１３４からなる第１遅延回路を通して第２比較器１３５の非反転入力端子に接続している。第２比較器１３５の反転入力端子には基準電圧V_2　を発生する第２基準電源１３６に接続している。第２比較器１３５の出力端子はダイオード１３８のアノード側に接続し、ダイオード１３８のカソード側をサイリスタ１４０のゲートに接続している。

【００２３】

ここで、コンデンサ１２９の充電電圧が第１比較器１３１の基準電圧V_1以上になると、第１比較器１３１は過電流検出信号を出力し、この過電流検出信号は抵抗１３３を通じてコンデンサ１３４に充電される。コンデンサ１３４の充電電圧が第２比較器１３５の基準電圧V_2以上になると、過負荷電流として検出される。ここで、第１ＦＥＴ１６１および

第２ＦＥＴ１６２に許容サージ電流が流れたかあるいは過負荷電流が流れたかの判定は以下のようにしてなされる。

【００２４】

図４（ａ）は図３のサージ印加時のドレイン－ソース間オン電圧（$V_{DS(ON)}$）波形のみを示す図であり、図４（ｂ）は図３の過負荷時のドレイン－ソース間オン電圧（$V_{DS(ON)}$）波形のみを示す図であり、図４（ｃ）はコンデンサ１３４のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の積分波形を示す図である。サージ印加時には、図４（ａ）に示されるように、サージ波形の許容時間（サージ許容時間）は２サイクルとなっており、この２サイクルの間は、斜線部（α）で示すように、第１比較器１３１の基準電圧V_1以上となって過電流検出信号を出力する。したがって、この２サイクルの間は、抵抗１３３を通じてコンデンサ１３４を充電することとなるが、コンデンサ１３４の積分電圧は図４（ｃ）に示すように、第２比較器１３５の基準電圧V_2以上とならないように、第２比較器１３５の基準電圧V_2を設定しているため、第２比較器１３５はサージ許容時間内であると判定し、過負荷電流検出信号を出力することはない。

【００２５】

一方、過負荷時には、図４（ｂ）の斜線部（β）に示すように、過負荷状態が消滅するまでに、コンデンサ１２９の充電電圧は第１比較器１３１の基準電圧V_1以上となり、抵抗１３３を通じてコンデンサ１３４を充電することとなる。したがって、コンデンサ１３４の積分電圧は図４（ｃ）に示すように、所定時間が経過すると、第２比較器１３５の基準電圧V_2以上となり、過負荷電流検出信号を出力する。

【００２６】

各ＦＥＴ１６１、１６２のターンオフラッチ回路はサイリスタ１４０から構成し、このサイリスタ１４０のアノード側は第２発光ダイオード１５１を介して分圧抵抗１２７ａと１２７ｂの共通接続点に接続し、そのカソード側は接地し、そのゲートは各ダイオード１３７、１３８のカソード側に接続している。異常信号フィードバック回路は第２発光ダイオード１５１と第２フォトトランジスタ１５２よりなる第２フォトカプラ１５０から構成している。

【００２７】

ここで、コンデンサ１２９の充電電圧がツェナーダイオード１３０のツェナー電圧V_Z以上となって、ツェナーダイオード１３０が導通して、短絡電流検出信号を出力するとダイオード１３７を通してサイリスタ１４０のゲートにトリガ信号（短絡電流検出信号）が入力され、サイリスタ１４０がターンオンする。また、コンデンサ１３４の充電電圧が第２比較器１３５の基準電圧V_2以上となって、過負荷電流検出信号を出力するとダイオード１３８を通してサイリスタ１４０のゲートにトリガ信号（過負荷電流検出信号）が入力され、サイリスタ１４０がターンオンする。

【００２８】

サイリスタ１４０がターンオンすると、第１ＦＥＴ１６１および第２ＦＥＴ１６２のゲート電圧V_{GS}は、サイリスタ１４０と、第２フォトカプラ１５０の第２発光ダイオード１５１との順方向電圧の和で決まるので、第１ＦＥＴ１６１および第２ＦＥＴ１６２はターンオフする。第１ＦＥＴ１６１および第２ＦＥＴ１６２のターンオフの状態はサイリスタ１４０の順方向電流が流れる間、保持（ラッチ）される。また、短絡電流検出信号および過負荷電流検出信号の異常信号は第２フォトカプラ１５０の第２フォトトランジスタ１５２が導通することにより、端子Ｓを介して図示しない論理演算部（図１０参照）にフィードバックされる。

【００２９】

以下に、上述のように構成した保護回路の動作を説明する。

（１）短絡状態となった場合

負荷短絡状態で第１ＦＥＴ１６１および第２ＦＥＴ１６２をターンオンすると、第１ＦＥＴ１６１および第２ＦＥＴ１６２には短絡電流が流れる。このような短絡状態となると、第１ＦＥＴ１６１もしくは第２ＦＥＴ１６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）

、即ち、コンデンサ１２９の充電電圧がツェナーダイオード１３０のツェナー電圧V_Z以上となり、ツェナーダイオード１３０が導通するとツェナーダイオード１３０は短絡電流検出信号を出力する。すると、ダイオード１３７を通してサイリスタ１４０のゲートにトリガ信号（短絡電流検出信号）が入力されて、サイリスタ１４０がターンオンし、第１ＦＥＴ１６１および第２ＦＥＴ１６２をターンオフする。サイリスタ１４０がターンオンすると同時に、第２フォトカプラ１５０が導通し、端子Ｓを介して図示しない論理演算部（図１０参照）に過電流の異常信号がフィードバックされる。

【００３０】

（２）過負荷状態となった場合

端子Ｐ、Ｏを介して接続された被制御装置の負荷が定格を超えた状態で運転されると、第１ＦＥＴ１６１および第２ＦＥＴ１６２には定格を超過した電流が流れ続ける。このような状態においては、オン抵抗（R_{ON}）×（ドレイン電流（I_D））^{2}の損失により、第１ＦＥＴ１６１および第２ＦＥＴ１６２が過熱され、ジャンクション温度T_jを超過すると第１ＦＥＴ１６１および第２ＦＥＴ１６２が破壊される。そこで、第１ＦＥＴ１６１および第２ＦＥＴ１６２が過負荷状態となると、まず、第１ＦＥＴ１６１および第２ＦＥＴ１６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）が第１比較器１３１の基準電圧V_1以上になり、第１比較器１３１はオン動作して過電流検出信号を出力し、この過電流検出信号は抵抗１３３を通してコンデンサ１３４に充電される。

【００３１】

ついで、コンデンサ１３４の充電電圧が第２比較器１３５の基準電圧V_2以上となると、第２比較器１３５はオン動作して過負荷電流検出信号を出力する。すると、この過電流検出信号はダイオード１３８を通してサイリスタ１４０のゲートにトリガ信号として入力され、サイリスタ１４０がターンオンして、第１ＦＥＴ１６１および第２ＦＥＴ１６２をターンオフする。サイリスタ１４０がターンオンすると同時に、第２フォトカプラ１５０も導通し、端子Ｓを介して図示しない論理演算部（図１０参照）に過電流の異常信号がフィードバックされる。

【００３２】

（３）サージ印加状態となった場合

端子Ｐ、Ｏを介して接続された被制御装置に容量性負荷（例えば、ランプ等）が接続されている場合、第１ＦＥＴ１６１および第２ＦＥＴ１６２がターンオンした状態においては、第１ＦＥＴ１６１および第２ＦＥＴ１６２には容量性負荷の負荷容量に応じた突入電流（サージ電流）が流れる。この状態においては、前述したように、最大許容サージ電流はＩＥＣ規格により、定格電流の１０倍と定められているので、第１ＦＥＴ１６１および第２ＦＥＴ１６２は破壊されることはなく、過電流の保護対象とはしない。したがって、第１ＦＥＴ１６１および第２ＦＥＴ１６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）が第１比較器１３１の基準電圧V_1以上となって、抵抗１３３を通してコンデンサ１３４が充電されても、このコンデンサ１３４の充電電圧は第２比較器１３５の基準電圧V_2以上となることはなく（図４（ｃ）参照）、第２比較器１３５は過負荷電流検出信号を出力しなく、サイリスタ１４０はターンオンしない。

【００３３】

上述のように構成した本第１の実施の形態においては、第１ＦＥＴ１６１もしくは第２ＦＥＴ１６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）をコンデンサ１２９の充電電圧として検出し、このコンデンサ１２９の充電電圧がツェナーダイオード１３０のツェナー電圧V_Z以上になると、サイリスタ１４０がターンオンして短絡電流を検出して短絡電流検出信号を出力するので、分路回路を設けなくても簡単な回路構成で短絡電流を検出できるようになり、この種の出力回路が小型になる。また、出力素子として電界効果トランジスタ（第１ＦＥＴ１６１および第２ＦＥＴ１６２）を用いるので、この種の出力回路が安価に製造できるようになる。

【００３４】

さらに、過負荷電流検出回路は、第１比較器１３１と第２比較器１３５の２段構成の比較

器の間に第１遅延回路を設ける構成としているので、第１比較器１３１の基準電圧V_1以上となって過電流を検出しても、第１遅延回路のコンデンサ１３４の充電電圧が第２比較器１３５の基準電圧V_2以上にならないとサージと判定して、サイリスタ１４０をターンオンさせなく、コンデンサ１３４の充電電圧が第２比較器１３５の基準電圧V_2以上になると過負荷であると判定して、サイリスタ１４０をターンオンさせるので、この許容サージ電流を過負荷電流して誤検出することが防止できるようになる。

【００３５】

なお、上述の第１の実施の形態においては、出力素子（第１ＦＥＴ１６１および第２ＦＥＴ１６２）によりオン／オフ制御される被制御装置となる負荷の電源として交流電源を用いる例について説明したが、電源として直流電源を用いてよいことは明かである。この場合、図５（図５において、図１と同一符号は同一名称を表すので、その説明は省略する）に示すように、図１に示した第２ＦＥＴ１６２、ダイオード１２４、１２５、１２８および抵抗１２２は設けなくてよい。

【００３６】

なお、上述の第１の実施の形態において、サージ許容時間およびコンデンサ１２９を充電するための遅れ時間はそれぞれ各請求項に記載された第１時間および第２時間に相当し、第１基準電圧源１３２の基準電圧V_1は各請求項に記載された第３基準電圧に相当し、第２基準電圧源１３６の基準電圧V_2は各請求項に記載された第１基準電圧に相当し、第１比較器１３１および第２比較器１３５はそれぞれ請求項５に記載された第２比較器および第３比較器に相当する。

【００３７】

実施の形態２

上述の第１の実施の形態においては、フォトカプラ１１０による動作信号が第１ＦＥＴ１６１および第２ＦＥＴ１６２の各ゲートに入力された瞬間から第１ＦＥＴ１６１および第２ＦＥＴ１６２が実際に動作するまでには遅れがあるため、コンデンサ１２９への充電により第１ＦＥＴ１６１および第２ＦＥＴ１６２のドレイン－ソース間オン電圧の検出開始時間に遅れを持たせて、フォトカプラ１１０がオンした瞬間のドレイン－ソース間電圧を短絡電流によるドレイン－ソース間オン電圧として誤検出することを防止するようにしている。本第２の実施の形態においては、この誤検出を防止するために２つのトランジスタを用い、フォトカプラがオンして一定の時間が経過するまでは各ＦＥＴのドレイン－ソース間オン電圧の検出を無視するようにしたことと、１つの基準電圧設定用の電源を用いて短絡電流および過負荷電流を検出できるようにしたことにある。

【００３８】

図６は本発明の出力回路をプログラマブルコントローラに適用した場合の第２の実施の形態の回路図である。図６に示すように本第２の実施の形態の出力回路２００は、図示しない論理演算部（図１０参照）の演算結果が端子Ｃより入力され、この演算結果に応じて発光する発光ダイオード２１１と発光ダイオード２１１が発光することにより駆動されるフォトトランジスタ２１２からなるフォトカプラ２１０と、フォトカプラ２１０が駆動することによりターンオンされる出力素子、即ち、第１電界効果トランジスタ（第１ＦＥＴ）２６１と第２電界効果トランジスタ（第２ＦＥＴ）２６２と、これらのフォトカプラ２１０と第１ＦＥＴ２６１および第２ＦＥＴ２６２よりなる出力素子との間に配置された、後述する各ＦＥＴ２６１、２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）検出回路、短絡電流検出回路、サージ許容回路、過負荷電流検出回路等の回路と、各ＦＥＴ２６１、２６２のターンオフラッチ回路、異常信号フィードバック回路等の保護回路とにより構成される。ここで、ダイオード２６３および２６４は各ＦＥＴ２６１、２６２のそれぞれの寄生ダイオードを示している。

【００３９】

フォトトランジスタ２１２のエミッタは抵抗２２１および２２２の一端に接続する。抵抗２２１の他端はダイオード２２４およびダイオード２２６のアノード側に接続し、ダイオード２２６のカソード側は第１ＦＥＴ２６１のドレイン２６１ｄに接続している。また、

抵抗２２２の他端はダイオード２２５およびダイオード２２８のアノード側に接続し、ダイオード２２８のカソード側は第２ＦＥＴ２６２のドレイン２６２ｄに接続している。ダイオード２２４、２２５の各カソード側は抵抗Ｒ1を介して接地するとともに抵抗２２３を介して第１比較器２３８の非反転入力端子に接続している。

【００４０】

また、抵抗２２１、２２２の共通接続点はゲート抵抗２２７ａ、２２７ｂを介して第１ＦＥＴ２６１、第２ＦＥＴ２６２の各ゲート２６１ｇ、２６２ｇに接続し、各ゲート２６１ｇ、２６２ｇはゲート抵抗２２７ｃを介して接地している。第１ＦＥＴ２６１のソース２６１ｓと第２ＦＥＴ２６２のソース２６２ｓは共通に接続され、第１ＦＥＴ２６１のドレイン２６１ｄに接続される出力端子Ｐと第２ＦＥＴ２６２のドレイン２６２ｄに接続される出力端子Ｏとの間には被制御装置となる負荷３００と負荷３００を駆動する負荷用交流電源３０１とが接続され、第１ＦＥＴ２６１および第２ＦＥＴ２６２がオン動作することにより負荷３００に負荷用交流電源３０１から電力が供給されて負荷３００が駆動されることとなる。

【００４１】

各ＦＥＴ２６１、２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）検出回路は、ダイオード２２４、２２５、２２６、２２８と抵抗２２１、２２２、２２３とから構成され、ダイオード２２６およびダイオード２２８により各ＦＥＴ２６１、２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）が検出され、このドレイン－ソース間オン電圧（$V_{DS(ON)}$）に相当する電位が抵抗２２３を通して第１比較器２３８の非反転入力端子に入力される。この第１比較器２３８の非反転入力端子に入力される電圧は、ダイオード２２４とダイオード２２５とがＯＲ接続されているため、第１ＦＥＴ２６１もしくは第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の高い方が印加されることとなる。

【００４２】

ここで、ダイオード２２４とダイオード２２５のカソード側の共通接続点は第１トランジスタ２３０のコレクタに接続し、そのエミツタは接地している。第１トランジスタ２３０のベースは抵抗Ｒ2を介して直流電源（ＤＣ／ＤＣ）に接続するとともに第２トランジスタ２３１のコレクタに接続し、そのエミツタは接地している。第２トランジスタ２３１のベースは抵抗２３２とコンデンサ２３３よりなる第２遅延回路に接続している。

【００４３】

そのため、フォトカプラ２１０が動作しないときは、直流電源（ＤＣ／ＤＣ）より第１トランジスタ２３０のベースに電流が供給されるため、第１トランジスタ２３０はオン動作し、各ダイオード２２４、２２５のカソード側はＧＮＤレベルにされる。

【００４４】

一方、フォトカプラ２１０が動作すると、ゲート抵抗２２７ａ、２２７ｂ、２２７ｃの抵抗分割比に応じて第１ＦＥＴ２６１および第２ＦＥＴ２６２の各ゲート２６１ｇ、２６２ｇに電圧が印加され、第１ＦＥＴ２６１および第２ＦＥＴ２６２がオン動作するが、第１トランジスタ２３０がオン動作している間は第１比較器２３８の非反転入力端子に各ダイオード２２６、２２８の検出電圧が入力されないので、第１ＦＥＴ２６１および第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の検出は無視される。これにより、第１ＦＥＴ２６１および第２ＦＥＴ２６２が完全にオン動作するまでのドレイン－ソース間電圧を短絡電流によるドレイン－ソース間オン電圧（$V_{DS(ON)}$）として誤検出することが防止できる。

【００４５】

ここで、第１ＦＥＴ２６１および第２ＦＥＴ２６２がオン動作し、各ゲート２６１ｇ、２６２ｇの印加電圧が上昇して、第２遅延回路の抵抗２３２とコンデンサ２３３により決定される時定数に対応する所定の時間（T_1時間）が経過すると、コンデンサ２３３の充電電圧が上昇して第２トランジスタ２３１のベース電圧が上昇するため、第２トランジスタ２３１はオン動作する。第２トランジスタ２３１がオン動作すると、第１トランジスタ２３０のベース電流を引き込み、第１トランジスタ２３０はオフ動作することとなる。これ

により、第１比較器２３８の非反転入力端子に各ダイオード２２６、２２８の検出電圧が入力されて、第１ＦＥＴ２６１および第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の検出が開始されることとなる。

【００４６】

短絡電流検出回路は第１比較器２３８にて構成され、この第１比較器２３８の非反転入力端子には抵抗２２３を介してダイオード２２４、２２５の各カソード側に接続している。一方、第１比較器２３８の反転入力端子には抵抗２３７ｂと抵抗２３７ｃの共通接続点に接続しており、抵抗２３７ｂの他端は直流電源（ＤＣ／ＤＣ）に接続し、抵抗２３７ｃの他端は接地している。ここで、抵抗２３７ｂの抵抗値Ｒｂと抵抗２３７ｃの抵抗値Ｒｃで分割された直流電源（ＤＣ／ＤＣ）の分圧電圧が第１ＦＥＴ２６１および第２ＦＥＴ２６２の短絡電流を検出するためのドレイン－ソース間オン電圧（$V_{DS(ON)}$）の基準電圧Ｖｓ（第２基準電圧）となる。第１基準電圧の値Ｖｓの設定は以下のようにしてなされる。即ち、上述の第１の実施の形態で述べたように、ＦＥＴの最大許容サージ電流はＩＥＣ（International Electrotechnical Commission）規格（ＩＥＣ１１３１－２）にて定められており、その最大許容サージ電流は定格電流の１０倍と定められている。したがって、定格電流の１０倍に相当する電圧より大きい値を短絡電流検出のための基準電圧Ｖｓとしている。

【００４７】

ここで、図７は第１ＦＥＴ２６１および第２ＦＥＴ２６２に過渡電流が流れた場合のドレイン－ソース間オン電圧（$V_{DS(ON)}$）波形を示す図であり、短絡時には曲線Ａで示される波形となり、サージ印加時には曲線Ｂで示される波形となり、過負荷時には曲線Ｃで示される波形となり、定格負荷時には曲線Ｄで示される波形となる。したがって、図７に示すように、短絡電流の検出レベルをドレイン－ソース間オン電圧（$V_{DS(ON)}$）が定格電流の１０倍に相当する電圧より大きくなった値を基準電圧Ｖｓとなるように抵抗２３７ｂの抵抗値Ｒｂと抵抗２３７ｃの抵抗値Ｒｃを選定すればよいこととなる。

【００４８】

サージ許容回路および過負荷電流検出回路は、抵抗２３９とコンデンサ２３５とかなる第１遅延回路と第２比較器２３６と上述の第１比較器２３８とから構成され、第２比較器２３６の反転入力端子は抵抗２３９とコンデンサ２３５との共通接続点に接続し、抵抗２３９の他端は各ＦＥＴ２６１、２６２の各ゲート２６１ｇ、２６２ｇに接続し、コンデンサ２３５の他端は接地している。また、第２比較器２３６の非反転入力端子は抵抗２３４ａと抵抗２３４ｂの共通接続点に接続し、抵抗２３４ａの他端は直流電源（ＤＣ／ＤＣ）に接続し、抵抗２３４ｂの他端は接地している。第２比較器２３６の出力は抵抗２３７ａを介して第１比較器２３８の反転入力端子に接続している。

【００４９】

ここで、第２比較器２３６の反転入力端子に入力される電圧（コンデンサ２３５の充電電圧）が非反転入力端子に入力される直流電源（ＤＣ／ＤＣ）の抵抗２３４ａと抵抗２３４ｂとの分圧比により決定される電圧を越えるまでの時間を、第１遅延回路の抵抗２３９とコンデンサ２３５により決定される時定数に対応するサージ許容時間（T_2時間、図７においては２サイクルの間）として設定する。これにより、このサージ許容時間（T_2時間）内に第１比較器２３８の非反転入力端子に入力される第１ＦＥＴ２６１もしくは第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）が反転入力端子に入力される基準電圧Ｖｓより大きくなると、第１比較器２３８は許容サージ電流を越えたとしてオフ動作し、短絡電流検出信号を出力する。

【００５０】

なお、サージ許容時間（T_2時間）内に第１比較器２３８の非反転入力端子に入力される第１ＦＥＴ２６１もしくは第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）が反転入力端子に入力される後述する過負荷電流検出電圧Ｖｏより大きくても基準電圧Ｖｓより小さければ許容サージ電流と判定して第１比較器２３８はオン動作のままで出力信号を出力することはない。

【００５１】
一方、コンデンサ２３５の充電電圧が上昇して第２比較器２３６の反転入力端子電圧が上昇し、非反転入力端子に入力される直流電源（ＤＣ／ＤＣ）の抵抗２３４ａと抵抗２３４ｂとの分圧比により決定される基準電圧Ｖｔ（第３基準電圧図８（ｅ）参照）を越えると、第２比較器２３６はサージ許容時間（T_2時間）を越えたと判定してサージ許容時間経過信号を出力する。すると、このサージ許容時間経過信号により抵抗２３７ａがＧＮＤレベルに引かれることとなり、第１比較器２３８の反転入力端子とＧＮＤ間に接続される抵抗が抵抗２３７ｃのみから抵抗２３７ａと抵抗２３７ｃの並列回路の合成抵抗となってその抵抗値が減少することとなる。つまり、第１比較器２３８の反転入力端子に接続される基準電圧が図７に示すように基準電圧Ｖｓから基準電圧Ｖｏ（第１基準電圧）に低下することとなる。

【００５２】
したがって、サージ許容時間（T_2時間）経過後、第１比較器２３８の非反転入力端子に入力される第１ＦＥＴ２６１もしくは第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）が反転入力端子に入力される基準電圧Ｖｏ（第１基準電圧）より大きくなると、第１比較器２３８は過負荷電流と判定してオフ動作し、過負荷電流検出信号を出力することとなる。
ターンオフラッチ回路は、サイリスタ２４０から構成し、このサイリスタ２４０のアノード側は第２発光ダイオード２５１を介して分圧抵抗２２７ａと２２７ｂの共通接続点に接続し、そのカソード側は接地し、そのゲートは第１比較器２３８の出力端子に接続するとともに抵抗２４１を介して直流電源（ＤＣ／ＤＣ）に接続している。

【００５３】
このため、第１比較器２３８がオフ動作して短絡電流検出信号または過負荷電流検出信号を出力すると、サイリスタ２４０のゲートには抵抗２４１を通して直流電源（ＤＣ／ＤＣ）が印加されてターンオンする。すると、第１ＦＥＴ２６１および第２ＦＥＴ２６２の各ゲート電圧が低下して各ＦＥＴ２６１、２６２はオフ動作する。サイリスタ２４０のアノードには直流電源（ＤＣ／ＤＣ）より第１フォトトランジスタ２１２、抵抗２２７ａ、第２発光ダイオード２５１を通して保持電流が供給されるため、第１フォトカプラ２１０がオフ動作するまでサイリスタ２４０のターンオンが保持（ラッチ）され、各ＦＥＴ２６１、２６２のターンオフ状態がラッチされる。なお、図６に示すように、第１ＦＥＴ２６１および第２ＦＥＴ２６２の各ゲート２６１ｇ、２６２ｇの共通接続点とサイリスタ２４０のアノード側との間にダイオード２４２を接続すれば、各ＦＥＴ２６１、２６２のゲート電荷を急激に引き抜くことができるようになり、各ＦＥＴ２６１、２６２のオフ動作を速くすることが可能となる。

【００５４】
異常信号フィードバック回路は第２発光ダイオード２５１と第２フォトトランジスタ２５２よりなる第２フォトカプラ２５０から構成し、上述したように、第１比較器２３８がオフ動作して短絡検出信号または過負荷検出信号を出力するとサイリスタ２４０がターンオンする。すると、第２発光ダイオード２５１が発光して第２フォトトランジスタ２５２が導通する。第２フォトトランジスタ２５２が導通することにより、短絡電流あるいは過負荷電流の異常信号は端子Ｓを介して図示しない論理演算部（図１０参照）にフィードバックされることとなる。

【００５５】
以下に、上述のように構成した本第２の実施の形態の保護回路の動作を図８の動作波形図に基づいて説明する。ここで、図８（ａ）はフォトカプラ２１０のオン／オフ動作波形を示し、図８（ｂ）は第１ＦＥＴ２６１および第２ＦＥＴ２６２のオン／オフ動作波形を示し、図８（ｃ）は第１ＦＥＴ２６１および第２ＦＥＴ２６２に流れる負荷電流の波形を示し、図８（ｄ）は第１トランジスタ２３０の動作波形を示し、図８（ｅ）は第２比較器２３６の反転入力端子に入力される入力電圧波形を示し、図８（ｆ）は第１比較器２３８の反転入力端子に入力される入力電圧波形を示す。なお、図８（ｆ）のＯＮ電圧は各ＦＥＴ

２６１、２６２のドレイン－ソース間電圧を示す。

【００５６】

（１）短絡状態となった場合

時刻t_1の時点においてフォトカプラ２１０が動作（図８（ａ）参照）すると、第１ＦＥＴ２６１および第２ＦＥＴ２６２の各ゲート２６１ｇ、２６２ｇに電圧が印加され、第１ＦＥＴ２６１および第２ＦＥＴ２６２がオン動作（図８（ｂ）参照）する。ところが、第２遅延回路の抵抗２３２とコンデンサ２３３により決定される時定数に対応するT_1時間が経過するまでは第１トランジスタ２３０がオン動作しているので、第１比較器２３８の非反転入力端子に各ダイオード２２６、２２８の検出電圧が入力されなく、第１ＦＥＴ２６１もしくは第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の検出は無視される。

【００５７】

第１ＦＥＴ２６１および第２ＦＥＴ２６２がオン動作してからT_1時間が経過した時刻t_2の時点になると、各ゲート２６１ｇ、２６２ｇの印加電圧が上昇し、コンデンサ２３３の充電電圧が上昇して第２トランジスタ２３１のベース電圧が上昇するため、第２トランジスタ２３１がオン動作する。第２トランジスタ２３１がオン動作すると、第１トランジスタ２３０のベース電流を引き込み、第１トランジスタ２３０はオフ動作（図８（ｄ）参照）する。これにより、第１比較器２３８の非反転入力端子に各ダイオード２２６、２２８の検出電圧が入力されて、第１ＦＥＴ２６１もしくは第２ＦＥＴ２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の検出が開始される。

【００５８】

このとき出力端子Ｐ、Ｏに接続された負荷３００が負荷短絡状態にあると、第１ＦＥＴ２６１および第２ＦＥＴ２６２には短絡電流（図７および図８（ｃ）の符号Ａ参照）が流れる。すると、この短絡電流に対応するドレイン－ソース間オン電圧（$V_{DS(ON)}$）が各ダイオード２２６、２２８にて検出され、検出された電圧の高い方の電圧がダイオード２２４と２２５にて選択されて、抵抗２２３を通して第１比較器２３８の非反転入力端子に入力される。このとき、第２比較器２３６の反転入力端子に入力される電圧は図８（ｅ）に示すように基準電圧Ｖｔより小さい（即ち、コンデンサ２３５の充電電圧が小さい）ため、第２比較器２３６はサージ許容時間経過信号を出力しなく、第１比較器２３８の反転入力端子には基準電圧Ｖｓ（直流電源（ＤＣ／ＤＣ）の抵抗２３７ｂと抵抗２３７ｃで分圧された電圧）が入力されることとなる。

【００５９】

そして、図８（ｆ）に示すように、第１比較器２３８の非反転入力端子に入力されるドレイン－ソース間オン電圧（$V_{DS(ON)}$）は反転入力端子に入力される基準電圧Ｖｓより大きいため、第１比較器２３８はオフ動作して短絡検出信号を出力する。すると、サイリスタ２４０のゲートには抵抗２４１を通して直流電源（ＤＣ／ＤＣ）が印加されてターンオンし、ダイオード２４２を通して各ＦＥＴ２６１、２６２のゲート電荷が引き抜かれて各ＦＥＴ２６１、２６２はオフ動作（図８（ｂ）参照）する。このとき、サイリスタ２４０のアノードには直流電源（ＤＣ／ＤＣ）より第１フォトトランジスタ２１２、抵抗２２７ａ、第２発光ダイオード２５１を通して保持電流が供給されるため、サイリスタ２４０はターンオンの状態がラッチされ、各ＦＥＴ２６１、２６２のターンオフの状態がラッチされる。

【００６０】

一方、サイリスタ２４０がターンオンすると、第２フォトカプラ２５０の第２発光ダイオード２５１が発光して第２フォトトランジスタ２５２が導通する。第２フォトトランジスタ２５２が導通すると、短絡電流の異常信号が端子Ｓを介して図示しない論理演算部（図１０参照）にフィードバックされる。なお、時刻t_3において第１フォトカプラ２１０がオフ動作するとサイリスタ２４０のターンオンのラッチが解除される。

【００６１】

（２）過負荷状態となった場合

時刻t_4において、再度、フォトカプラ２１０が動作（図８（ａ）参照）し、T_1時間が経過した時刻t_5の時点になると、各ゲート２６１ｇ、２６２ｇの印加電圧が上昇し、コンデンサ２３３の充電電圧が上昇して第２トランジスタ２３１のベース電圧が上昇するため、第２トランジスタ２３１がオン動作して、第１トランジスタ２３０はオフ動作（図８（ｄ）参照）する。このとき出力端子Ｐ、Ｏに接続された負荷３００が過負荷状態にあると、第１ＦＥＴ２６１および第２ＦＥＴ２６２には過負荷電流（図７および図８（ｃ）の符号Ｃ参照）が流れる。

【００６２】

すると、この過負荷電流に対応するドレイン－ソース間オン電圧（$V_{DS(ON)}$）が各ダイオード２２６、２２８にて検出され、検出された電圧の高い方の電圧がダイオード２２４と２２５にて選択されて、抵抗２２３を通して第１比較器２３８の非反転入力端子に入力される。このとき、第２比較器２３６の反転入力端子に入力される電圧はコンデンサ２３５の充電電圧となるので、図８（ｅ）に示すように時刻t_4から時刻t_6に時間が経過するとともにその充電電圧は上昇し、時刻t_6になって充電電圧が基準電圧Ｖｔに達するとサージ許容時間（T_2時間）が経過したこととなり、第２比較器２３６はサージ許容時間経過信号を出力する。

【００６３】

時刻t_6において、第２比較器２３６よりサージ許容時間経過信号を出力されると、第１比較器２３８の反転入力端子とＧＮＤ間に接続される抵抗が抵抗２３７ｃのみから抵抗２３７ａと抵抗２３７ｃの並列回路の合成抵抗となってその抵抗値が小さくなる。そのため、図８（ｆ）に示すように、第１比較器２３８の反転入力端子に入力される基準電圧はＶｓからＶｏに低下し、非反転入力端子に入力されるドレイン－ソース間オン電圧（$V_{DS(ON)}$）はこのＶｏより大きいため、第１比較器２３８はオフ動作して過電流検出信号を出力する。

【００６４】

すると、サイリスタ２４０のゲートには抵抗２４１を通して直流電源（ＤＣ／ＤＣ）が印加されてターンオンし、ダイオード２４２を通して各ＦＥＴ２６１、２６２のゲート電荷が引き抜かれて各ＦＥＴ２６１、２６２はオフ動作（図８（ｂ）参照）する。このとき、サイリスタ２４０のアノードには直流電源（ＤＣ／ＤＣ）より第１フォトトランジスタ２１２、抵抗２２７ａ、第２発光ダイオード２５１を通して保持電流が供給されるため、サイリスタ２４０はターンオンの状態がラッチされ、各ＦＥＴ２６１、２６２はターンオフの状態がラッチされる。

【００６５】

一方、サイリスタ２４０がターンオンすると、第２フォトカプラ２５０の第２発光ダイオード２５１が発光して第２フォトトランジスタ２５２が導通する。第２フォトトランジスタ２５２が導通すると、過負荷電流の異常信号が端子Ｓを介して図示しない論理演算部（図１０参照）にフィードバックされる。なお、時刻t_7において第１フォトカプラ２１０がオフ動作するとサイリスタ２４０のターンオンのラッチが解除される。

【００６６】

（３）定格負荷状態となった場合、

時刻t_8において、再再度、フォトカプラ２１０が動作（図８（ａ）参照）し、T_1時間が経過した時刻t_9の時点になると、各ゲート２６１ｇ、２６２ｇの印加電圧が上昇し、コンデンサ２３３の充電電圧が上昇して第２トランジスタ２３１のベース電圧が上昇するため、第２トランジスタ２３１がオン動作して、第１トランジスタ２３０はオフ動作（図８（ｄ）参照）する。このとき出力端子Ｐ、Ｏに接続された負荷３００が定格負荷状態にあると、第１ＦＥＴ２６１および第２ＦＥＴ２６２には定格負荷電流（図７および図８（ｃ）の符号Ｄ参照）が流れる。

【００６７】

すると、この定格負荷電流に対応するドレイン－ソース間オン電圧（$V_{DS(ON)}$）が各ダイオード２２６、２２８にて検出され、検出された電圧の高い方の電圧がダイオード２２４

と２２５にて選択されて、抵抗２２３を通して第１比較器２３８の非反転入力端子に入力される。このとき、第２比較器２３６の反転入力端子に入力される電圧はコンデンサ２３５の充電電圧となるので、図８（ｅ）に示すように時刻t_8から時刻t_{10}に時間が経過するとともにその充電電圧は上昇し、時刻t_{10}になって充電電圧が基準電圧Ｖｔに達するとサージ許容時間（T_2時間）が経過したこととなり、第２比較器２３６はサージ許容時間経過信号を出力する。

【００６８】

時刻t_{10}において、第２比較器２３６よりサージ許容時間経過信号を出力されると、第１比較器２３８の反転入力端子とＧＮＤ間に接続される抵抗が抵抗２３７ｃのみから抵抗２３７ａと抵抗２３７ｃの並列回路の合成抵抗となってその抵抗値が小さくなる。そのため、図８（ｆ）に示すように、第１比較器２３８の反転入力端子に入力される基準電圧はＶｓからＶｏに低下し、非反転入力端子に入力されるドレイン－ソース間オン電圧（$V_{DS(ON)}$）はこのＶｏより小さいため、第１比較器２３８はオン動作のままで検出信号を出力しない。

【００６９】

上述のように構成した本第２の実施の形態においては、各ＦＥＴ２６１、２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）と基準電圧Ｖｓ（第２基準電圧）とを第１比較器２３８が比較して、ドレイン－ソース間オン電圧（$V_{DS(ON)}$）が基準電圧Ｖｓより大きいと短絡電流検出信号を出力する。これにより、分路回路を設けなくても簡単な回路構成で短絡電流を検出できるようになる。

【００７０】

また、抵抗２３９とコンデンサ２３５とからなる第１遅延回路の時定数（T_2時間：第１の経過時間）に対応する電圧に基づいて第２比較器２３６から出力されたサージ許容時間経過信号により基準電圧Ｖｓが低下した基準電圧Ｖｏ（第１基準電圧）と各ＦＥＴ２６１、２６２のドレイン－ソース間オン電圧（$V_{DS(ON)}$）とを比較し、ドレイン－ソース間オン電圧（$V_{DS(ON)}$）が基準電圧Ｖｏより大きいと第１比較器２３８は過負荷電流検出信号を出力するので、許容サージ電流を過電流として誤検出することが防止できるようになる。

【００７１】

また、基準電圧Ｖｓ（第２基準電圧）と基準電圧Ｖｏ（第１基準電圧）は１つの直流電源（ＤＣ／ＤＣ）により発生させることができるので、基準電圧発生用の電源を減らすことが可能となり、この種の出力回路を小型にかつ安価に製造できるようになる。

さらに、第２遅延回路路は電界効果トランジスタが駆動して第２の経過時間（T_1時間）が経過するまで、ドレイン－ソース間オン電圧検出手段が検出したドレイン－ソース間オン電圧の検出を開始しないので、電界効果トランジスタが駆動する瞬間のドレイン－ソース間電圧を短絡電流によるドレイン－ソース間オン電圧として誤検出することが防止できるようになる。

【００７２】

なお、上述の第２の実施の形態においては、出力素子（第１ＦＥＴ２６１および第２ＦＥＴ２６２）によりオン／オフ制御される被制御装置となる負荷の電源として交流電源を用いる例について説明したが、電源として直流電源を用いてよいことは明かである。この場合、図９（図９において、図６と同一符号は同一名称を表すので、その説明は省略する）に示すように、図６に示した第２ＦＥＴ２６２、ダイオード２２４、２２５、２２８および抵抗２２２は設けなくてよい。

【００７３】

なお、上述の第２の実施の形態において、サージ許容時間（T_2時間）およびコンデンサ２３３を充電するための遅れ時間（T_1時間）はそれぞれ各請求項に記載された第１時間および第２時間に相当し、基準電圧Ｖｏは各請求項１に記載された第１基準電圧に相当し、基準電圧Ｖｓは各請求項に記載された第２基準電圧に相当し、基準電圧Ｖｔは各請求項に記載された第３基準電圧に相当し、第１比較器２３８は請求項４および請求項６に記載

された第１比較器に相当し、第２比較器２３６は請求項６に記載された第４比較器に相当する。

【００７４】

なお、上述の各実施の形態においては、本発明の出力回路をプログラマブルコントローラに適用したが、所定のオン／オフの状態を電気信号として出力し、しかも様々の電圧レベルの電気信号に対応可能な汎用の出力回路を備える制御装置であれば、どのような装置に適用してもよい。

【図面の簡単な説明】

【図１】　本発明の出力回路の第１の実施の形態の全体構成を示す回路図である。

【図２】　電界効果トランジスタ（ＦＥＴ）の特性を示す図であり、（ａ）はドレイン－ソース間オン抵抗（$R_{DS(ON)}$）とドレイン電流（I_D）の関係を示し、（ｂ）はドレイン－ソース間オン電圧（$V_{DS(ON)}$）とドレイン電流（I_D）の関係を示す。

【図３】　電界効果トランジスタ（ＦＥＴ）に過渡電流が流れた場合のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の変化を示す図である。

【図４】　電界効果トランジスタ（ＦＥＴ）に過渡電流が流れた場合のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の変化を示す図であり、（ａ）はサージ印加時のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の変化を示す図であり、（ｂ）は過負荷時のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の変化を示す図であり、（ｃ）はドレイン－ソース間オン電圧（$V_{DS(ON)}$）の積分波形を示す図である。

【図５】　電源として直流電源を用いた場合の図１と同様な回路図である。

【図６】　本発明の出力回路の第２の実施の形態の全体構成を示す回路図である。

【図７】　電界効果トランジスタ（ＦＥＴ）に過渡電流が流れた場合のドレイン－ソース間オン電圧（$V_{DS(ON)}$）の変化と短絡電流検出レベルおよび過負荷電流検出レベルを示す図である。

【図８】　図６の回路の動作波形を示す図である。

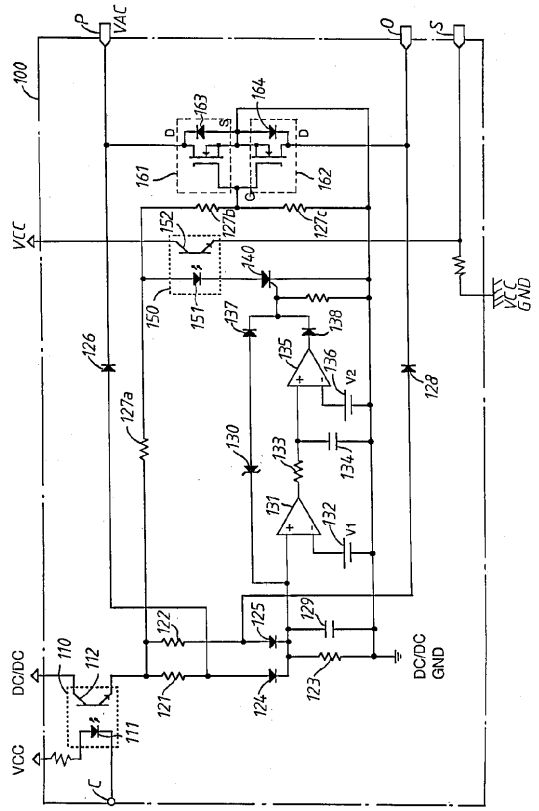
【図９】　電源として直流電源を用いた場合の図６と同様な回路図である。

【図１０】　プログラマブルコントローラの全体構成を示す図である。

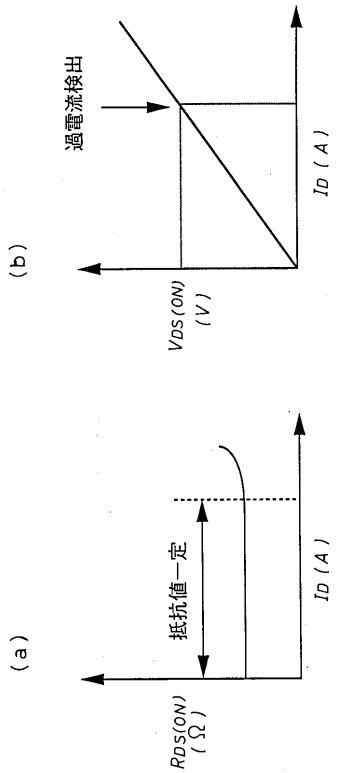
【符号の説明】

１００…出力回路、１１０…第１フォトカプラ、１２１、１２２、１２３…抵抗、１２４、１２５、１２６、１２８…ダイオード、１２９…コンデンサ、１３０…ツェナーダイオード、１３１…比較器（第３比較器）、１３２…比較器１３１の基準電圧源（V_1：第３基準電圧）、１３３…抵抗、１３４…コンデンサ、１３５…比較器（第２比較器）、１３６…比較器１３５の基準電圧源（V_2：第１基準電圧）、１４０…サイリスタ、１５０…第２フォトカプラ、１６１、１６２…電界効果トランジスタ（ＦＥＴ）（出力素子）

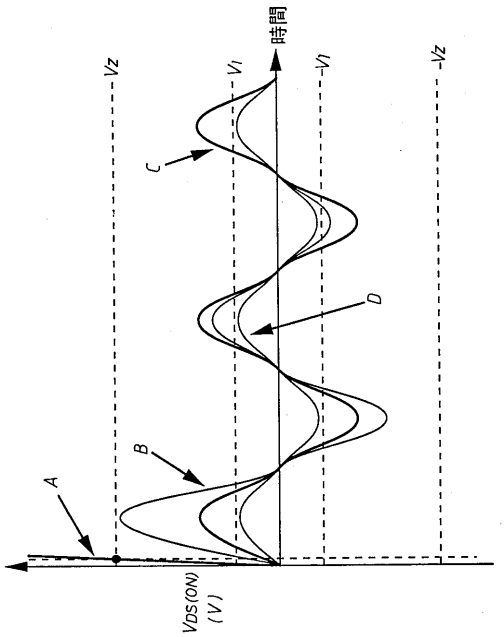
【図１】


VAC
VCC
DC/DC
VCC
DC/DC GND
VCC GND

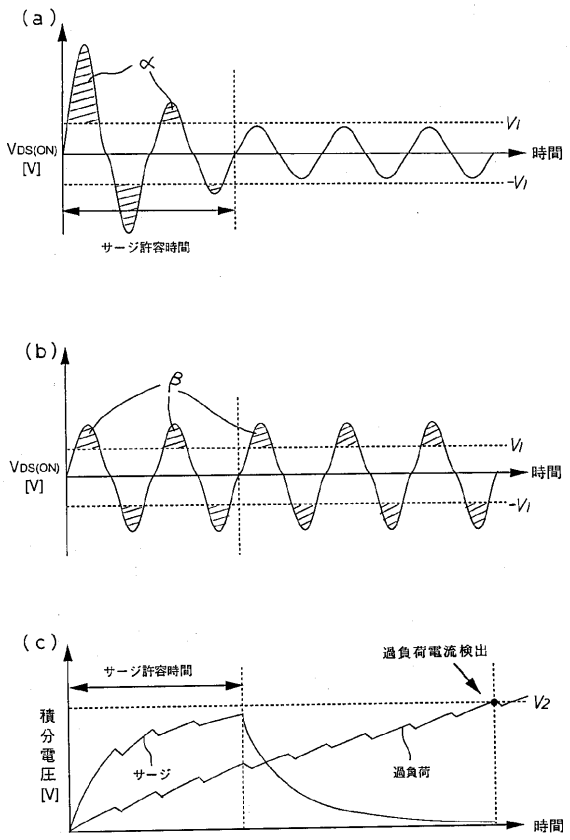
【図２】


(b)
過電流検出
ID (A)
VDS(ON) (V)
(a)
抵抗値一定
ID (A)
RDS(ON) (Ω)

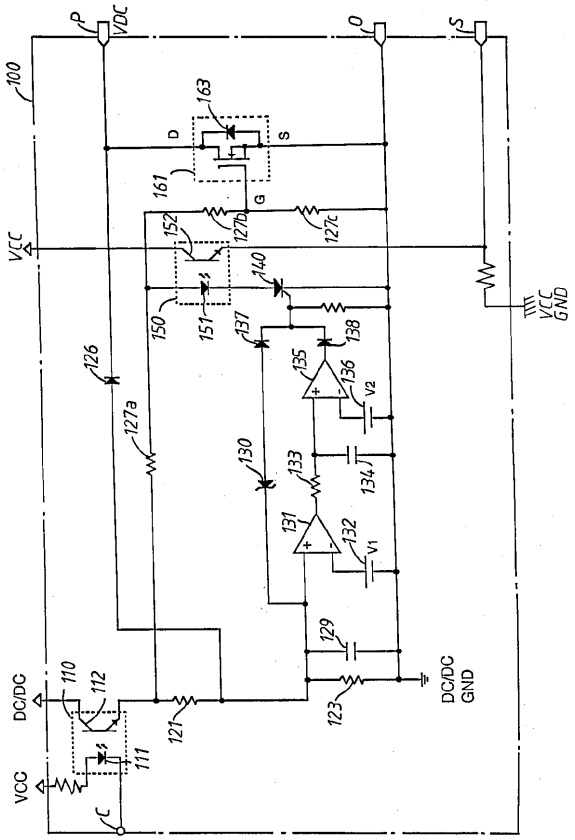
【図３】


時間
Vz
V1
-V1
-Vz
A
B
C
D
VDS(ON) (V)

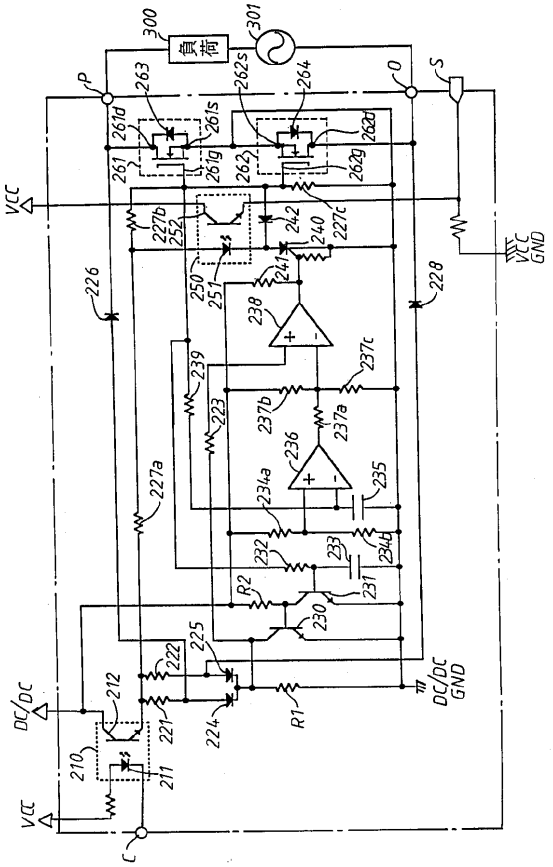
【図４】


(a)
α
VDS(ON) [V]
V1
-V1
時間
サージ許容時間
(b)
β
VDS(ON) [V]
V1
-V1
時間
(c)
サージ許容時間
過負荷電流検出
V2
積分電圧 [V]
サージ
過負荷
時間

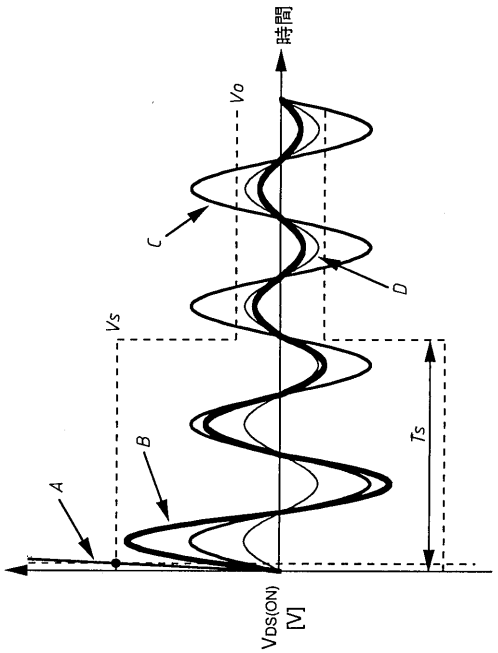
【図５】


P
VDC
O
S
100
163
D
S
G
161
152
127b
127c
VCC
140
150
151
137
138
126
135
136
V2
127a
130
133
134
131
132
V1
129
123
DC/DC
GND
110
112
121
111
VCC
C
VCC
GND

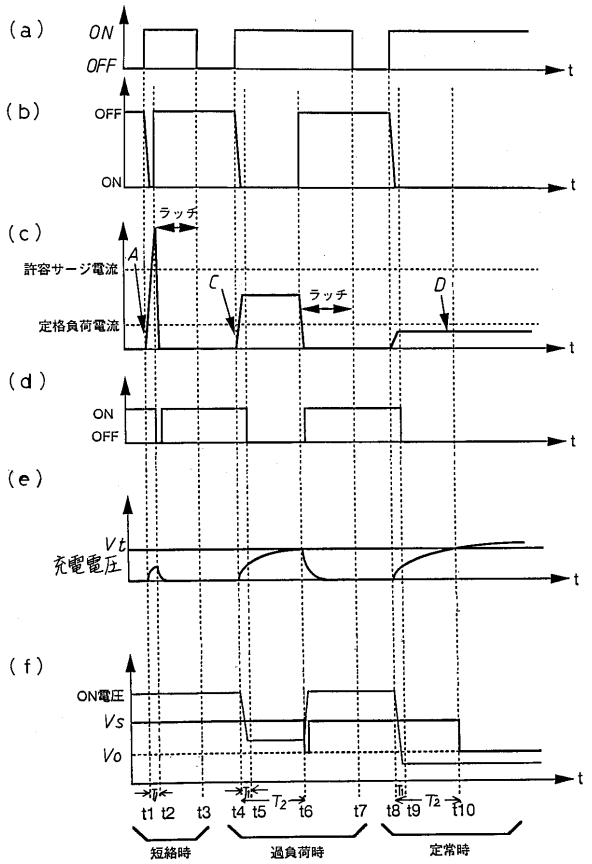
【図６】


300
負荷
301
P
263
262s
264
O
S
261d
261s
262d
261
261g
262
262g
VCC
227b
252
242
240
227c
VCC
GND
226
250
251
241
228
238
239
237c
223
237b
237a
236
235
227a
234a
234b
232
233
231
R2
230
225
222
DC/DC
GND
212
221
224
R1
210
211
VCC
C

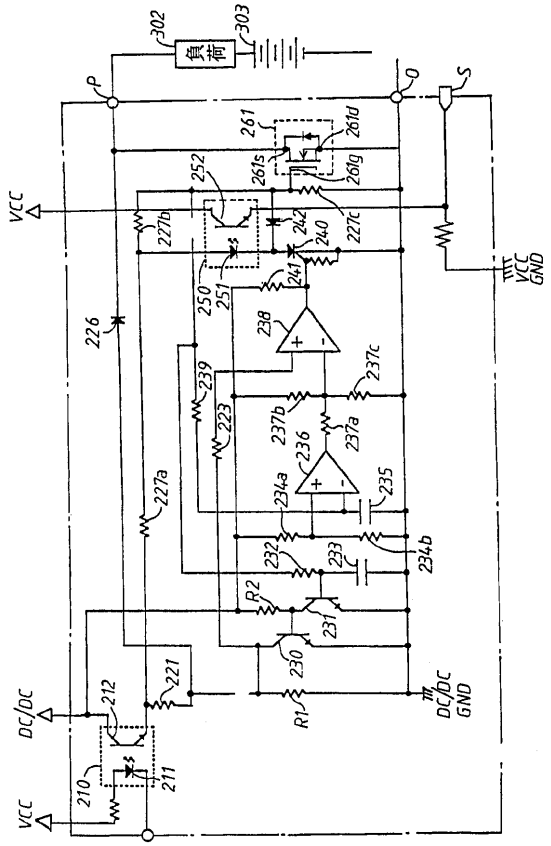
【図７】


時間
Vo
C
D
Vs
B
A
Ts
VDS(ON)
[V]

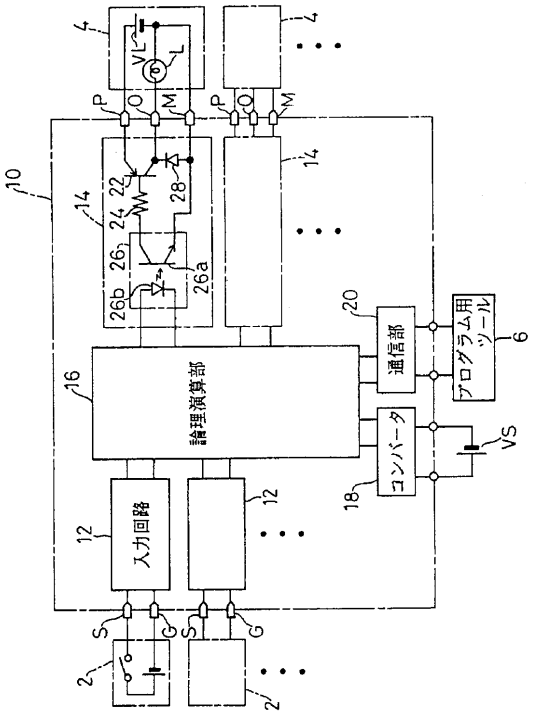
【図８】


(a)
ON
OFF
t
(b)
OFF
ON
t
(c)
ラッチ
A
許容サージ電流
C
ラッチ
D
定格負荷電流
t
(d)
ON
OFF
t
(e)
Vt
充電電圧
t
(f)
ON電圧
Vs
Vo
t
t1 t2 t3 t4 t5 T2 t6 t7 t8 t9 T2 t10
短絡時
過負荷時
定常時

【図９】


302
負荷
303
P
O
S
261
261d
261s
261g
252
VCC
227b
242
240
227c
241
VCC
GND
250
251
238
226
239
237c
223
237b
236
237a
235
227a
234a
234b
232
233
R2
231
230
221
212
DC/DC
DC/DC
GND
R1
210
211
VCC

【図１０】


4
VL
L
P
O
M
10
14
22
24
28
26
26b
26a
20
通信部
プログラム用
ツール
6
16
論理演算部
コンバータ
18
VS
12
入力回路
S
G
2

フロントページの続き

(51)Int.Cl.[7]		FI		
H02H	3/10	H02H	3/10	A
		G05B	19/05	L

審査官　森林　克郎

(56)参考文献　特開平05－276649（JP，A）
特開平05－146049（JP，A）
特開昭58－112417（JP，A）
特開平06－196281（JP，A）
特開平03－265418（JP，A）

(58)調査した分野(Int.Cl.[7]，DB名)
G05B19/04-19/05、
G05B9/00-9/05、
G05B23/00-23/02、
H02H3/08-3/253、
H02B15/00-15/04