

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 10 月 13 日 (13.10.2011)

PCT

(10) 国际公布号
WO 2011/124001 A1

- (51) 国际专利分类号:
H01L 21/331 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2010/001419
- (22) 国际申请日: 2010 年 9 月 16 日 (16.09.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010145088.8 2010 年 4 月 9 日 (09.04.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELEC-
TRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Bei-
jing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou)
[CN/US]; 美国纽约州波基普西市洛克科劳斯特街
11#, Poughkeepsie, NY 12603 (US)。朱慧珑 (ZHU,
Huילong) [US/US]; 美国纽约州波基普西市奥特姆
路 93#, Poughkeepsie, NY 12603 (US)。骆志炯
(LUO, Zhijiong) [CN/US]; 美国纽约州波基普西市

洛克科劳斯特街 11#, Poughkeepsie, NY 12603
(US)。

- (74) 代理人: 中科专利商标代理有限责任公司 (CHI-
NA SCIENCE PATENT & TRADEMARK AGENT
LTD); 中国北京市海淀区王庄路 1 号清华同方科
技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB,
BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 半导体器件及其制作方法

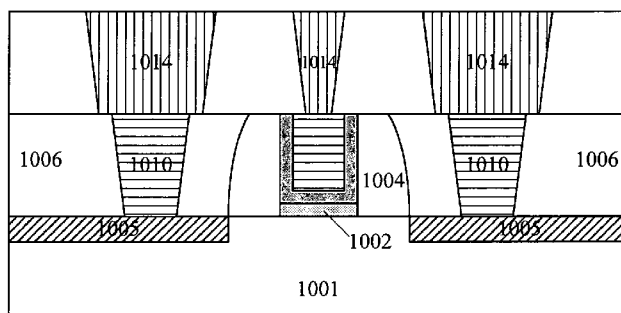


图 13 / Fig. 13

(57) Abstract: A semiconductor device and a manufacturing method thereof are provided. The method includes the steps: providing a semiconductor substrate (1001), forming a transistor structure on the semiconductor substrate (1001), the transistor structure includes a gate area (100) and source/drain areas (200), the gate area includes a gate dielectric layer (1002) formed on the substrate (1001) and a sacrificial gate (1003) formed on the gate dielectric layer (1002), depositing a first dielectric interlayer (1006), flattening the first dielectric interlayer (1006) to expose the sacrificial gate (1003), removing the sacrificial gate (1003) to form a hole (1003') for replacing the gate, forming first contacting holes (1009) corresponding to the first interlayer (1006) and the source/drain areas, filling a first conducting material in the first contacting holes (1009) and the holes (1003') for replacing the gate, forming a first contacting portion (1010) and a replacing gate (1003''), wherein the first contacting portion (1010) contacts with the source/drain areas. Since the replacing gate and the first contacting portion are formed at a same step by depositing same materials, the manufacturing process is simple.

[见续页]

WO 2011/124001 A1



CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, **本国际公布:**
TG)。

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供一种半导体器件及其制作方法。该方法包括: 提供半导体衬底(1001), 在半导体衬底(1001)上形成晶体管结构, 晶体管结构包括栅极区(100)及源漏区(200), 栅极区包括在半导体衬底(1001)上形成的栅极介质层(1002)以及在栅极介质层(1002)上形成的牺牲栅(1003), 沉积第一层间介质层(1006), 对第一层间介质层(1006)平坦化以露出牺牲栅(1003), 去除牺牲栅(1003)以形成替代栅孔(1003'), 在第一层间介质层(1006)与源漏区相对应的位置形成第一接触孔(1009), 以及在第一接触孔(1009)以及替代栅孔(1003')填充第一导电材料, 形成第一接触部(1010)和替代栅(1003''), 第一接触部(1010)与源漏区相接触。由于替代栅和第一接触部可在同一步骤中通过沉积相同材料来形成, 因此简化了制造工艺。

半导体器件及其制作方法

技术领域

- 5 本发明涉及半导体领域，更具体地，涉及一种半导体器件及其制作方法，特别是包括替代栅的半导体器件的制作方法以及利用所述方法制作出的半导体器件。

背景技术

- 10 随着半导体器件的尺寸越来越小，接触孔（CA）及相应的接触部也越来越小，且相互间的距离也随之减小。利用传统工艺制造较小的接触孔/接触部存在以下一些问题：（1）由于栅上的刻蚀深度与源/漏区中的刻蚀深度不同，容易造成接触孔与栅之间的短路；（2）由于源/漏区中的刻蚀深度较深且开口较小（即，具有较小的宽高比），可能会引起无法完全刻通、填充金属中出现空洞等多种工艺缺陷，从而限制了工艺的选择性，而且导致了寄生电阻的增大。

- 15 为了解决上述问题，申请人已经提出了如下的工艺（中国专利申请号 200910092514.3，代理所案号 IB094429）。具体来说，首先，在形成了晶体管结构（包括栅极、源/漏极）的半导体衬底上沉积第一层间介质层，并通过对该第一层间介质层进行平坦化工艺，例如 CMP（化学机械抛光），使得露出栅极。然后，在第一层间介质层中与源/漏极相对应的部位形成接触孔，并填充金属等导电材料，以形成与源/漏极相接触的下接触部。接着，再沉积第二层间介质层，在第二层间介质层中形成分别与栅极、源/漏极相对应的接触孔，并填充金属等导电材料，以形成与栅极、源/漏极相接触的上接触部。

- 25 这样，通过分两个步骤来形成接触部，减小了单次刻蚀接触孔时的困难。而且，在形成上接触部时，所刻蚀的接触孔的深度在栅极、源/漏极部位是相同的。因此，克服了上述现有技术中的问题。

- 但是，当这种工艺应用于替代栅结构时，通常栅极金属的填充和接触孔中金属的填充是分两个步骤来进行的，而且栅极金属和填充接触孔所用的金属并不相同（参见申请人的上述专利申请 200910092514.3）。此外，在与源/漏极相接触的下接触部形成后需要进行一次 CMP，该 CMP 的工艺复杂，并且要求很高。

- 30 有鉴于此，需要提供一种新颖的半导体器件及其制作方法，以简化工艺流程。

发明内容

本发明的目的在于提供一种半导体器件及其制作方法，以克服上述现有技术中的问题，特别是简化替代栅工艺的流程。

- 5 根据本发明的一方面，提供了一种制作半导体器件的方法，包括：提供半导体衬底；在半导体衬底上形成晶体管结构，该晶体管结构包括栅极区以及源/漏区，所述栅极区包括在半导体衬底上形成的栅极介质层以及在栅极介质层上形成的牺牲栅；沉积第一层间介质层，对所述第一层间介质层进行平坦化，以露出牺牲栅；去除所述牺牲栅，形成替代栅孔；在第一层间介质层中与源/漏区相对应的位置形成第一接触孔；以及
- 10 在所述第一接触孔以及替代栅孔中填充第一导电材料，以形成第一接触部和替代栅，所述第一接触部与源/漏区相接触。

- 优选地，在形成第一接触部和替代栅之后，该方法还可以包括：沉积第二层间介质层；在第二层间介质层中与所述第一接触部和替代栅相对应的位置形成第二接触孔；在所述第二接触孔中填充第二导电材料，以形成第二接触部，所述第二接触部分
- 15 别与第一接触部和替代栅相接触。

优选地，在形成替代栅孔之后，且在形成第一接触孔之前，该方法还可以包括：在所述替代栅孔中形成功函数调节层。进一步优选地，在形成第一接触孔之后，且在填充第一导电材料之前，该方法还可以包括：在所述第一接触孔中形成衬层。

- 优选地，在形成第一接触孔之后，且在填充第一导电材料之前，该方法还可以包
- 20 括：在所述第一接触孔以及替代栅孔中形成衬层，所述衬层处于替代栅孔中的部分用作功函数调节材料。

优选地，在形成第二接触孔之后，且在填充第二导电材料之前，该方法还可以包括：在所述第二接触孔中形成衬层。

优选地，所述第一导电材料可以为 Ti、Al 或者二者的合金。

- 25 根据本发明的另一方面，提供了一种半导体器件，包括：半导体衬底；在半导体衬底上形成的晶体管结构，该晶体管结构包括栅极区以及源/漏区，所述栅极区包括在半导体衬底上形成的栅极介质层以及在栅极介质层上形成的替代栅；在半导体衬底上形成的第一层间介质层；以及在第一层间介质层中与源/漏区相对应的位置形成的第一接触部，所述第一接触部与源/漏区相接触，其中所述第一接触部与替代栅由同一导电
- 30 材料层构成。

优选地，该半导体器件还可以包括：在第一层间介质层上形成的第二层间介质层；以及在第二层间介质层与第一接触部以及替代栅相对应的位置形成的第二接触部，所述第二接触部分别与第一接触部和替代栅相接触。

5 优选地，所述替代栅的底部和侧壁可以由功函数调节层覆盖，所述第一接触部的底部和侧壁可以由衬层覆盖，所述功函数调节层和衬层可以分别由以下任一种或多种的材料组合形成：TiN、TiAlN、TaN、TaAlN、Ta 和 Ti。进一步优选地，所述功函数调节层和衬层的材料可以相同。

优选地，形成所述第一接触部与替代栅的导电材料可以为 Ti、Al 或者二者的合金。

10 根据本发明的实施例，替代栅和第一接触部可在同一步骤中通过沉积相同材料来形成，因此简化了制造工艺。此外，可以使用所沉积的第一接触部衬层的一部分来作为功函数调节金属，进一步简化了工艺。

此外，由于第一接触部和替代栅采用了相同的材料，于是在随后的工艺中（如，第二接触孔的刻蚀、第二接触部衬层的选择），可以更易于优化。

15 附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1~13 示出了根据本发明实施例制作半导体器件的流程中各步骤的剖面图。

20 具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

25 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

30 图 1~13 详细示出了根据本发明实施例制作包括替代栅的半导体器件流程中各步骤的剖面图。以下，将参照这些附图来对根据本发明实施例的各个步骤以及由此得到

的半导体器件予以详细说明。

首先，如图1所示，提供一半导体衬底1001，例如Si衬底。并且，在该半导体衬底1001上形成晶体管结构。具体地，该晶体管结构例如包括栅极区100和源/漏区200。例如，栅极区100包括位于半导体衬底上的栅极介质层1002、在栅极介质层1002上形成的牺牲栅1003、以及围绕栅极主体的栅极侧墙1004。其中，栅极介质层1002例如包括高k材料，牺牲栅1003例如包括多晶硅，栅极侧墙1004例如包括氮化物如 SiN_x 。作为本发明的示例，栅极介质层1002的厚度约为1~3nm，牺牲栅1003的厚度约为20~70nm，栅极侧墙1004在图示水平方向上的宽度约为10~40nm，在牺牲栅1003上的厚度约为15~40nm。

本领域普通技术人员可以设想多种工艺来制作这种晶体管结构。由于这种晶体管结构的制作与本发明的主旨并无直接关联，在此不再赘述。

优选地，为了减小源/漏区200与将要形成的接触部之间的接触电阻，可以在源/漏区200中形成硅化物层1005。硅化物层1005例如通过以下步骤来形成：在上述形成了晶体管结构的半导体衬底上沉积一层金属层（例如，Ti、W或Co），并进行退火，使得所沉积的金属与源/漏区的Si发生反应而生成金属硅化物，然后去除未反应的多余金属。这种金属硅化物有助于减小源/漏区200与将要形成的接触部之间的接触电阻。

然后，如图2所示，在上述形成有晶体管结构的半导体衬底1001上沉积第一层间介质层1006。例如，第一层间介质层1006可以包括未掺杂的氧化硅（ SiO_2 ）、各种掺杂的氧化硅（如硼硅玻璃、硼磷硅玻璃等）和氮化硅（ Si_3N_4 ）等。

在本发明中，为了改善器件性能，使用替代栅的工艺。具体地，例如使用金属材料代替上述形成的牺牲栅1003来形成替代栅。这种替代栅工艺本身在本领域中是公知的，因而对此不作过多描述。在此，唯一需要指出的是，为了替换之前形成的牺牲栅1003，需要去除位于其顶部的（各）层，从而露出牺牲栅1003。

因此，如图3所示，首先对第一层间介质层1006进行平坦化，例如通过CMP（化学机械抛光），从而暴露出栅极侧墙1004。之后，如图4所示，进一步去除栅极侧墙1004位于牺牲栅1003顶部的部分，例如，通过进一步CMP或者RIE（反应离子刻蚀），以便露出牺牲栅1003。

这里需要指出的是，在以上的实施例中，如图2所示，在形成晶体管结构之后，并未去除栅极侧墙1004位于牺牲栅1003顶部的部分（以下，称为覆层）就直接沉积第一层间介质层1006。但是，本发明并不限于此。例如，在形成晶体管结构并通过退火

形成硅化物层1005之后，可以先去除牺牲栅1003顶部的覆层，然后再沉积第一层间介质层1006。

之后，如图5所示，例如通过湿法或干法刻蚀，去除牺牲栅1003，从而形成替代栅孔1003'。接下来，将在该替代栅孔1003'中填充替代栅材料（例如，金属）来形成替代栅。在此，可选地，还可以替换之前形成的栅极介质层1002。具体地，首先例如通过刻蚀去除栅极介质层1002，然后沉积一新的栅极介质层（图中未示出），该新的栅极介质层例如可以包括不同的高k材料。

优选地，为了调节将要形成的替代栅的功函数，可以在替代栅孔1003'中形成一功函数调节层。为此，例如，如图6所示，沉积一预备功函数调节层1007。然后可以对该预备功函数调节层1007进行处理（例如，化学机械抛光CMP），使得该预备功函数调节层1007只留在替代栅孔1003'中（参见图9），即覆盖替代栅孔1003'的底部和侧壁。当然，在此为了简化工艺的目的，优选地，在沉积预备功函数调节层1007之后，并不立即对其进行处理，而是将其原样保留。当随后在沉积了替代栅以及接触部的导电材料之后进行平坦化（如CMP）时，可以一并去除位于替代栅孔1003'外的预备功函数调节层1007（参见图9）。

该功函数调节层1007可以包括TiN、TiAlN、TaN、TaAlN、Ta和Ti中任一种或其组合。另外，可选地，该功函数调节层1007可以形成为多层结构，例如TiN / TiAlN的双层结构等。该功函数调节层1007的厚度例如约3~10nm。

然后，如图7和8所示，例如采用光刻工艺，形成光刻胶掩模1008（图7），并执行光刻、去胶工艺，在第一层间介质层1006中与源/漏区相对应的位置处，形成接触孔1009，在接触孔的底部，暴露出源/漏区（或者，源/漏区上形成的硅化物层1005）（图9）。根据本发明的实施例，接触孔1009的宽度（图示水平宽度）约为15~100nm。

之后，如图9所示，在接触孔1009以及替代栅孔1003'中填充导电材料，从而分别形成第一源/漏区接触部1010以及替代栅1003"。例如，首先沉积一层导电材料，如Al、W、AlTi、Cu、TiN、TaN、Ti或Ta。这一层导电材料优选为Ti、Al或者是二者的合金。Ti、Al的电阻率很小，有利于减小栅电阻。然后，对所沉积的导电材料进行平坦化（如CMP），直至露出第一层间介质层1006。这样，就在接触孔1009以及替代栅孔1003'中填充了导电材料。其中，第一源/漏区接触部1010与其下方的源/漏区（或者，源/漏区上形成的硅化物层1005）相接触。

优选地，在如上所述沉积导电金属材料之前，可以首先在接触孔1009和/或替代栅

孔1003'中形成一衬层(图中未示出)。例如,该衬层可以包括TiN、TiAlN、TaN、TaAlN、Ta和Ti中任一种或其组合。另外,可选地,该衬层可以形成为多层结构,例如TiN / TiAlN的双层结构等。衬层的厚度可以为2~10nm。然后,待如上所述沉积导电材料之后,进行平坦化,直至露出第一层间介质层1006。

- 5 优选地,该衬层可以用作功函数调节材料。此时,可以省略图6所示的沉积功函数调节层1007的步骤。在这种情况下,在形成了替代栅孔1003'和接触孔1009之后(参见图8,此时不存在功函数调节层1007),在半导体衬底上沉积衬层材料,从而该衬层材料位于接触孔1009中的部分(即,覆盖接触孔的底部和侧壁的部分)用作接触部的衬层,而位于替代栅孔1003'中的部分(即,覆盖替代栅孔的底部和侧壁的部分)用作
- 10 栅极的功函数调节层。

这样,就得到了根据本发明一个实施例的半导体器件。如图9所示,该半导体器件包括:半导体衬底1001;在半导体衬底上形成的晶体管结构,包括栅极区和源/漏区,栅极区包括栅极介质层1002和替代栅1003",源/漏区优选地包括硅化物层1005;在半导体衬底1001上形成的第一层间绝缘层1006,其中形成有与源/漏区(或源/漏区的硅化物层1005)相接触的第一源/漏区接触部1010。在该结构中,替代栅1003"与第一源/漏区接触部1010是由同一导电材料层(在同一步骤中由相同材料沉积而成)构成的。

15

在形成了该半导体器件之后,还可以进一步对其进行如下所述的处理,以便更好地实现与外部的接触。

如图10所示,在第一层间介质层1006上沉积第二层间介质层1011。例如,第二层间介质层1011可以包括未掺杂的氧化硅(SiO_2)、各种掺杂的氧化硅(如硼硅玻璃、硼磷硅玻璃等)和氮化硅(Si_3N_4)。由于之前(图9)所执行的平坦化工艺,第二层间介质层380具有平坦的上表面。

20

然后,如图11和12所示,例如采用光刻工艺,形成光刻胶掩模1012(图11),并执行光刻、去胶工艺,在第二层间介质层1011中与源/漏区以及栅极区相对应的位置处,形成接触孔1013,在接触孔的底部,暴露出第一源/漏区接触部1010和替代栅1003"(图12)。根据本发明的实施例,接触孔1013的宽度(图示水平宽度)约为20~150nm。

25

之后,如图13所示,在接触孔1013中填充导电材料,从而分别形成第二源/漏区接触部以及栅区接触部1014。例如,首先沉积一层导电材料,如Al、W、AlTi、Cu、TiN、TaN、Ti或Ta。然后,对所沉积的导电材料进行平坦化(如CMP);直至露出第二层间介质层1011。这样,就在接触孔1014中填充了导电材料。其中,第二源/漏区接触部1014

30

分别与其下方相应位置的第一源/漏区接触部1010相接触，栅区接触部1014与替代栅1003"相接触。

优选地，在如上所述沉积导电材料之前，可以首先在接触孔1013中形成一衬层（图中未示出）。例如，可以先沉积一预备衬层，然后对其进行处理（例如，选择性刻蚀），使得该预备衬层仅留在接触孔1013中，即覆盖接触孔1013的底部和侧壁。当然，在此为了简化工艺的目的，优选地，在沉积预备衬层之后，并不立即对其进行处理，而是将其原样保留。当随后在沉积了上接触部的导电材料之后进行平坦化（如CMP）时，可以一并去除位于接触孔1013外的预备衬层。

例如，该衬层可以包括TiN、TiAlN、TaN、TaAlN、Ta和Ti中任一种或其组合。另外，可选地，该衬层可以形成为多层结构，例如TiN / TiAlN的双层结构等。衬层的厚度可以为2~10nm。

最终，形成了如图13所示的根据本发明另一实施例的半导体器件结构。如图13所示，根据该实施例的半导体器件主要包括：半导体衬底1001；在半导体衬底上形成的晶体管结构，包括栅极区和源/漏区，栅极区包括栅极介质层1002和替代栅1003"，源/漏区优选地包括硅化物层1005；在半导体衬底1001上形成的第一层间绝缘层1006，其中形成有与源/漏区（或源/漏区的硅化物层1005）相接触的第一源/漏区接触部1010；以及在第一层间绝缘层1006上形成的第二层间介质层1011，其中形成有与第一源/漏区接触部相接触的第二源/漏区接触部1014以及与替代栅1003"相接触的栅区接触部1014。在该结构中，替代栅1003"与第一源/漏区接触部1010是在同一步骤中通过沉积相同的导电材料而形成的。

根据本发明的实施例，通过同一步骤来沉积替代栅和第一源/漏区接触部材料，从而简化了制造工艺，节省了工艺成本。而且，可以使用所沉积的接触部衬层的一部分来作为功函数调节金属，从而更易于对晶体管的开启电压 V_{th} 进行调节。

此外，由于第一源/漏区接触部和替代栅采用了相同的材料，使得后续的工艺及材料的选择更为简化，如上部接触孔的刻蚀、为了减小与下接触部之间的接触电阻对接触部衬层的选择等。例如，本领域普通技术人员可知，由于下部的第一接触部以及栅极金属为同一材料，相当于在上部接触孔的刻蚀中形成了相同的刻蚀停止层，因此将大大简化刻蚀工艺。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段，来形成所需形状的层、

区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

5 以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种制作半导体器件的方法，包括：
 - 5 提供半导体衬底；

在半导体衬底上形成晶体管结构，该晶体管结构包括栅极区以及源/漏区，所述栅极区包括在半导体衬底上形成的栅极介质层以及在栅极介质层上形成的牺牲栅；
沉积第一层间介质层，对所述第一层间介质层进行平坦化，以露出牺牲栅；
去除所述牺牲栅，形成替代栅孔；
 - 10 在第一层间介质层中与源/漏区相对应的位置形成第一接触孔；以及
在所述第一接触孔以及替代栅孔中填充第一导电材料，以形成第一接触部和替代栅，所述第一接触部与源/漏区相接触。
 2. 根据权利要求 1 所述的方法，在形成第一接触部和替代栅之后，还包括：
沉积第二层间介质层；
 - 15 在第二层间介质层中与所述第一接触部和替代栅相对应的位置形成第二接触孔；
在所述第二接触孔中填充第二导电材料，以形成第二接触部，所述第二接触部分别与第一接触部和替代栅相接触。
 3. 根据权利要求 1 所述的方法，其中，在形成替代栅孔之后，且在形成第一接触孔之前，该方法还包括：在所述替代栅孔中形成功函数调节层。
 - 20 4. 根据权利要求 3 所述的方法，其中，在形成第一接触孔之后，且在填充第一导电材料之前，该方法还包括：在所述第一接触孔中形成衬层。
 5. 根据权利要求 1 所述的方法，其中，在形成第一接触孔之后，且在填充第一导电材料之前，该方法还包括：在所述第一接触孔以及替代栅孔中形成衬层，所述衬层处于替代栅孔中的部分用作功函数调节材料。
 - 25 6. 根据权利要求 2 所述的方法，其中，在形成第二接触孔之后，且在填充第二导电材料之前，该方法还包括：在所述第二接触孔中形成衬层。
 7. 根据权利要求 1 至 6 中任一项所述的方法，其中，所述第一导电材料为 Ti、Al 或者二者的合金。
 8. 一种半导体器件，包括：
 - 30 半导体衬底；

在半导体衬底上形成的晶体管结构，该晶体管结构包括栅极区以及源/漏区，所述栅极区包括在半导体衬底上形成的栅极介质层以及在栅极介质层上形成的替代栅；

在半导体衬底上形成的第一层间介质层；以及

在第一层间介质层中与源/漏区相对应的位置形成的第一接触部，所述第一接触部
5 与源/漏区相接触，

其中所述第一接触部与替代栅由同一导电材料层构成。

9. 根据权利要求 8 所述的半导体器件，还包括：

在第一层间介质层上形成的第二层间介质层；以及

在第二层间介质层与第一接触部以及替代栅相对应的位置形成的第二接触部，所
10 述第二接触部分别与第一接触部和替代栅相接触。

10. 根据权利要求 8 所述的半导体器件，其中，所述替代栅的底部和侧壁由功函数调节层覆盖，所述第一接触部的底部和侧壁由衬层覆盖，所述功函数调节层和衬层分别由以下任一种或多种的材料组合形成：TiN、TiAlN、TaN、TaAlN、Ta 和 Ti。

11. 根据权利要求 10 所述的半导体器件，其中，所述功函数调节层和衬层的材料
15 相同。

12. 根据权利要求 8 至 11 中任一项所述的半导体器件，其中，形成所述第一接触部与替代栅的导电材料为 Ti、Al 或者二者的合金。

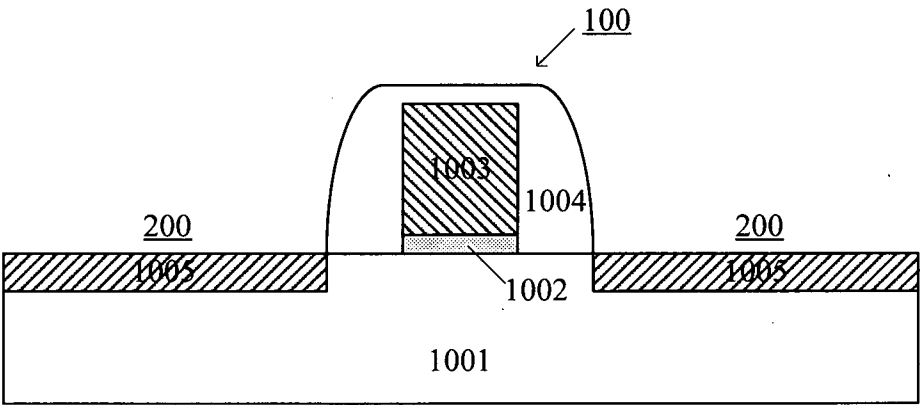


图 1

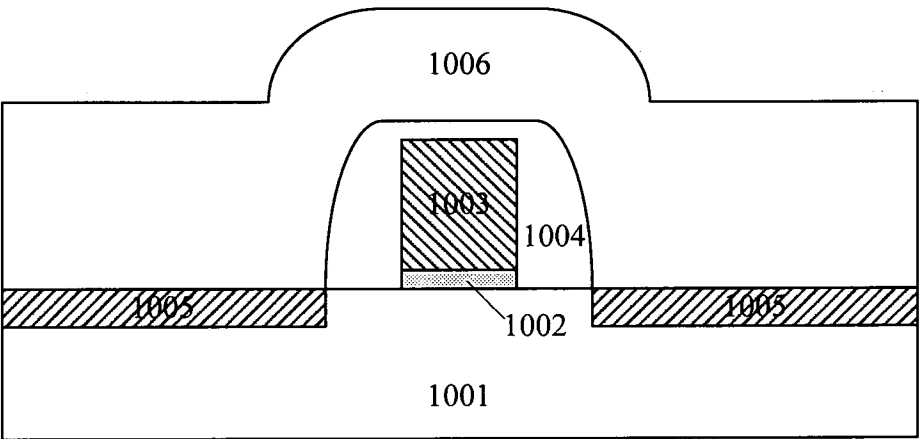


图 2

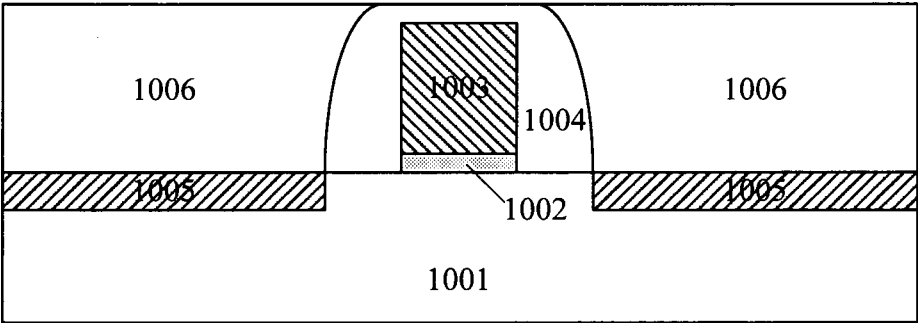


图 3

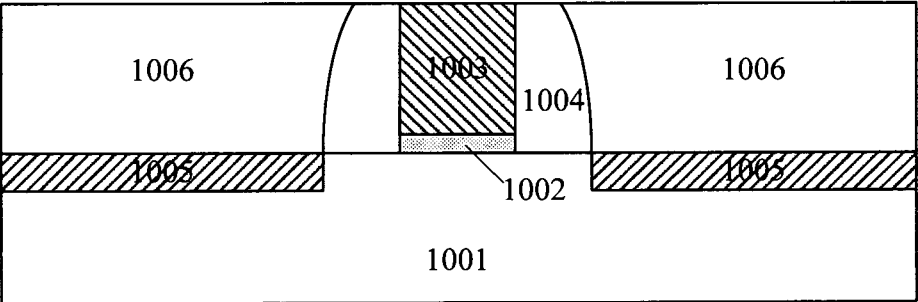


图 4

3/7

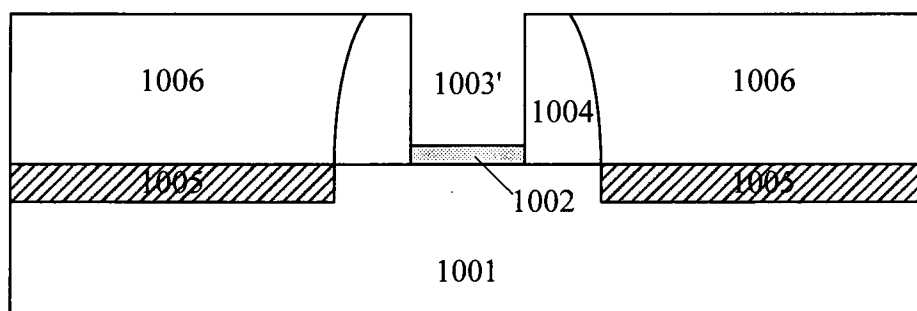


图 5

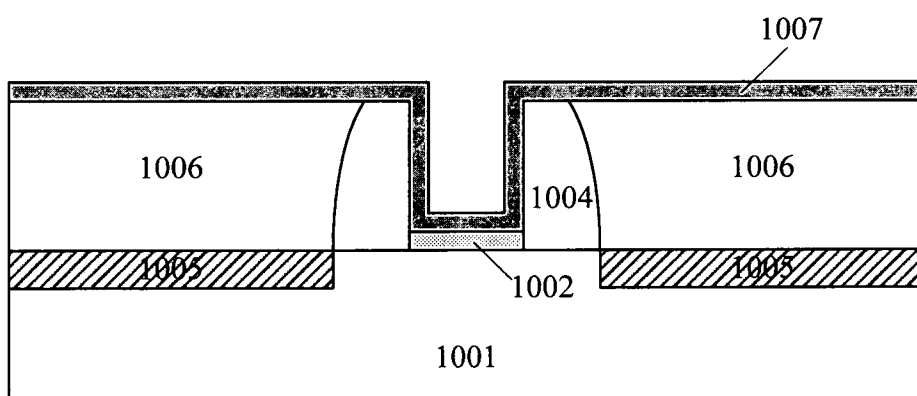


图 6

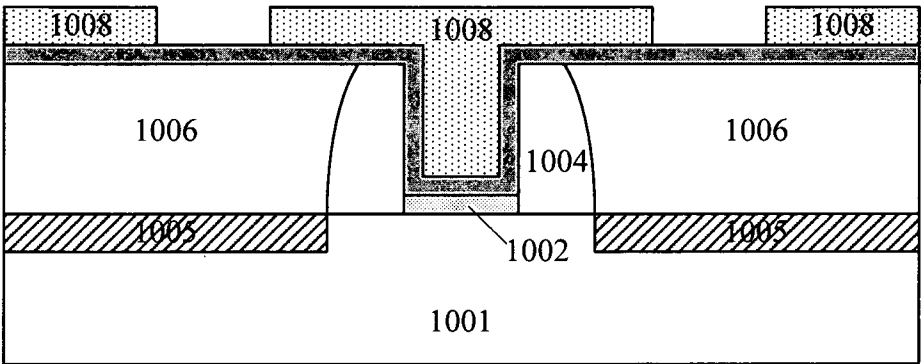


图 7

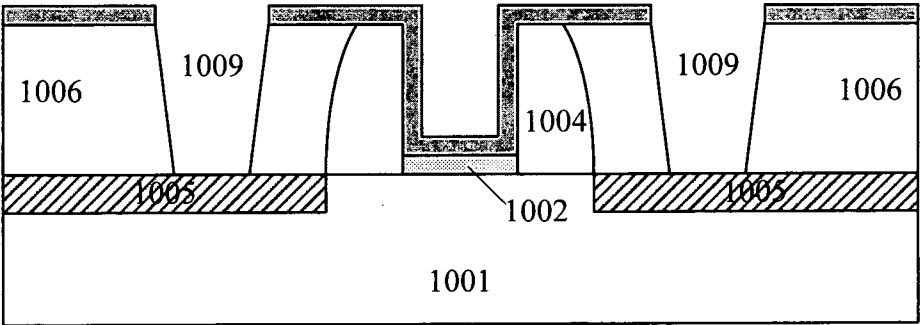


图 8

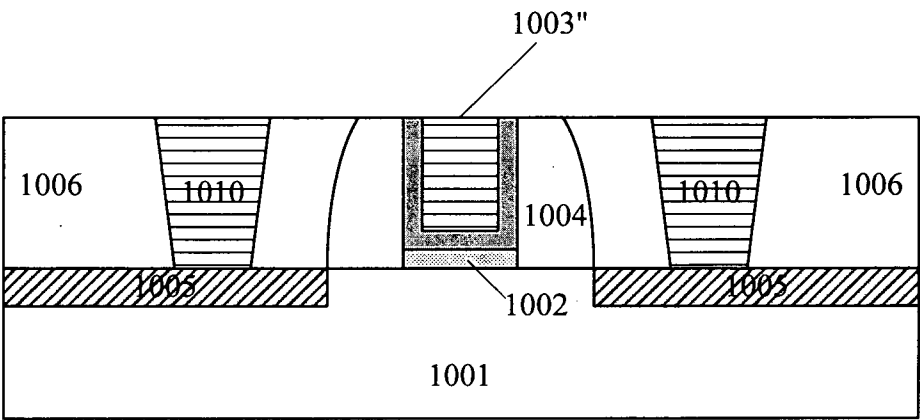


图 9

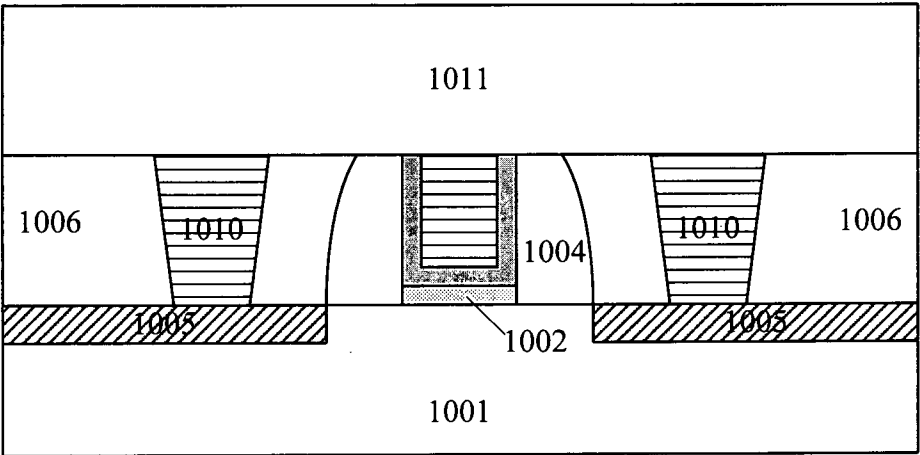


图 10

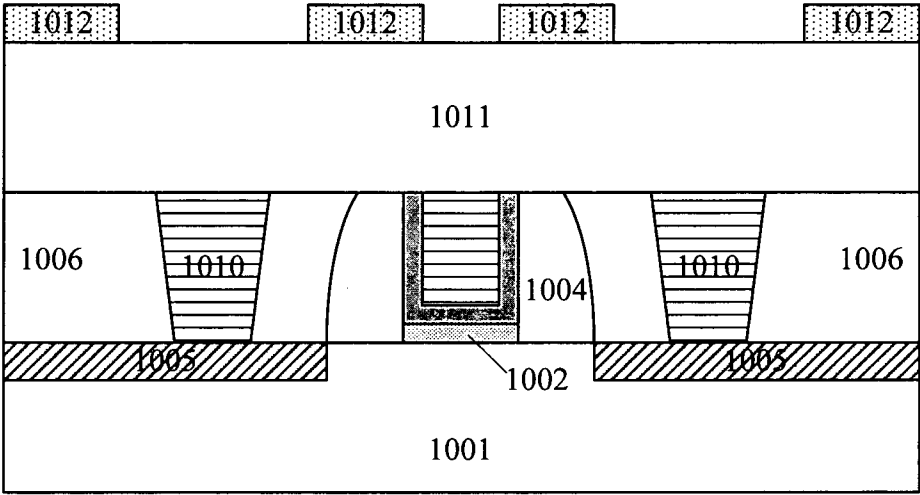


图 11

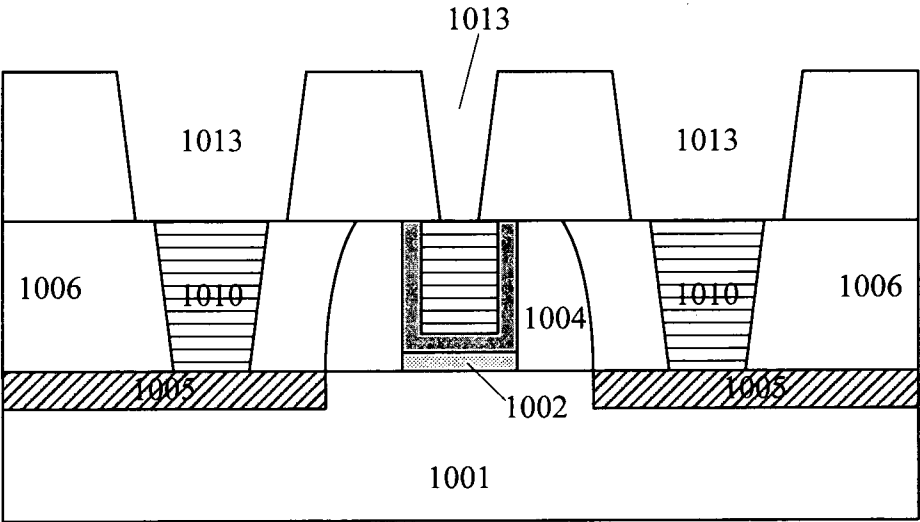


图 12

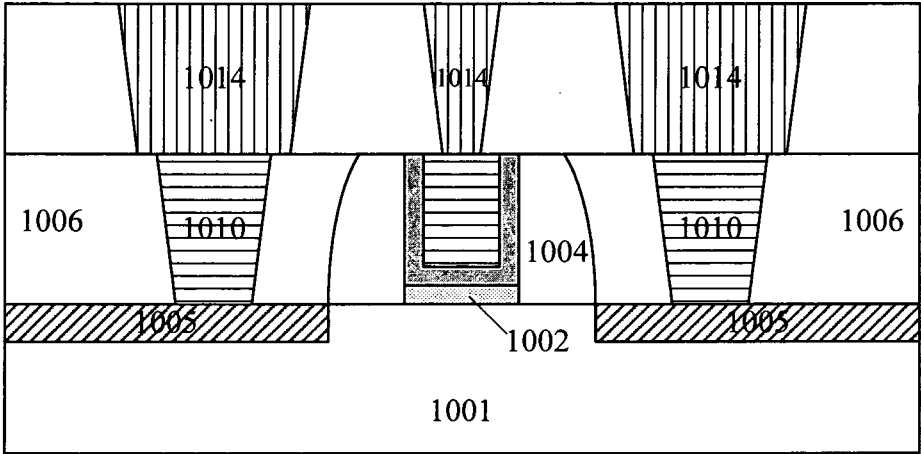


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001419

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS,CNKI,WPI,EPODOC: gate source drain dummy sacrificial contact replace hole trench opening window

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2002142531A1 (Hsu.et al) 3 Oct.2002 (03.10.2002) [0014]-[0021] of the description figs.2-5	1, 3-5, 7-8, 10-12
Y		2, 6, 9
Y	JP2007-141905A (RENESAS TECHNOLOGY KK) 7 Jun.2007 (07.06.2007) [0017] of the description, figs.1,12	2, 6, 9
A	CN1130762C (IBM CORP) 10 Dec.2003 (10.12.2003) The whole document	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 Dec.2010 (30.12.2010)	Date of mailing of the international search report 20 Jan. 2011 (20.01.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer ZHONG Yi Telephone No. (86-10)62411594

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/001419

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2002142531A1	03.10.2002	JP2002329866A	15.11.2002
		KR20020077160A	11.10.2002
		KR100407385B	28.11.2003
		TW305008B1	01.01.2009
JP2007141905A	07.06.2007	NONE	
CN1130762C	10.12.2003	CN1219761A	16.06.1999
		US5955759A	21.09.1999
		SG70139A1	25.01.2000
		KR19990063050A	26.07.1999
		TW442918A	23.06.2001
		KR100278436B	01.02.2001

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001419

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/331 (2006.01) i

H01L21/336 (2006.01) i

H01L29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2010/001419

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS,WPI,EPODOC,CNKI:伪栅 牺牲栅 替代栅 接触 孔 源 漏 导电 dummy gate source drain contact hole opening trench window

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2002142531A1 (Hsu 等) 03.10 月 2002 (03.10.2002) 说明书第[0014]-[0021], 附图 2-5	1, 3-5, 7-8, 10-12
Y		2, 6, 9
Y	JP2007141905A (瑞萨电子株式会社) 07.6 月 2007 (07.06.2007) 说明书第[0017], 附图 1, 12	2, 6, 9
A	CN1130762C (国际商业机器公司) 10.12 月 2003 (10.12.2003) 全文	1-12

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
30.12 月 2010 (30.12.2010)

国际检索报告邮寄日期
20.1 月 2011 (20.01.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

钟翊
电话号码: (86-10) 62411594

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/001419

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2002142531A1	03.10.2002	JP2002329866A	15.11.2002
		KR20020077160A	11.10.2002
		KR100407385B	28.11.2003
		TW305008B1	01.01.2009
JP2007141905A	07.06.2007	无	
CN1130762C	10.12.2003	CN1219761A	16.06.1999
		US5955759A	21.09.1999
		SG70139A1	25.01.2000
		KR19990063050A	26.07.1999
		TW442918A	23.06.2001
		KR100278436B	01.02.2001

A. 主题的分类

H01L21/331 (2006.01) i

H01L21/336 (2006.01) i

H01L29/78 (2006.01) i