

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

WO 2017/200199 A1

2017 년 11 월 23 일 (23.11.2017) WIPO | PCT

(51) 국제특허분류:
B81C 1/00 (2006.01)

(21) 국제출원번호: PCT/KR2017/003406

(22) 국제출원일: 2017 년 3 월 29 일 (29.03.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0060050 2016 년 5 월 17 일 (17.05.2016) KR

(71) 출원인: 한국과학기술원 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) [KR/KR]; 34141 대전시 유성구 대학로 291(구성동), Daejeon (KR).

(72) 발명자: 오재섭 (OH, Jae Sub); 35217 대전시 서구 월평동로 45 진달래아파트 109-106, Daejeon (KR). 이완규 (LEE, Wan Gyu); 04914 서울시 광진구 긴고량로10길 9

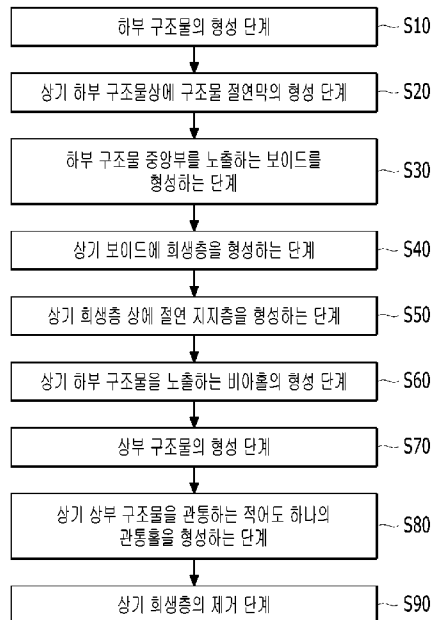
드림빌 501, Seoul (KR). 강민호 (KANG, Min Ho); 34140 대전시 유성구 어은로 57 한빛아파트 102-1803, Daejeon (KR).

(74) 대리인: 조경화 (JO, Kyeong Hwa); 06184 서울시 강남구 테헤란로 88길 22 (대치동, 한림빌딩3층), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: MEMS DEVICE MANUFACTURING METHOD AND MEMS DEVICE MANUFACTURED THEREBY

(54) 발명의 명칭: 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스



S10 ... Step of forming lower structure
S20 ... Step of forming structure insulator on lower structure
S30 ... Step of forming void by which central part of lower structure is exposed
S40 ... Step of forming sacrificial layer in void
S50 ... Step of forming insulation support layer on sacrificial layer
S60 ... Step of forming via hole through which lower structure is exposed
S70 ... Step of forming upper structure
S80 ... Step of forming at least one through-hole penetrating upper structure
S90 ... Step of removing sacrificial layer

(57) Abstract: The present invention relates to a MEMS device manufacturing method and a MEMS device manufactured thereby and, more specifically, to a MEMS device manufacturing method and a MEMS device manufactured thereby, the method: depositing a sacrificial layer after forming a void pattern by using a structure insulator, such that conventional peeling of a lower electrode never occurs because of a CMOS compatible step; enabling planarization without being influenced by a lower pattern according to the spin deposition using the spin on insulator (SOD) or the spin on glass (SOG); and enabling contamination to be fundamentally prevented in a follow-up deposition step by further performing a cleaning step during the formation of a via hole.

[다음 쪽 계속]

WO 2017/200199 A1

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스에 관한 것으로, 보다 상세하게는 구조물 절연막을 이용한 보이드 패턴의 형성 후, 희생층을 증착함으로써, CMOS 호환성 있는 공정에 의해 종래와 같은 하부 전극의 박리 현상이 전혀 발생되지 않으며, 스피ن 온 절연막(SOD) 또는 스피น 온 글래스(SOG)를 통한 스피ن 증착에 따라 하부 패턴에 영향을 받지 않으면서 평탄화가 가능하며, 비아홀의 형성시, 클리닝(cleaning) 공정을 더 수행하여 후속 증착 공정에서의 오염을 원천적으로 방지할 수 있는 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스에 관한 것이다.

명세서

발명의 명칭: 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스

기술분야

- [1] 본 발명은 멤스 디바이스 제조 방법에 관한 것으로, 보다 상세하게는 멤스(MEMS: Micro Electro Mechanical Systems) 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스에 관한 것이다.

배경기술

- [2] 일반적으로 멤스 디바이스는 기계요소 부품, 센서, 액추에이터, 전자 회로를 하나의 실리콘 기판상에 집적화한 디바이스를 가리키며, 현재 제품으로서 시판되고 있는 것으로서는 프린터 헤드, 압력 센서, 가속도 센서, 자이로스코프, DMD(프로젝터) 등이 있다.
- [3] 주요 부분은 반도체 프로세스를 이용해 제작되지만 반도체 집적회로가 평면을 가공하는 프로세스로 제작되는 데 대해 입체 형상을 형성할 필요가 있어 반도체 집적회로의 제작에는 사용되지 않는 희생층(sacrificial layer) 식각으로 불리는 프로세스가 포함된다. 이 프로세스는 실리콘 기판 위에 희생층과 구조물 박막을 사용하여 구조물의 모양을 패터닝하고, 희생층을 제거하여 구조물을 제작하는 방법이다. 이러한 하부 전극 또는 하부 구조물과 상부 구조물 사이의 공간을 일정하게 유지시켜 주기 위한 희생층으로 비정질 탄소막(ACL)을 사용하고 있다.
- [4] 그러나 이러한 종래의 MEMS 디바이스 제작에 있어서 희생층으로 비정질탄소막(ACL)을 사용하는 경우, 비정질탄소막이 하부 구조물의 하부 전극과의 접착력(adhesion)이 좋지 않아 박리(peeling)가 발생하는 문제가 있을 뿐만 아니라, 상기 비정질탄소막을 식각하여 비아홀을 형성한 후, 클리닝(Cleaing)공정을 적용하기 어려워 식각 공정에서 오염에 따른 공정 불량 발생되는 문제점이 있었다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명은 상기와 같은 문제점을 감안하여 안출한 것으로, 본 발명의 목적은 CMOS 호환성 있는 공정에 의해 종래와 같은 하부 전극의 박리 현상이 발생되지 않는 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스를 제공하는 것이다.
- [6] 본 발명의 다른 목적은 스핀 온 절연막(SOD) 또는 스핀 온 글래스(SOG)를 통한 스핀 증착에 따라 하부 패턴에 영향을 받지 않으면서 평탄화가 가능한 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스를 제공하는 것이다.
- [7] 본 발명의 또 다른 목적은 비아홀의 형성 후, 클리닝(cleaning) 공정 및 평탄화를 수행함으로써, 후속 증착 공정에서의 오염을 원천적으로 방지할 수 있는 멤스

디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스를 제공하는 것이다.

과제 해결 수단

- [8] 상기 목적들을 달성하기 위한 본 발명의 일실시예에 따른 멤스 디바이스 제조 방법은, 하부 전극 및 반사층을 구비하는 하부 구조물을 형성하는 단계; 상기 하부 구조물 상에 구조물 절연막을 형성하는 단계; 상기 구조물 절연막을 식각하여 상기 하부 구조물의 반사층을 노출하는 보이드를 형성하는 단계; 상기 보이드 내측에 희생층을 형성하는 단계; 상기 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하는 비아홀을 형성하는 단계; 상기 비아홀이 형성되는 상기 희생층 상에 센서 구조를 포함하는 상부 구조물을 형성하는 단계; 상기 상부 구조물을 관통하는 적어도 하나의 관통홀을 형성하는 단계; 및 상기 하부 구조물과 상기 상부 구조물이 서로 이격되어 배치되도록 상기 관통홀을 통해서 상기 희생층을 제거하는 단계;를 포함하여 이루어지는 것을 특징으로 한다.
- [9] 또한, 상기 구조물 절연막을 형성하는 단계는 고밀도 플라즈마(HDP) 화학 증착법 또는 화학기상증착법(CVD)을 이용하여 이루어짐이 바람직하다.
- [10] 또한, 상기 희생층을 형성하는 단계에서는, 스핀 온 절연막(SOD) 또는 스핀 온 글래스(SOG)를 이용하여 스핀 증착하여 상기 희생층을 형성함이 바람직하다.
- [11] 또한, 상기 희생층을 제거하는 단계에서는, 습식 식각을 이용하여 상기 희생층을 식각함이 바람직하다.
- [12] 또한, 상기 희생층을 형성한 후에 상기 희생층 상에 절연 지지층을 형성하는 단계를 더 포함함이 바람직하다.
- [13] 또한, 상기 비아홀을 형성하는 단계에서는, 상기 절연 지지층 상에 식각 보호막을 형성하고 상기 절연 지지층 및 상기 희생층을 식각하여, 상기 절연 지지층 및 상기 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하여 상기 비아홀을 형성함이 바람직하다.
- [14] 또한, 상기 비아홀의 형성시, 클리닝(cleaning) 공정을 더 수행함이 바람직하다.
- [15] 또한, 상기 하부 구조물은 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함함이 바람직하다.
- [16] 또한, 상기 상부 구조물은, 적외선을 흡수할 수 있는 금속층; 및 상기 금속층을 통하여 전달되는 열에 따라 저항이 가변되는 저항 소자 물질층을 포함하여 이루어짐이 바람직하다.
- [17] 또한, 상기 저항 소자 물질층은 적외선 센서, 자외선 센서, 엑스선 센서, 또는 레이저 센서일 수 있다.
- [18] 또한, 상기 희생층을 형성하는 단계에서는, 상기 구조물 절연막 및 상기 보이드 상측에도 희생층을 더 형성함이 바람직하다.
- [19] 또한, 상기 하부 전극이 상기 구조물 절연막의 내측에 형성됨이 바람직하다.
- [20] 상기 목적들을 달성하기 위한 본 발명의 다른 일실시예에 따른 멤스 디바이스

제조 방법은, 하부 전극 및 반사층을 구비하는 하부 구조물을 형성하는 단계; 상기 하부 구조물 상에 구조물 절연막을 형성하는 단계; 상기 구조물 절연막을 식각하여 상기 하부 구조물의 반사층을 노출하는 보이드를 형성하는 단계; 상기 보이드 내측 및 상기 구조물 절연막 상측에 제 1 희생층을 형성하는 단계; 상기 제 1 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하는 제 1 비아홀을 형성하는 단계; 상기 제 1 비아홀이 형성되는 상기 제 1 희생층 상에 센서 구조를 포함하는 제 1 상부 구조물을 형성하는 단계; 상기 제 1 상부 구조물을 관통하는 적어도 하나의 제 1 관통홀을 형성하는 단계; 상기 제 1 관통홀을 구비한 제 1 상부 구조물 상에 제 2 희생층을 형성하는 단계; 상기 제 2 희생층을 관통하여 상기 하부 구조물의 다른 하부 전극을 노출하는 제 2 비아홀을 형성하는 단계; 상기 제 2 비아홀이 형성되는 상기 제 2 희생층 상에 센서 구조를 포함하는 제 2 상부 구조물을 형성하는 단계; 상기 제 2 상부 구조물을 관통하는 적어도 하나의 제 2 관통홀을 형성하는 단계; 상기 하부 구조물, 상기 제 1 상부 구조물, 및 상기 제 2 상부 구조물이 서로 이격되어 배치되도록 상기 제 1 및 제 2 관통홀을 통해서 상기 제 1 및 제 2 희생층을 제거하는 단계;를 포함하여 이루어지는 것을 특징으로 한다.

- [21] 또한, 상기 구조물 절연막을 형성하는 단계는 고밀도 플라즈마(HDP) 화학 증착법 또는 화학기상증착법(CVD)을 이용하여 이루어짐이 바람직하다.
- [22] 또한, 상기 제 1 및 제 2 희생층을 형성하는 단계에서는, 스핀 온 절연막(SOD) 또는 스핀 온 글래스(SOG)를 이용하여 스핀 증착(spinfil)하여 상기 제 1 및 제 2 희생층을 형성함이 바람직하다.
- [23] 또한, 상기 제 1 및 제 2 희생층을 제거하는 단계에서는, 습식 식각을 이용하여 상기 희생층을 식각함이 바람직하다.
- [24] 또한, 상기 제 1 및 제 2 희생층을 형성한 후에 상기 제 1 및 제 2 희생층 상에 각각 제 1 및 제 2 절연 지지층을 형성하는 단계를 더 포함함이 바람직하다.
- [25] 또한, 상기 제 1 비아홀을 형성하는 단계에서는, 상기 제 1 절연 지지층 상에 식각 보호막을 형성하고 상기 제 1 절연 지지층 및 상기 제 1 희생층을 식각하여, 상기 제 1 절연 지지층 및 상기 제 1 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하여 상기 제 1 비아홀을 형성하고, 상기 제 2 비아홀의 형성 단계에서는, 상기 제 2 절연 지지층 상에 식각 보호막을 형성하고 상기 제 2 절연 지지층, 상기 제 2 희생층, 상기 제 1 희생층, 및 구조물 절연막을 식각하여, 상기 제 2 절연 지지층과 상기 제 1 및 제 2 희생층을 관통하여 상기 하부 구조물을 노출하는 제 2 비아홀을 형성함이 바람직하다.
- [26] 또한, 상기 제 1 및 제 2 비아홀의 형성시, 클리닝(cleaning) 공정을 더 수행함이 바람직하다.
- [27] 또한, 상기 하부 구조물은 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함함이 바람직하다.
- [28] 또한, 상기 제 1 및 제 2 상부 구조물은, 적외선을 흡수할 수 있는 금속층; 및

상기 금속층을 통하여 전달되는 열에 따라 저항이 가변되는 저항 소자 물질층을 포함하여 이루어짐이 바람직하다.

[29] 또한, 상기 저항 소자 물질층은 적외선 센서, 자외선 센서, 엑스선 센서, 또는 레이저 센서일 수 있다.

[30] 아울러, 상기한 제조방법에 의해 제조되는 멤스 디바이스를 제공한다.

발명의 효과

[31] 상술한 본 발명에 따른 멤스 디바이스 제조 방법 및 이에 의해 제조되는 멤스 디바이스에 의하면, 구조물 절연막을 이용한 보이드 패턴의 형성 후, 희생층을 증착함으로써, CMOS 호환성 있는 공정에 의해 종래와 같은 하부 전극의 박리 현상이 전혀 발생되지 않는 효과가 있다.

[32] 또한, 스�핀 온 절연막(SOD) 또는 스�핀 온 글래스(SOG)를 통한 스�핀 증착에 따라 하부 패턴에 영향을 받지 않으면서 평탄화가 가능한 장점도 있다.

[33] 또한, 비아홀의 형성시, 클리닝(cleaning) 공정을 더 수행하여 후속 증착 공정에서의 오염을 원천적으로 방지할 수 있는 장점도 있다.

[34] 또한, 구조물 절연막(실리콘 산화막, 실리콘 질화막)과의 습식 선택비가 있는 희생층(SOD 또는 SOG)을 적용함으로써, 비용이 저렴하면서도 원하는 물질만을 용이하게 식각할 수 있는 장점도 있다.

도면의 간단한 설명

[35] 도 1은 본 발명의 일 실시예에 따른 멤스 디바이스 제조 방법을 나타내는 순서도이다.

[36] 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 멤스 디바이스 제조 방법을 순차적으로 나타내는 공정도들이다.

[37] 도 3은 본 발명의 다른 일 실시예에 따른 멤스 디바이스 제조 방법을 나타내는 순서도이다.

[38] 도 4a 내지 도 4j는 본 발명의 다른 일 실시예에 따른 멤스 디바이스 제조 방법을 순차적으로 나타내는 공정도들이다.

발명의 실시를 위한 형태

[39] 본 발명은 그 기술적 사상 또는 주요한 특징으로부터 벗어남이 없이 다른 여러가지 형태로 실시될 수 있다. 따라서, 본 발명의 실시예들은 모든 점에서 단순한 예시에 지나지 않으며 한정적으로 해석되어서는 안 된다.

[40] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다.

[41] 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

[42] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고

언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

- [43] 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [44] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [45] 본 출원에서, "포함하다" 또는 "구비하다", "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [46] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.
- [47] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [48] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조로 하여 상세히 설명하기로 한다.
- [49] 도 1은 본 발명의 일 실시예에 따른 멤스 디바이스 제조 방법을 나타내는 순서도이고, 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 멤스 디바이스 제조 방법을 순차적으로 나타내는 공정도들이다.
- [50] 먼저, 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 멤스 디바이스 제조 방법은, 하부 구조물의 형성 단계(S10), 상기 하부 구조물 상에 구조물 절연막의 형성 단계(S20), 하부 구조물 중앙부를 노출하는 보이드를 형성하는 단계(S30); 상기 보이드에 희생층을 형성하는 단계(S40); 상기 희생층 상에 절연 지지층을 형성하는 단계(S50); 상기 하부 구조물을 노출하는 비아홀의 형성 단계(S60); 상부 구조물의 형성 단계(S70); 상기 상부 구조물을 관통하는 적어도 하나의 관통홀을 형성하는 단계(S80); 및 상기 희생층의 제거 단계(S90);를 포함하여 이루어진다.
- [51] 상기 하부 구조물의 형성 단계(S10)는, 도 2a에 도시된 바와 같이, 적절한 로직회로, 예컨대 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함하는 하부 구조물(10)을 제공할 수 있다.

- [52] 상기 하부 구조물(10)은, 기판 상에 CMOS 소자를 형성하여 제조할 수 있다.
- [53] 즉, 상기 하부 구조물(10)은 기판 상의 절연층(11) 및 절연층(11) 상의 하부 전극(12) 및 반사층(13)을 더 포함할 수 있다. 상기 하부 전극(12) 및 반사층(13)은 상기 절연층(11) 상에 돌출되게 형성되거나, 또는 상기 절연층 내에 트렌치 패턴을 형성한 후, 이를 금속층으로 매립하여 형성할 수도 있다.
- [54] 여기서, 상기 하부 전극(12)은 판독집적회로 소자와 메모리 소자를 전기적으로 연결하는 데 이용될 수 있다. 상기 반사층(13)은 하부 구조체(10)에 입사되는 빛을 반사시키는 데 이용될 수 있다.
- [55] 상기 하부 구조물 상에 구조물 절연막의 형성 단계(S20)에서는, 도 2b에 도시된 바와 같이, 상기 하부 구조물(10) 상에 구조물 절연막(20)을 형성하게 된다.
- [56] 즉, 상기 구조물 절연막(20)은 고밀도 플라즈마(HDP) 화학 증착법 또는 화학기상증착법(CVD)을 이용하여 하부 구조물(10) 상에 증착할 수 있다. 상기 구조물 절연막은 산화막 및 질화막을 포함할 수 있다. 상기 구조물 절연막의 두께는 2 μm 범위가 바람직하나, 본 발명에 있어 그 두께를 한정하는 것은 아니다.
- [57] 한편, 도시된 예에서는, 구조물 절연막(20)의 하측에 하부 구조물(10)의 하부 전극(12)이 형성된 예를 나타내고 있으나, 기판(예를 들면 스위치 기판)의 하부 전극이 구조물 절연막(20)의 내측에 형성된 구조도 가능함은 물론이다.
- [58] 이어서, 상기 하부 구조물 중앙부를 노출하는 보이드를 형성하는 단계(S30)에서는, 도 2b에 도시된 바와 같이, 상기 구조물 절연막(20) 중앙부를 식각하여 하부 구조물 중앙부의 반사층(13)을 노출하는 보이드(21)를 형성하게 된다.
- [59] 즉, 상기 구조물 절연막(20)을 패터닝하여 중앙에 보이드(21)를 갖는 구조물 절연막 층을 형성할 수 있다. 예를 들어, 보이드(21)는 포토리소그래피를 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 구조물 절연막(20) 중앙부를 식각하여 형성할 수 있다.
- [60] 이때, 보이드(21)는 하부 구조물 중앙부(13)를 노출하도록 형성될 수 있다.
- [61] 상기 보이드에 희생층을 형성하는 단계(S40)에서는, 도 2c에 도시된 바와 같이, 상기 구조물 절연막(20) 상측 및 상기 보이드(21)에 희생층(30)으로서 스핀 온 절연막(SOD) 또는 스핀 온 글래스(SOG)를 통해 스핀 증착(spinfil)하여 형성될 수 있다.
- [62] 즉, 상기 희생층(30)은 스핀 온 절연막(SOD) 또는 스핀 온 글래스(SOG)에 의해 스핀필(spinfil) 될 있다.
- [63] 이러한 희생층(30)의 형성 공정은 반도체 소자의 금속 배선 공정 등과 같은 후공정(back-end process)과 양립 가능하게 수행할 수 있다. 즉, 희생층(30)은 MEMS 공정이 아닌 기존 반도체 소자 제조 시 이용되는 후공정을 이용하여 형성할 수 있다. 따라서, 하부 구조물(10)의 형성에 이어서 기존 반도체 후공정에서 사용하는 대부분의 공정 기술들을 그대로 적용하여 희생층(30) 및

이후 금속 공정을 진행할 수 있게 되어 제조 단가를 낮출 수 있고 대량 생산이 용이 해진다.

- [64] 한편, 도시된 예와 같이, 상기 희생층(30)은 보이드(21) 내부에 충전될 뿐만 아니라, 상기 구조물 절연막(20) 상측에도 형성된 예를 나타내고 있으나, 보이드(21) 내부에만 충전되어 후술하는 절연 지지층(40)과 구조물 절연막(20)이 바로 접촉할 수 있는 구조도 가능함은 물론이다.
- [65] 이어서, 상기 희생층 상에 절연 지지층을 형성하는 단계(S50)에서는, 도 2c에 도시된 바와 같이, 상기 희생층(30) 상에 절연 지지층(40)을 형성하게 된다.
- [66] 상기 절연 지지층(40)은 구조물을 지지하기 위한 것으로 통상 화학기상증착법(CVD), 물리적증착법(PVD) 또는 원자층증착법(ALD) 등을 이용하여 산화막 또는 질화막으로 생성할 수 있다.
- [67] 상기 절연 지지층(40)의 두께는 150nm 범위가 바람직하나, 본 발명에 있어 그 두께는 상대적인 것으로 그 수치를 한정하는 것은 아니다.
- [68] 상기 하부 구조물을 노출하는 비아홀의 형성 단계(S60)에서는, 도 2d에 도시된 바와 같이, 상기 절연 지지층(40) 상에 식각 보호막을 형성하고 상기 절연 지지층(40) 및 상기 희생층(30)을 식각하여, 상기 절연 지지층(40) 및 상기 희생층(30)을 관통하여 상기 하부 구조물(10)을 노출하는 비아홀(50)을 형성하게 된다.
- [69] 즉, 상기 비아홀(50)은 포토리소그래피를 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 절연 지지층(40) 및 희생층(30)을 식각하여 형성할 수 있다. 예를 들어, 비아홀(50)은 하부 전극들(12)을 노출하도록 형성될 수 있고, 이후 하부 전극들(12)을 상부 구조물과 연결하는 통로로 이용될 수 있다.
- [70] 여기서, 비아홀(50)을 통해서 하부 전극(12)과 연결되도록 금속 앵커(미도시)를 형성할 수 있다. 즉, 비아홀(50)에 의해서 노출된 하부 전극(12) 상에 CVD법을 이용하여 금속층을 형성하고, 평탄화 혹은 이를 패터닝함으로써 금속 앵커를 형성할 수 있다. 이러한 금속층으로는 예컨대, 텅스텐(W)층을 들 수 있다. 이러한 금속 앵커는 하부 전극(12)을 상부 구조물과 전기적으로 연결하는 비어 플러그들로 이용될 수 있다.
- [71] 여기서, 상기 비아홀(50)의 형성시, 클리닝(cleaning) 공정을 수행하여 후속 증착 공정에서의 오염을 방지할 수 있게 된다.
- [72] 상기 상부 구조물의 형성 단계(S70)에서는, 도 2e에 도시된 바와 같이, 상기 비아홀(50)이 형성된 절연 지지층(40) 상에 상부 구조물(60)을 형성할 수 있다.
- [73] 즉, 절연 지지층(40)과 상기 절연 지지층을 관통하여 형성된 비아홀(50) 상측을 균일하게 커버하도록 흡수층(61)을 형성한 후에, 흡수층(61) 상에 저항 소자 물질층(62)을 형성하여 상부 구조물(60)을 형성한다.
- [74] 상기 흡수층(61)은 적외선을 흡수할 수 있는 금속층이며, 저항 소자 물질층(62)은 흡수층을 통하여 전달되는 열에 따라 저항이 가변되는 물질을

포함하는 박막층일 수 있다.

- [75] 상기 저항 소자 물질층(62)은 MEMS 구조에 이용되는 다양한 센서를 포함할 수 있으며, 예컨대 적외선 센서, 자외선 센서, 엑스선 센서, 레이저 센서 등을 포함할 수 있다. 예를 들어, 적외선 센서의 경우, 저항소자, 열전소자 등을 포함할 수 있다. 저항소자를 포함하는 볼로미터(bolometer)의 경우, 흡수되는 적외선 정도에 따라서 저항이 가변되는 물질, 예컨대 비정질 실리콘, 바나듐 산화물 등을 포함할 수 있다.
- [76] 상기 저항 소자 물질층(62) 상에 절연 지지층(63)을 형성한다. 흡수층(61) 및 저항 소자 물질층(62)의 상하로 배치된 절연 지지층(40, 63)은 기계적 강도를 확보할 수 있는 지지층의 역할도 담당할 수 있다. 상기 절연 지지층(63)은 구조물 지지를 위한 질화막 또는 산화막을 포함할 수 있다.
- [77] 여기서, 상기 흡수층(61), 상기 저항 소자 물질층(62), 및 상기 절연 지지층의 두께는 각각 15nm, 100nm, 및 150nm 정도이나, 본 발명에 있어 그 두께의 크기는 상대적인 것일 뿐 그 수치를 한정하는 것은 아니다.
- [78] 상기 상부 구조물을 관통하는 적어도 하나의 관통홀을 형성하는 단계(S80)에서는, 도 2f에 도시된 바와 같이, 절연 지지층(30, 63), 흡수층(61), 센서 구조로서의 저항 소자 물질층(62)을 관통하는 다수의 관통홀(70)을 형성할 수 있다.
- [79] 예를 들어, 상기 관통홀(70)은 포토리소그래피 기술을 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 절연 지지층(30, 63), 센서 구조로서의 저항 소자 물질층(62), 흡수층(61)을 식각하여 형성할 수 있다.
- [80] 상기 관통홀(70)의 개수는 회생층(30)의 식각 속도를 고려하여 하나 또는 그 이상의 범위에서 적절하게 선택될 수 있다. 관통홀(70)의 형상은 다양하게 변형될 수 있고, 관통홀(70)에 의해서 캔틸레버(cantilever) 패턴이 구현될 수 있다.
- [81] 상기 회생층의 제거 단계(S90)에서는, 도 2f에 역시 도시된 바와 같이, 상기 관통홀(70)을 통해서 회생층(30)을 제거하여 빈 공간(80)을 한정할 수 있다. 이러한 빈 공간(80)은 적외선이 반사층(13)을 통해서 반사하여 다시 센서 구조로서의 저항 소자 물질층(62)으로 입사되게 함으로써, 적외선 흡수효율을 높이는 데 기여할 수 있다.
- [82] 예를 들어, 회생층(30)이 SOD 또는 SOG 인 경우, 습식 식각을 이용하여 회생층(30)을 식각함이 바람직하다. 이로 인해 비용이 저렴하면서도 구조물 절연막인 산화막 또는 질화막과의 습식 선택비가 우수하여 원하는 물질만 식각할 수 있는 장점이 있다.
- [83] 이와 같이 형성된 MEMS 디바이스는 하부 구조물(10), 구조물 절연막(20), 및 센서 구조인 저항 소자 물질층(62)을 포함하는 상부 구조물(60)을 포함할 수 있다. 하부 구조물(10)의 반사층(13), 구조물 절연막(20), 및 상부 구조물(60)

- 사이에는 희생층(30)이 제거된 빈 공간(80)이 한정될 수 있다.
- [84] 또한, 구조물 절연막(20) 상에 이격된 상부 구조물(60) 가장 자리부분도 식각하여 빈공간을 형성할 수 있다.
- [85] 상기 저항 소자 물질층(62)은 비아홀(50)의 금속 앵커(미도시)를 통해서 하부 전극(12)에 전기적으로 연결될 수 있다. 이에 따라, 센서 구조인 저항 소자 물질층(62)과 하부 구조물(10)의 로직회로, 예컨대 판독집적회로가 서로 구조적으로 연결되어 MEMS 디바이스를 구성할 수 있다. 이러한 MEMS 디바이스는 다양한 센서 구조를 포함할 수 있으며, 예컨대 적외선 센서, 자외선 센서, 엑스선 센서, 레이저 센서 등을 포함할 수 있다.
- [86] 도 3은 본 발명의 다른 일 실시예에 따른 멤스 디바이스 제조 방법을 나타내는 순서도이고, 도 4a 내지 도 4j는 본 발명의 다른 일 실시예에 따른 멤스 디바이스 제조 방법을 순차적으로 나타내는 공정도들이다.
- [87] 먼저, 도 3에 도시된 바와 같이, 본 발명의 다른 일 실시예에 따른 멤스 디바이스 제조 방법은, 하부 구조물의 형성 단계(S110), 상기 하부 구조물 상에 구조물 절연막의 형성 단계(S120), 하부 구조물 중앙부를 노출하는 보이드를 형성하는 단계(S130); 상기 보이드에 제 1 희생층을 형성하는 단계(S140); 상기 하부 구조물을 노출하는 제 1 비아홀의 형성 단계(S150); 제 1 상부 구조물의 형성 단계(S160); 상기 제 1 상부 구조물을 관통하는 적어도 하나의 제 1 관통홀을 형성하는 단계(S170); 상기 제 1 관통홀을 구비한 제 1 상부 구조물 상에 제 2 희생층을 형성하는 단계(S180); 상기 하부 구조물을 노출하는 제 2 비아홀의 형성 단계(S190); 제 2 상부 구조물의 형성 단계(S200); 상기 제 2 상부 구조물을 관통하는 적어도 하나의 제 2 관통홀을 형성하는 단계(S210); 및 상기 제 1 및 제 2 희생층의 제거 단계(S220);를 포함하여 이루어진다.
- [88] 상기 하부 구조물의 형성 단계(S110)는, 도 4a에 도시된 바와 같이, 적절한 로직회로, 예컨대 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함하는 하부 구조물(110)인 기판 상에 CMOS 소자를 형성하여 제조할 수 있다.
- [89] 즉, 상기 하부 구조물(110)은 기판 상의 절연층(111) 및 절연층(111) 상의 하부 전극(112) 및 반사층(113)을 더 포함할 수 있다. 상기 하부 전극(112) 및 반사층(113)은 상기 절연층(111) 상에 돌출되게 형성되거나, 또는 상기 절연층 내에 트렌치 패턴을 형성한 후, 이를 금속층으로 매립하여 형성할 수도 있으며, 이에 대한 설명은 상술한 도 2a의 구조와 동일하므로 추가적인 부연 설명은 생략하기로 한다.
- [90] 상기 하부 구조물 상에 구조물 절연막의 형성 단계(S120)에서는, 도 4b에 도시된 바와 같이, 상기 하부 구조물(110) 상에 구조물 절연막(120)을 형성하게 된다.
- [91] 즉, 상기 구조물 절연막(120)은 고밀도 플라즈마(HDP) 화학 증착법 또는 화학기상증착법(CVD)을 이용하여 하부 구조물(110) 상에 증착할 수 있다. 상기 구조물 절연막의 두께는 2 μm 범위가 바람직하나, 본 발명에 있어 그 두께를

한정하는 것은 아니다.

- [92] 이어서, 상기 하부 구조물 중앙부를 노출하는 보이드를 형성하는 단계(S130)에서는, 도 4b에 도시된 바와 같이, 상기 구조물 절연막(120) 중앙부를 식각하여 하부 구조물 중앙부의 반사층(113)을 노출하는 보이드(121)를 형성하게 된다.
- [93] 즉, 상기 구조물 절연막(120)을 패터닝하여 중앙에 보이드(121)를 갖는 구조물 절연막 층을 형성할 수 있다.
- [94] 이때, 보이드(121)는 하부 구조물 중앙부(113)를 노출하도록 형성될 수 있으며, 이에 대한 설명은 상술한 도 2b의 구조와 동일하므로 추가적인 부연 설명은 생략하기로 한다.
- [95] 상기 보이드에 제 1 희생층을 형성하는 단계(S140)에서는, 도 4c에 도시된 바와 같이, 상기 구조물 절연막(120) 상측 및 상기 보이드(121) 내측에 제 1 희생층(130)으로서 스피ن 온 절연막(SOD) 또는 스피ن 온 글래스(SOG)를 통해 스피ن 증착(spinfil)됨이 바람직하다.
- [96] 또한, 상기 제 1 희생층(130) 상에 절연 지지층(140)을 형성하게 된다.
- [97] 상기 절연 지지층(140)은 구조물을 지지하기 위한 것으로 통상 화학기상증착법(CVD), 물리적증착법(PVD) 또는 원자층증착법(ALD) 등을 이용하여 산화막 또는 질화막으로 생성할 수 있다.
- [98] 상기 하부 구조물을 노출하는 제 1 비아홀의 형성 단계(S150)에서는, 도 4d에 도시된 바와 같이, 상기 절연 지지층(140) 상에 식각 보호막을 형성하고 상기 절연 지지층(140) 및 상기 제 1 희생층(130)을 식각하여, 상기 절연 지지층(140) 및 상기 희생층(130)을 관통하여 상기 하부 구조물(110)을 노출하는 제 1 비아홀(150)을 형성하게 된다.
- [99] 즉, 상기 제 1 비아홀(150)은 포토리소그래피를 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 절연 지지층(140) 및 희생층(130)을 식각하여 형성할 수 있다. 예를 들어, 상기 제 1 비아홀(150)은 하부 전극(112) 중 일부(도면에서 좌측)를 노출하도록 형성될 수 있고, 이후 하부 전극들(112)을 제 1 상부 구조물과 연결하는 통로로 이용될 수 있다.
- [100] 물론, 이러한 제 1 비아홀(150)은 하부 구조물(100)에서 그 형성 위치를 한정하는 것은 아니며, 도시된 바와 같이, 2개 이상 형성될 수 있다.
- [101] 여기서, 제 1 비아홀(150)을 통해서 하부 전극(112)과 연결되도록 금속 앵커(미도시)를 형성할 수 있다. 이러한 비아홀(150)의 형성 구조는 상술한 도 2d에 도시된 구조와 실질적으로 동일하므로 추가적인 부연 설명은 생략하기로 한다.
- [102] 상기 제 1 상부 구조물의 형성 단계(S160)에서는, 도 4e에 도시된 바와 같이, 상기 제 1 비아홀(150)이 형성된 절연 지지층(140) 상에 제 1 상부 구조물(160)을 형성할 수 있다.
- [103] 즉, 절연 지지층(140)과 상기 절연 지지층을 관통하여 형성된 제 1 비아홀(150)

상층을 균일하게 커버하도록 흡수층(161)을 형성한 후에, 흡수층(161) 상에 저항 소자 물질층(162)을 형성하여 제 1 상부 구조물(160)을 형성한다.

- [104] 상기 흡수층(161)은 적외선을 흡수할 수 있는 금속층이며, 저항 소자 물질층(162)은 흡수층을 통하여 전달되는 열에 따라 저항이 가변되는 물질을 포함하는 박막층일 수 있다.
- [105] 상기 저항 소자 물질층(162)은 MEMS 구조에 이용되는 다양한 센서를 포함할 수 있으며, 예컨대 적외선 센서, 자외선 센서, 엑스선 센서, 레이저 센서 등을 포함할 수 있다. 예를 들어, 적외선 센서의 경우, 저항소자, 열전소자 등을 포함할 수 있다. 저항소자를 포함하는 볼로미터(bolometer)의 경우, 흡수되는 적외선 정도에 따라서 저항이 가변되는 물질, 예컨대 비정질 실리콘, 바나듐 산화물 등을 포함할 수 있다.
- [106] 상기 저항 소자 물질층(162) 상에 절연 지지층(163)을 형성한다. 흡수층(161) 및 저항 소자 물질층(162)의 상하로 배치된 절연 지지층(140, 163)은 기계적 강도를 확보할 수 있는 지지층의 역할도 담당할 수 있다.
- [107] 상기 제 1 상부 구조물을 관통하는 적어도 하나의 제 1 관통홀을 형성하는 단계(S180)에서는, 도 4f에 도시된 바와 같이, 절연 지지층(140, 163), 흡수층(161), 센서 구조로서의 저항 소자 물질층(162)을 관통하는 다수의 제 1 관통홀(170)을 형성할 수 있다.
- [108] 예를 들어, 상기 제 1 관통홀(170)은 포토리소그래피 기술을 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 절연 지지층(140, 163), 센서 구조로서의 저항 소자 물질층(162), 흡수층(161)을 식각하여 형성할 수 있다.
- [109] 이러한 제 1 관통홀(170)의 형성에 의해 후술하는 바와 같이 습식 식각을 이용하여 제 1 희생층(130)을 식각할 수 있도록 한다.
- [110] 상기 제 1 관통홀을 구비한 제 1 상부 구조물 상에 제 2 희생층을 형성하는 단계(S180)에서는, 도 4g에 도시된 바와 같이, 상기 제 1 희생층(130) 및 상기 제 1 관통홀(170)을 구비한 상기 제 1 상부 구조물 상층에 제 2 희생층(131)으로서 SOD(SOG) 스피ن 증착(spinfil)을 통해 형성한다.
- [111] 물론, 상기 제 1 관통홀(170) 내에도 상기 제 2 희생층(131)이 채워진다.
- [112] 상기 제 2 희생층(131)도 상기 제 1 상부 구조물(160) 상에 후술하는 제 2 상부 구조물(180)를 지지하는 데 이용되나 최종적으로는 상기 제 1 희생층(130)과 함께 적어도 일부 또는 전부가 제거될 수 있다.
- [113] 즉, 상기 제 2 희생층(131)도 스피น 온 절연막(SOD) 또는 스피น 온 글래스(SOG)에 의해 스피ن 증착(spinfil)됨이 바람직하다.
- [114] 이어서, 상기 제 2 희생층(131) 상에 절연 지지층(141)을 형성하게 된다.
- [115] 상기 절연 지지층(141)은 구조물을 지지하기 위한 것으로 통상 화학기상증착법(CVD), 물리적증착법(PVD) 또는 원자층증착법(ALD) 등을 이용하여 산화막 또는 질화막으로 생성할 수 있다.

- [116] 상기 하부 구조물을 노출하는 제 2 비아홀의 형성 단계(S190)에서는, 도 4g에 역시 도시된 바와 같이, 상기 절연 지지층(141) 상에 식각 보호막을 형성하고 상기 절연 지지층(141), 상기 제 2 희생층(131), 상기 제 1 희생층(130), 및 구조물 절연막(120)을 식각하여, 상기 절연 지지층(141) 및 상기 제 1 및 제 2 희생층(130, 131)을 관통하여 상기 하부 구조물(110)을 노출하는 제 2 비아홀(151)을 형성하게 된다.
- [117] 즉, 상기 제 2 비아홀(151)은 포토리소그래피를 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 절연 지지층(141), 제 1 및 제 2 희생층(130), 및 구조물 절연막(120)을 식각하여 형성할 수 있다. 예를 들어, 상기 제 2 비아홀(151)은 하부 전극(112) 중 다른 일부(도면에서 우측)를 노출하도록 형성될 수 있고, 이후 하부 전극들(112)을 제 2 상부 구조물(180)과 연결하는 통로로 이용될 수 있다.
- [118] 여기서, 제 2 비아홀(151)을 통해서 하부 전극(112)과 연결되도록 금속 앵커(미도시)를 형성할 수 있다.
- [119] 상기 제 2 상부 구조물의 형성 단계(S200)에서는, 도 4h에 도시된 바와 같이, 상기 제 2 비아홀(151)이 형성된 절연 지지층(141) 상에 제 2 상부 구조물(180)을 형성할 수 있다.
- [120] 즉, 절연 지지층(141)과 상기 절연 지지층을 관통하여 형성된 제 2 비아홀(151) 상측을 균일하게 커버하도록 흡수층(181)을 형성한 후에, 흡수층(181) 상에 저항 소자 물질층(182)을 형성하여 제 2 상부 구조물(180)을 형성한다.
- [121] 상기 흡수층(181)은 적외선을 흡수할 수 있는 금속층이며, 저항 소자 물질층(182)은 흡수층을 통하여 전달되는 열에 따라 저항이 가변되는 물질을 포함하는 박막층일 수 있다.
- [122] 상기 저항 소자 물질층(182)은 MEMS 구조에 이용되는 다양한 센서를 포함할 수 있으며, 예컨대 적외선 센서, 자외선 센서, 엑스선 센서, 레이저 센서 등을 포함할 수 있다. 예를 들어, 적외선 센서의 경우, 저항소자, 열전소자 등을 포함할 수 있다. 저항소자를 포함하는 볼로미터(bolometer)의 경우, 흡수되는 적외선 정도에 따라서 저항이 가변되는 물질, 예컨대 비정질 실리콘, 바나듐 산화물 등을 포함할 수 있다.
- [123] 상기 저항 소자 물질층(182) 상에 절연 지지층(183)을 더 형성한다. 흡수층(181) 및 저항 소자 물질층(182)의 상하로 배치된 절연 지지층(141, 183)은 기계적 강도를 확보할 수 있는 지지층의 역할도 담당할 수 있다.
- [124] 상기 제 2 상부 구조물을 관통하는 적어도 하나의 제 2 관통홀을 형성하는 단계(S210)에서는, 도 4i에 도시된 바와 같이, 제 2 상부 구조물(180)인 절연 지지층(141, 183), 흡수층(181), 센서 구조로서의 저항 소자 물질층(182)의 일부를 관통하는 다수의 제 2 관통홀(190)을 형성할 수 있다.
- [125] 예를 들어, 상기 제 2 관통홀(190)은 포토리소그래피 기술을 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여

절연 지지층(141, 183), 센서 구조로서의 저항 소자 물질층(182), 흡수층(181)을 식각하여 형성할 수 있다.

[126] 상기 제 2 관통홀(190)의 개수도 희생층의 식각 속도를 고려하여 하나 또는 그 이상의 범위에서 적절하게 선택될 수 있다. 제 2 관통홀(190)의 형상은 다양하게 변형될 수 있고, 제 2 관통홀(190)에 의해서 캔틸레버(cantilever) 패턴이 구현될 수 있다.

[127] 상기 제 1 및 제 2 희생층의 제거 단계(S220)에서는, 도 4j에 역시 도시된 바와 같이, 상기 제 1 및 제 2 관통홀(170, 190)을 통해서 제 1 및 제 2 희생층(130, 131)을 제거하여 빈 공간(80)을 한정할 수 있다. 이러한 빈 공간(80)은 적외선이 반사층(113)을 통해서 반사하여 다시 센서 구조로서의 저항 소자 물질층(162, 182)으로 입사되게 함으로써, 적외선 흡수효율을 높이는 데 기여할 수 있다.

[128] 예를 들어, 제 1 및 제 2 희생층(130, 131)이 SOD 또는 SOG 인 경우, 습식 식각을 이용하여 희생층을 식각함이 바람직하다.

[129] 이와 같이 형성된 MEMS 디바이스는 하부 구조물(110), 구조물 절연막(120), 및 센서 구조인 저항 소자 물질층(162, 182)를 포함하는 제 1 및 제 2 상부 구조물(160, 180)을 포함할 수 있다. 하부 구조물(110)의 반사층(113), 구조물 절연막(120), 및 제 1 및 제 2 상부 구조물(160, 180) 사이에는 제 1 및 제 2 희생층(130, 131)이 제거된 빈 공간(80)이 한정될 수 있다.

[130] 여기서, 제 1 및 제 2 상부 구조물(160, 180)의 각 저항 소자 물질층(162, 182)의 가변되는 저항은 흡수층(61, 161, 181), 제 1 및 제 2 비아홀(150, 151)의 금속 앵커(미도시)를 통해서 하부 전극(12)에 전기적으로 연결되어 다층 구조의 상부 구조물을 구현할 수 있다. 즉, 센서 구조인 저항 소자 물질층(162, 182)과 흡수층(61, 161, 181)과 하부 구조물(110)의 로직회로, 예컨대 판독집적회로가 서로 구조적으로 연결되어 다층 구조의 MEMS 디바이스를 구성할 수 있다.

[131] 본 발명은 상기의 상세한 설명에서 언급되는 형태로만 한정되는 것은 아님을 잘 이해할 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다. 또한, 본 발명은 첨부된 청구범위에 의해 정의되는 본 발명의 정신과 그 범위 내에 있는 모든 변형물과 균등물 및 대체물을 포함하는 것으로 이해되어야 한다.

청구범위

- [청구항 1] 하부 전극 및 반사층을 구비하는 하부 구조물을 형성하는 단계;
 상기 하부 구조물 상에 구조물 절연막을 형성하는 단계;
 상기 구조물 절연막을 식각하여 상기 하부 구조물의 반사층을 노출하는
 보이드를 형성하는 단계;
 상기 보이드 내측에 희생층을 형성하는 단계;
 상기 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하는
 비아홀을 형성하는 단계;
 상기 비아홀이 형성되는 상기 희생층 상에 센서 구조를 포함하는 상부
 구조물을 형성하는 단계;
 상기 상부 구조물을 관통하는 적어도 하나의 관통홀을 형성하는 단계; 및
 상기 하부 구조물과 상기 상부 구조물이 서로 이격되어 배치되도록 상기
 관통홀을 통해서 상기 희생층을 제거하는 단계;를 포함하여 이루어지는
 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 2] 제 1 항에 있어서,
 상기 구조물 절연막을 형성하는 단계는 고밀도 플라즈마(HDP) 화학
 증착법 또는 화학기상증착법(CVD)을 이용하여 이루어지는 것을
 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 3] 제 1 항에 있어서,
 상기 희생층을 형성하는 단계에서는, 스핀 온 절연막(SOD) 또는 스핀 온
 글래스(SOG)를 이용하여 스핀 증착하여 상기 희생층을 형성하는 것을
 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 4] 제 1 항에 있어서,
 상기 희생층을 제거하는 단계에서는, 습식 식각을 이용하여 상기
 희생층을 식각하는 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 5] 제 1 항에 있어서,
 상기 희생층을 형성한 후에 상기 희생층 상에 절연 지지층을 형성하는
 단계를 더 포함하는 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 6] 제 5 항에 있어서,
 상기 비아홀을 형성하는 단계에서는, 상기 절연 지지층 상에 식각
 보호막을 형성하고 상기 절연 지지층 및 상기 희생층을 식각하여, 상기
 절연 지지층 및 상기 희생층을 관통하여 상기 하부 구조물의 하부 전극을
 노출하여 상기 비아홀을 형성하는 것을 특징으로 하는 멤스 디바이스
 제조 방법.
- [청구항 7] 제 1 항에 있어서,
 상기 비아홀의 형성시, 클리닝(cleaning) 공정을 더 수행하는 것을
 특징으로 하는 멤스 디바이스 제조 방법.

- [청구항 8] 제 1 항에 있어서,
상기 하부 구조물은 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함하는 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 9] 제 1 항에 있어서,
상기 상부 구조물은,
적외선을 흡수할 수 있는 금속층; 및
상기 금속층을 통하여 전달되는 열에 따라 저항이 가변되는 저항 소자 물질층을 포함하여 이루어지는 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 10] 제 9 항에 있어서,
상기 저항 소자 물질층은 적외선 센서, 자외선 센서, 엑스선 센서, 또는 레이저 센서인 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 11] 제 1 항에 있어서,
상기 희생층을 형성하는 단계에서는,
상기 구조물 절연막 및 상기 보이드 상측에도 희생층을 더 형성하는 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 12] 제 1 항에 있어서,
상기 하부 전극이 상기 구조물 절연막의 내측에 형성되는 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 13] 하부 전극 및 반사층을 구비하는 하부 구조물을 형성하는 단계;
상기 하부 구조물 상에 구조물 절연막을 형성하는 단계;
상기 구조물 절연막을 식각하여 상기 하부 구조물의 반사층을 노출하는 보이드를 형성하는 단계;
상기 보이드 내측 및 상기 구조물 절연막 상측에 제 1 희생층을 형성하는 단계;
상기 제 1 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하는 제 1 비아홀을 형성하는 단계;
상기 제 1 비아홀이 형성되는 상기 제 1 희생층 상에 센서 구조를 포함하는 제 1 상부 구조물을 형성하는 단계;
상기 제 1 상부 구조물을 관통하는 적어도 하나의 제 1 관통홀을 형성하는 단계;
상기 제 1 관통홀을 구비한 제 1 상부 구조물 상에 제 2 희생층을 형성하는 단계;
상기 제 2 희생층을 관통하여 상기 하부 구조물의 다른 하부 전극을 노출하는 제 2 비아홀을 형성하는 단계;
상기 제 2 비아홀이 형성되는 상기 제 2 희생층 상에 센서 구조를 포함하는 제 2 상부 구조물을 형성하는 단계;
상기 제 2 상부 구조물을 관통하는 적어도 하나의 제 2 관통홀을 형성하는

단계;

상기 하부 구조물, 상기 제 1 상부 구조물, 및 상기 제 2 상부 구조물이 서로 이격되어 배치되도록 상기 제 1 및 제 2 관통홀을 통해서 상기 제 1 및 제 2 희생층을 제거하는 단계;를 포함하여 이루어지는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 14] 제 13 항에 있어서,

상기 구조물 절연막을 형성하는 단계는 고밀도 플라즈마(HDP) 화학 증착법 또는 화학기상증착법(CVD)을 이용하여 이루어지는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 15] 제 13 항에 있어서,

상기 제 1 및 제 2 희생층을 형성하는 단계에서는, 스핀 온 절연막(SOD) 또는 스핀 온 글래스(SOG)를 이용하여 스핀 증착(spinfil)하여 상기 제 1 및 제 2 희생층을 형성하는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 16] 제 13 항에 있어서,

상기 제 1 및 제 2 희생층을 제거하는 단계에서는, 습식 식각을 이용하여 상기 희생층을 식각하는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 17] 제 13 항에 있어서,

상기 제 1 및 제 2 희생층을 형성한 후에 상기 제 1 및 제 2 희생층 상에 각각 제 1 및 제 2 절연 지지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 18] 제 17 항에 있어서,

상기 제 1 비아홀을 형성하는 단계에서는, 상기 제 1 절연 지지층 상에 식각 보호막을 형성하고 상기 제 1 절연 지지층 및 상기 제 1 희생층을 식각하여, 상기 제 1 절연 지지층 및 상기 제 1 희생층을 관통하여 상기 하부 구조물의 하부 전극을 노출하여 상기 제 1 비아홀을 형성하고, 상기 제 2 비아홀의 형성 단계에서는, 상기 제 2 절연 지지층 상에 식각 보호막을 형성하고 상기 제 2 절연 지지층, 상기 제 2 희생층, 상기 제 1 희생층, 및 구조물 절연막을 식각하여, 상기 제 2 절연 지지층과 상기 제 1 및 제 2 희생층을 관통하여 상기 하부 구조물을 노출하는 제 2 비아홀을 형성하는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 19] 제 13 항에 있어서,

상기 제 1 및 제 2 비아홀의 형성시, 클리닝(cleaning) 공정을 더 수행하는 것을 특징으로 하는 멤스 디바이스 제조 방법.

[청구항 20] 제 13 항에 있어서,

상기 하부 구조물은 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함하는 것을 특징으로 하는 멤스 디바이스 제조 방법.

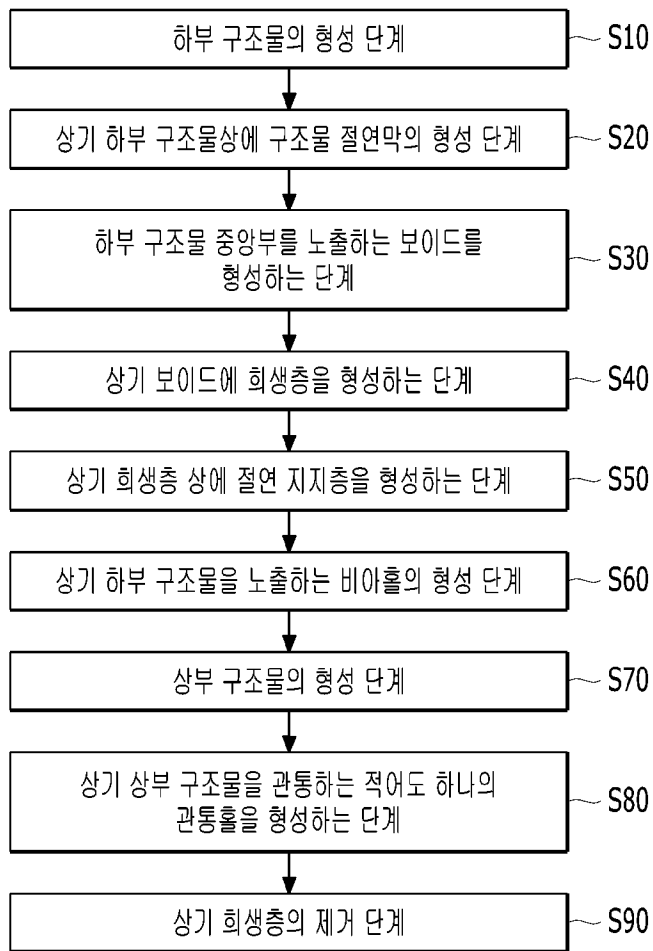
[청구항 21] 제 13 항에 있어서,

상기 제 1 및 제 2 상부 구조물은,

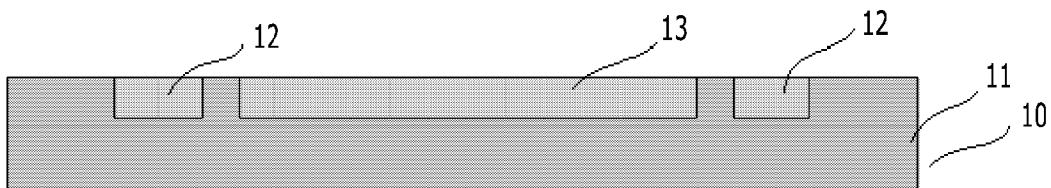
적외선을 흡수할 수 있는 금속층; 및
상기 금속층을 통하여 전달되는 열에 따라 저항이 가변되는 저항 소자
물질층을 포함하여 이루어지는 것을 특징으로 하는 멤스 디바이스 제조
방법.

- [청구항 22] 제 13 항에 있어서,
상기 저항 소자 물질층은 적외선 센서, 자외선 센서, 엑스선 센서, 또는
레이저 센서인 것을 특징으로 하는 멤스 디바이스 제조 방법.
- [청구항 23] 제 1 항 내지 제 22 항 중 어느 한 항에 따른 제조방법에 의해 제조되는
멤스 디바이스.

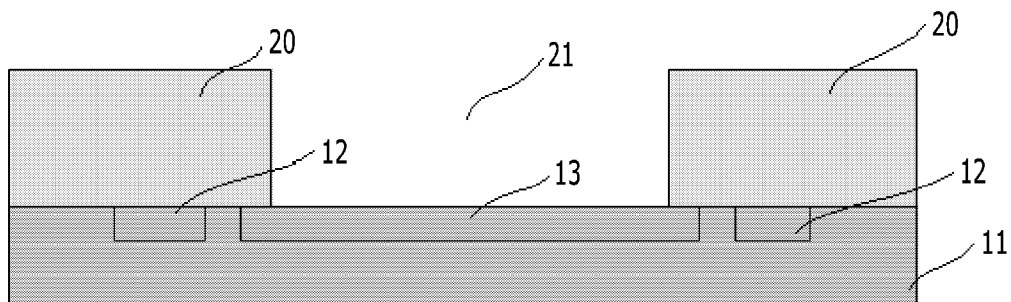
[도1]



[도2a]



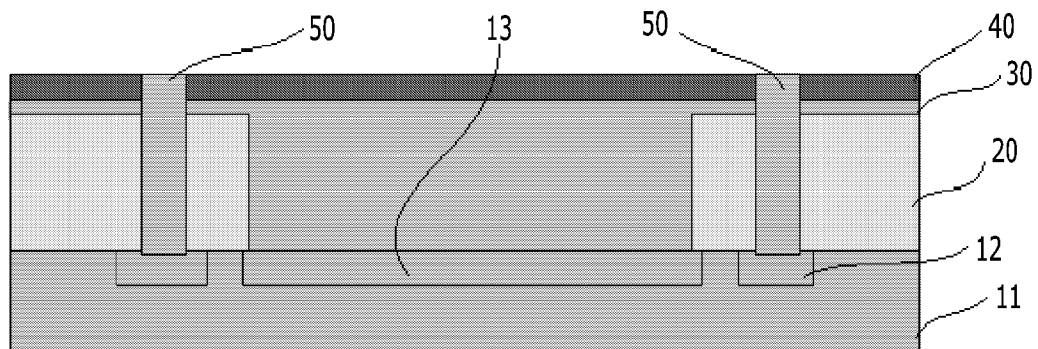
[도2b]



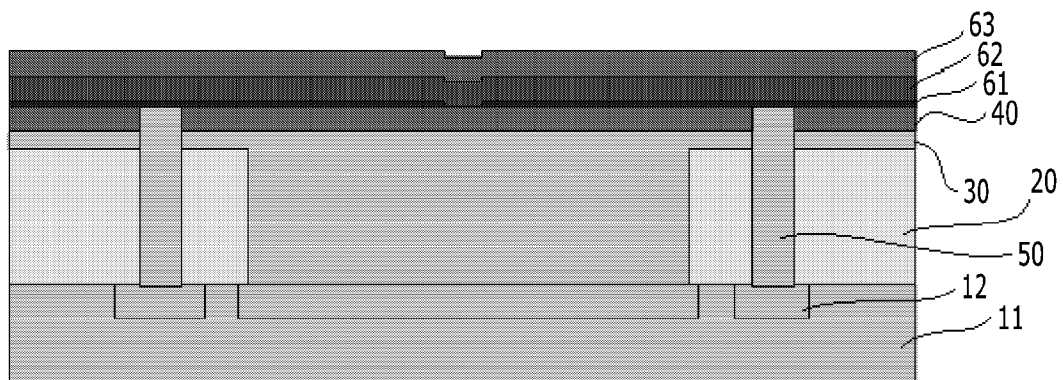
[도2c]



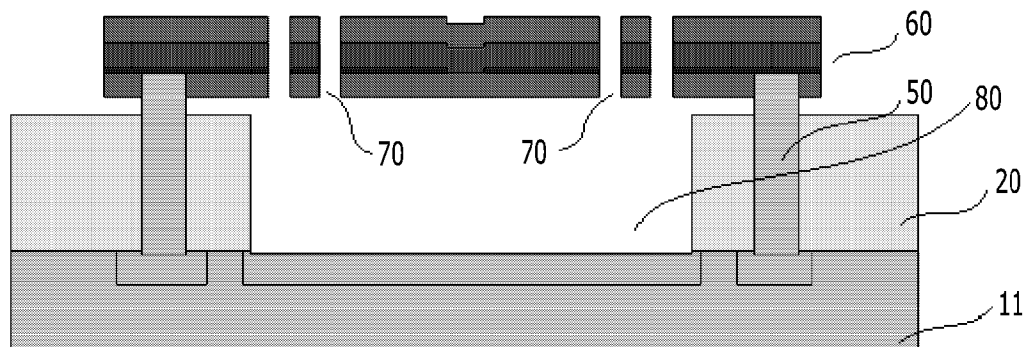
[도2d]



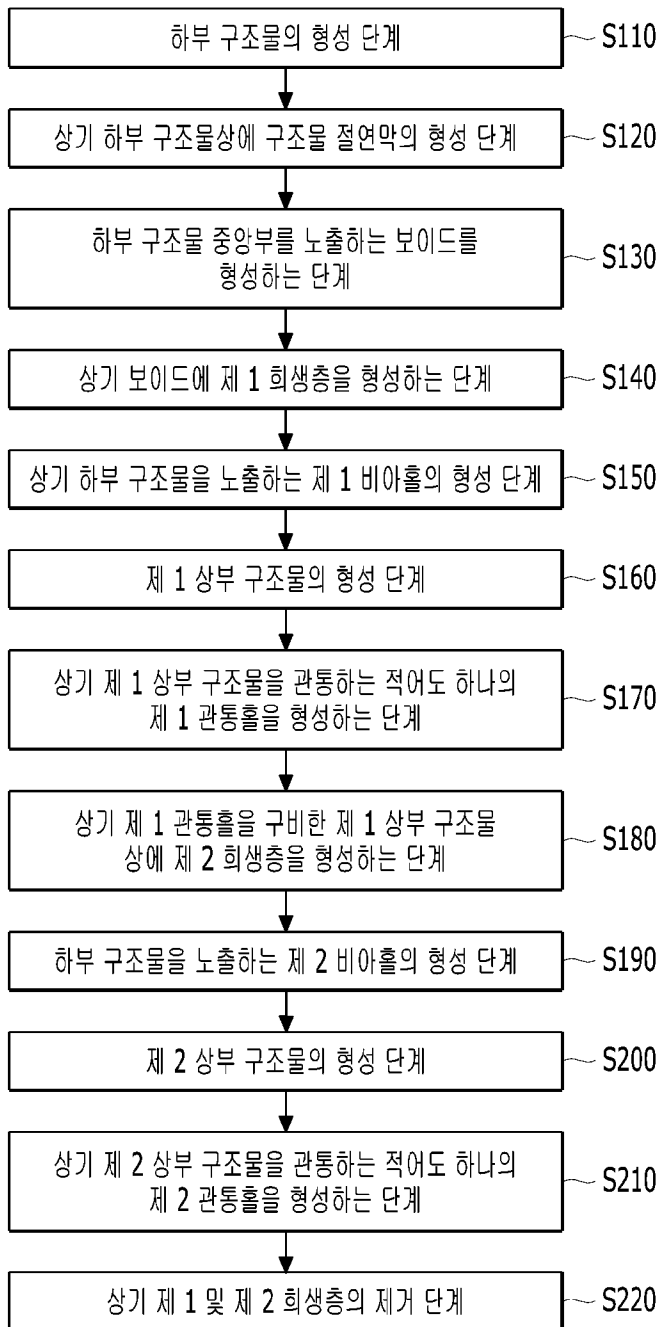
[도2e]



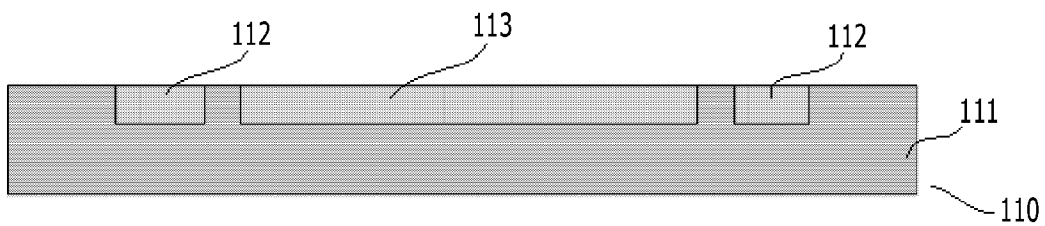
[도2f]



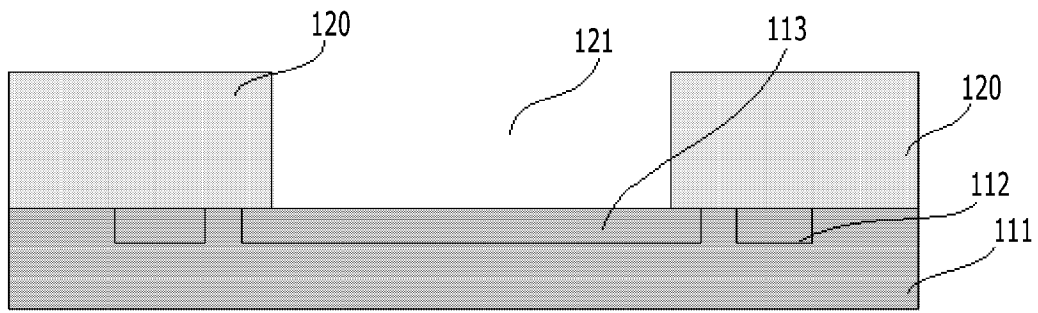
[도3]



[도4a]



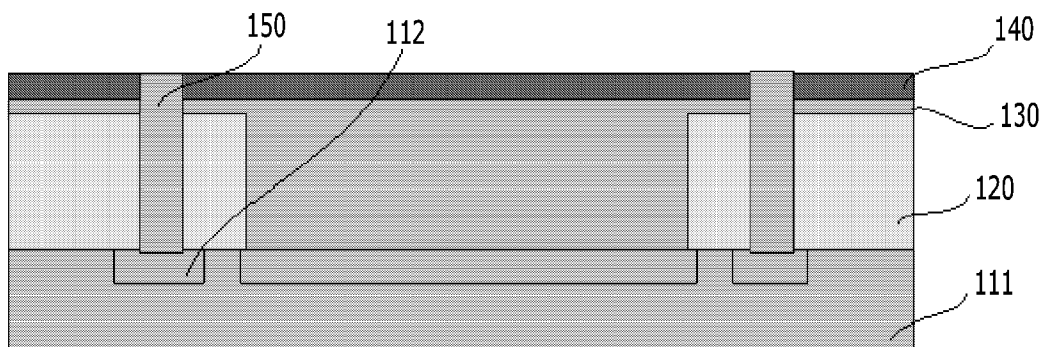
[도4b]



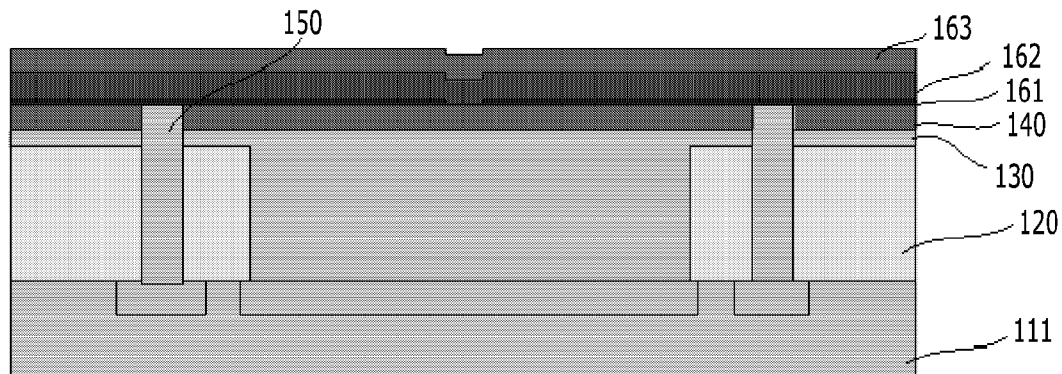
[도4c]



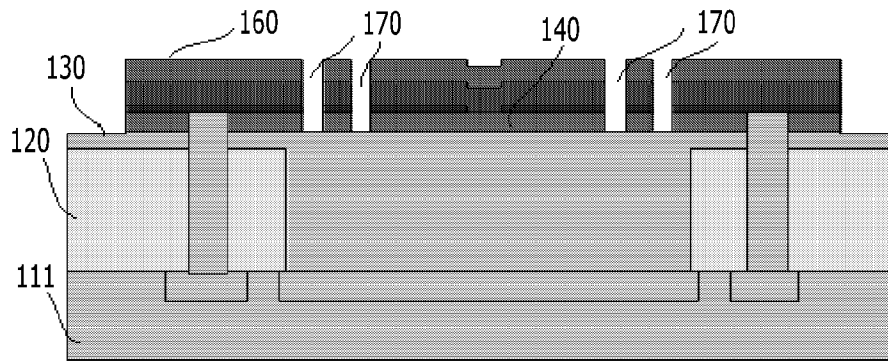
[도4d]



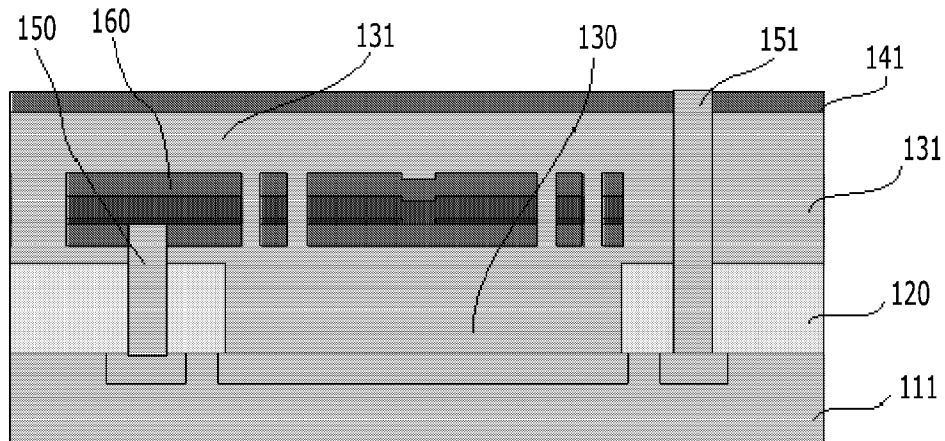
[도4e]



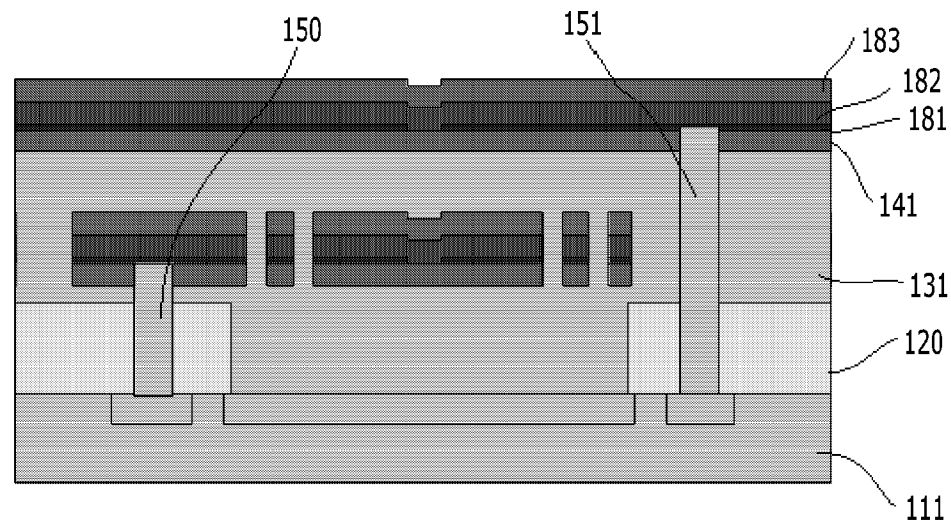
[도4f]



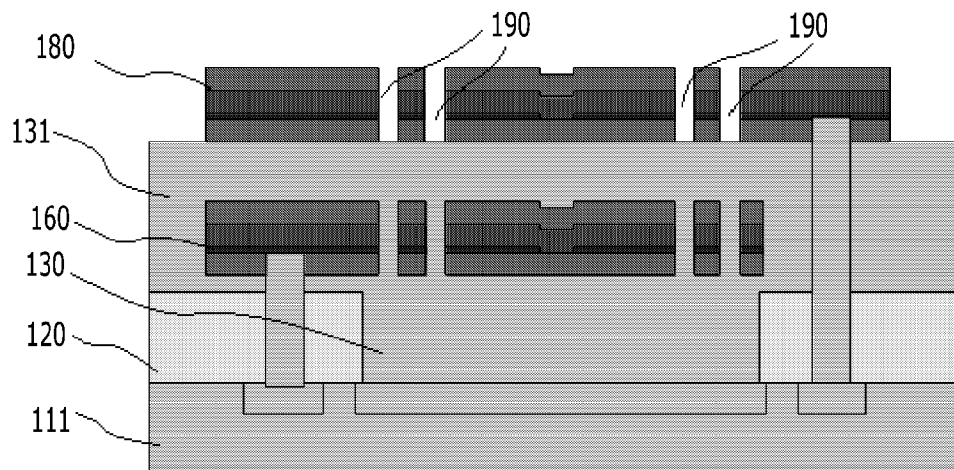
[도4g]



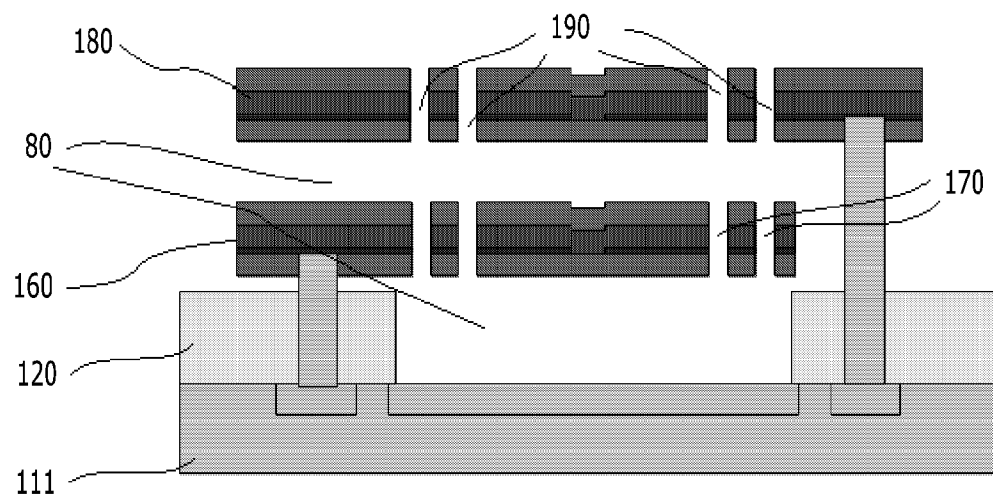
[도4h]



[도4i]



[도4j]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/003406**A. CLASSIFICATION OF SUBJECT MATTER****B81C 1/00(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

B81C 1/00; G01J 5/12; H01L 31/101; B81B 7/02; H01L 29/84; G01P 15/08; H01L 31/09; G01P 15/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: MEMS, sacrificial layer, etching, etching, via hole, through hole, HDP, CVD, spin deposition, multi, a plurality of

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2010-0069047 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 24 June 2010 See paragraphs [0001]-[0009], [0061]-[0092], [0102]-[0107]; and figures 4a-4c, 5a-5e, 6a-6b.	1-23
Y	KR 10-2011-0082190 A (CAVENDISH KINETICS, INC.) 18 July 2011 See paragraphs [0022]-[0028], [0123]; and figures 1b-1h, 17a.	1-23
A	US 2014-0151821 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 05 June 2014 See paragraphs [0017]-[0019]; and figures 1-10.	1-23
A	KR 10-2009-0100857 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 24 September 2009 See paragraphs [0023]-[0072]; and figures 1, 5a-5c.	1-23
A	KR 10-2015-0108058 A (TEMPUS INC.) 25 September 2015 See paragraphs [0028]-[0053]; and figures 1a-1h.	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 JULY 2017 (07.07.2017)

Date of mailing of the international search report

07 JULY 2017 (07.07.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/003406

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2010-0069047 A	24/06/2010	KR 10-1183972 B1 US 2010-0148067 A1	19/09/2012 17/06/2010
KR 10-2011-0082190 A	18/07/2011	AU 2009-313504 A1 CA 2742512 A1 CA 2742986 A1 CA 2742986 C CN 102203294 A CN 102256893 A CN 102256893 B EP 2344416 A2 EP 2349235 A1 EP 2356254 A1 JP 2012-508019 A JP 2012-508118 A JP 2015-016554 A JP 2016-165796 A JP 5677971 B2 KR 10-2011-0095878 A US 2010-0116632 A1 US 2010-0256232 A1 US 8710104 B2 US 8861218 B2 WO 2010-054045 A1 WO 2010-054244 A2 WO 2010-054244 A3 WO 2010-054244 A4 WO 2010-054264 A1	14/05/2010 14/05/2010 14/05/2010 31/03/2015 28/09/2011 23/11/2011 29/04/2015 20/07/2011 03/08/2011 17/08/2011 05/04/2012 05/04/2012 29/01/2015 15/09/2016 25/02/2015 25/08/2011 13/05/2010 07/10/2010 29/04/2014 14/10/2014 14/05/2010 14/05/2010 24/02/2011 07/04/2011 14/05/2010
US 2014-0151821 A1	05/06/2014	CN 103848390 A CN 103848390 B US 2014-0353776 A1 US 8748205 B1 US 9133017 B2	11/06/2014 28/12/2016 04/12/2014 10/06/2014 15/09/2015
KR 10-2009-0100857 A	24/09/2009	NONE	
KR 10-2015-0108058 A	25/09/2015	KR 10-1677717 B1	21/11/2016

A. 발명이 속하는 기술분류(국제특허분류(IPC))**B81C 1/00(2006.01)i****B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

B81C 1/00; G01J 5/12; H01L 31/101; B81B 7/02; H01L 29/84; G01P 15/08; H01L 31/09; G01P 15/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: MEMS, 희생층, 식각, 에칭, 비아홀, 관통홀, HDP, CVD, 스핀증착, multi, 복수

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2010-0069047 A (한국전자통신연구원) 2010.06.24 단락 [0001]-[0009], [0061]-[0092], [0102]-[0107]; 및 도면 4a-4c, 5a-5e, 6a-6b 참조.	1-23
Y	KR 10-2011-0082190 A (카벤디시 키네틱스, 인크.) 2011.07.18 단락 [0022]-[0028], [0123]; 및 도면 1b-1h, 17a 참조.	1-23
A	US 2014-0151821 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 2014.06.05 단락 [0017]-[0019]; 및 도면 1-10 참조.	1-23
A	KR 10-2009-0100857 A (삼성전기주식회사) 2009.09.24 단락 [0023]-[0072]; 및 도면 1, 5a-5c 참조.	1-23
A	KR 10-2015-0108058 A (주식회사 템퍼스) 2015.09.25 단락 [0028]-[0053]; 및 도면 1a-1h 참조.	1-23

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 07월 07일 (07.07.2017)

국제조사보고서 발송일

2017년 07월 07일 (07.07.2017)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이세경

전화번호 +82-42-481-8740



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2010-0069047 A	2010/06/24	KR 10-1183972 B1 US 2010-0148067 A1	2012/09/19 2010/06/17
KR 10-2011-0082190 A	2011/07/18	AU 2009-313504 A1 CA 2742512 A1 CA 2742986 A1 CA 2742986 C CN 102203294 A CN 102256893 A CN 102256893 B EP 2344416 A2 EP 2349235 A1 EP 2356254 A1 JP 2012-508019 A JP 2012-508118 A JP 2015-016554 A JP 2016-165796 A JP 5677971 B2 KR 10-2011-0095878 A US 2010-0116632 A1 US 2010-0256232 A1 US 8710104 B2 US 8861218 B2 WO 2010-054045 A1 WO 2010-054244 A2 WO 2010-054244 A3 WO 2010-054244 A4 WO 2010-054264 A1	2010/05/14 2010/05/14 2010/05/14 2015/03/31 2011/09/28 2011/11/23 2015/04/29 2011/07/20 2011/08/03 2011/08/17 2012/04/05 2012/04/05 2015/01/29 2016/09/15 2015/02/25 2011/08/25 2010/05/13 2010/10/07 2014/04/29 2014/10/14 2010/05/14 2010/05/14 2011/02/24 2011/04/07 2010/05/14
US 2014-0151821 A1	2014/06/05	CN 103848390 A CN 103848390 B US 2014-0353776 A1 US 8748205 B1 US 9133017 B2	2014/06/11 2016/12/28 2014/12/04 2014/06/10 2015/09/15
KR 10-2009-0100857 A	2009/09/24	없음	
KR 10-2015-0108058 A	2015/09/25	KR 10-1677717 B1	2016/11/21