



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년06월16일

(11) 등록번호 10-2123270

(24) 등록일자 2020년06월10일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) H03M 1/10 (2006.01)
H03M 1/14 (2006.01)

(52) CPC특허분류
H03M 1/1215 (2013.01)
H03M 1/1009 (2013.01)

(21) 출원번호 10-2019-0052945

(22) 출원일자 2019년05월07일

심사청구일자 2019년05월07일

(56) 선행기술조사문헌

KR101722910 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

조선대학교 산학협력단

광주광역시 동구 필문대로 309 (서석동)

(72) 발명자

최광석

경기도 성남시 분당구 중앙공원로 53 한신아파트
112-1603

(74) 대리인

김견수

전체 청구항 수 : 총 8 항

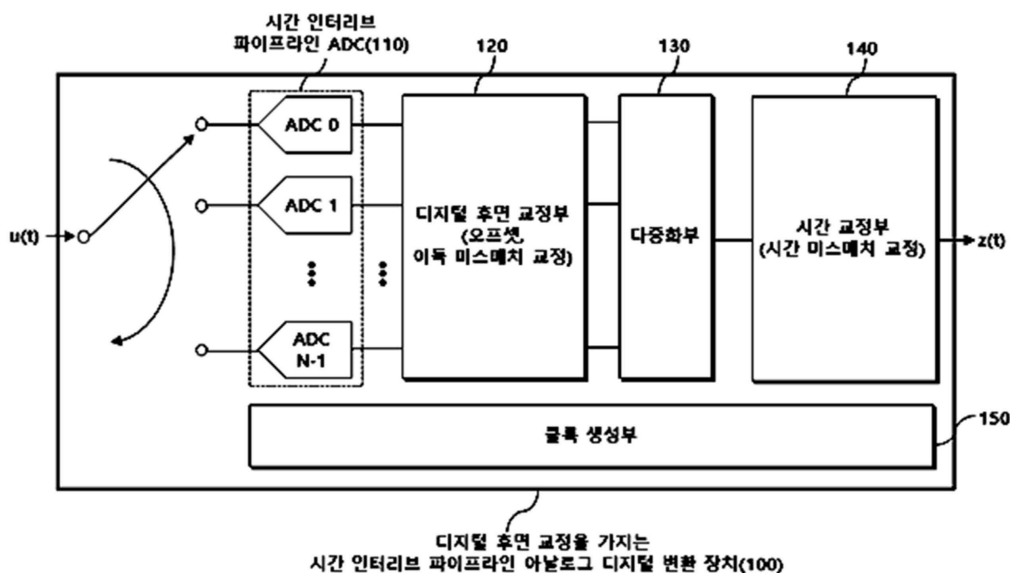
심사관 : 조춘근

(54) 발명의 명칭 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법

(57) 요약

본 발명은 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법에 관한 것으로, 단일 초고속 ADC를 사용하는 것 대신에 시간 영역에서 인터리브되는(interleaved) 복수의 ADC를 파이프라인으로 형성하여 입력 아날로그 신호를 병렬적으로 샘플링함으로써, 디지털 신호로 고속 변환할 수 있도록 하며, 상기 변환과정에서 발생될 수 있는 미스매치(mismatch)를 정확하게 교정할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H03M 1/14 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1345278345

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 지역대학우수과학자지원사업(1년~3년)

연구과제명 효율적인 무선 전력 전송 기술과 생체 신호 처리 SoC가 적용된 이식형 생체 의료 장치 시스템

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

파이프라인 구조로 형성되는 복수의 서브 ADC를 포함하여, 입력 아날로그 신호를 디지털 신호로 변환하는 시간 인터리브 파이프라인 ADC;

상기 각 서브 ADC의 디지털 출력을 토대로 상기 복수의 서브 ADC에 대한 각 채널의 오프셋 미스매치 및 이득 미스매치를 교정하는 디지털 후면 교정부;

상기 오프셋 미스매치 및 이득 미스매치가 교정된 상기 복수의 서브 ADC에 대한 각 채널의 디지털 출력을 결합하여 다중화하는 다중화부; 및

상기 다중화한 디지털 출력에 대한 시간 미스매치를 교정하는 시간 교정부;를 포함하며,

상기 복수의 서브 ADC는, 위상 쉬프트된 복수의 샘플링 클록을 통해 시간 인터리브되어 단계적으로 동작하여 상기 입력 아날로그 신호를 디지털 신호로 변환하며,

상기 각 서브 ADC에 입력되는 아날로그 신호는,

이전 단계의 서브 ADC의 디지털 출력을 토대로 재구성한 잔여 아날로그 신호이며, 상기 잔여 아날로그 신호는, 상기 각 서브 ADC를 위한 연산증폭기에서 증폭되어 해당 서브 ADC에 입력되는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치.

청구항 2

삭제

청구항 3

청구항 1에 있어서,

상기 연산증폭기는,

상기 샘플링 클록에 따른 상기 연산증폭기의 유희시간을 이용하여 2개의 서브 ADC가 하나의 연산증폭기를 공유하도록 구성됨으로써,

상기 서브 ADC의 총 개수에 절반만큼 구비되는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치.

청구항 4

청구항 1에 있어서,

상기 디지털 후면 교정부는,

상기 모든 서브 ADC의 디지털 출력에 대한 평균값을 계산하여 레퍼런스 출력을 산출하고, 상기 산출한 레퍼런스 출력과 상기 각 채널의 디지털 출력에 대한 평균과의 차이를 계산하여 각 채널의 오프셋 오류를 계산 한 후, 상기 채널별 디지털 출력에 상기 계산한 오프셋 오류를 각각 감산함으로써, 상기 각 채널에 대한 오프셋 미스매치를 교정하는 오프셋 미스매치 교정부; 및

상기 오프셋 미스매치가 교정된 상기 각 채널에 대한 디지털 출력을 제공하여 이를 평균함으로써, 상기 각 채널에 대한 이득 미스매치를 교정하기 위한 레퍼런스 신호를 산출하고, 상기 각 채널에 대한 디지털 출력에 상기 산출한 레퍼런스 신호를 나눔으로써, 상기 이득 미스매치를 교정하는 이득 미스매치 교정부;를 더 포함하는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치.

청구항 5

청구항 1에 있어서,

상기 시간 교정부는,

상기 다중화부로부터 입력되는 입력신호와 레퍼런스 채널을 통해 입력되는 레퍼런스 신호의 상대적인 시간을 비교하여, 상기 입력신호가 상기 레퍼런스 신호에 선행하거나 후행하는지에 대한 여부를 판단함으로써, 상기 입력신호의 시간 미스매치를 검출하는 시간 미스매치 검출부; 및

상기 판단 결과에 따라 상기 입력신호를 특정 값으로 지연시킴으로써, 상기 검출한 시간 미스매치를 교정하는 시간 미스매치 교정부;를 더 포함하는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치.

청구항 6

파이프라인 구조로 형성되는 복수의 서브 ADC를 포함하여 구성되는 시간 인터리브 파이프라인 ADC를 통해 입력 아날로그 신호를 디지털 신호로 변환하는 단계;

상기 각 서브 ADC의 디지털 출력을 토대로 상기 복수의 서브 ADC에 대한 각 채널의 오프셋 미스매치 및 이득 미스매치를 교정하는 디지털 후면 교정 단계;

상기 오프셋 미스매치 및 이득 미스매치가 교정된 상기 복수의 서브 ADC에 대한 각 채널의 디지털 출력을 결합하여 다중화하는 다중화 단계; 및

상기 다중화한 디지털 출력에 대한 시간 미스매치를 교정하는 시간 교정 단계;를 포함하며,

상기 복수의 서브 ADC는, 위상 쉬프트된 복수의 샘플링 클록을 통해 시간 인터리브되어 단계적으로 동작함으로써, 상기 입력 아날로그 신호를 디지털 신호로 변환하며,

상기 각 서브 ADC에 입력되는 아날로그 신호는,

이전 단계의 서브 ADC의 디지털 출력을 토대로 재구성한 잔여 아날로그 신호이며, 상기 잔여 아날로그 신호는, 상기 각 서브 ADC를 위한 연산증폭기에서 증폭되어 해당 서브 ADC에 입력되는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 방법.

청구항 7

삭제

청구항 8

청구항 6에 있어서,

상기 연산증폭기는,

상기 샘플링 클록에 따른 상기 연산증폭기의 유희시간을 이용하여 2개의 서브 ADC가 하나의 연산증폭기를 공유하도록 구성됨으로써,

상기 서브 ADC의 총 개수에 절반만큼 구비되는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 방법.

청구항 9

청구항 6에 있어서,

상기 디지털 후면 교정 단계는,

상기 모든 서브 ADC의 디지털 출력에 대한 평균값을 계산하여 레퍼런스 출력을 산출하고, 상기 산출한 레퍼런스 출력과 상기 각 채널의 디지털 출력에 대한 평균과의 차이를 계산하여 상기 각 채널의 오프셋 오류를 계산한 후, 상기 채널별 디지털 출력에 상기 계산한 오프셋 오류를 각각 감산함으로써, 상기 각 채널에 대한 오프셋 미스매치를 교정하는 오프셋 미스매치 교정 단계; 및

상기 오프셋 미스매치가 교정된 각 채널에 대한 디지털 출력을 제공하여 이를 평균함으로써, 상기 각 채널에 대한 이득 미스매치를 교정하기 위한 레퍼런스 신호를 산출하고, 상기 각 채널에 대한 디지털 출력에 상기 산출한

레퍼런스 신호를 나눔으로써, 상기 이득 미스매치를 교정하는 이득 미스매치 교정 단계;를 더 포함하는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 방법.

청구항 10

청구항 6에 있어서,

상기 시간 교정 단계는,

상기 다중화한 디지털 출력과 레퍼런스 채널을 통해 입력되는 레퍼런스 신호의 상태적인 시간을 비교하여, 상기 다중화한 디지털 출력이 상기 레퍼런스 신호에 선행하거나 후행하는지에 대한 여부를 판단함으로써, 상기 다중화한 디지털 출력의 시간 미스매치를 검출하는 시간 미스매치 검출 단계; 및

상기 판단 결과에 따라 상기 다중화한 디지털 출력을 특정 값으로 지연시킴으로써, 상기 검출한 시간 미스매치를 교정하는 시간 미스매치 교정 단계;를 더 포함하는 것을 특징으로 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 방법.

발명의 설명

기술 분야

[0001] 본 발명은 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법에 관한 것으로, 더욱 상세하게는 시간 영역에서 인터리브되는(interleaved) 복수의 ADC를 파이프라인으로 형성하여 입력 아날로그 신호를 병렬적으로 샘플링함으로써, 디지털 신호로 고속 변환할 수 있도록 하며, 상기 변환과정에서 발생할 수 있는 미스매치(mismatch)를 정확하게 교정할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법에 관한 것이다.

배경 기술

[0002] 최근 산업기술과 정보통신 기술의 급격한 발달로 인해 기존의 아날로그 시스템을 대체한 디지털 시스템에 대한 기술이 급속하게 발달하고 있다. 이러한 디지털 시스템은 데이터 통신이나 통신 제어에 대한 문제를 디지털 회로를 통해 디지털 방식으로 처리하여 해결한다.

[0003] 상기 디지털 회로는 다른 통신 애플리케이션(application)과 마찬가지로 전자전 수신기(electronic warfare receiver)에 오랫동안 사용되어 왔다.

[0004] 이러한 애플리케이션은 한 번에 측정할 수 있는 대역폭인 매우 큰 순시대역폭(instantaneous bandwidth)을 필요로 하며, 상기 애플리케이션의 나이퀴스트 대역폭(nyquist bandwidths)은 상기 애플리케이션의 안정적인 동작 요구사항을 충족시키기 위해 디지털 회로에서 수천 MHz를 초과할 수 있는 문제점이 있다.

[0005] 한편 전통적인 아날로그 광대역 수신기는, RF 신호를 비디오 신호로 변환하기 위한 크리스털 비디오 검출기(crystal video detector)를 사용하였으나, 상기 크리스털 비디오 검출기는 신호의 반송파 주파수와 위상 값을 전혀 고려하지 않는 문제점이 있다.

[0006] 이러한 문제점을 해결하기 위해 최근에는 고속의 아날로그 디지털 컨버터(analog to Digital Converter, ADC)를 이용한 디지털 광대역 수신기가 개발되어 상용화되고 있다.

[0007] 즉, 종래의 아날로그 광대역 수신기와 달리 상기 디지털 광대역 수신기는 크리스털 비디오 검출기를 대체한 아날로그 디지털 컨버터를 사용하기 때문에 아날로그 신호를 디지털 신호로 변환할 때, 모든 정보가 보존되는 장점이 있다.

[0008] 특히 상기 아날로그 디지털 컨버터의 출력은 디지털 신호이므로, 상기 변환 후 모든 처리가 디지털 영역에 있게 되어, 아날로그 신호를 처리하는 것보다 디지털 신호를 처리할 때의 교정이 보다 간편하고 덜 필요한 장점이 있다.

[0009] 일반적으로 고속으로 데이터를 처리해야 하는 시스템에서 사용되는 고속 아날로그 디지털 컨버터(Analog-Digital Converter, ADC)는 현대 통신 시스템의 필수적인 부분이다.

[0010] 또한 신호 펄스에 대한 시작시간, 주파수, 진폭 등의 정보를 포함하여 새로운 신호의 에너지를 검출하기 위한 표적 신호 기술자 워드(targeted signal descriptor word, SDW)를 생성하는 완전 디지털 광대역 수신기의 설계

는, 높은 입력 순시대역폭과 고속 실시간 신호 처리를 포함하는 두 가지 중요한 매개변수에 대한 신중한 고려가 필요하다.

- [0011] 이러한 디지털 광대역 수신기는, DOCSIS(data over cable service interface specification), DVB(digital video broadcasting) 및 ATSC(advanced television system committee) 등과 같은 주요 지상파 디지털 TV 표준을 고려할 때, 대략 40MHz 내지 1GHz의 동작 주파수 스펙트럼을 만족해야 한다.
- [0012] 즉, 고속의 샘플링 속도(예: 2GHz)를 가지며, 광대역 스펙트럼에서 동작할 수 있어야 되고, 신호 변환을 위한 양자화 오차를 최소화하는 고해상도 고속 아날로그 디지털 변환기를 설계하는 것이 매우 중요하다.
- [0013] 이에 따라 본 발명에서는, 단일 초고속 ADC를 사용하는 것 대신에 위상 쉬프트된 샘플링 클록들을 사용하여 복수의 ADC가 시간 영역에서 인터리브되고, 상기 복수의 ADC가 파이프라인 구조로 형성되는 시간 인터리브 파이프라인 ADC를 제공함으로써, 추가적인 다운 컨버전 회로나 믹서 및 필터를 구비하지 않고서도 병렬 샘플링 방식으로 높은 샘플링 속도를 달성하고 전력소비를 최소화함과 동시에 아날로그 신호를 디지털 신호로 변환하는 과정에서 발생하는 미스매치를 디지털적으로 교정할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법을 제공하고자 한다.
- [0014] 또한 본 발명은 상기 시간 인터리브 파이프라인 ADC를 통한 샘플링구조에서 연산증폭기에 대한 공유구조를 제공함으로써, 상기 연산증폭기의 수를 절반으로 줄임과 동시에 상기 미스매치를 신호의 통계적 방법과 레지스터 제어 지연 잠금 루프 기반(register controlled delay locked loop)으로 교정함으로써, 입력 아날로그 신호를 디지털 신호로 변환하기 위한 하드웨어적인 구조를 단순화하고 소비전력을 최소화할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법을 제공하고자 한다.
- [0015] 다음으로 본 발명의 기술분야에 존재하는 선행기술에 대하여 간단하게 설명하고, 이어서 본 발명이 상기 선행기술에 비해서 차별적으로 이루고자 하는 기술적 사항에 대해서 기술하고자 한다.
- [0016] 먼저 한국등록특허 제1515345호(2015.04.21.)는 아날로그 지연 고정 루프를 이용한 ADC 비교기에 관한 것으로, 입력신호의 레벨과 n비트의 아날로그 출력신호의 레벨을 비교하여 하이 또는 로우 레벨의 비교신호를 출력하고, 상기 출력되는 비교신호를 토대로 그 위상차를 검출한 후, 상기 검출한 위상차에 따라 출력 전압을 업 또는 다운시켜 상기 ADC 비교기의 오프셋을 보정하도록 하는 아날로그 지연 고정 루프를 이용한 ADC 비교기에 관한 것이다.
- [0017] 즉, 상기 선행기술은 단순히 두신호의 레벨을 비교하여 ADC의 오프셋 오류에 대한 보정을 수행할 수 있도록 하는 기술만 기재하고 있을 뿐이다.
- [0018] 반면에 본 발명은, 신호의 통계적 특성을 이용하여 오프셋 미스매치 뿐만 아니라 이득 미스매치를 교정할 수 있도록 하며, 레지스터 제어 지연 잠금 루프 기반으로 입력 아날로그 신호를 디지털 신호로 변환할 때 발생할 수 있는 시간 미스매치까지 교정할 수 있도록 하는 것으로, 상기 선행기술은 이러한 본 발명의 기술적 특징을 전혀 기재하거나 시사하고 있지 않다.
- [0019] 또한 한국등록특허 제1461784호(2014.11.07.)는 아날로그 디지털 변환기(ADC), 그 보정 회로 및 그 보정 방법에 관한 것으로, 아날로그 입력 신호를 타임 인터리브로 디지털 출력 신호로 변환하는 복수의 ADC 채널과 상기 복수의 ADC 채널이 각각 출력하는 디지털 신호를 합성한 후, 적응 필터를 이용하여 디지털 출력 신호에 포함되는 스큐 오차를 검출하여 상기 검출한 스큐 오차에 따라 상기 적응 필터의 필터 계수를 생성하며, 상기 생성한 적응 필터 계수에 따라 상기 스큐 오차를 보정하는 아날로그 디지털 변환기(ADC), 그 보정 회로 및 그 보정 방법에 관한 것이다.
- [0020] 상기 선행기술은 적응 필터를 이용하여 상기 디지털 출력 신호에 포함된 스큐 오차를 보정할 수 있도록 하는 것으로, 본 발명과 같이 신호의 통계적 특성과 레지스터 제어 지연 잠금 루프 기반으로 디지털 신호로 변환할 때 발생할 수 있는 오프셋, 이득 및 시간 미스매치를 교정할 수 있도록 하는 것이 아니고, 위상 쉬프트된 샘플링 클록들을 이용하여 복수의 ADC가 시간 영역에서 인터리브되도록 하는 방법도 기재하고 있지 않으며, 시간 인터리브 파이프라인 ADC의 샘플링 구조에서 연산증폭기를 공유하는 방법을 통해 상기 연산증폭기의 수를 절반으로 줄여 하드웨어 구조를 단순화하고 소비전력을 최소화할 수 있도록 하는 방법을 전혀 기재하고 있지 않아, 상기 선행기술과 본 발명은 전혀 상이한 기술임이 분명하다.

발명의 내용

해결하려는 과제

- [0021] 본 발명은 상기와 같은 문제점을 해결하기 위해 창작 된 것으로서, 파이프라인으로 형성되는 복수의 서브 ADC를 구성하고, 상기 구성한 복수의 서브 ADC가 위상 쉬프트된 샘플링 클록들을 통해 시간 영역에서 인터리브되도록 함으로서, 상기 복수의 서브 ADC를 통해 상기 입력 아날로그 신호를 병렬 처리하여 고속으로 디지털 신호로 변환할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법을 제공하는 것을 그 목적으로 한다.
- [0022] 또한 본 발명은, 상기 시간 영역에서 인터리브되고 파이프라인으로 형성되는 복수의 서브 ADC를 통한 샘플링 구조에서, 특정개수의 서브 ADC가 하나의 연산증폭기를 공유할 수 있도록 하고, 상기 각 서브 ADC가 동일한 수의 비트를 처리할 수 있도록 함으로써, 상기 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 하드웨어 구조를 단순화함과 동시에 소비전력을 최소화할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법을 제공하는 것을 또 다른 목적으로 한다.
- [0023] 또한 본 발명은, 디지털 신호의 통계적 특성과 레지스터 제어 지연 잠금 루프 기반으로 상기 디지털 신호로 변환할 때 발생될 수 있는 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 효율적이고 신속하게 교정할 수 있도록 하는 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법을 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

- [0024] 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치는, 파이프라인 구조로 형성되는 복수의 서브 ADC를 포함하여, 입력 아날로그 신호를 디지털 신호로 변환하는 시간 인터리브 파이프라인 ADC, 상기 서브 ADC의 디지털 출력을 토대로 상기 서브 ADC의 각 채널에 대한 오프셋 미스매치 및 이득 미스매치를 교정하는 디지털 후면 교정부, 상기 오프셋 미스매치 및 이득 미스매치가 교정된 상기 각 채널의 디지털 출력을 결합하여 다중화하는 다중화부 및 상기 다중화한 디지털 출력에 대한 시간 미스매치를 교정하는 시간 교정부를 포함하며, 상기 복수의 서브 ADC는, 위상 쉬프트된 복수의 샘플링 클록에 따라 시간 인터리브되어 단계적으로 동작함으로써, 상기 입력 아날로그 신호를 디지털 신호로 변환하는 것을 특징으로 한다.
- [0025] 또한 상기 각 서브 ADC에 입력되는 아날로그 신호는, 이전 단계의 서브 ADC의 디지털 출력을 토대로 재구성한 잔여 아날로그 신호이며, 상기 잔여 아날로그 신호는, 상기 각 서브 ADC를 위한 연산증폭기를 통해 증폭되어 해당 서브 ADC에 입력되는 것을 특징으로 한다.
- [0026] 또한 상기 연산증폭기는, 상기 샘플링 클록에 따른 상기 연산증폭기의 유휴시간을 이용하여 2개의 서브 ADC가 하나의 연산증폭기를 공유하도록 구성됨으로서, 상기 서브 ADC의 총 개수에 절반만큼 구비되는 것을 특징으로 한다.
- [0027] 또한 상기 디지털 후면 교정부는, 상기 모든 서브 ADC의 디지털 출력에 대한 평균값을 계산하여 레퍼런스 출력을 산출하고, 상기 산출한 레퍼런스 출력과 상기 각 채널의 디지털 출력에 대한 평균과의 차이를 계산하여 채널별 오프셋 오류를 계산 한 후, 상기 각 채널별 디지털 출력에 상기 계산한 채널별 오프셋 오류를 감산함으로써, 상기 각 채널에 대한 오프셋 미스매치를 교정하는 오프셋 미스매치 교정부 및 상기 오프셋 미스매치가 교정된 각 채널에 대한 디지털 출력을 제공하여 이를 평균함으로써, 상기 각 채널에 대한 이득 미스매치를 교정하기 위한 레퍼런스 신호를 산출하고, 상기 각 채널에 대한 디지털 출력에 상기 산출한 레퍼런스 신호를 나눔으로써, 상기 이득 미스매치를 교정하는 이득 미스매치 교정부를 더 포함하는 것을 특징으로 한다.
- [0028] 또한 상기 시간 교정부는, 상기 다중화부로부터 입력되는 입력신호와 레퍼런스 채널을 통해 입력되는 레퍼런스 신호의 상태적인 시간을 비교하여, 상기 입력신호가 상기 레퍼런스 신호에 선행하거나 후행하는지에 대한 여부를 판단하여 상기 입력신호의 시간 미스매치를 검출하는 시간 미스매치 검출부 및 상기 판단 결과에 따라 상기 입력신호를 특정 값으로 지연시킴으로써, 상기 검출한 시간 미스매치를 교정하는 시간 미스매치 교정부를 더 포함하는 것을 특징으로 한다.
- [0029] 아울러 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 방법은, 파이프라인 구조로 형성되는 복수의 서브 ADC를 포함하여 구성되는 시간 인터리브 파이프라인 ADC를 통해 입력 아날로그 신호를 디지털 신호로 변환하는 단계, 상기 각 서브 ADC의 디지털 출력을 토대로 상기 각

서브 ADC의 각 채널에 대한 오프셋 미스매치 및 이득 미스매치를 교정하는 디지털 후면 교정 단계, 상기 오프셋 미스매치 및 이득 미스매치가 교정된 상기 각 채널의 디지털 출력을 결합하여 다중화하는 다중화 단계 및 상기 다중화한 디지털 출력에 대한 시간 미스매치를 교정하는 시간 교정 단계를 포함하며, 상기 복수의 서브 ADC는, 위상 쉬프트된 복수의 샘플링 클록에 따라 시간 인터리브되어 단계적으로 동작함으로써, 상기 입력 아날로그 신호를 디지털 신호로 변환하는 것을 특징으로 한다.

[0030] 또한 상기 디지털 후면 교정 단계는, 상기 모든 서브 ADC의 디지털 출력에 대한 평균값을 계산하여 레퍼런스 출력을 산출하고, 상기 산출한 레퍼런스 출력과 상기 각 채널의 디지털 출력에 대한 평균과의 차이를 계산하여 각 채널의 오프셋 오류를 계산 한 후, 상기 각 채널별 디지털 출력에 상기 계산한 오프셋 오류를 감산함으로써, 상기 각 채널에 대한 오프셋 미스매치를 교정하는 오프셋 미스매치 교정 단계 및 상기 오프셋 미스매치가 교정된 서브 ADC의 각 채널에 대한 디지털 출력을 제공하여 이를 평균함으로써, 상기 각 채널에 대한 이득 미스매치를 교정하기 위한 레퍼런스 신호를 산출하고, 상기 각 채널에 대한 디지털 출력에 상기 산출한 레퍼런스 신호를 나눔으로써, 상기 이득 미스매치를 교정하는 이득 미스매치 교정 단계를 더 포함하는 것을 특징으로 한다.

[0031] 또한 상기 시간 교정 단계는, 상기 다중화한 디지털 출력과 레퍼런스 채널을 통해 입력되는 레퍼런스 신호의 상대적인 시간을 비교하여, 상기 입력신호가 상기 레퍼런스 신호에 선행하거나 후행하는지에 대한 여부를 판단함으로써, 상기 다중화한 디지털 출력의 시간 미스매치를 검출하는 시간 미스매치 검출 단계 및 상기 판단 결과에 따라 상기 다중화한 디지털 출력을 특정 값으로 지연시킴으로써, 상기 검출한 시간 미스매치를 교정하는 시간 미스매치 교정 단계를 더 포함하는 것을 특징으로 한다.

발명의 효과

[0032] 본 발명은 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법에 관한 것으로, 파이프라인 구조로 형성되는 복수의 서브 ADC를 포함하는 시간 인터리브 파이프라인 ADC를 구성하고, 상기 각 서브 ADC를 각 96MS/s의 개별 샘플링 속도로 시간 인터리브함으로써, 전체 시간 인터리브 파이프라인 ADC가 12비트 3.072GS/s로 동작하도록 하여 입력 아날로그 신호를 디지털 신호로 고속 변환할 수 있는 효과가 있다.

[0033] 또한 본 발명은, 시간 인터리브 파이프라인 ADC를 통한 단계적인 샘플링 구조에서, 연산증폭기를 공유할 수 있도록 하고, 상기 각 서브 ADC의 모든 단계에 대한 동일한 수의 비트를 사용하도록 함으로써, 하드웨어 구조를 단순화하고 소비전력을 최소화할 수 있도록 하는 효과가 있다.

도면의 간단한 설명

[0034] 도 1은 종래기술에 따른 TI-ADC를 포함한 광대역 디지털 수신기의 구조를 단순화하여 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치를 설명하기 위해 나타낸 블록도이다.

도 3은 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC의 구조와 클록에 따른 서브 ADC의 샘플링 에지를 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 클록 생성부의 구조를 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 클록 생성부를 통해 생성한 클록 위상을 도시한 도면이다.

도 6은 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC의 동작을 설명하기 위해 나타낸 도면이다.

도 7은 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC를 구성하는 서브 ADC의 구성을 나타낸 도면이다.

도 8은 본 발명의 일 실시예에 따른 연산증폭기의 회로를 나타낸 도면이다.

도 9는 본 발명의 일 실시예에 따른 연산증폭기의 공유구조를 나타낸 도면이다.

도 10은 본 발명의 일 실시예에 따른 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 교정하는 방법을 설명하기 위해 나타낸 도면이다.

도 11은 본 발명의 일 실시예에 따른 시간 교정부의 구성을 나타낸 도면이다.

도 12는 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 정적 비선형성에 대한 성능을 나타낸 도면이다.

도 13은 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 미스매치 교정 이후의 출력 스펙트럼을 나타낸 도면이다.

도 14는 본 발명의 일 실시예에 따른 다양한 입력 주파수에서 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 SFDR 및 SNDR의 변화를 나타낸 도면이다.

도 15는 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치를 통해 입력 아날로그 신호를 디지털 신호로 변환하여 출력하는 절차를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 이하, 첨부한 도면을 참조하여 본 발명의 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치 및 그 방법에 대한 바람직한 실시예를 상세히 설명한다.
- [0036] 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다. 또한 본 발명의 실시예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명에 따른 실시예를 설명하기 위한 목적으로 예시된 것으로, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는 것이 바람직하다.
- [0037] 도 1은 종래기술에 따른 TI-ADC를 포함한 광대역 디지털 수신기의 구조를 단순화하여 나타낸 도면이다.
- [0038] 도 1에 도시한 것과 같이, 종래기술에 따른 TI-ADC를 포함한 광대역 디지털 수신기는, 입력되는 아날로그 신호를 증폭하는 저잡음 증폭기, 복수의 ADC(analog to digital converter)로 구성되는 시간 인터리브 ADC(time interleaved ADC, 이하 TI-ADC라 칭함), 복수의 다운 컨버전 수단, 로우 지터 PLL(low jitter phase locked loop), 복수의 채널 필터 등으로 구성된다.
- [0039] 즉, 종래기술의 광대역 디지털 수신기는, 입력 아날로그 신호를 복수의 ADC 채널을 통해 각각 샘플링하여 디지털 신호로 변환한다.
- [0040] 이때, 종래기술의 광대역 디지털 수신기는, 복수의 믹서, 복수의 다운 컨버전 수단, 복수의 필터, 복수의 상향 컨버전 수단 등을 통해 상기 각 ADC 채널로부터 출력되는 디지털 신호에 대한 디지털 처리 과정(즉, 주파수 하향 변환, 필터링, 신호혼합, 주파수 상향 변환 등)을 통해 최종적인 디지털 신호를 출력하게 된다.
- [0041] 한편 광대역 디지털 수신기의 나이퀴스트(nyquist) 기준에 따르면, 1GHz 데이터 신호는 앨리어싱(aliasing)이 없는 완전한 디지털화를 위해 2GHz 이상의 샘플링 주파수를 필요로 한다.
- [0042] 따라서 상기 시간 인터리브 ADC는, 높은 샘플링 속도(예: 2GHz 이상)로 광대역 스펙트럼에서 동작할 수 있어야 하며, 입력 아날로그 신호를 디지털 신호로 정확하게 변환하기 위한 양자화 오차를 최소화도록 고분해능(high resolution)을 가지도록 설계되는 것이 매우 중요하다.
- [0043] 이러한 설계상의 중요성에 따라 상기 종래기술의 광대역 디지털 수신기는 루프 필터나 저역통과필터 등과 같은 대역 통과 필터를 병렬로 사용하여 관심 주파수를 추출한 다음 복수의 저속 ADC로 구성된 시간 인터리브 ADC를 통해 상기 입력 아날로그 신호를 디지털 신호로 변환한다.
- [0044] 그러나 종래기술의 광대역 디지털 수신기는, 복수의 믹서, 복수의 필터 등과 같은 복수의 회로를 구비하고 있기 때문에 광대역 디지털 수신기의 하드웨어 구조가 매우 복잡하며, 이로 인해 전체 광대역 디지털 수신기의 노이즈 제거 성능이 저하되는 문제점이 있다.
- [0045] 또한 상기 종래기술의 광대역 디지털 수신기의 주파수 하향 변환은 복수의 믹서, 복수의 필터가 필요하여, 상기 각 ADC 채널로부터 출력되는 병렬 데이터 스트림에 대한 병렬 처리가 수행되어야 하기 때문에 회로의 부피가 확장되어 전력소비가 매우 높은 문제점이 있다.
- [0046] 따라서 본 발명에서는, 더 낮은 전력소비를 보장하면서 스퓨리어스가 없는 더 큰 동적 대역(spurious free dynamic range, SFDR)과 함께 더 높은 정확도를 제공할 수 있도록 하는 시간 인터리브 파이프라인 아날로그 디

지털 변환 장치를 제공하고자 한다.

- [0047] 또한 본 발명은, 단일 초고속 ADC를 사용하지 않고, 복수의 저속 데이터 ADC가 위상 쉬프트(shift)된 샘플링 클록(clock)을 사용하여 시간 인터리브되어 전체적으로 높은 샘플링 속도(GS/s)를 달성하는 병렬 샘플링 방식을 사용하여 고속으로 입력 아날로그 신호를 디지털 신호로 변환할 수 있도록 한다.
- [0048] 이를 통해 본 발명은, 추가적인 다운 컨버전 회로가 필요 없이 주요 지상 디지털 TV 표준의 완전한 동작 주파수 스펙트럼을 처리할 수 있도록 하며, 믹서 및 필터를 사용하지 않고서도 상기 디지털 신호로 변환할 수 있도록 함으로써, 디지털 신호로 변환하기 위한 하드웨어 구조를 단순화함과 동시에 소비전력을 최소화할 수 있다.
- [0049] 도 2는 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치를 설명하기 위해 나타낸 블록도이다.
- [0050] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(이하, 시간 인터리브 파이프라인 아날로그 디지털 변환 장치라 칭함)(100)는, 입력 아날로그 신호를 시간 인터리브하여 복수의 채널별로 디지털 신호로 변환하는 위한 복수의 서브 ADC(111)구성되는 시간 인터리브 파이프라인 ADC(110), 상기 각 채널별 디지털 출력에 대한 디지털 후면 교정을 수행하는 디지털 후면 교정부(120), 상기 디지털 후면 교정을 수행한 각 채널별 디지털 출력을 다중화하여 출력하는 다중화부(130) 및 상기 다중화한 디지털 출력에 대한 시간 미스매치를 교정하는 시간 교정부(140) 및 상기 각 서브 ADC(111)를 시간 인터리브하여 상기 각 서브 ADC(111)의 동작을 동기화하기 위한 클록 생성부(150)를 포함하여 구성된다.
- [0051] 상기 시간 인터리브 파이프라인 ADC(110)를 구성하는 각각의 서브 ADC(111)는, 상기 클록 생성부(150)에 의해 생성되는 비중첩 클록 위상에 의해 시간 인터리브되며, 상기 각 서브 ADC(111)는 상기 입력 아날로그 신호를 단계적으로 변환하기 위해 연속적인 단계를 가지는 파이프라인 구조로 구성된다.
- [0052] 이를 통해 상기 시간 인터리브 파이프라인 ADC(110)는, 상기 입력 아날로그 신호를 병렬적으로 처리하여 신속하게 디지털 신호로 변환할 수 있도록 한다.
- [0053] 한편 상기 시간 인터리브 파이프라인 ADC(110)의 구조는 도 3을 참조하여 상세히 설명하도록 한다.
- [0054] 또한 상기 디지털 후면 교정부(120)는, 상기 각 단계로 구성되는 복수의 서브 ADC(111)의 채널별로 출력되는 디지털 출력(즉, 디지털 샘플)에서 발생하는 오프셋 미스매치 및 이득 미스매치를 교정하는 기능을 수행한다.
- [0055] 상기 오프셋 미스매치 및 이득 미스매치는, 상기 각 채널별로 교정되며, 상기 오프셋 미스매치가 교정된 이후, 상기 이득 미스매치가 교정된다.
- [0056] 또한 상기 오프셋 미스매치 및 상기 이득 미스매치는 신호의 평균 즉, 신호의 통계적 특성을 이용하여 교정된다.
- [0057] 또한 상기 다중화부(130)는, 상기 채널별로 오프셋 미스매치 및 이득 미스매치가 교정된 디지털 출력을 시간에 따라 정렬하여 다중화하는 기능을 수행한다.
- [0058] 즉, 상기 다중화부(130)는, 상기 디지털 후면 교정부(120)를 통해 채널별로 상기 오프셋 미스매치 및 이득 미스매치를 교정한 디지털 출력들을 결합하여 다중화하는 것이다.
- [0059] 또한 상기 시간 교정부(140)는, 상기 다중화부(130)를 통해 출력되는 디지털 신호의 시간 미스매치를 검출하여, 레지스터 제어 지연 잠금 루프(resister controlled delay locked loop)를 기반으로 상기 검출한 시간 미스매치를 교정하는 기능을 수행한다.
- [0060] 한편 상기 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 교정하는 과정은 도 10 및 도 11을 참조하여 상세히 설명하도록 한다.
- [0061] 또한 상기 클록 생성부(150)는, 복수의 클록을 생성함으로써, 상기 각각의 서브 ADC(111)가 위상 쉬프트된 샘플링 클록을 통해 시간 인터리브되어 각 서브 ADC(111)동작이 동기화됨으로서, 상기 입력 아날로그신호를 단계적으로 병렬 처리할 수 있도록 하여 전체적으로 높은 샘플링 속도를 달성할 수 있도록 하는 기능을 수행한다.
- [0062] 상기 클록 생성부(150)의 기능은, 도 4 및 도 5를 참조하여 상세히 설명하도록 한다.
- [0063] 이하에서는 상기 시간 인터리브 파이프라인 ADC(111)의 구조를 상세히 설명하도록 한다.

- [0064] 도 3은 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC의 구조와 클록에 따른 서브 ADC의 샘플링 에지를 나타낸 도면이다.
- [0065] 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC(110)는 서로 다른 클록 위상각과 동일한 샘플링 속도를 가지는 복수의 서브 ADC(111)의 M번호로 구성된 M채널 아키텍처이다.
- [0066] 결과적으로 상기 시간 인터리브 파이프라인 ADC(110)는 상기 개별 서브 ADC(111)의 속도의 M배를 가지는 단일 ADC로 동작한다.
- [0067] 시간 인터리브 자체의 현상은 복수의 서브 ADC(111)를 병렬로 배치하는 것보다 훨씬 복잡하기 때문에 상기 복수의 서브 ADC(111)로 구성된 시간 인터리브 파이프라인 ADC(110)를 설계할 때, 오프셋 미스매치(offset mismatch), 이득 미스매치(gain mismatch) 및 시간 미스매치(time mismatch)와 같은 오류를 고려해야 한다.
- [0068] 따라서 본 발명에서는 상기 오류를 교정하기 위해 디지털적으로 상기 오류를 교정하기 위한 디지털 후면 교정부(120) 및 시간 교정부(140)가 도입된다. 한편 상기 디지털 후면 교정부(120) 및 상기 시간 교정부(140)는 도 10을 참조하여 상세히 설명하도록 한다.
- [0069] 일반적으로 TI-ADC(즉, 시간 인터리브 ADC)에서 유도되는 비선형적인 오류는 크게 오프셋 미스매치 및 이득 미스매치를 포함하는 정적 유형의 미스매치와 상기 시간 미스매치를 포함하는 동적 유형의 미스매치로 분류될 수 있다.
- [0070] 상기 정적 유형의 미스매치는 입력 주파수의 변화와 이상적으로 독립적이기 때문에 처리하기가 매우 쉬운 반면에 상기 동적 유형의 미스매치는 상기 입력 주파수 변화에 매우 민감하기 때문에 전체 시스템의 스펙트럼 성능을 제한하는 주요 요인으로 간주된다.
- [0071] 도 2에 도시한 $x(t)$ 는 시간 인터리브 파이프라인 ADC(110)에 입력되는 입력신호이고, $y[n]$ 은 상기 시간 인터리브 파이프라인 ADC(110)의 디지털 출력이다.
- [0072] 이때, T_s 가 단일 ADC에 대한 샘플링 시간인 경우, N개의 서브 ADC의 각 샘플링시간은 다음의 [수학식 1]과 같이 일반화될 수 있다.
- [0073] [수학식 1]
- [0074]
$$\hat{T}_s = N \cdot T_s$$
- [0075] 이때, k번째에 위치하는 서브 ADC(111)는 다음의 [수학식 2]의 시간에서 트리거(trigger)된다.
- [0076] [수학식 2]
- [0077]
$$t_k[n] = n\hat{T}_s + kT_s = (nN + k) \cdot T_s$$
- [0078] 또한 이상적으로 균일하게 샘플링된 입력신호를 고려하면, 상기 k번째에 위치하는 서브 ADC(111)출력 y_k 는 다음의 [수학식 3]과 같이 일반화된다.
- [0079] [수학식 3]
- [0080]
$$\hat{y}_k[n] = x(t_k[n]) = x([nN + k] \cdot T_s)$$
- [0081] 여기서, 상기 $n - k/N$ 은 정수이다.
- [0082] 이후, 모든 서브 ADC(111)의 디지털 출력은 상기 다중화부(130)를 통해 다중화되어 다음의 [수학식 4]로 표현되는 출력 $y[n]$ 을 출력한다.

[0083] [수학식 4]

$$y[n] = \sum_{k=0}^{N-1} y_k[n]$$

[0084]
[0085] 이때, 상기 출력 $y[n]$ 은 다음의 [수학식 5]와 같이 간단화될 수 있다.

[0086] [수학식 5]

$$y[n] = x(nT_s)$$

[0087]
[0088] 여기서, 상기 $y[n]$ 은, 모든 샘플링 주기가 이상적으로 간주되는 시간 인터리브 파이프라인 ADC(110)의 출력이다. 그러나 실제로는 전체 시스템에 영향을 줄 수 있는 오프셋, 이득 및 시간 오류와 같은 몇 가지 미스매치가 발생할 수 있다.

[0089] 이때, 상기 각 서브 ADC(111)의 이득 미스매치를 G_k , 오프셋 미스매치를 O_k 및 타이밍 스큐(skew)(즉, 시간 미스매치)를 τ_k 라고 한다면, 상기 각 서브 ADC(111)의 디지털 출력은 다음의 [수학식 6]과 같이 표현될 수 있다.

[0090] [수학식 6]

$$y_k[n] = (G_k \cdot x(nT_s - \tau_k) + O_k)$$

[0091]
[0092] 따라서 상기 각 서브 ADC(111)에 포함되는 이득 미스매치, 오프셋 미스매치 및 시간 미스매치를 교정해야만 정확한 디지털 출력 사용자에게 제공할 수 있다.

[0093] 한편 본 발명의 시간 인터리브 파이프라인 ADC(110) 12비트 96MS/s로 동작하도록 설계되며, 상기 각 서브 ADC(111)는 32개로 구성되어 32개의 채널을 형성하도록 하며, 상기 각 채널은 시간 인터리브되어 3.072 GS/s(giga samples per second)의 전체 대역폭을 달성하도록 구현된다.

[0094] 또한 상기 복수의 서브 ADC(111)는 12비트 100MS/s(mega samples per second)로 동작되며 파이프라인으로 형성된다.

[0095] 또한 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는, 상기 각 서브 ADC(111)에 대한 동작을 동기화(즉, 시간 인터리브)하기 위해 32개의 비중첩 클록 위상(clock phase)을 생성한다.

[0096] 이때, 상기 비중첩 클록 위상은 상기 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)에 구비되는 클록 생성부(150)에 의해 생성되며, 상기 클록 생성부(150)는, 본 발명에서 제안하는 수정된 존슨 카운터 방식(johnson counter scheme)을 이용하여 상기 비중첩 클록 위상을 생성하게 된다.

[0097] 도 4는 본 발명의 일 실시예에 따른 클록 생성부의 구조를 나타낸 도면이다.

[0098] 도 4에 도시한 바와 같이, 시간 인터리브된 서브 ADC(111)의 샘플링 속도는 동일하지만 위상각이 다른 샘플링 클록에서 M개의 서브 ADC(111) 중 하나만 활성 상태(active state)가 된다.

[0099] 상기 클록 생성부(150)를 통해 생성된 클록 위상의 스큐(skew)가 잘못된 값의 샘플링을 초래할 수 있기 때문에, 모든 채널에 대해 정확한 클록 위상을 생성하는 것이 상기 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)의 전체 성능에 필수적이다.

[0100] 한편 정확한 클록 위상을 생성하기 위한 다양한 기술이 제안되었으나, 본 발명에서는, 다중 위상 클록 생성기(multiphase clock generator, MPCG)를 이용한다. 상기 다중 위상 클록 생성기는, 다중 데이터 속도 및 무선 주파수에 유연한 장점이 있다.

[0101] 또한 상기 다중 위상 클록 생성기는 지연 고정 루프 기반(delay locked loops, DLL) 다중 위상 클록 생성기 및 쉬프트 레지스터(shift resistor, SR) 기반 다중 위상 클록 생성기가 가장 널리 사용되는 아키텍처이다.

[0102] 상기 SR 기반 다중 위상 클록 생성기는, DLL 기반 다중 위상 클록 생성기와 달리 N개의 클록 위상을 생성하려면 N배 높은 클록이 필요하지만, 하나의 단계에서 다음 단계로 지터가 누적되지 않는 장점이 있다.

- [0103] 따라서 본 발명에서 비중첩 클록 위상을 생성하기 위해 상기 SR 기반 다중 클록 생성기를 이용하는 것이 바람직하지만, 각 서브 ADC(111)를 시간 인터리빙하여 동작을 동기화하기 위한 클록 위상을 생성하도록 하는 다양한 클록 생성기를 이용하여 상기 클록 생성부(150)로 구성할 수 있다. 즉 본 발명에서는 상기 클록 생성기의 종류에 그 제한을 두지 아니한다.
- [0104] 도 4에 도시한 바와 같이, 본 발명의 클록 생성부(150)는, N개의 동일한 디 플립플롭(d-flipflop)(이하, DFF라 칭함)이 직렬로 캐스케이드된(cascaded) DFF의 체인으로 구성된다.
- [0105] 고주파 레퍼런스 클록(MLCK)은, DFF 체인에 공급되고, DFF의 논리회로는 상기 체인을 지속적으로 모니터링하여, N개의 레퍼런스 사이클 이후에 첫 번째 DFF의 입력을 반전시킨다.
- [0106] 복수의 DFF가 직렬로 캐스케이드되어 있기 때문에 모든 DFF의 출력 Q는, 이전 레퍼런스 클록의 1클록기간에 의해 지연된다. 이러한 방식으로, $2\pi/N$ 의 위상차를 가지는 N-클록 사이클이 생성된다.
- [0107] 도 5는 본 발명의 일 실시예에 따른 클록 생성부를 통해 생성한 클록 위상을 도시한 도면이다.
- [0108] 도 5에 도시한 바와 같이, 본 발명의 일 실시예에 따른 클록 생성부(150)는, 수정된 존슨 카운터를 이용하여 클록 위상을 생성하게 된다.
- [0109] 한편 일반적인 존슨 카운터는 트위스트 링 카운터(twisted ring count)라고도 불리는 링 카운터의 한 유형이다.
- [0110] 다만 본 발명에서 적용되는 클록 생성기는, 상기 복수의 서브 ADC(111)를 효과적으로 시간 인터리브하기 위해 상기 존슨 카운터를 수정하여, 일반적인 존슨 카운터와 달리 Q대신에 Q'의 보수가 첫 번째 DFF의 입력으로 보내진다.
- [0111] 따라서 첫 번째 DFF의 출력은 2N 사이클 마다 매 상태가 전환된다. 종래의 SR 기반 MPCG와 달리 본 발명의 수정된 존슨 카운터 기반 접근 방식은, DFF의 두 출력(즉, Q 및 Q')을 모두 사용하기 때문에 4개의 DFF만으로도 8개의 겹치지 않는 클록 위상을 생성할 수 있다.
- [0112] 즉, N개의 서브 ADC(111)를 구성할 때, N/2개의 DFF만으로도 상기 N개의 서브 ADC(111)를 시간 인터리브하기 위한 클록 위상을 생성할 수 있다.
- [0113] 또한 상기 생성한 클록 위상은, 동일한 트랙(track) 및 홀드(hold)시간을 가지며, 샘플링 스위치 시퀀스(sequence)는, 상기 클록 위상의 위상각(phase angle)에 따라 결정된다.
- [0114] 즉, 도 4 및 도 5를 참조하여 설명한 것과 같이, 본 발명은 서브 ADC(111)의 샘플링 시간을 증가시키고, 입력 커패시턴스(capacitance)의 값을 줄이기 위해 수정된 존슨 카운터의 구조로 구성되는 클록 생성부(150)를 도입한다.
- [0115] 또한 DFF 출력(Q 및 Q')으로부터 다양한 조합은 AND 게이트를 통해 적분되며, 각 쉬프트된 위상은 마스터 클록(MCLK)의 1클록 주기 동안만 트랙 시간을 가지며, 나머지 N-1 사이클 동안 홀드 시간을 가진다.
- [0116] 도 6은 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC의 동작을 설명하기 위해 나타난 도면이다.
- [0117] 도 6에 도시한 바와 같이, 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC(110)는 복수의 서브 ADC(111)구성되며, 상기 각 서브 ADC(111)는 시간 인터리브되어 각 서브 ADC(111)에서 입력 아날로그 신호를 단계적으로 각각 처리하여 디지털 신호로 출력하는 기능을 수행한다.
- [0118] 상기 시간 인터리브 파이프라인 ADC(110)에서 각 단계는 최종 변환된 출력에 대한 특정수의 비트에 관여한다.
- [0119] 상기 시간 인터리브 파이프라인 ADC(110)는, 입력 아날로그 신호를 첫 번째 단계(즉, 첫 번째 서브 ADC)로 입력되고 n개의 비트를 디지털 신호로 변환(resolve)한 다음, 잔여 아날로그 신호(analog residue)를 다음 단계로 전송하는 절차를 수행한다.
- [0120] 이러한 절차는 상기 아날로그 신호가 마지막 단계에 도달할 때까지 계속되며, 그 후 m-bit ADC가 상기 시간 인터리브 파이프라인 ADC(110)의 최종 비트를 다음의 [수학식 7]과 같이 결정하게 된다.

[0121] [수학식 7]

$$x = Q_1 + \frac{1}{A_1} Q_2 + \frac{1}{A_1 A_2} Q_3 + \frac{1}{A_1 A_2 A_3} Q_4 + \dots$$

[0122]

[0123] 여기서 Q는, 각 단계의 양자화 출력이고, 상기 A는 잔여 아날로그 신호의 증폭이득이다.

[0124] 상기 파이프라인으로 구성되는 모든 단계는, 서로 다른 시간에 수집된 출력 비트를 시간 정렬하여, 오프셋, 이득 및 시간 미스매치를 교정하기 위해 상기 디지털 후면 교정부(120)로 상기 출력 비트를 전달하게 된다.

[0125] 한편 상기 시간 인터리브 파이프라인 ADC(110)의 동작은 2단계 플래시 ADC와 유사하나 상기 2단계 플래시 ADC와 달리 상기 모든 단계 끝까지 잔여 아날로그 신호가 도달할 때까지 대기할 필요가 없다.

[0126] 즉, 상기 잔여 아날로그 신호가 2단계(즉, 두 번째 서브 ADC)로 전달되자마자 상기 1단계(즉, 첫 번째 서브 ADC)는 다음 샘플을 처리하기 시작한다. 이러한 방식으로 주어진 시간에 파이프라인의 모든 사용가능한 각각의 단계가 데이터를 처리할 수 있도록 한다.

[0127] 처음을 제외하고 첫 번째 샘플이 파이프라인의 끝(즉, 마지막 단계)까지 도달하려면 'n'개의 클록이 필요하다.

[0128] 각 단계의 디지털 출력 대기시간은 파이프라인의 단계 수에 따라 다르며, 상기 단계가 많을수록 상기 대기시간은 길어진다. 다만 상기 각 단계당 비트수를 늘려 파이프라인을 구성하는 상기 각각의 서브 ADC(111)의 출력 대기시간을 최소화할 수 있다.

[0129] 또한 상기 모든 단계는 마지막 단계를 제외하고 동일한 비트수를 처리한다. 상기 각 단계 당 비트수는 1 내지 4 비트까지 다양하지만 1.5비트가 바람직하며, 이때, 오류 수정을 위해 0.5비트가 중복(redundancy)된다.

[0130] 이때, 상기 1.5비트 아키텍처를 사용하면, 다음 단계의 전체 범위를 확보하기 위한 잔여 아날로그 신호를 위한 각 단계별 설계 요구 사항인 잔여 이득 증폭기에 대한 요구사항은 $A_i = 2^n$ 이 된다. 여기서 n은 단계별 비트 수이고, i는 단계 번호이다.

[0131] 그러나 잔여 아날로그 신호를 2^n 으로 증폭하면, 각 서브 ADC(111)의 각 단계에서 어떠한 오류가 발생하게 되면 코드가 누락될 수 있다. 그러므로 0.5비트를 중복(redundancy)하는 것이 상기 각 단계에 적용된다. 풀 스케일(full scale) 범위에 대해 상기 요구사항 $A_i = 2^n$ 을 사용하는 대신에 본 발명은 $A_i = 2^{(n-1)}$ 인 하프 스케일 범위가 증폭에 사용되고, 나머지 절반은 서브 ADC(111)의 오류를 교정하는데 사용된다.

[0132] 따라서 전체 시간 인터리브 파이프라인 ADC(110)의 전체 분해능(resolution)은 다음의 [수학식 8]과 같이 계산될 수 있다.

[0133] [수학식 8]

$$\text{Resolution}_{\text{ADC}} = \text{No. of stages } (n - 1) + m$$

[0134]

[0135] 여기서, n은 단계별 비트수이고, m은 플래시 양자화기의 비트수이다.

[0136] 또한 모든 비트가 결정되면, 상기 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는 목표 분해능(resolution)을 달성하기 위해 모든 단계의 비트를 결합하고, 적절한 가중치를 제공하며, 시간에 맞추어 정렬하며 중복된 비트를 뺀다.

[0137] MDAC(multiplying DAC) 구조의 정확성 또한 ADC 성능에 매우 중요하다. 특정 MDAC의 초기 단계에서의 정확성은 매우 중요하다. 1단계에서 생성된 오류는 체인의 끝까지 전송되지 않고 각 단계에서 증폭된다. 가장 일반적으로 MDAC의 성능 저하의 원인은 IGE(inter stage gain error)이다.

[0138] 단계의 수를 줄이고 ADC의 분해능을 높이기 위해 각 단계별 비트수가 다른 구조가 설계되었으나 다른 비트수를 사용하면 설계 요구 사항이 복잡해진다.

[0139] 따라서 단계별로 동일한 비트수를 사용하면 시간 인터리브 파이프라인 ADC(110)의 설계 요구사항이 간소화될 수 있다.

- [0140] 양자화기와 DAC회로에 대해 체인 전반에 동일한 기준 전압을 사용할 수 있으므로 레이아웃 구현이 단순해지고 경로 미스매치(path mismatch)가 제거되어 기생 커패시턴스(parasitic capacitance)가 감소한다.
- [0141] 이 때문에 본 발명에서는, 복수(예: 10개)의 각 단계는 2비트 플래시 양자화기와 캐스케이드되어 12비트 해상도를 구현하고, 상기 1.5비트 아키텍처는 두 가지 주요 부분인 복수의 서브 ADC(파이프라인 단계)(111)와 MDAC로 구성된다.
- [0142] 도 7은 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC를 구성하는 서브 ADC의 구성을 나타낸 도면이다.
- [0143] 도 7에 도시한 바와 같이, 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 ADC를 구성하는 각 서브 ADC(111)는, 프리앰프(pre-amplifier), 재생 래치(regenerative latch) 및 출력 래치(output latch)로 구성되는 비교기를 포함하여 구성되며, 상기 비교기를 통해 입력 아날로그신호를 디지털 신호로 변환하는 기능을 수행한다.
- [0144] 일반적으로 비교기는 고속, 고분해능 ADC의 속도를 제한하는 주요 병목(bottle neck)으로 작용하기 때문에 고속 ADC에서 비교기의 설계는 전반적인 시스템의 성능에 매우 중요하다.
- [0145] 과거 비교기 아키텍처는 속도와 전력소비 면에서 두드러진 발전을 이루고 있으며, 대표적으로 단일 단계 동적 비교기(single stage dynamic comparator), 프리앰프 기반 래치형 비교기(preamplifier based latched comparator), 2단계 동적 재생성 비교기(two stage dynamic regenerator comparator), 듀얼 테일 듀얼 레일 동적 래치형 비교기(dual tail dual rail dynamic comparator)가 있다.
- [0146] 단일 단계 동적 비교기는, 소비전력이 적은 이점이 있지만 출력노드의 용량성 경로로 인해 높은 킥백(kickback) 노이즈가 발생하는 문제점이 있다.
- [0147] 반면에 2단계 동적 재생성 비교기 및 듀얼 테일 듀얼 레일 동적 래치형 비교기는, 상기 단일 단계 동적 비교기보다 안정적이지만 출력에서 높은 오프셋의 단점을 가지고 있어 시간 인터리브 ADC에서 실현 불가능한 한계가 있다.
- [0148] 또한 프리앰프 기반 래치형 비교기는, 고속 및 저전력 소비를 보장하여 출력에서 오프셋이 매우 낮은 장점이 있다. 따라서 비교기가 시간 인터리브 ADC 시스템의 오차를 상쇄시키는 주요 원인으로 작용할 수 있기 때문에 본 발명에서는 상기 프리앰프 기반 래치형 비교기를 이용하여 상기 서브 ADC(111)를 구성한다.
- [0149] 이에 따라 상기 서브 ADC(111)는 프리앰프, 재생 래치, 출력 래치를 통한 총 3단계 과정을 통해 상기 변환을 수행한다.
- [0150] 상기 프리앰프를 첫 번째 단계로 이용하는 경우, 두 가지 이점이 있다.
- [0151] 하나는 두 신호의 차이를 증폭시킴으로써, 변환속도를 증가시켜 재생 래치의 비교시간을 줄일 수 있으며, 또 다른 하나는 상기 비교기의 오프셋 오차를 줄이는데 도움이 된다.
- [0152] 한편 고속 애플리케이션의 경우, 프리앰프가 이득 및 GBW(giga bandwidth)에 대해 더 높은 값을 가져야하므로 상기 서브 ADC(111)에서는 다만 증폭이 수행된다.
- [0153] 상기 프리앰프의 증폭단수의 결정은 상기 단계 수(즉, 서브 ADC의 수)에 따라 시스템의 전송지연도 증가하므로 매우 중요하며, 상기 프리앰프의 전송지연은 다음의 [수학식 9]와 같이 표현될 수 있다.
- [0154] [수학식 9]
- $$t = n\tau = \frac{n \cdot A_n}{G \cdot GBW}$$
- [0155]
- [0156] 여기서, t는 전송지연, n은 프리앰프의 수, τ 는 각 증폭기의 지연을 의미하며, A는 상기 프리앰프의 전체 이득, G는 개별 단계에서 상기 프리앰프의 이득, GBW는 상기 각 단계의 기가 대역폭을 의미한다.
- [0157] 상기 프리앰프는 58.98dB의 유효 이득과 66.39°의 위상 마진을 제공하며 유효 GBW는 약 1.602GHz이다.
- [0158] 또한 상기 프리앰프의 출력은 다음 단계인 재생 래치로 전달된다.
- [0159] 상기 재생 래치는 속도가 매우 빠르기 때문에 항상 고속 비교기에서 선회되면, 상기 비교기의 의사결정 단계로

간주된다.

[0160] 상기 재생 래치의 클록 제어(clock controlled)구조는, 두 개의 교차결합 쌍(즉, 하나의 PMOS 및 다른 NMOS)과 비교기의 성능을 크게 향상시키는 양(positive)의 피드백으로 구성된다.

[0161] 상기 재생 래치의 속도는 회생시간상수(recovery time constant)인 τ_{recovery} 와 재생시간상수(regeneration time constant)인 $\tau_{\text{regen.}}$ 에 의존한다.

[0162] 상기 회생시간상수 및 상기 재생시간상수는 다음의 [수학식 10]과 같다.

[0163] [수학식 10]

$$\tau_{\text{recovery}} = 2R_{\text{on,MN18}} C_{\text{tot.}}$$

$$\tau_{\text{regen.}} = \frac{C_{\text{tot}}}{g_{\text{MP9,10}} g_{\text{MN19,20}}}$$

[0164] 여기서, $R_{\text{on,MN18}}$ 은 온타임(on time) 임피던스(impedance)이며, C_{tot} 는 전체 기생 커패시턴스를 의미하며, $g_{\text{mp9,10}}$ 및 $g_{\text{MN19,20}}$ 은 MP9 내지 MP10 및 MN19 내지 MN20의 트랜스 컨덕턴스(trans conductances)를 나타낸다.

[0166] 따라서 상기 [수학식 10]에 나타난 것과 같이, 상기 재생 래치의 회생시간은 $R_{\text{on,MN18}}$ (즉, MN18의 폭을 증가)을 감소시킴으로써, 감소될 수 있다.

[0167] 한편 MP9 내지 MP10 및 MN19 내지 MN20의 너비를 확장하면 실제 $g_{\text{mp9,10}}$ 및 $g_{\text{MN19,20}}$ 이 감소하지만 C_{tot} 의 값이 같은 비율로 증가하므로 상기 재생시간은 일정하게 유지된다.

[0168] 마지막 단계의 출력 래치는, 출력에서 데이터를 버퍼링하고 안정적으로 유지할 수 있도록 하는 SR(shift resistor) 래치이다.

[0169] 상기 재생 래치가 리셋 모드에 있을 때, 상기 출력 래치는 마지막 클록주기의 값을 유지하며, 상기 재생 래치가 비교모드에 있을 때만, 상기 출력을 생성한다.

[0170] 한편 시간 인터리브 파이프라인 ADC(110)의 두 번째로 중요한 것은 MDAC(multiplying)이다. 상기 MDAC는, 이전 단계로부터의 잔여 아날로그 신호를 샘플링하기 위한 것으로, 서브 ADC(111)로부터 디지털 출력에 대응하는 아날로그 신호를 재구성하고, 해당 서브 ADC(111) 단계의 출력에서 재구성된 신호를 차감함으로써, 다음 단계를 위한 잔여 아날로그 신호를 생성하는 기능을 수행 한다.

[0171] 상기 MDAC는, 스위치형 커패시터 회로(switched capacitor circuit)이며, 고속, 고분해능 ADC의 경우, 다음 단계로의 올바른 신호 전송은 상기 MDAC의 설정의 정확성에 따라 달라진다.

[0172] 따라서 상기 MDAC를 설계하기 위해서는 정교한 설정이 필요하여, 오늘날에는 상기 시간 인터리브 파이프라인 ADC(110)가 저전력에서 동작하도록 구현되므로, 상기 MDAC의 설계 요구사항 또한 더욱 복잡하게 만든다.

[0173] 본 발명의 MDAC는, 두 개의 클록 위상에서 동작하며, 첫 번째 위상에서 신호는 샘플링 커패시터에 의해 샘플링 되고, 이때, 상기 MDAC에 구비되는 연산 증폭기(op-amp)는 그 출력이 그라운드(ground)에 연결되어 오프 모드로 동작한다.

[0174] C_s 는 샘플링 커패시터이고, C_f 는 피드백 커패시터이므로 상기 샘플링 커패시터 및 상기 피드백 커패시터는 다음의 [수학식 11]과 같이 주어진다.

[0175] [수학식 11]

$$Q_{C_s} = C_s V_{in}; \quad Q_{C_f} = C_f V_{in};$$

[0176] 두 번째 위상에서는 상기 서브 ADC(111)에서 얻은 값을 기반으로 관련된 레퍼런스 레벨이 샘플링 커패시터(C_s)에 연결되고, 반면에 상기 피드백 커패시터(C_f)는 피드백 구성에서 상기 연산증폭기의 출력에 연결된다. 이러한 방식으로, 샘플링된 입력과 DAC 출력의 차이는 두 커패시터 간의 전하 전송에 의해 증폭된다.

- [0178] 또한 3 to 1 멀티플렉서는, 3개의 전압 레벨 +Vref, GND 및 -Vref 사이에서, 스위칭하는데 사용되며, 상기 스위칭은 상기 서브 ADC(111)로부터 수신된 디지털 비트(즉, 디지털 출력)를 기반으로 결정된다.
- [0179] 만약 서브 ADC(111)의 디지털 출력이 00이면 -Vref가 선택되고 1.5비트 단계의 출력은 $2V_{in} + V_{ref}$ 가 되며, 상기 디지털 출력이 01이면 GND가 선택되고 1.5비트 단계의 출력은 $2V_{in}$ 이 되고, 상기 디지털 출력이 10이면 +Vref가 선택되고 1.5비트 단계의 출력은 $2V_{in} - V_{ref}$ 가 된다.
- [0180] MDAC는 스위치형 커패시터 회로이기 때문에, 스위치로부터 전하의 주입이 어려우므로, 하단 플레이트 샘플링(bottom plate sampling)은 위상(phase) 1보다 조금 더 일찍 종료하는 추가적인 위상동안 연산증폭기의 입력 단자를 단락시키는 추가 스위치로 사용된다.
- [0181] 이에 따라 샘플링 경로의 신호의 신호 의존적인 오프셋과 온 저항이 감소하여 하단 플레이트 스위치의 크기가 감소한다.
- [0182] MDAC는 시간 인터리브 파이프라인 ADC(110)의 1.5비트 단계에서 결정적인 요소로 작용하므로 목표 성능을 위한 설계 파라미터를 세밀하게 분석해야 한다.
- [0183] 연산증폭기는 MDAC 구조에서 가장 중요한 성능 표시기이므로, 연산 증폭기의 GBW 및 이득이 충분히 커야하며, 잔여 아날로그 신호는 최소한의 안정적인 정확도를 달성해야 되며, 후속 단계에서 감지할 수 있는 충분한 출력 스윙을 생성할 수 있어야 한다.
- [0184] 그 외에도, 고속의 증폭에서는, 안정적인 증폭을 위해 공통 모드 피드백을 사용하는 것이 바람직하다.
- [0185] 또한 본 발명에서는 종래의 CMOS 스위치 대신에 부트스트랩 스위칭(bootstrapped switching)이 사용된다. 상기 부트스트랩 스위칭을 사용하면 시스템의 온 컨덕턴스 및 선형성을 높일 수 있고 고주파 왜곡을 줄여 거의 이상적인 스위칭 성능을 달성할 수 있다.
- [0186] 한편 제한된 전력 내에서 GBW, 이득, 잡음, 슬루레이트(slew rate) 및 출력 스윙 측면에서 필요한 성능을 달성하는 고속, 고분해능 ADC에서 많은 문제가 발생할 수 있다.
- [0187] 연산증폭기의 정확도는 주로 개방 루프 이득(open loop gain), 커패시터 정합 및 안정 시간의 3가지 요인에 달려있다.
- [0188] 최근의 기술에서는, 트랜지스터의 크기가 점점 작아지면서 더 이상적인 시스템이 아닌 경향을 낳고 있다. 따라서 더 높은 성능 요구사항을 처리하는 것이 더 어려운 문제점이 있다.
- [0189] 시간 인터리브 파이프라인 ADC(110)에서의 연산 증폭기는 유한 이득 오류를 후속 단계로 전송한다. n비트 시간 인터리브 파이프라인 ADC(110)의 정확도 요구사항을 달성하려면 이 오류가 (n-m)비트 분해능을 갖는 ADC(110)의 LSB 전압보다 낮아야한다는 것이 필수적이다.
- [0190] 여기서 m은 각 단계의 비트수이고, n은 전체 시간 인터리브 파이프라인 ADC(110)의 전체 분해능이다.
- [0191] 따라서 상기 정확도 요구사항을 만족하려면 상기 서브 ADC(111)를 통한 각각의 단계가 다음의 [수학식 12]를 만족해야 한다.
- [0192] [수학식 12]
- $$\left(\frac{1}{\beta} - \frac{A}{1 + A\beta}\right) \frac{V_{ref}}{2^m} \leq \frac{V_{ref}}{2^{n-m}}$$
- [0193]
- [0194] 여기서 A는 상기 연산증폭기의 총 이득을 의미하며, β 는 상기 각 단계간 이득 계수를 나타낸다.
- [0195] 본 발명에서 상기 n은 12비트이고 m이 2비트이므로, 최소 개방 루프 이득은 72.25dB이다. 서브 마이크론(submicron) 기술의 프로세스 변화를 고려하기 위해 필요한 값보다 높은 이득을 갖는 것이 바람직하며, 이를 통해 이득 및 오프셋 오류를 최소화할 수 있다.
- [0196] 또한 상기 연산증폭기의 두 번째로 중요한 파라미터는 상기 연산증폭기의 이득대역폭(gain bandwidth)의 생성이다. 필요한 정확도를 얻으려면 이득대역폭이 샘플링 주파수보다 훨씬 커야한다.
- [0197] 또한 상기 이득대역폭에 대한 요건과 마찬가지로, 최대 이득대역폭에 의해 생성되는 오차는 ADC(111)의 1LSB보

다 작아야 한다.

[0198] 따라서 상기 서브 ADC(111)에 따른 모든 단계는 다음의 [수학식 13]을 만족해야 한다.

[0199] [수학식 13]

$$GBW_{single_p} = \frac{(n-m+1) \ln(2)}{2\pi \cdot \beta \cdot T_{set}}$$

[0200]

[0201] 본 발명의 시간 인터리브 파이프라인 ADC(110)의 샘플링 클록은 100MHz이므로, 시스템의 보수적인 추정 안정화 시간(T_{set})을 유지하는데 약 3ns가 소요된다.

[0202] 따라서 상기 [수학식 13]으로부터 계산된 최소 요구 이득대역폭 GBW_{single_p} 는 809MHz이다.

[0203] 쌍극(two-pole) 피드백 시스템의 경우, 이득대역폭(GBW) > $2GBW_{single_p}$ 이므로 필요한 이득대역폭은 약 1.62GHz이다.

[0204] 이득 및 이득대역폭에 대한 요구사항을 충족시키기 위해 이득 부스팅(gain-boosting) 기술이 상기 연산증폭기에 적용된다. 즉, 상기 이득 부스팅 기술을 통해 출력 스윙에 영향을 주지 않으면서 연산증폭기의 이득을 증가시키는 것이다.

[0205] 또한 상기 연산증폭기는 2단계 증폭을 수행하며, 고이득, 고대역 요구사항에 기반하여 폴드된 캐스코드 증폭기가 1단계 증폭에 이용되며, 2단계 증폭은 간단한 공통 에미터(emitter) 증폭기를 이용한다.

[0206] 폴드된 캐스코드 증폭기에 의해 제공되는 이득은 $\frac{(g_m r_{out})^2}{4}$ 로 추정될 수 있는 반면 공통 에미터 증폭기에 의해

수행되는 2단계 증폭에 의해 생성된 이득은 $\frac{g_m r_{out}}{2}$ 로 표현될 수 있고, 본 발명의 일 실시예에 따른 연산증폭기는 도 8에 도시되어 있다.

[0207] 증폭기용 CM 전압 발생기는 출력에서 정적 동작점(static operating point)을 안정화하기 위해 v_{dd_mid} 의 값을 가변하거나, M18-19 크기를 변경하여 CM 전압을 조정할 수 있다.

[0208] 상기 연산증폭기의 전달 함수가 쌍극(즉, 2단계)로 구성되므로, 상기 연산증폭기에 대한 보상(compensation)은 C_c 및 R_c 를 사용하여 구현된다.

[0209] 초기, 보상 커패시터 C_c 의 값은 1pf로 산출되지만, 더 나은 위상 마진을 얻기 위해 이 값은 반복 시뮬레이션 후에 880fF로 조정되었으며 R_c 값은 원하는 보상에 대해 100Ω으로 산출되었다.

[0210] 따라서 수작업으로 설계된 교정 구성요소로 인해 위상 마진의 값은 비트 오버레이티드(bit overrated)되지만 정착시간(settling time) 요구사항이 충족되는 한 회로는 안정적으로 유지된다.

[0211] 또한 샘플링 및 홀드 회로는, 높은 샘플링 속도의 장치에서 핵심적인 필수 요소이다.

[0212] 일반적인 TI ADCs에는 세 가지의 샘플링 및 홀드 회로(S/H) 아키텍처가 있다. 첫 번째는 프론트 엔드 샘플러(front-end sampler)가 없는 S/H이다.

[0213] 상기 프론트 엔드 샘플러가 없는 S/H는, 각 TI ADCs의 채널에 별도의 S/H 구조가 구성되며, 매 클록 사이클마다 ADC 중 하나가 입력 신호의 샘플을 포착하기 위해 트랙에서 홀드로 이동한다. 이 구조의 단점은 TI ADCs의 입력 커패시턴스가 매우 커져서 전체 대역폭을 제한한다는 문제점이 있다.

[0214] 두 번째 유형은 프론트 엔드 샘플러(front-end sampler)가 있는 S/H이다.

[0215] 상기 프론트 엔드 샘플러가 있는 S/H는 모든 샘플링 인스턴스를 결정하므로, TI ADC의 각 채널 간 시간 미스매치가 없는 장점이 있으나, 상기 프론트 엔드 샘플러가 전체 샘플링 속도로 동작하기 때문에 각 채널의 트랙 시간은 반 클록 주기를 초과할 수 없는 단점이 있다.

[0216] 또한 세 번째 유형은 계층형 프론트 엔드 샘플러를 포함하는 S/H이다. 이 기술에서는 와이어 및 스위치로 인한 큰 커패시턴스가 방지된다. 계층 구조의 각 단계에서 한 번에 하나의 스위치만 온 된다. 체인의 모든 S/H 스위치가 켜져 있지 않으면 채널이 시작되지 않는다. 이 기술은 더 나은 시간 정렬을 제공하지만 ADC간 성능을 제한

하는 채널 간 대역폭 불일치를 발생시키는 문제점이 있다.

- [0217] 본 발명은 프런트 엔드 샘플러가 없는 간단한 S/H가 사용된다. 높은 입력 커패시턴스 문제는 샘플링 펄스의 트랙 시간을 줄임으로써, 해결되며, 작은 트랙 시간은 더 작은 커패시턴스를 요구하며, 이는 시간 인터리브 파이프라인 ADC(110)의 구조에서 전체 입력 커패시턴스를 감소시킨다.
- [0218] 이 설계는 두 채널 간에 연산증폭기가 공유되는 증폭기 공유 방식을 사용한다. 연산증폭기 회로의 유휴 시간을 이용하여 연산증폭기의 수가 M에서 M/2로 감소함에 따라 전력 및 면적 소모가 낮아지는 장점이 있다. 여기서 M은 상기 시간 인터리브 파이프라인 ADC(110)의 채널수이다.
- [0219] 도 9는 본 발명의 일 실시예에 따른 연산증폭기의 공유구조를 나타낸 도면이다.
- [0220] 도 9에 도시한 바와 같이, 본 발명의 일 실시예에 따른 연산증폭기는 두 개의 서브 ADC(111)에 대한 각 채널을 공유하도록 구성됨으로써, 종래의 각 ADC마다 배치되는 연산증폭기의 수를 반으로 줄여 하드웨어의 구조를 단순화하고 소비전력을 최소화할 수 있도록 한다.
- [0221] 예를 들어 하나의 연산증폭기가 서브 ADC 1 및 서브 ADC 2에 대한 각 채널을 공유하도록 구성된다면, 상기 연산증폭기는 $\Phi 1$ 이 하이가 되면 S/H 회로가 상기 서브 ADC 1에 연결되고, 커패시터 C_{S1} 및 C_{S2} 는 차동 입력에 연결되며 C_{S3} 및 C_{S4} 는 피드백 루프에 연결되며 V_{0+} 및 V_{0-} 는 ADC 1의 샘플링 커패시터에 연결됩니다.
- [0222] 또한 $\Phi 2$ 가 하이가 되면 S/H는 서브 ADC 2에 연결되고 C_{S3} 및 C_{S4} 는 V_{cm} 입력에 연결되며 C_{S1} 및 C_{S2} 는 피드백 루프에 연결되며 V_{0-} 및 V_{0+} 는 상기 서브 ADC 2의 샘플링 커패시터에 연결된다.
- [0223] 이렇게 두 개의 서브 ADC(111)에 하나의 연산증폭기를 공유하도록 설계하면, 공통 모드 오류가 발생할 수 있지만, 상기 각 서브 ADC(111)에 대한 각 단계는 완전 차동(fully differential)이므로 오류가 다음 단계로 전달되지 않습니다.
- [0224] 도 10은 본 발명의 일 실시예에 따른 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 교정하는 방법을 설명하기 위해 나타낸 도면이다.
- [0225] 도 10에 도시한 바와 같이, 본 발명의 일 실시예에 따른 디지털 후면 교정부(120)는, 상기 서브 ADC(111)의 각 채널에 대한 오프셋 미스매치를 교정하는 오프셋 미스매치 교정부(121) 및 상기 오프셋 미스매치를 교정한 상기 각 채널에 대한 이득 미스매치를 교정하는 이득 미스매치 교정부(122)를 포함하여 구성된다.
- [0226] 이상적인 시나리오에서, M채널을 가지는 시간 인터리브 파이프라인 ADC(110)는 모든 서브 ADC(111)에 대해 동일한 이득, 대역폭 및 샘플링 시간을 가져야 하지만 실제 시나리오에서는 구성 요소의 변동으로 인해 거의 불가능한 문제점이 있다.
- [0227] 이러한 문제점을 해결하기 위해 디지털 후면 교정부(120)는 자기 상관기반(autocorrelation)으로 상기 오프셋 및 이득 미스매치에 대한 교정을 수행한다. 즉, 사익 디지털 후면 교정부는 신호의 통계적 특성을 이용하여 상기 오프셋 및 이득 미스매치에 대한 교정을 수행한다.
- [0228] 또한 상기 시간 교정부(140)는 상기 오프셋 및 이득 미스매치가 교정된 디지털 신호를 레지스터 제어 지연 잠금 루프(resister controlled delay locked loop)기반 시간 교정 체계를 이용하여 시간 미스매치에 대한 교정을 수행한다.
- [0229] 한편, 상기 각 서브 ADC(111)에서 상기 미스매치가 나타나지 않으려면 주어진 채널의 디지털 출력(즉, n샘플)들의 전체 평균 $x_0(n)$ 은, 모든 채널들 즉, 즉 $x_0(n) = x_1(n) = \dots = x_M(n)$ 에 대해서 동일하여야 한다.
- [0230] 상기 오프셋 오류가 없는 이상적인 경우, 종종 0의 입력 신호의 평균값과 같아야 한다.
- [0231] 따라서 상기 오프셋 미스매치 교정부(121)는, 레퍼런스 출력을 산출한 다음, 다른 서브 ADC(111)의 모든 출력을 상기 계산한 레퍼런스 출력과 비교함으로써, 상기 각 서브 ADC(111)의 채널에서 발생하는 오프셋 미스매치를 교정한다.
- [0232] 이때, 상기 레퍼런스 출력은 다음의 [수학식 14]에 따라 상기 모든 채널의 디지털 샘플들의 평균값을 계산함으로써, 산출된다.

[0233] [수학식 14]

$$x_{o,ref} = \sum_{i=0}^{N*n-1} u_i$$

[0234]

[0235] 보다 정확한 레퍼런스 출력을 위해, 각 채널의 개별적인 평균과 레퍼런스 차이가 계산되어, 각 채널의 오프셋 오류 편차 $x_{0,ch(M)}$ 가 산출되어 제공되며, 다음의 [수학식 15] 과 같이 상기 레퍼런스 채널의 평균과 상기 각 개별적인 채널의 평균 차이를 계산하여 상기 각 채널의 오프셋 오류(e_0)를 계산하여, 다음의 [수학식 16]과 같이 각 채널별 오프셋 미스매치를 교정한다.

[0236] [수학식 15]

$$e_0 = x_{0,ch(M)} - x_{o,ref}$$

[0237]

[0238] [수학식 16]

$$x_{o,corr(M)}(n) = x_M(n) - e_0$$

[0239]

[0240] 한편, 상기 서브 ADC(111)에 대한 모든 채널이 동일한 신호 전력을 출력시키는 것이 이상적이나 상기 각 채널의 전력 미스매치가 발생하는 경우, 상기 오프셋 미스매치가 교정된 각 채널에서 이득 미스매치가 발생될 수 있다.

[0241] 따라서 상기 이득 미스매치 교정부(122)는, 상기 오프셋 미스매치를 교정한 방식과 동일한 방식으로 상기 이득 미스매치를 교정한다.

[0242] 상기 이득 미스매치 교정부(122)는, 상기 이득 미스매치를 교정하기 위한 레퍼런스 채널의 레퍼런스 신호를 상기 오프셋 미스매치가 교정된 M 채널의 각 디지털 샘플값(n)을 제공하여 이를 평균함으로써, 산출한다.

[0243] 이후 상기 이득 미스매치 교정부(122)는, 상기 각 채널의 모든 출력을 상기 산출한 레퍼런스 채널의 레퍼런스 신호와 각각 비교한다.

[0244] 이때, 상기 이득 미스매치 교정부(122)는, 상기 이득 미스매치가 상기 디지털 샘플에 곱해지는 것을 알고 있으므로, 상기 오프셋 미스매치 교정에서와 같이 디지털 샘플에 상기 레퍼런스 신호를 차감하는 것 대신에 다음의 [수학식 17]에 따라 상기 산출한 레퍼런스 신호를 나눔으로써, 상기 이득 미스매치를 교정한다.

[0245] [수학식 17]

$$e_{g(M)} = \frac{x_{g,ch(M)}}{x_{g,ref}}$$

[0246]

$$x_{g,corr,(M)}(n) = \frac{x_{o,M}(n)}{e_{g(M)}}$$

[0247]

[0248] 한편, 주파수 의존 특성으로 인한 시간 미스매치(즉, 시간 스큐) 교정에는 많은 주의가 요구된다. 즉, 톤 전력이 일정하게 유지되는 오프셋 미스매치 및 이득 미스매치와 달리 시간 미스매치는 입력 주파수 및 변환속도의 변화에 의해 영향을 많이 받게 된다.

[0249] 특히, 고속의 회로에서는, 상기 시간 미스매치가 더 큰 샘플링 오류를 유발할 수 있다.

[0250] 이러한 문제점을 해결하기 위해 최근에는 부호 평등 기반 후면 시간 스큐 교정 방법이 개발되었으나, 낮은 하드웨어 오버 헤드와 함께 다양한 입력 통계에 대한 내성을 제공하지만 오프셋 및 초기 시간 미스매치에 대한 교정 정확도가 현저하게 떨어지는 문제점이 있다.

[0251] 따라서 본 발명의 시간 교정부(140)는, 레지스터 제어 DLL 기반 교정 체계를 이용하여 시간 미스매치에 대한 교정을 수행한다.

- [0252] 상기 시간 미스매치에 대한 교정을 수행하기 위해서는, 우선적으로 입력신호 및 상기 입력신호에 대한 1차 미분의 추정값이 필요하다.
- [0253] 이때, 상기 시간 교정부(140)는, 2단계 과정을 통해 상기 시간 미스매치에 대한 교정을 수행하며, 1단계 과정에서는, 상기 입력신호 및 입력신호에 대한 1차 미분의 추정값을 추정한다.
- [0254] 상기 1차 미분에 대한 추정값은, 입력 채널에 지연 버전을 도입하여, 그 차이를 레퍼런스 채널의 출력과 비교함으로써, 추정된다.
- [0255] 그러나, 상기 추정값의 정확한 값은 필요하지 않으며, 상기 시간 교정부(140)는, 입력 신호가 상기 레퍼런스 신호를 선행하는지 또는 후행하는지에 대한 여부만을 판단하면 되고, 상기 판단한 결과를 토대로 상기 시간 미스매치에 대한 교정 방향을 결정한다.
- [0256] 또한 상기 시간 교정부(140)는, 2단계 과정을 통해 업다운 카운터의 카운트 방향을 설정하고, 상기 카운트의 출력은 바이너리 가중 디지털 제어 지연 라인(binary weighted digitally controlled delay line)에 연결된다. 상기 카운터의 값에 따라 상기 디지털 제어 지연 라인은 상기 입력신호를 특정 값으로 지연시킨다.
- [0257] 도 11은 본 발명의 일 실시예에 따른 시간 교정부의 구성을 나타낸 도면이다.
- [0258] 도 11에 도시한 바와 같이, 시간 교정부(140)는, 상기 오프셋 및 이득 미스매치가 교정되고, 다중화부(130)를 통해 다중화된 디지털 신호로부터 시간 미스매치의 발생 여부를 검출하는 시간 미스매치 검출부(141) 및 상기 검출한 시간 미스매치를 교정하는 시간 미스매치 교정부(142)를 포함하여 구성된다.
- [0259] 또한 상기 시간 교정부(140)의 입력신호는, 상기 다중화부(130)를 통해 다중화된 디지털 신호이다. 즉, 상중화부(130)를 통해 출력되는 출력신호(Data_{max})이다.
- [0260] 이때, 시간 미스매치를 교정하기 위한 채널 CH_{in}은 복수의 DFF로 구성된 DFF 체인을 사용하여 상기 다중화부(130)의 출력으로부터 추출된다.
- [0261] 또한 레퍼런스 ADC의 출력으로부터 출력되는 레퍼런스 신호(CH_{ref})는 레퍼런스 신호의 지연 버전을 생성하는 지연부로 입력된다.
- [0262] 두 개의 신호(CH_{in} 및 CH_{ref})는, 상기 두 개의 신호의 상태적인 시간을 비교하여 상기 다중화된 디지털 신호에서 발생될 수 있는 시간 미스매치를 검출하는 시간 미스매치 검출부(141)로 입력된다.
- [0263] 상기 시간 미스매치 검출부(141)는, 상기 비교결과 상기 입력신호가 지연된 피드백 신호(즉, CH_{delay})보다 후행이면, 시프트 라이트 레지스터(SFH_R)의 출력을 하이(high)로 설정하며, 상기 입력신호가 상기 지연된 피드백 신호보다 선행하면 시프트 레프트 레지스터(SFH_L)의 출력을 하이로 설정한다.
- [0264] 이때, 상기 시프트 라이트 레지스터 또는 시프트 레프트 레지스터의 출력이 하이인 경우, 상기 제3 출력인 CNTRL의 출력이 하이로 설정된다. 상기 CNTRL의 상기 시간 미스매치 교정부(142)에서 카운터에 대한 인에이블(enable) 신호로 사용된다.
- [0265] 또한 상기 시간 미스매치 교정부(142)는, 6비트 비동기 병렬로드(asynchronous parallel load) 카운터(PL 카운터)가 사용되어 상기 PL 카운터를 통해 상기 시간 미스매치를 교정할 수 있도록 한다.
- [0266] 수렴시간(convergence time)을 줄이기 위해 상기 PL 카운터의 입력은, 상기 PL 카운터 회로의 시작 카운터에 100000(중간값)을 로드한다.
- [0267] 한편, 상기 시간 미스매치 검출부의 CNTRL 출력이 하이이면 상기 PL 카운터가 활성화된다.
- [0268] 또한 상기 PL 카운터의 방향은 시프트 라이트 레지스터 또는 시프트 레프트 레지스터의 출력에 의해 결정되며, 시간 미스매치 검출부의 상기 제어 로직은, 상기 시프트 라이트 레지스터의 출력이 하이인 경우, 상기 카운터를 "업(up)"으로 설정하며, 상기 시프트 레프트 레지스터의 출력이 하이인 경우, 상기 카운터를 "다운(down)"으로 설정한다.
- [0269] 상기 카운터 결과 출력은 이진 가중치 디지털 제어 지연 라인(binary weighted digitally controlled delay lines, DCDL)에 연결되며, 상기 DCDL은 상기 PL 카운터의 카운터 값을 기반으로 일정량의 Clk_{in}을 지연시킨다.
- [0270] 상기와 같은 사이클(즉, 과정)은, 입력 클럭인 CH_{in}의 상승 에지가 피드백 클럭인 상기 CH_{ref}의 상승에지와 상

기 지연부의 지연 버전 내에 있을 때까지 지속되며, 상기 시간 미스매치 검출부의 시프트 라이트 레지스터, 시프트 레프트 레지스터 및 CNTRL의 모든 출력은 로우가 되고 상기 지연은 로크(locked)된다.

- [0271] 도 12는 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 정적 비선형성에 대한 성능을 나타낸 도면이다.
- [0272] 도 12에 도시한 바와 같이, 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100) 정적 및 동적 파라미터 모두에 대해 검증하였으며, 상기 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는, 3.072GHz에서 클럭되고, 1.2V의 아날로그 전원과 1.8V의 디지털 전원으로 동작하도록 구현된다.
- [0273] 정적 성능 파라미터인 미분 비선형성(differential non linearity, DNL)과 적분 비선형성(integral non linearity, INL)은 개별적인 ADC가 더 좋은 근사값을 가지도록 테스트되었으며, 상기 근사값을 평균화하였다.
- [0274] 측정된 DNL 값은 +0.62 / -0.56 LSB였으며, INL 값은 +0.57 / -0.49LSB였다.
- [0275] 도 13은 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 미스매치 교정 이후의 출력 스펙트럼을 나타낸 도면이다.
- [0276] 도 13에 도시한 바와 같이, 본 발명의 일 실시예에 따른 미스매치 교정 이후에, 상기 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)의 시간 인터리브 파이프라인 ADC(110)의 출력 스펙트럼에 대한 측정된 SNDR(signal to noise and distortion ratio)은 53.65dB 이고, SFDR(spurious free dynamic range)은 69.04dB임을 알 수 있다.
- [0277] 출력 스펙트럼에서 높은 잡음 플로어로 인한 성능제한은 비교기 회로에 주요하게 귀착된다. 이는 비교기 속도를 높이기 위해 선택되는 트레이드오프의 결과이다. 광대역 풀 디지털 수신기 애플리케이션에서 사용하기 위해 상기 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)의 성능을 추가로 검증하였으며, 이는 40kHz ~ 1GHz 사이의 다양한 입력 주파수에서 테스트되었다.
- [0278] 도 14는 본 발명의 일 실시예에 따른 다양한 입력 주파수에서 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치의 SFDR 및 SNDR의 변화를 나타낸 도면이다.
- [0279] 도 14에 도시한 바와 같이, 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는, 1GHz 대역에서 890MHz의 효율적인 분해 대역폭(resolution bandwidth)을 제공함을 알 수 있다.
- [0280] 또한 SFDR의 값이 약 70dB로 전체 대역에 걸쳐 유지되므로, 상기 광대역 풀 디지털 수신기 애플리케이션에 대한 현저한 효율성을 증명함을 알 수 있다.
- [0281] 도 15는 본 발명의 일 실시예에 따른 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치를 통해 입력 아날로그 신호를 디지털 신호로 변환하여 출력하는 절차를 나타낸 도면이다.
- [0282] 도 15에 도시한 바와 같이, 본 발명의 일 실시예에 따른 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는, 파이프라인 구조로 형성되는 복수의 서브 ADC(111)를 포함하는 시간 인터리브 파이프라인 ADC(110)를 통해 입력 아날로그 신호를 디지털 신호로 변환한다(S110).
- [0283] 상기 복수의 서브 ADC(111)는, 상기 클럭 생성부(150)를 통해 생성되는 복수의 클럭 위상에 따라 시간 인터리브 되어 상기 입력 아날로그 신호를 디지털 신호로 단계적으로 변환한다.
- [0284] 이때, 상기 각 서브 ADC(111)에 입력되는 아날로그 신호는 이전 단계의 서브 ADC(111)에서 출력되는 디지털 출력을 토대로 생성되는 잔여 아날로그 신호임은 상술한 바와 같다.
- [0285] 이때, 상기 잔여 아날로그 신호는, 상기 연산증폭기를 통해 증폭되어 상기 각 서브 ADC(111)에 입력되며, 상기 연산증폭기는 그 유희시간에 따라 2개의 서브 ADC(111)에 하나의 연산증폭기가 각각 공유되어 각 서브 ADC(111)로 입력되는 아날로그 신호를 증폭한다.
- [0286] 다음으로, 상기 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는, 상기 각 서브 ADC(111)의 디지털 출력을 이용하여 상기 각 서브 ADC(111)의 각 채널별 오프셋 미스매치 및 이득 미스매치를 교정한다(S120).
- [0287] 여기서, 상기 교정은 오프셋 미스매치에 대하여 우선적으로 수행되고, 이후, 이득 미스매치에 대한 교정이 수행된다.

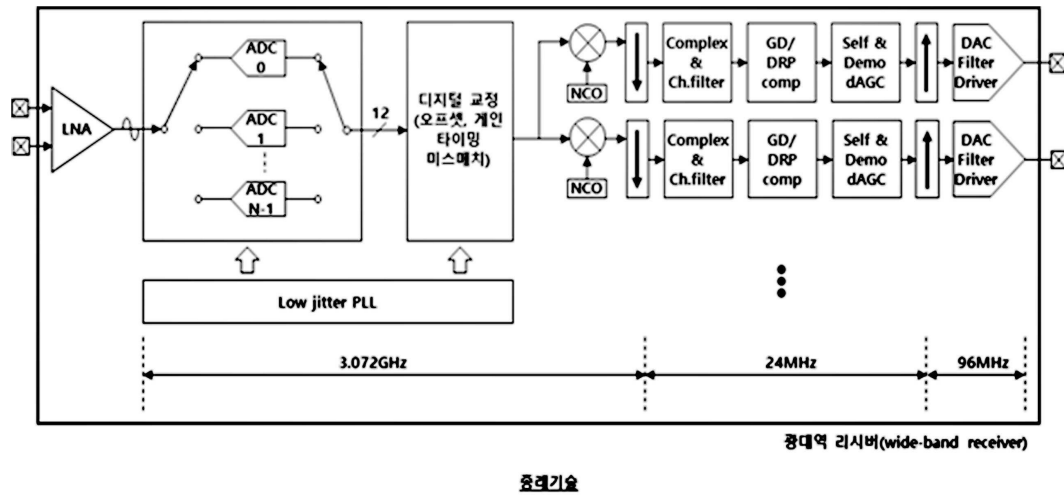
- [0288] 또한 상기 오프셋 미스매치 및 이득 미스매치는, 입력 신호의 통계적인 성질을 토대로 수행되는 상술한 바와 같다.
- [0289] 다음으로, 상기 시간 인터리브 파이프라인 아날로그 디지털 변환 장치(100)는, 상기 오프셋 미스매치 및 이득 미스매치를 교정한 상기 각 서브 ADC(111)의 디지털 출력을 결합하여 다중화하고, 상기 다중화한 디지털 출력에 대한 시간 미스매치를 교정한다(S140).
- [0290] 상기 시간 미스매치를 교정하는 것은, 레지스터 제어 지연 장금 루프 기반으로 수행되며, 상기 다중화한 디지털 출력(즉, 디지털 신호)과 레퍼런스 신호 사이의 타이밍을 비교하여 상기 디지털 신호가 상기 레퍼런스 신호에 후행하는지 또는 선행하는지에 대한 여부를 판단하여, 상기 판단한 결과에 따라 상기 디지털 신호를 지연시켜 출력함으로써, 상기 시간 미스매치를 교정한 최종적인 디지털 신호를 출력하도록 한다(S150).
- [0291] 이상에서 설명하였듯이, 본 발명인 복수의 파이프라인 구조로 형성되는 서브 ADC를 구성하고, 상기 각 서브 ADC를 각각 96MS/s의 개별 샘플링 속도로 시간 인터리브하도록 함으로써, 전체 12비트 3.072GS/s로 동작하는 시간 인터리브 파이프라인 ADC를 제공하여 고속으로 입력 아날로그 신호를 디지털 신호로 변환할 수 있도록 하는 효과가 있다.
- [0292] 또한 본 발명은, 시간 인터리브 파이프라인 ADC를 통한 단계적인 샘플링 구조에서, 연산증폭기를 공유할 수 있도록 하고, 상기 각 서브 ADC의 모든 단계에 대한 동일한 수의 비트를 사용하도록 함으로써, 하드웨어 구조를 단순화하고 소비전력을 최소화할 수 있도록 하는 효과가 있다.
- [0293] 상기에서는 본 발명에 따른 바람직한 실시예를 위주로 상술하였으나, 본 발명의 기술적 사상은 이에 한정되는 것은 아니며 본 발명의 각 구성요소는 동일한 목적 및 효과의 달성을 위하여 본 발명의 기술적 범위 내에서 변경 또는 수정될 수 있을 것이다.
- [0294] 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특징의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형 실시가 가능한 것은 물론이고, 이러한 변형 실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

부호의 설명

- [0295] 100 : 디지털 후면 교정을 가지는 시간 인터리브 파이프라인 아날로그 디지털 변환 장치
- 110 : 시간 인터리브 파이프라인 ADC 111 : 서브 ADC
- 120 : 디지털 후면 교정부 121 : 오프셋 미스매치 교정부
- 122 : 이득 미스매치 교정부 130 : 다중화부
- 140 : 시간 교정부 141 : 시간 미스매치 검출부
- 142 : 시간 미스매치 교정부 150 : 클록 생성부

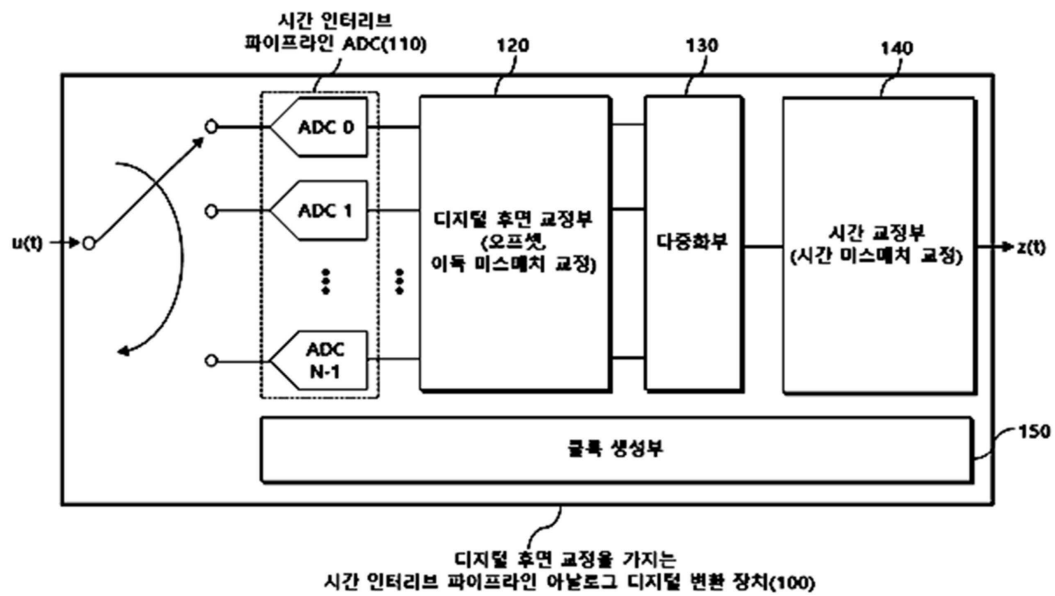
도면

도면1

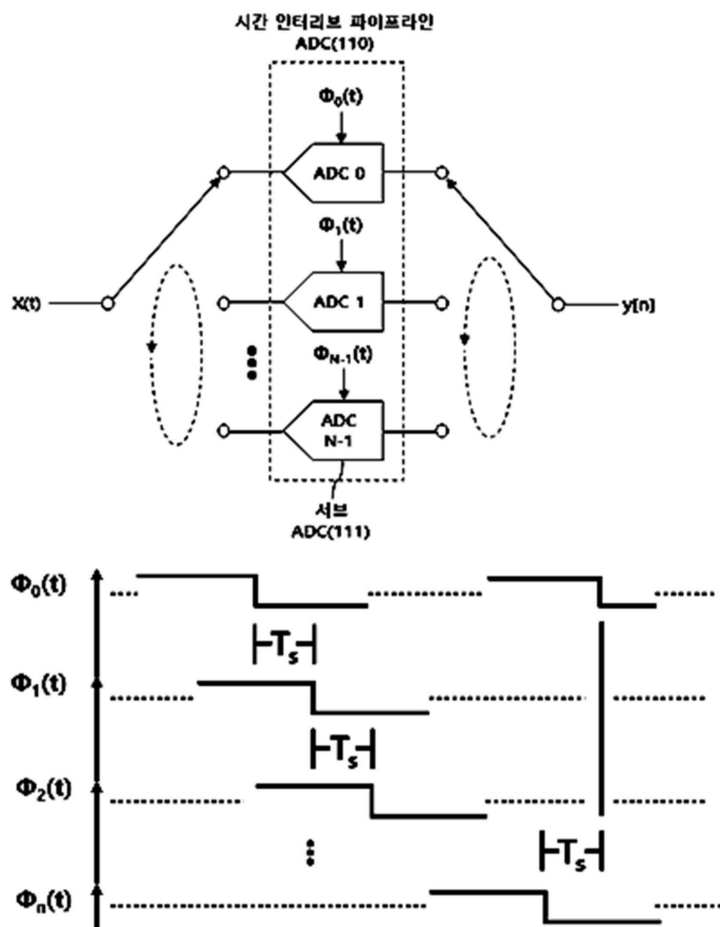


중계기술

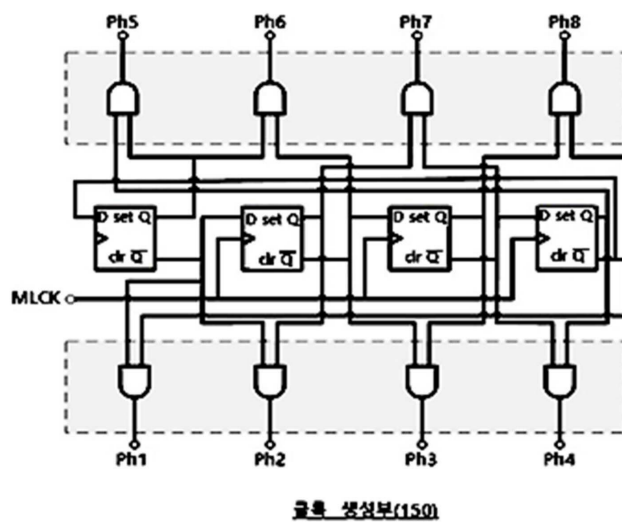
도면2



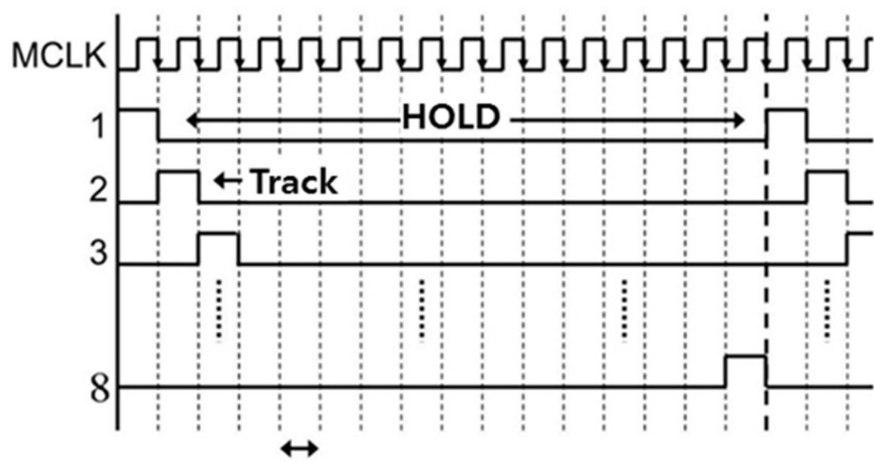
도면3



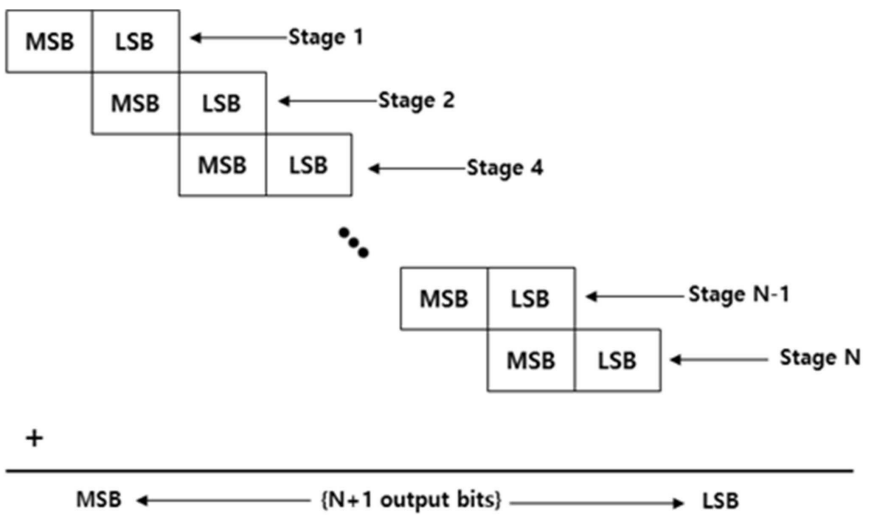
도면4



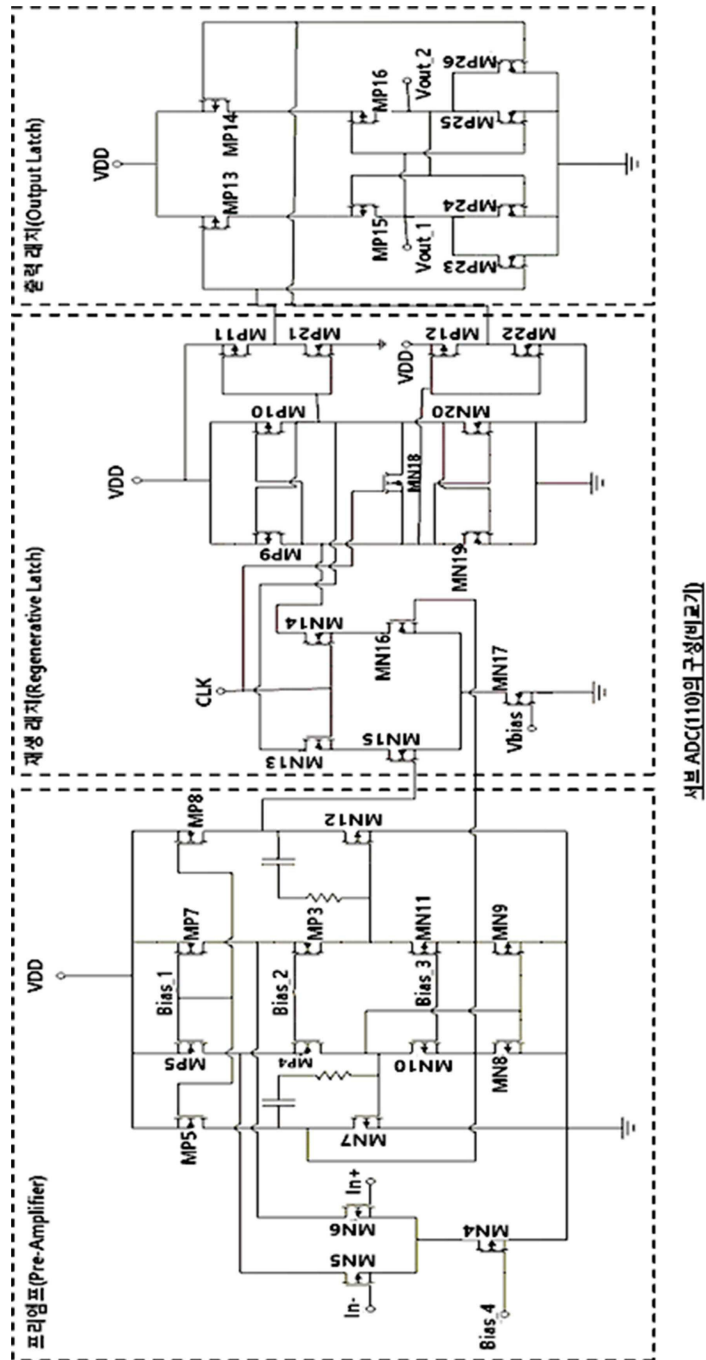
도면5



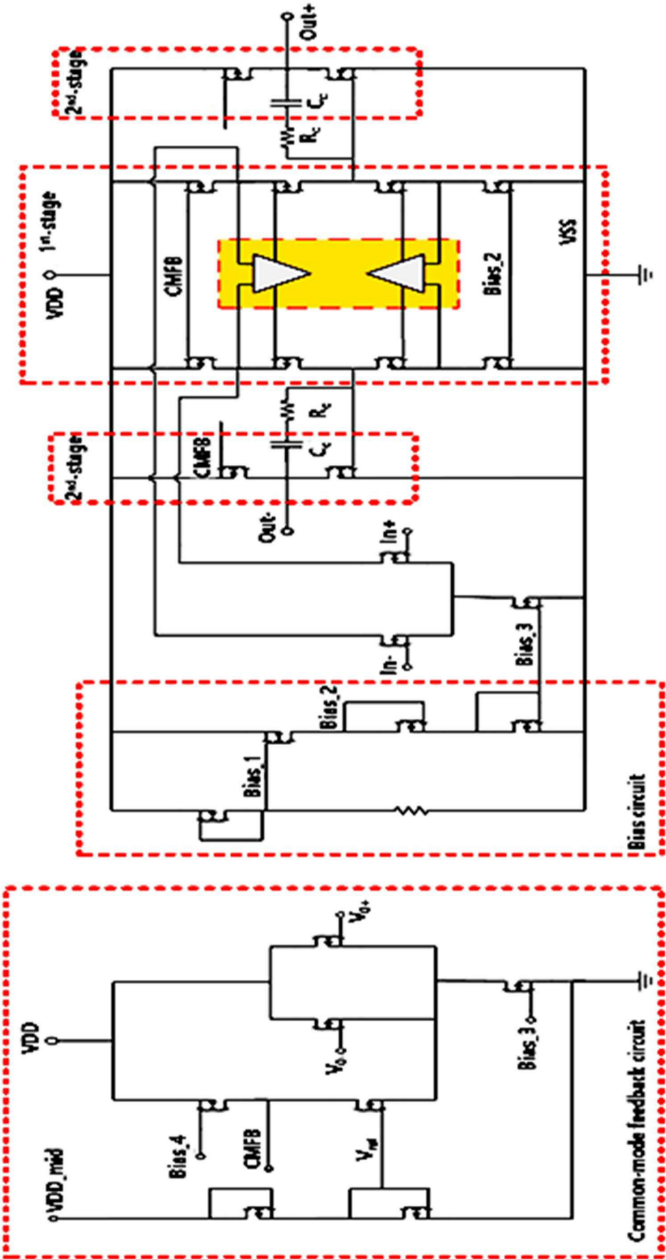
도면6



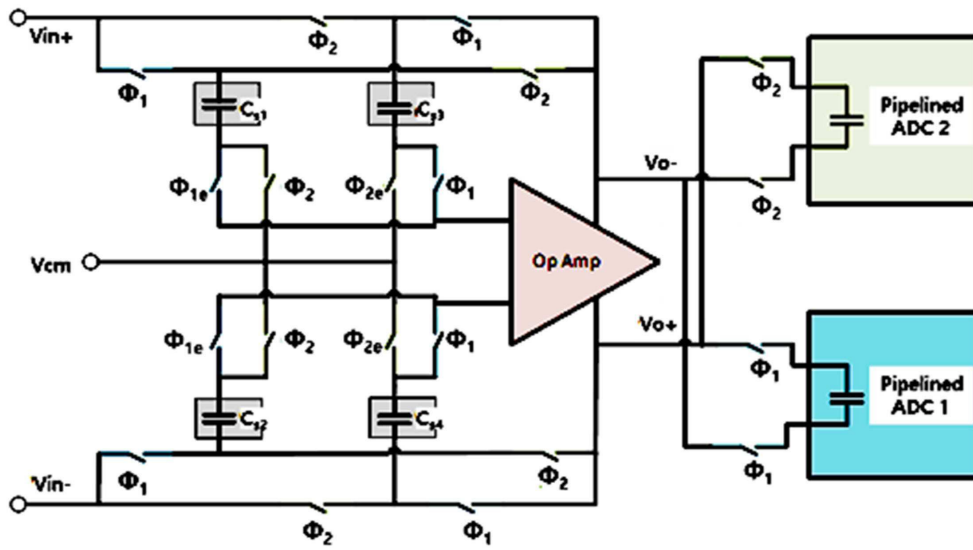
도면7



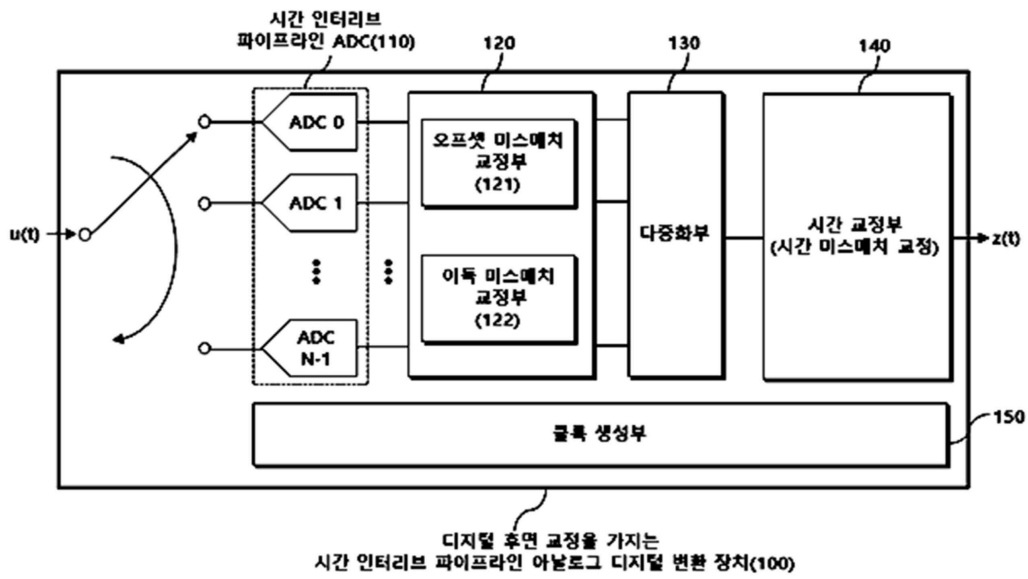
도면8



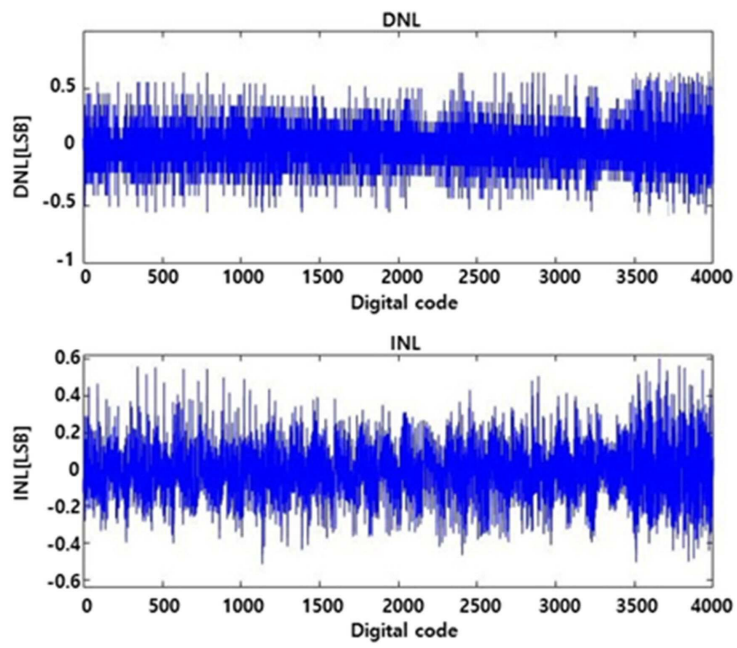
도면9



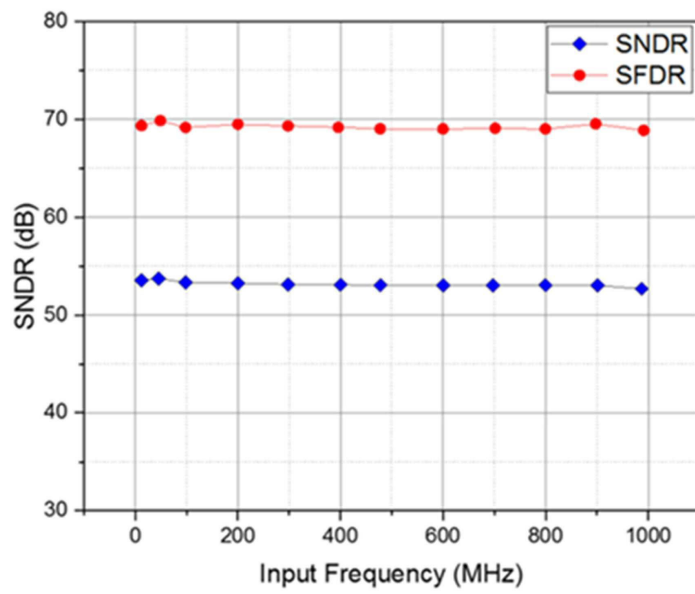
도면10



도면13



도면14



도면15

