



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월20일
 (11) 등록번호 10-1880471
 (24) 등록일자 2018년07월16일

(51) 국제특허분류(Int. Cl.)
 H01L 29/08 (2006.01) H01L 29/10 (2006.01)
 H01L 29/78 (2006.01)
 (52) CPC특허분류
 H01L 29/0847 (2013.01)
 H01L 29/1033 (2013.01)
 (21) 출원번호 10-2017-0011103
 (22) 출원일자 2017년01월24일
 심사청구일자 2017년01월24일
 (56) 선행기술조사문헌
 KR1020150005584 A*
 KR101631240 B1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 서강대학교산학협력단
 서울특별시 마포구 백범로 35 (신수동, 서강대학교)
 (72) 발명자
 최우영
 서울특별시 마포구 신수로 15, 102동 403호(현석동, 강변힐스테이트)
 (74) 대리인
 정부연

전체 청구항 수 : 총 13 항

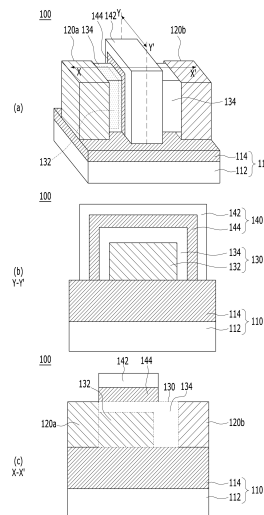
심사관 : 고재현

(54) 발명의 명칭 **터널링 전계효과 트랜지스터**

(57) 요약

본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터는 반도체 기판, 상기 반도체 기판 상에 형성되고 동일 평면에서 상호 이격된 제1 및 제2 타입의 도핑영역들, 상기 제1 및 제2 타입의 도핑영역들 중 하나의 일부로부터 연장된 도핑연장영역 및 다른 하나의 도핑영역과 상기 도핑연장영역에 접촉된 진성영역을 포함하는 적어도 하나의 채널 및 상기 도핑연장영역 상에 형성되고 상기 진성영역과 접촉되어 상기 적어도 하나의 채널 상의 일부에 형성된 게이트를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/7835 (2013.01)

H01L 29/785 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10044842

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업융합원천기술개발사업

연구과제명 [RCMS] 0.7 V 이하 저전압 구동을 위한 Post-CMOS 미래 반도체소자원천기술 개발

기 여 율 0.5/1

주관기관 한국산업기술평가관리원

연구기간 2016.06.01 ~ 2017.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2016M3A7B4909668

부처명 미래창조과학부

연구관리전문기관 (재)한국연구재단

연구사업명 (대) 원천기술개발사업 (중) 나노소재기술개발사업 (소) 나노·소재원천기술개발사업

연구과제명 재구성로직 소자 기술개발

기 여 율 0.5/1

주관기관 (재)한국연구재단

연구기간 2016.06.01 ~ 2017.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

반도체 기관;

상기 반도체 기관 상에 형성되고 동일 평면에서 상호 이격된 제1 및 제2 타입의 도핑영역들;

상기 제1 및 제2 타입의 도핑영역들 중 하나의 일부로부터 연장된 도핑연장영역 및 다른 하나의 도핑영역과 상기 도핑연장영역에 접촉된 진성영역을 포함하고, 가장 하부에 위치하는 채널은 그 하면이 상기 반도체 기관의 상면에 접촉하여 형성되는 복수의 채널들; 및

상기 도핑연장영역 상에 형성되고 상기 진성영역과 접촉되어 상기 복수의 채널들 상의 일부에 형성된 게이트를 포함하는 터널링 전계효과 트랜지스터.

청구항 2

제1항에 있어서, 상기 도핑연장영역은

상기 하나의 도핑영역보다 얇은 두께로 형성되고, 상기 하나의 일부로부터 상기 다른 하나의 도핑영역을 향해 수평적으로 연장되는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 3

제1항에 있어서, 상기 도핑연장영역은

직방형 또는 기둥 형상으로 형성되는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 4

제1항에 있어서, 상기 도핑연장영역은

그 하면이 상기 반도체 기관의 절연층과 접촉된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 5

제4항에 있어서, 상기 진성영역은

상기 절연층과 접촉되지 않은 상기 도핑연장영역의 적어도 일부를 감싸며 상기 도핑연장영역에 접촉된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 6

제1항에 있어서, 상기 게이트는

구동 전압을 인가 받아 상기 도핑연장영역과 상기 진성영역 간에 터널링 전류를 발생시키는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 7

제1항에 있어서, 상기 진성영역은

불순물을 도핑하지 않은 진성(intrinsic) 반도체로 형성되거나, 제1 타입 또는 제2 타입의 불순물이 상기 하나의 도핑영역보다 약하게 도핑되어 형성되는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 8

제1항에 있어서, 상기 도핑연장영역은

그 하면이 상기 반도체 기판의 절연층과 접촉되지 않고 특정 거리 이상 떨어져 형성되는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 9

제8항에 있어서,

상기 진성영역은 상기 도핑연장영역의 모든 면들 각각의 적어도 일부를 감싸며 상기 도핑연장영역에 접촉되고, 상기 게이트는 상기 진성영역 상의 일부를 감싸며 상기 진성영역과 상기 반도체 기판에 접촉된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 10

제1항에 있어서,

상호 이격된 복수의 채널들이 상기 게이트를 통해 수직적으로 적층되는 구조를 가지는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 11

제10항에 있어서,

상기 복수의 채널들 각각의 도핑연장영역은 상기 제1 및 제2 타입의 도핑영역들 중 하나의 서로 다른 일부로부터 수평적으로 연장되고,

상기 진성영역은 상기 복수의 채널들 각각의 도핑연장영역의 적어도 일부에 접촉된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 12

제11항에 있어서, 상기 게이트는

상기 진성영역 상에 형성되어 상기 진성영역 상의 일부를 감싸고 수직적으로 연장되는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 13

삭제

청구항 14

반도체 기판 상에 형성되고 동일 평면에서 상호 이격된 제1 및 제2 타입의 도핑영역들;

상기 제1 및 제2 타입의 도핑영역들 중 하나의 일부로부터 연장된 도핑연장영역 및 다른 하나의 도핑영역과 상기 도핑연장영역에 접촉된 진성영역을 포함하며 수직적으로 적층되는 구조를 가지며, 가장 하부에 위치하는 채널은 그 하면이 상기 반도체 기판의 상면에 접촉하여 형성되는 복수의 채널들; 및

상기 도핑연장영역 상에 형성되고 상기 진성영역과 접촉되어 상기 복수의 채널들 상의 일부에 형성된 게이트를 포함하는 터널링 전계효과 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 터널링 전계효과 트랜지스터 기술에 관한 것으로, 보다 상세하게는, 다면에서의 터널링을 유도하여 구동 전류를 개선할 수 있는 터널링 전계효과 트랜지스터를 개시한다.

배경 기술

[0003] 반도체 소자의 전력소모는 구동전압과 매우 밀접한 관련을 가지고 있다. 저전력 동작을 위해서는 구동전압의 감소는 필수적이다. 하지만, 기존의 MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)의 경우 문턱전압 이하 기울기가 상온에서 60 mV/dec 이하로 낮아질 수 없는 물리적인 한계를 가지고 있다. 따라서 구동전압이 낮아질 경우 누설전류의 증가 혹은 구동전류의 감소로 인한 성능 저하가 불가피하다. 이러한 문제를 해결하기 위하여 최근 선진국의 기업, 연구소 및 대학은 차세대 소자로서 새로운 고에너지 효율 반도체 소자의 개발에 그 연구력을 집중하고 있다.

[0004] 터널링 전계효과 트랜지스터는 기존 MOSFET의 열전자 방출과는 상이한 터널링 방식으로 전자와 홀의 흐름을 제어하므로 급격한 ON/OFF상태의 변화가 가능하다. 따라서 터널링 전계효과 트랜지스터는 0.5 V이하의 매우 낮은 구동전압 조건에서도 고성능을 보일 수 있을 것으로 예상하고 있다. 하지만 터널링 트랜지스터는 아직까지 MOSFET과 비견될 성능을 보여주지 못하고 있다. 여러 가지 이유 중에 중요한 요인은 드레인 전류가 증가함에 따라 문턱전압이하 기울기가 급속도로 증가하여 급격한 on-off 전류 변화를 보이지 못하기 때문이다. 터널링 트랜지스터는 N 영역의 conduction band가 P 영역의 valence band와 수평으로 정렬하면서 급격하게 커지게 된다. 하지만 band edge는 완전히 급격한 density of states 변화를 보이지 못하고 완만하게 변화한다. 따라서 터널링 트랜지스터의 급격한 on-off 전류변화는 기대하기 어렵다.

[0005] 또한, 종래 기술은 채널 길이에 따라 터널링 면적이 제한되고, 밴드 간 터널링이 발생하는 소스와 채널 사이에 전계가 집중되기 어려워 구동 전류를 충분히 확보하기 어려운 단점이 있다.

[0006] 한국공개특허공보 제10-2016-01377973호는 포켓을 가진 P-터널링 전계 효과 트랜지스터 디바이스에 관한 것으로, 제1 도전형을 갖는 드레인 영역; 제1 도전형과 반대인 제2 도전형을 갖는 소스 영역; 소스 및 드레인 영역들 사이에 채널 영역을 형성하게 하는 게이트 영역; 및 소스 영역의 접합 근처에 배치된 포켓을 포함한다. 여기에서, 포켓 부분에는 변화된 물질 조합비를 적용하여 밴드갭 에너지를 변화시키고 이는 전도대(CB) 혹은 가전자대(VB)의 offset을 유발하여 터널링 전류의 향상을 가능하게 할 수 있다.

[0007] 한국등록특허 제10-0555567호는 다중가교채널 트랜지스터(multi-bridge-channel MOSFET)의 제조 방법에 관한 것으로, 기판 상에 채널층들 및 채널층들 사이에 삽입되는 채널층간층들의 적층체를 형성하고, 적층체를 선택적으로 식각하여 상호 평행하게 가로질러 채널층 패턴들 및 채널층간층 패턴들의 제1적층부와 제1적층부 양쪽에 잔류하는 층들의 제2적층부들로 분리하는 두 트렌치(trench)들을 형성한다. 트렌치들을 채워 제2적층부들로 설정되는 제2소스/드레인 영역들에 이어지는 제1소스/드레인 영역들을 선택적 에피택셜로 성장시킨다. 제1적층부의 채널층간층 패턴들의 양 끝단면을 선택적으로 노출하고 선택적으로 제거하여 제1소스/드레인 영역 및 상기 채널층 패턴들에 의해 둘러싸인 관통 터널들을 형성한다. 관통 터널들을 채우고 제1적층부 상으로 연장되는 게이트를 게이트 유전층을 수반하여 형성한다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 한국공개특허공보 제10-2016-01377973호
(특허문헌 0002) 한국등록특허 제10-0555567호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 실시예는 다면에서의 터널링을 유도하여 구동 전류를 개선할 수 있는 터널링 전계효과 트랜지스터를 제공하고자 한다.
- [0011] 본 발명의 일 실시예는 밴드 간 터널링이 발생하는 소스와 채널 사이에 수직 및 수평 방향으로 전계를 중첩시켜 높은 구동 전류 및 급격한 게이트 전압에 따른 구동 전류의 변화를 구현할 수 있는 터널링 전계효과 트랜지스터를 제공하고자 한다.
- [0012] 본 발명의 일 실시예는 제한된 채널 길이에도 터널링 면적을 극대화시킬 수 있어 구동 전류를 현저하게 향상시킬 수 있는 터널링 전계효과 트랜지스터를 제공하고자 한다.

과제의 해결 수단

- [0014] 실시예들 중에서, 터널링 전계효과 트랜지스터는 반도체 기관, 상기 반도체 기관 상에 형성되고 동일 평면에서 상호 이격된 제1 및 제2 타입의 도핑영역들, 상기 제1 및 제2 타입의 도핑영역들 중 하나의 일부로부터 연장된 도핑연장영역 및 다른 하나의 도핑영역과 상기 도핑연장영역에 접촉된 진성영역을 포함하는 적어도 하나의 채널 및 상기 도핑연장영역 상에 형성되고 상기 진성영역과 접촉되어 상기 적어도 하나의 채널 상의 일부에 형성된 게이트를 포함한다.
- [0015] 상기 도핑연장영역은 상기 하나의 도핑영역보다 얇은 두께로 형성되고, 상기 하나의 일부로부터 상기 다른 하나의 도핑영역을 향해 수평적으로 연장될 수 있다.
- [0016] 상기 도핑연장영역은 직방형 또는 기둥 형상으로 형성될 수 있다.
- [0017] 상기 도핑연장영역은 그 하면이 상기 반도체 기관의 절연층과 접촉될 수 있다.
- [0018] 상기 진성영역은 상기 절연층과 접촉되지 않은 상기 도핑연장영역의 적어도 일부를 감싸며 상기 도핑연장영역에 접촉될 수 있다.
- [0019] 상기 게이트는 구동 전압을 인가 받아 상기 도핑연장영역과 상기 진성영역 간에 터널링 전류를 발생시킬 수 있다.
- [0020] 상기 진성영역은 불순물을 도핑하지 않은 진성(intrinsic) 반도체로 형성되거나, 제1 타입 또는 제2 타입의 불순물이 상기 하나의 도핑영역보다 약하게 도핑되어 형성될 수 있다.
- [0021] 상기 도핑연장영역은 그 하면이 상기 반도체 기관의 절연층과 접촉되지 않고 특정 거리 이상 떨어져 형성될 수 있다.
- [0022] 상기 진성영역은 상기 도핑연장영역의 모든 면들 각각의 적어도 일부를 감싸며 상기 도핑연장영역에 접촉되고, 상기 게이트는 상기 진성영역 상의 일부를 감싸며 상기 진성영역과 상기 반도체 기관에 접촉될 수 있다.
- [0023] 상기 터널링 전계효과 트랜지스터는 상호 이격된 복수의 채널들이 상기 게이트를 통해 수직적으로 적층되는 구조를 가질 수 있다.
- [0024] 상기 복수의 채널들 각각의 도핑연장영역은 상기 제1 및 제2 타입의 도핑영역들 중 하나의 서로 다른 일부로부터 수평적으로 연장되고, 상기 진성영역은 상기 복수의 채널들 각각의 도핑연장영역의 적어도 일부에 접촉될 수 있다.
- [0025] 상기 게이트는 상기 진성영역 상에 형성되어 상기 진성영역 상의 일부를 감싸고 수직적으로 연장될 수 있다.
- [0026] 상기 복수의 채널들 중 가장 하부에 형성된 채널은 그 하면이 상기 반도체 기관의 절연층과 접촉될 수 있다.
- [0027] 실시예들 중에서, 터널링 전계효과 트랜지스터는 반도체 기관 상에 형성되고 동일 평면에서 상호 이격된 제1 및

제2 타입의 도핑영역들, 상기 제1 및 제2 타입의 도핑영역들 중 하나의 일부로부터 연장된 도핑연장영역 및 다른 하나의 도핑영역과 상기 도핑연장영역에 접촉된 진성영역을 포함하며 수직적으로 적층되는 구조를 가지는 복수의 채널들 및 상기 도핑연장영역 상에 형성되고 상기 진성영역과 접촉되어 상기 복수의 채널들 상의 일부에 형성된 게이트를 포함한다.

발명의 효과

- [0029] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.
- [0030] 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터는 다면에서의 터널링을 유도하여 구동 전류를 개선할 수 있다.
- [0031] 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터는 게이트 구동 전압에 의해 발생한 전계의 수평 및 수직 방향으로의 중첩을 전계를 집중시켜 터널링 전류를 향상시킬 수 있다.
- [0032] 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터는 터널링 면적을 개선하여 높은 구동 전류와 급격한 게이트 전압에 따른 구동 전류의 변화를 구현할 수 있다.

도면의 간단한 설명

- [0034] 도 1은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 구조를 보여주는 도면들을 나타낸다.
- 도 2는 도 1(a)에 있는 터널링 전계효과 트랜지스터에 대한 Y-Y'의 단면을 나타내는 평면도로서 구동 전압이 가해졌을 때 발생하는 터널링 방향 및 크기를 나타낸다.
- 도 3은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 구조를 보여주는 도면들을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.
- [0036] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0037] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0038] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0039] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0040] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

- [0041] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0043] 도 1은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 구조를 보여주는 도면들을 나타낸다.
- [0044] 보다 구체적으로, 도 1(a)는 터널링 전계효과 트랜지스터의 구조의 나타내는 입체도이고, 도 1(b)는 도 1(a)에 있는 터널링 전계효과 트랜지스터에 대한 Y-Y'의 단면을 나타내는 평면도이며, 도 1(c)는 도 1(a)에 있는 터널링 전계효과 트랜지스터에 대한 X-X'의 단면을 나타내는 평면도이다.
- [0045] 도 1을 참조하면, 터널링 전계효과 트랜지스터(100)는 반도체 기판(110), 제1 및 제2 타입의 도핑영역들(120), 적어도 하나의 채널(130) 및 게이트(140)를 포함할 수 있다.
- [0046] 반도체 기판(110)은 SOI(Silicon On Insulator) 기판 또는 벌크 실리콘 기판에 해당할 수 있다. 일 실시예에서, 반도체 기판(110)은 실리콘 단결정층에 해당하는 하부 기판(112) 상에 절연층(114)이 형성되어 있는 구조의 SOI 기판에 해당할 수 있다. 일 실시예에서, 절연층(114)은 매몰 산화막(Buried Oxide, BOX)에 해당할 수 있다.
- [0047] 제1 및 제2 타입의 도핑영역들(120)은 반도체 기판(110) 상에 형성되고 동일 평면에서 상호 이격된다. 예를 들어, 제1 타입의 도핑영역(120a)은 P+ 영역에 해당하고 제2 타입의 도핑영역(120b)은 N+ 영역에 해당하여 서로 반대 극성을 가질 수 있다. 일 실시예에서, 제1 타입의 도핑영역(120a) 및 제2 타입의 도핑영역(120b)은 상호 동일한 두께로 형성될 수 있다.
- [0048] 적어도 하나의 채널(130)은 도핑연장영역(132) 및 진성영역(134)을 포함한다. 도핑연장영역(132)은 제1 및 제2 타입의 도핑영역들(120) 중 하나의 일부로부터 연장되고, 진성영역(134)은 제1 및 제2 타입의 도핑영역들(120) 중 다른 하나의 도핑영역과 도핑연장영역(132)에 접촉된다. 예를 들어, 도핑연장영역(132)은 P+ 영역에 해당하는 제1 타입의 도핑영역(120a)의 일부로부터 연장되어 돌출된 형태로 형성될 수 있고, 진성영역(134)은 N+ 영역에 해당하는 제2 타입의 도핑영역(120b)과 도핑연장영역(132)에 접촉될 수 있다. 이하, 표현의 편의상, 하나의 도핑영역은 제1 및 제2 타입의 도핑영역들(120) 중 그 일부로부터 도핑연장영역(132)이 연장된 하나에 해당하고, 다른 하나의 도핑영역은 제1 및 제2 타입의 도핑영역들(120) 중 다른 하나에 해당하는 것으로 한다.
- [0049] 일 실시예에서, 터널링 전계효과 트랜지스터(100)은 제1 및 제2 타입의 도핑영역들(120)이 각각 P-타입 및 N-타입으로 도핑되어 형성되고, 도핑연장영역(132)이 P+ 영역에 해당하는 제1 타입의 도핑영역(120a)으로부터 연장되어 형성됨으로써 N-채널의 특성을 가지고 동작할 수 있다. 일 실시예에서, 제1 타입의 도핑영역(120a)은 게르마늄(germanium)으로 구성될 수 있다.
- [0050] 다른 일 실시예에서, 터널링 전계효과 트랜지스터(100)은 제1 및 제2 타입의 도핑영역들(120)이 각각 N-타입 및 P-타입으로 도핑되어 형성되고, 도핑연장영역(132)이 N+ 영역에 해당하는 제1 타입의 도핑영역(120a)으로부터 연장되어 형성됨으로써 P-채널의 특성을 가지고 동작할 수 있다. 일 실시예에서, 제1 타입의 도핑영역(120a)은 InAs(Indium Arsenide)로 구성될 수 있다.
- [0051] 도핑연장영역(132)은 하나의 도핑영역보다 얇은 두께로 형성되고, 하나의 일부로부터 다른 하나의 도핑영역을 향해 수평적으로 연장될 수 있다. 일 실시예에서, 도핑연장영역(132)은 직방형 또는 기둥 형상으로 형성될 수 있다. 예를 들어, 도핑연장영역(132)은 P+ 영역에 해당하는 제1 타입의 도핑영역(120a)의 일부로부터 제1 타입의 도핑영역(120a)보다 얇은 두께 및 너비를 가지는 직방형의 형상으로 N+ 영역에 해당하는 제2 타입의 도핑영역(120b)을 향해 수평적으로 연장될 수 있다. 여기에서, 하나의 도핑영역은 다른 하나의 도핑영역과 동일 평면에서 이격되므로, 하나의 일부로부터 연장된 도핑연장영역(132) 또한 다른 하나의 도핑영역과 이격된다.
- [0052] 일 실시예에서, 도핑연장영역(132)은 그 하면이 반도체 기판(110)의 절연층(114)과 접촉될 수 있고, 진성영역(134)은 절연층(113)과 접촉되지 않은 도핑연장영역(132)의 적어도 일부를 감싸며 도핑연장영역(132)에 접촉될 수 있다. 보다 구체적으로, 하나의 도핑영역의 일부로부터 연장된 도핑연장영역(132)은 반도체 기판(110)과 이격되지 않고 일면에서 반도체 기판(110)의 절연층(114)과 접촉될 수 있고, 해당 일면을 제외한 다른 복수의 일면들은 각각의 적어도 일부에서 진성영역(134)과 접촉될 수 있다. 이때, 마찬가지로, 진성영역(134)은 반도체 기판(110)과 이격되지 않고 일면에서 반도체 기판(110)의 절연층(114)과 접촉될 수 있고, 다른 일면들 중 일부는 절연층(113)과 접촉되지 않은 도핑연장영역(132)의 일부 또는 전체를 특정 두께로 감싸며 도핑연장영역(132)에 접촉될 수 있으며, 다른 일부는 다른 하나의 도핑영역과 접촉될 수 있다.

- [0053] 일 실시예에서, 진성영역(134)은 도핑연장영역(132)의 적어도 3개의 면들 각각의 적어도 일부에 접촉될 수 있다. 예를 들어, 진성영역(134)은 제1 타입의 도핑영역(120a)의 일부로부터 연장된 도핑연장영역(132)의 복수의 면들의 표면 전체를 감싸며 형성되어 제1 타입의 도핑영역(120a)의 다른 일부와 더 접촉될 수 있고, 도핑연장영역(132)의 복수의 면들의 표면 일부를 감싸며 형성되어 제1 타입의 도핑영역(120a)의 다른 일부와 접촉되지 않을 수도 있다.
- [0054] 일 실시예에서, 진성영역(134)은 불순물을 도핑하지 않은 진성(intrinsic) 반도체로 형성되거나, 제1 타입 또는 제2 타입의 불순물이 상기 하나의 도핑영역보다 약하게 도핑되어 형성될 수 있다. 예를 들어, 도핑연장영역(132)은 P+ 영역에 해당하는 제1 타입의 도핑영역(120a)의 일부로부터 연장되고, 진성영역(134)은 P형 불순물로 해당 P+ 영역보다 약하게 도핑될 수 있으며, 이에 따라 N-채널의 터널링 전계효과 트랜지스터(100)의 동작 과정에서 P+ 소스에 해당하는 도핑연장영역(132)과 진성영역(134) 간에 터널링 구간이 형성될 수 있다. 다른 예를 들어, 도핑연장영역(132)은 N+ 영역에 해당하는 제2 타입의 도핑영역(120b)의 일부로부터 연장되고, 진성영역(134)은 N형 불순물로 해당 N+ 영역보다 약하게 도핑될 수 있으며, 이에 따라 P-채널의 터널링 전계효과 트랜지스터(100)의 동작 과정에서 N+ 소스에 해당하는 도핑연장영역(132)과 진성영역(134) 간에 터널링 구간이 형성될 수 있다.
- [0055] 게이트(140)는 도핑연장영역(132) 상에 형성되고 진성영역(134)과 접촉되어 적어도 하나의 채널(130) 상의 일부에 형성된다. 여기에서, 게이트(140)는 게이트 전극(142) 및 게이트 절연막(144)을 포함할 수 있다. 보다 구체적으로, 게이트 전극(142)은 게이트 절연막(144) 상에 형성되고, 게이트 절연막(144)은 도핑연장영역(132) 상에 형성되며, 게이트 전극(142)은 게이트 절연막(144)을 통해 도핑연장영역(132)과 연결될 수 있다. 게이트(140)는 게이트 절연막(144)을 통해 적어도 하나의 채널(130) 각각과 절연될 수 있다. 게이트 전극(142) 및 게이트 절연막(144)은 다면에서 진성영역(134)을 통해 도핑연장영역(132)을 언더랩할 수 있고, 도핑연장영역(132)을 감싸는 진성영역(134) 상의 일부를 특정 두께로 감싸며 형성될 수 있다.
- [0056] 일 실시예에서, 게이트(140)는 제1 및 제2 타입의 도핑영역들(120)과 이격될 수 있다. 다른 일 실시예에서, 게이트 전극(142)은 제1 및 제2 타입의 도핑영역들(120)과 이격되고, 게이트 절연막(144)은 제1 및 제2 타입의 도핑영역들(120)에 접촉될 수 있다.
- [0057] 게이트(140)는 구동 전압을 인가 받아 도핑연장영역(132)과 진성영역(134) 간에 터널링 전류를 발생시킬 수 있다. 이러한 내용은 도 2를 참조하여 설명하도록 한다.
- [0058] 도 2는 도 1(a)에 있는 터널링 전계효과 트랜지스터에 대한 Y-Y'의 단면을 나타내는 평면도로서 구동 전압이 가해졌을 때 발생하는 터널링 방향 및 크기를 나타낸다.
- [0059] 보다 구체적으로, 게이트(140)는 도핑연장영역(132)과 다면에서 접촉된 진성영역(134) 상에 형성되어 도핑연장영역(132)에 다면에서의 터널링을 유도할 수 있고, 동작 과정에서 터널링 면적을 증가시키어 터널링 전류를 극대화시킬 수 있다. 게이트(140)는 구동 전압을 인가 받으면 도핑연장영역(132)과 진성영역(134) 간에 수직 및 수평 방향으로 중첩된 전계를 발생시킬 수 있다. 이에 따라, 터널링 전계효과 트랜지스터(100)는 터널링 전류의 극대화가 필요한 부분에 전계를 집중시키어 높은 구동 전류와 급격한 게이트 전압에 따른 구동 전류의 변화를 구현할 수 있다.
- [0060] 일 실시예에서, 터널링 전계효과 트랜지스터(100)이 N-채널의 특성을 가지고 동작하도록 형성된 경우에는 게이트(140)는 임계 기준을 만족하는 양의 구동 전압을 인가 받고 P+ 소스 영역인 제1 타입의 도핑영역(120a)과 연결되는 전극은 0의 구동 전압을 인가 받으며 N+ 드레인 영역인 제2 타입의 도핑영역(120b)과 연결되는 전극은 임계 기준을 만족하는 양의 구동 전압을 인가 받아 터널링 전류를 발생시킬 수 있다. 다른 일 실시예에서, 터널링 전계효과 트랜지스터(100)이 P-채널의 특성을 가지고 동작하도록 형성된 경우에는 구동 전압의 조건이 N-채널의 경우와 역의 상황이 적용될 수 있다.
- [0061] 일 실시예에서, 도핑연장영역(132)은 그 하면이 반도체 기판(110)의 절연층(114)과 접촉되지 않고 특정 거리 이상 떨어져 형성될 수 있다. 이때, 진성영역(134)은 도핑연장영역(132)의 모든 면들 각각의 적어도 일부를 감싸며 도핑연장영역(132)에 접촉될 수 있고, 게이트(140)는 진성영역(134) 상의 일부를 감싸며 진성영역(134)과 반도체 기판(110)에 접촉될 수 있다.
- [0062] 일 실시예에서, 터널링 전계효과 트랜지스터(100)는 복수의 채널(130)들을 포함하여 형성될 수 있다. 이러한 내용은 도 3을 참조하여 설명하도록 한다.

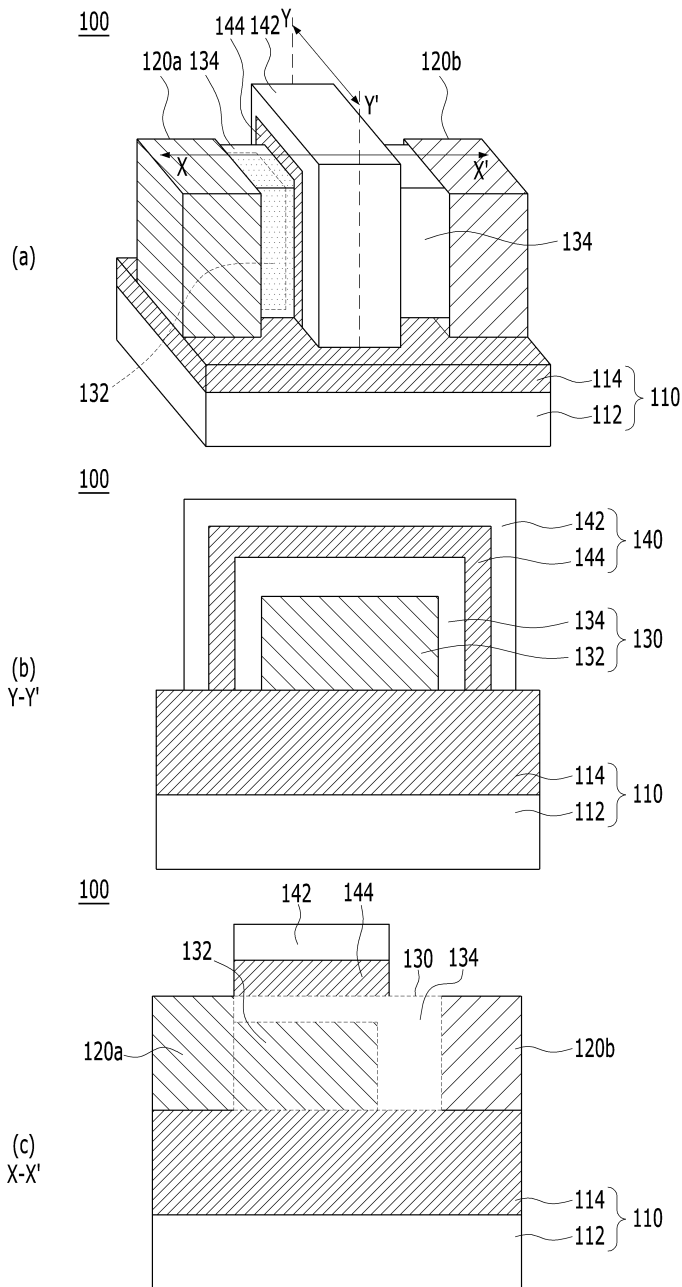
- [0063] 도 3은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 구조를 보여주는 도면들을 나타낸다. 보다 구체적으로, 도 3(a)는 두 개의 채널(130)들을 포함하는 터널링 전계효과 트랜지스터의 구조의 나타내는 입체도이고, 도 3(b)는 도 3(a)에 있는 터널링 전계효과 트랜지스터에 대한 A-A'의 단면을 나타내는 평면도이다.
- [0064] 도 3을 참조하면, 터널링 전계효과 트랜지스터(100)는 상호 이격된 복수의 채널(130)들이 게이트(140)를 통해 수직적으로 적층되는 구조를 가질 수 있다. 보다 구체적으로, 복수의 채널(130)들 각각의 도핑연장영역(132)은 제1 및 제2 타입의 도핑영역들(120) 중 하나의 서로 다른 일부로부터 수평적으로 연장될 수 있고, 진성영역(134)은 도핑연장영역(132) 상에 형성되고 복수의 채널(130)들 각각의 도핑연장영역(132)의 적어도 일부에 접촉될 수 있다. 이때, 게이트(140)는 진성영역(134) 상의 일부를 감싸고 수직적으로 연장될 수 있다. 게이트(140)는 복수의 채널(130)들 각각을 특정 두께로 감싸는 게이트 절연막(144)을 통해 복수의 채널(130)들 각각과 절연될 수 있다. 일 실시예에서, 복수의 채널(130)들 각각의 도핑연장영역(132)은 그 두께, 길이 및 너비 중에서 적어도 하나가 상기 하나의 도핑영역보다 작게 형성되고, 각각은 서로 동일한 크기를 가지고 대칭적으로 형성될 수 있다.
- [0065] 일 실시예에서, 터널링 전계효과 트랜지스터(100)는 채널(130)의 개수를 증가시켜 세 개 또는 그 이상의 채널(130)들이 수직적으로 적층되도록 그 구조를 보다 확장시킬 수 있고, 게이트(140)는 구동 전압을 인가 받아 복수의 채널(130)들 각각에 수직 및 수평 방향으로 중첩된 전계를 동시에 발생시켜 문턱전압이하 기울기 및 구동 전류를 현저하게 증가시킬 수 있다.
- [0066] 일 실시예에서, 복수의 채널(130)들 중 가장 하부에 형성된 채널(130a)은 그 하면이 반도체 기판(110)의 절연층(114)과 접촉되지 않고 특정 거리 이상 떨어져 형성될 수도 있다. 이 경우, 게이트(140)가 복수의 채널(130)들 각각에 보다 중첩된 전계를 동시에 발생시킬 수 있어 보다 큰 구동 전류를 발생시킬 수 있는 장점이 있다.
- [0067] 다른 일 실시예에서, 복수의 채널(130)들 중 가장 하부에 형성된 채널(130a)은 그 하면이 반도체 기판(110)의 절연층(114)과 접촉될 수 있다. 이 경우, 그 제조 과정에서 가장 하부에 형성된 채널(130a)을 반도체 기판(110)의 절연층(114)과 이격시키기 위한 별도의 공정 단계들이 요구되지 않아 용이하게 제조할 수 있는 장점이 있다.
- [0069] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

- [0071] 100: 터널링 전계효과 트랜지스터
- 110: 반도체 기판
- 112: 하부 기판
- 114: 절연층
- 120: 제1 및 제2 타입의 도핑영역들
- 120a: 제1 타입의 도핑영역
- 120b: 제2 타입의 도핑영역
- 130: 채널
- 132: 도핑연장영역
- 134: 진성영역
- 140: 게이트
- 142: 게이트 전극
- 144: 게이트 절연막

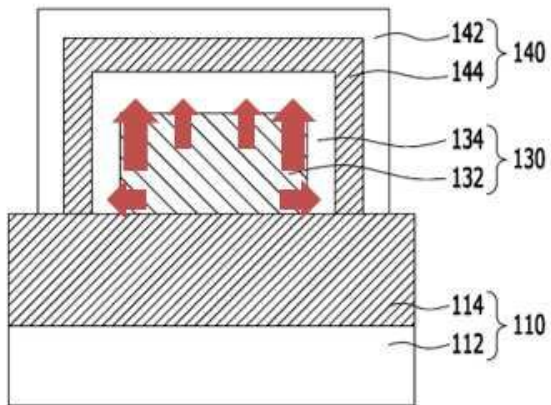
도면

도면1



도면2

100



도면3

