

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3909865号

(P3909865)

(45) 発行日 平成19年4月25日(2007.4.25)

(24) 登録日 平成19年2月2日(2007.2.2)

(51) Int. Cl.

H03F 3/50 (2006.01)

F I

H03F 3/50

請求項の数 4 (全 7 頁)

(21) 出願番号	特願平9-527441	(73) 特許権者	コーニンクレッカ フィリップス エレク トロニクス エヌ ヴィ オランダ国 5621 ペーアー アイン ドーフエン フルーネヴァウツウェッハ 1
(86) (22) 出願日	平成9年1月17日(1997.1.17)	(74) 代理人	弁理士 杉村 興作
(65) 公表番号	特表平11-503590	(74) 代理人	弁理士 富田 典
(43) 公表日	平成11年3月26日(1999.3.26)	(74) 代理人	弁理士 杉村 純子
(86) 国際出願番号	PCT/IB1997/000032	(74) 代理人	弁理士 徳永 博
(87) 国際公開番号	W01997/028603		
(87) 国際公開日	平成9年8月7日(1997.8.7)		
審査請求日	平成16年1月15日(2004.1.15)		
(31) 優先権主張番号	96200219.2		
(32) 優先日	平成8年2月1日(1996.2.1)		
(33) 優先権主張国	オランダ(NL)		

最終頁に続く

(54) 【発明の名称】 容量的に負荷状態とされたホロワ回路に対するひずみ補償

(57) 【特許請求の範囲】

【請求項 1】

入力信号を受ける入力端子と、入力信号に応答して緩衝出力信号を生じる出力端子と、入力端子に結合された制御電極、出力端子に結合された第1主電極及び第2主電極を有する第1トランジスタと、前記第1主電極に結合され第1バイアス電流を第1トランジスタに供給する第1バイアス電流手段とを具えるトランジスタ回路において、

このトランジスタ回路が更に、第2トランジスタと、第3トランジスタと、第2バイアス電流手段と、補償キャパシタとを有し、第2トランジスタの制御電極が入力端子に結合され、第2バイアス電流手段は第2トランジスタの第1主電極に接続されこの第2トランジスタに第2バイアス電流を供給するようになっており、第3トランジスタは、第1バイアス電流手段に結合された第1主電極と、第1トランジスタの第1主電極に結合された第2主電極と、バイアス電圧を受けるように結合された制御電極とを有し、前記補償キャパシタは前記第2トランジスタの第1主電極と前記第3トランジスタの第1主電極との間に結合されていることを特徴とするトランジスタ回路。

【請求項 2】

請求の範囲 1 に記載のトランジスタ回路において、このトランジスタ回路が更に、他の入力端子と、他の出力端子と、第4トランジスタとを具え、第4トランジスタは、前記他の入力端子に結合された制御電極と、前記他の出力端子及び第2トランジスタの第2主電極に結合された第1主電極とを有していることを特徴とするトランジスタ回路。

【請求項 3】

10

20

請求の範囲 2 に記載のトランジスタ回路において、第 2 トランジスタの制御電極は第 1 レベルシフト回路を経て前記入力端子に結合され、第 3 トランジスタの制御電極は第 2 レベルシフト回路を経て前記他の入力端子に結合されていることを特徴とするトランジスタ回路。

【請求項 4】

請求の範囲 3 に記載のトランジスタ回路において、第 1 レベルシフト回路は第 5 トランジスタ及び第 3 バイアス電流手段を有し、第 5 トランジスタは前記入力端子に結合された制御電極及び第 2 トランジスタの制御電極に結合された第 1 主電極を有し、第 3 バイアス電流手段は第 5 トランジスタの第 1 主電極に結合されて第 3 バイアス電流を第 5 トランジスタに供給するようになっており、第 2 レベルシフト回路は第 6 トランジスタ及び第 4 バイアス電流手段を有し、第 6 トランジスタは前記他の入力端子に結合された制御電極及び第 3 トランジスタの制御電極に結合された第 1 主電極を有し、第 4 バイアス電流手段は第 6 トランジスタの第 1 主電極に結合されて第 6 トランジスタに第 4 バイアス電流を供給するようになっていることを特徴とするトランジスタ回路。

10

【発明の詳細な説明】

本発明は、入力信号を受ける入力端子と、入力信号に応答して緩衝出力信号を生じる出力端子と、入力端子に結合された制御電極、出力端子に結合された第 1 主電極及び第 2 主電極を有する第 1 トランジスタと、前記第 1 主電極に結合され第 1 バイアス電流を第 1 トランジスタに供給する第 1 バイアス電流手段とを具えるトランジスタ回路に関するものである。

20

このようなトランジスタ回路は周知のホロワ回路であり、容量性負荷を駆動するバッファ回路として広く用いられている。例えば、信号をキャパシタに蓄積するトラックーホールド回路又はサンプルーホールド回路のようなサンプリング回路においては、所望の信号速度で十分な精度を以て入力信号を蓄積するのにある駆動容量が必要となる。この目的の極めて基本的な回路がホロワ回路である。容量性負荷を有するホロワ回路のバイポーラ構成を図 1 に示す。トランジスタの電圧－電流伝達特性は非直線である為、容量性負荷の両端間の出力信号は入力信号のレベルシフトしたものと、偶数調波ひずみ項の列及び奇数調波ひずみ項の列との合計として表すことができる。差動回路構成を用いると、偶数調波ひずみ項を抑圧することができ、重複する回路部分間の整合が理想的であれば偶数調波ひずみ項を理論的には無くすることができる。しかし、奇数調波ひずみ項はこのようにして抑圧

30

することができない。

本発明の目的は、奇数調波ひずみを補償したホロワ回路を提供せんとするにある。

本発明は、頭書に記載したトランジスタ回路において、このトランジスタ回路が更に、第 2 トランジスタと、第 3 トランジスタと、第 2 バイアス電流手段と、補償キャパシタとを有し、第 2 トランジスタの制御電極が入力端子に結合され、第 2 バイアス電流手段は第 2 トランジスタの第 1 主電極に接続されこの第 2 トランジスタに第 2 バイアス電流を供給するようになっており、第 3 トランジスタは、第 1 バイアス電流手段に結合された第 1 主電極と、第 1 トランジスタの第 1 主電極に結合された第 2 主電極と、バイアス電圧を受けるように結合された制御電極とを有し、前記補償キャパシタは前記第 2 トランジスタの第 1 主電極と前記第 3 トランジスタの第 1 主電極との間に結合されていることを特徴とする。

40

第 2 トランジスタの制御電極は第 1 トランジスタと同じ入力信号を受ける為、同様なひずみ成分を有する電流が補償キャパシタを流れ、この電流が第 3 トランジスタの主電流通路を経て出力電流に加わる。この補償構成はバイポーラ及びユニポーラトランジスタに適用しうる。

奇数調波ひずみのみならず偶数調波ひずみをも減少させるために、本発明によるトランジスタ回路の例では、このトランジスタ回路が更に、他の入力端子と、他の出力端子と、第 4 トランジスタとを具え、第 4 トランジスタは、前記他の入力端子に結合された制御電極と、前記他の出力端子及び第 2 トランジスタの第 2 主電極に結合された第 1 主電極とを有していることを特徴とする。

この例は完全に平衡化されており、電力消費量が最少の差動構成を有する。その理由は、

50

第2トランジスタを流れる電流が第4トランジスタをも流れる為である。トランジスタ技術、特にバイポーラトランジスタに対するトランジスタ技術に応じて、本例では更に、第2トランジスタの制御電極は第1レベルシフト回路を経て前記入力端子に結合され、第3トランジスタの制御電極は第2レベルシフト回路を経て前記他の入力端子に結合されているようにすることができる。

レベルシフト回路はトランジスタに対する適正なバイアス及び追加の信号範囲の双方又はいずれか一方を生じる。レベルシフト回路の有効で簡単な構成を得る本発明によるトランジスタ回路の他の例では、第1レベルシフト回路は第5トランジスタ及び第3バイアス電流手段を有し、第5トランジスタは前記入力端子に結合された制御電極及び第2トランジスタの制御電極に結合された第1主電極を有し、第3バイアス電流手段は第5トランジスタの第1主電極に結合されて第3バイアス電流を第5トランジスタに供給するようになっており、第2レベルシフト回路は第6トランジスタ及び第4バイアス電流手段を有し、第6トランジスタは前記他の入力端子に結合された制御電極及び第3トランジスタの制御電極に結合された第1主電極を有し、第4バイアス電流手段は第6トランジスタの第1主電極に結合されて第6トランジスタに第4バイアス電流を供給するようになっていることを特徴とする。

本発明の上述した及びその他の特徴や利点は以下の図面に関する本発明の実施例の説明から明らかになるであろう。図中、

図1は、従来のバイポーラホロワ回路を示し、

図2は、本発明によるホロワ回路のバイポーラ構成を示し、

図3は、本発明によるホロワ回路のユニポーラ構成を示し、

図4は、本発明によるホロワ回路の差動バイポーラ構成を示し、

図5は、本発明によるホロワ回路の差動バイポーラ構成を示す。

好適実施例の図面及び説明において、同一又は極めて類似する要素を示すのに同一符号を用いている。

図1は、容量性負荷のホロワ回路のバイポーラ構成を示す。この回路はエミッタホロワ構造のNPNトランジスタ2を有する。このトランジスタ2の制御電極すなわちベースは入力端子4に結合され、この入力端子4に結合される入力信号 v_i を受ける。トランジスタ2の第1主電極すなわちエミッタは、負荷キャパシタ8が設けられた出力端子6に結合されている。トランジスタ2の第2主電極すなわちコレクタは正供給電圧源10に結合されている。バイアス電流源12はトランジスタ2のエミッタと大地との間に結合され、トランジスタ2にバイアス電流 I_0 を供給する。負荷キャパシタ8の両端間の出力信号 v_0 は入力信号 v_i とエミッタホロワバイアス電流 I_0 の変調指数 m_1 との関数、すなわち、

$$(1) \quad v_0 = v_i - V_{be} = v_i - V_{BE0} - V_T \ln(1 + m_1)$$

として表すことができる。この式において、 m_1 は i_0 / I_0 として規定され、 i_0 は負荷キャパシタ8に流れる信号電流であり、 V_{be} はトランジスタ2のベース-エミッタ電圧であり、 V_{BE0} は V_{be} の定常状態部分であり、 V_T は周知の熱電圧 kT/q である。式(1)にある非直線項 $V_T \ln(1 + m_1)$ は

$$(2) \quad V_T \ln(1 + m_1) = V_T \left[m_1 - \frac{m_1^2}{2} + \frac{m_1^3}{3} - \frac{m_1^4}{4} + \frac{m_1^5}{5} - \dots \right]$$

として書き表すことができる。従って、出力信号 v_0 は、入力信号 v_i が直流シフトしたものと、偶数調波の列及び奇数調波の列との合計として書き表すことができる。偶数調波は差動又は平衡化構成を用いることにより抑圧しうるも、奇数調波は依然として出力信号に残存する。図2は本発明によるホロワ回路を示し、この場合図1のホロワ回路の出力信号に生じる奇数調波を抑圧するのに容量性補償技術を用いる。この目的のために、トランジスタ2のエミッタとバイアス電流源12との間にNPNトランジスタ14が挿入されている。このトランジスタ14のエミッタ、コレクタ及びベースはそれぞれ、バイアス電流源12、トランジスタ2のエミッタ及びバイアス電圧源接続端子16に結合されている。このホロワ回路は更に、エミッタホロワ構造で動作するトランジスタ2のようなNPNトラ

10

20

30

40

50

ンジスタ18を有する。このトランジスタ18のベースは入力端子4に結合され、トランジスタ2と同様に入力端子4に供給される入力信号 v_i を受ける。トランジスタ18のエミッタは補償キャパシタ20を経てトランジスタ14のエミッタに結合されている。トランジスタ18のコレクタは正供給電圧源10に結合されている。バイアス電流源12と同様のバイアス電流源22がトランジスタ18のエミッタと大地との間に結合され、トランジスタ18にバイアス電流 I_0 を供給する。

トランジスタ14及び18と補償キャパシタ20との目的はエミッタホロワトランジスタ2にバイアス電流を供給し、このバイアス電流により、電流が出力信号 v_o 中に奇数調波成分を生ぜしめるのを補償する。補償キャパシタ20の両端間の電圧 v_c は入力信号 v_i とトランジスタ14及び18の変調指数 m_2 との関数

$$(3) \quad v_c = v_i - \Delta V_{be} = v_i - V_T \ln \left[\frac{1 + m_2}{1 - m_2} \right]$$

の関数として表すことができる。この式において、 m_2 は i_c / I_0 として規定され、 i_c は補償キャパシタ20を流れる信号電流であり、 v_c は補償キャパシタ20の両端間の信号電圧であり、 ΔV_{be} はトランジスタ18及び14のベース-エミッタ電圧間の差である。信号 v_c における非直線項は

$$(4) \quad V_T \ln \left[\frac{1 + m_2}{1 - m_2} \right] = 2 V_T \left[m_2 + \frac{m_2^3}{3} + \frac{m_2^5}{5} + \dots \right]$$

として書き表すことができる。従って、補償キャパシタ20の両端間の電圧 v_c は入力電圧 v_i がシフトしたものと奇数調波項との合計に等しくなる。変調指数が等しい($m_1 = m_2$)と、補償キャパシタ20のキャパシタンス C_c が負荷キャパシタ8のキャパシタンス C_L に等しい場合、信号電流 i_c における奇数調波項の大きさはエミッタホロワトランジスタ2によって発生される信号電流 i_0 における奇数調波の大きさの2倍に等しくなる。その結果、補償キャパシタ20を流れる電流 i_c が負荷キャパシタ8を流れる電流 i_0 の半分に等しくなると奇数調波は相殺される。この奇数調波の相殺はキャパシタ比 $C_c / C_L = 0.5$ で得られる。

トランジスタ2のエミッタ面積に対するトランジスタ14及び18の双方又はいずれか一方のエミッタ面積の比を適切に定めるか、或いはバイアス電流源12及び22に対するバイアス電流を異なる値に選択するか、或いはこれらの双方を行なうことにより、キャパシタ比を他の値にしても同じ効果が得られることに注意すべきである。

バイポーラトランジスタの代わりに他の技術のトランジスタを図3に示すように用いることができる。ユニポーラ(MOSFET)トランジスタの場合には、トランジスタの制御電極、第1主電極及び第2主電極がユニポーラトランジスタのゲート、ソース及びドレインにそれぞれ相当する。この場合も補償機構の一般的理論は同様に適用可能であるが、式(1)～(4)はトランジスタの特定の特性に合わせる必要がある。

所望に応じバイアス電流源を抵抗或いはその他のバイアス手段に代えることができるも、このようにすると奇数調波の相殺が悪くなるおそれがある。

図4は、本発明によるホロワ回路のバイポーラ構成の差動又は平衡化構成を示す。この構成は差動入力端子及び差動出力端子を有し、偶数及び奇数調波ひずみを低減させた差動出力信号を生じる。トランジスタ18のコレクタはNPNトランジスタ24のエミッタに結合され、このトランジスタ24のコレクタは正供給電圧源10に結合されている。トランジスタ24のエミッタは他の負荷キャパシタ28が設けられた他の出力端子24に結合されている。トランジスタ24のベースは他の入力端子30に結合され、相補の入力信号 $-v_i$ を受ける。トランジスタ18のベースは第1レベルシフト回路32を経て入力端子4に結合され、トランジスタ14のベースは第2レベルシフト回路34を経て前記他の入力端子30に結合されている。この構成は、前記他の入力端子30が図2に示す端子16の代わりとなり、バイアス電圧と相補入力電圧との双方をトランジスタ24のベースに与える。レベルシフト回路32及び34はトランジスタに適切なバイアスを与えるも、トラン

10

20

30

40

50

ジスタ技術が許すならば省略可能である。

図5はレベルシフト回路をより詳細に示したバイポーラ差動構成を示す。第1レベルシフト回路32は、ベースを入力端子4に結合し、コレクタを正供給電圧源10に結合し、エミッタを随意的ダイオード40を経てトランジスタ18のベースに結合したエミッタホロワトランジスタ38を有する。バイアス電流源42は前記随意的ダイオード40を介してトランジスタ38のエミッタに結合されている。同様に、第2レベルシフト回路34は、ベースを前記他の入力端子30に結合し、コレクタを正供給電圧源10に結合し、エミッタを随意的ダイオード46を経てトランジスタ14のベースに結合したエミッタホロワトランジスタ44を有し、バイアス電流源48が前記随意的ダイオード46を経てトランジスタ44のエミッタに結合されている。ダイオード40及び46はトランジスタ14及び18へのコレクタ信号範囲を大きくするも、このような信号範囲を必要としない場合には省略することができる。レベルシフトトランジスタ38及び44は殆ど追加のひずみを導入しない。その理由は、これらトランジスタは容量的に負荷状態となっていない為である。

10

図2～5に示す回路は、例えば、トラッカーホールド回路又はサンプルーホールド回路のようなサンプリング回路、ラインドライバ等において容量性負荷を駆動するためのシングルエンド型又は差動型バッファとして用いるのに適している。

図3において既に説明したように、回路はいかなるトランジスタ技術でも構成でき、例えばバイポーラ又はMOS技術で構成できる。図示のトランジスタはダーリントントランジスタ又はNPN/PNPの組合せのような複合トランジスタ或いは混合技術の複合トランジスタとすることができる。この点で、図5の回路におけるトランジスタ18及び38やトランジスタ44及び14も同様に複合トランジスタとみなすことができ、所望に応じ他の複合トランジスタに代えることができる。

20

反対の導電型のトランジスタも用いることができる。この場合、供給電圧の極性も同様に反対にする必要がある。

【図1】

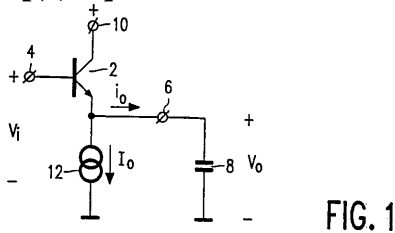


FIG. 1

【図2】

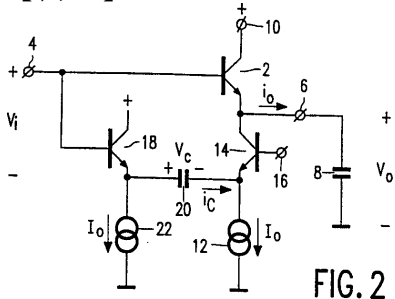


FIG. 2

【図3】

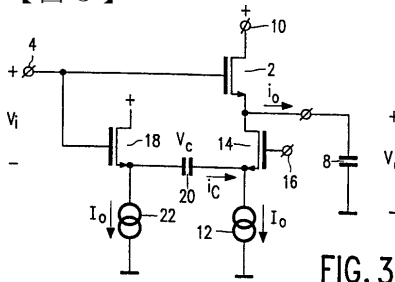


FIG. 3

【図4】

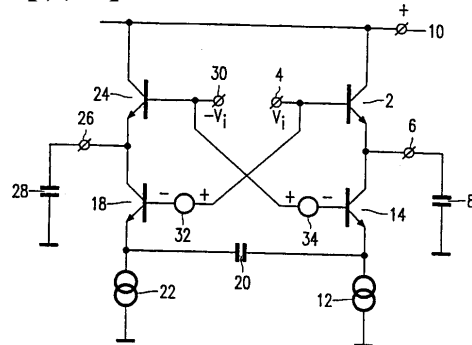
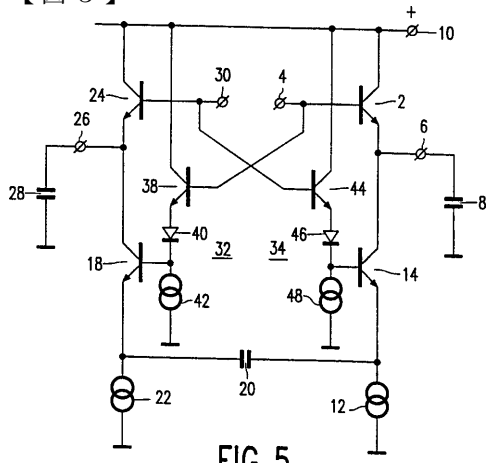
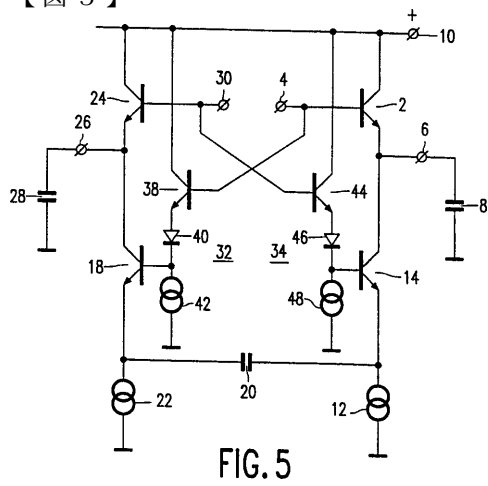


FIG. 4

【 図 5 】



フロントページの続き

(74)代理人

弁理士 高見 和明

(74)代理人

弁理士 梅本 政夫

(72)発明者 フォレンカンプ ピエテル

オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6

審査官 伏本 正典

(56)参考文献 実開昭62-013008 (JP, U)

実開昭57-152813 (JP, U)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/72