



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0066608
(43) 공개일자 2020년06월10일

- (51) 국제특허분류(Int. Cl.)
H01S 5/183 (2015.01) H01S 5/00 (2019.01)
H01S 5/022 (2006.01) H01S 5/024 (2006.01)
H01S 5/062 (2006.01) H01S 5/42 (2006.01)
- (52) CPC특허분류
H01S 5/18311 (2013.01)
H01S 5/0014 (2013.01)
- (21) 출원번호 10-2020-7005275
- (22) 출원일자(국제) 2018년07월25일
심사청구일자 2020년02월27일
- (85) 번역문제출일자 2020년02월24일
- (86) 국제출원번호 PCT/US2018/043786
- (87) 국제공개번호 WO 2019/023401
국제공개일자 2019년01월31일
- (30) 우선권주장
62/536,918 2017년07월25일 미국(US)

- (71) 출원인
트라이루미나 코포레이션
미국 뉴멕시코 87106 앨버커키 스위트 101 801 유
니버시티 블러바드 에스이
- (72) 발명자
카슨, 리차드, 에프.
미국 뉴멕시코 87106 앨버커키 스위트 101 801 유
니버시티 블러바드 에스이
리, 네인-이
미국 뉴멕시코 87106 앨버커키 스위트 101 801 유
니버시티 블러바드 에스이
워런, 미알, 이.
미국 뉴멕시코 87106 앨버커키 스위트 101 801 유
니버시티 블러바드 에스이
- (74) 대리인
김정훈

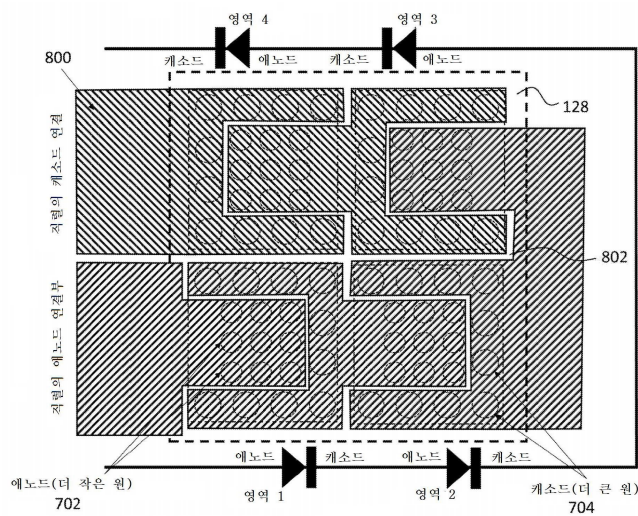
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 **단일 칩 직렬 연결의 VCSEL 어레이**

(57) 요약

직렬 연결된 단일 칩의 수직 공동 표면 방출 레이저(VCSEL) 어레이를 가능하게 하기 위한 방법, 디바이스, 및 시스템이 설명된다. 하나의 양태에서, 단일의 칩은, 복수의 전기적으로 분리된 전도성 영역을 생성하기 위해, 전도성 층 상에 하나 이상의 비전도성 영역을 포함한다. 각각의 전기적으로 분리된 영역은, 직렬로 연결되는 애노드 영역 및 캐소드 영역을 포함하는 복수의 VCSEL 엘리먼트를 구비할 수도 있다. 칩은 금속화 패터를 갖는 서브마운트에 연결되는데, 금속화 패터는 전도성 층 상의 각각의 전기적으로 분리된 영역을 직렬로 연결한다. 하나의 양태에서, 금속화 패터는 제1 전기적으로 분리된 영역의 애노드 영역을 제2 전기적으로 분리된 영역의 캐소드 영역에 연결한다. 금속화 패터는 또한, 각각의 전도성 층 영역 상의 애노드 및 캐소드 영역 사이의 전기적 분리를 유지하며, 에칭된 영역과 정렬되는 절단부를 포함할 수도 있다.

대표도



(52) CPC특허분류

H01S 5/005 (2013.01)

H01S 5/0224 (2013.01)

H01S 5/02272 (2013.01)

H01S 5/02276 (2013.01)

H01S 5/02469 (2013.01)

H01S 5/06226 (2013.01)

H01S 5/18347 (2013.01)

H01S 5/423 (2013.01)

명세서

청구범위

청구항 1

직렬 연결된 수직 공동 표면 방출 레이저(vertical-cavity surface-emitting laser; VCSEL) 어레이로서,

다이 - 상기 다이는:

반도체 기판 및 전도성 캐소드 층 - 상기 전도성 캐소드 층은, 복수의 전기적으로 분리된 전도성 영역을 형성하는 하나 이상의 비전도성 영역을 포함함 - ; 및

각각의 전기적으로 분리된 전도성 영역 상의 복수의 VCSEL 엘리먼트 - 상기 복수의 VCSEL 엘리먼트는 캐소드 영역과 직렬로 연결되는 애노드 영역을 포함함 -

를 포함함 - ; 및

제1 전기적으로 분리된 전도성 영역 상의 상기 애노드 영역을 제2 전기적으로 분리된 전도성 영역 상의 상기 캐소드 영역에 연결하도록, 상기 전도성 캐소드 층 상의 상기 전기적으로 분리된 전도성 영역 사이의 전기적 분리를 유지하도록, 그리고 상기 전도성 캐소드 층 상의 각각의 전기적으로 분리된 전도성 영역 상의 상기 애노드 영역 및 상기 캐소드 영역을 전기적으로 분리하도록 구성되는 금속화 패턴(metallization pattern)을 포함하는 서브마운트(sub-mount)를 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 2

제1항에 있어서,

상기 반도체 기판은 적어도 반절연성(semi-insulating) 재료인, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 3

제1항에 있어서,

상기 하나 이상의 비전도성 영역은 상기 전도성 층 상에서 에칭 및 이온 주입 중 하나 이상에 의해 형성되는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 4

제1항에 있어서,

상기 하나 이상의 비전도성 영역은 절단된 또는 다이싱된 에지를 갖는 일차원 또는 이차원 에칭 패턴을 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 5

제4항에 있어서,

상기 금속화 패턴은 상기 일차원 또는 이차원 에칭 패턴과 매칭하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 6

제1항에 있어서,

단일의 플립 칩 본드 단계(flip-chip bond step)를 통해 모든 전기적 연결을 만드는 것을 용이하게 하기 위해 상기 애노드 영역 및 상기 캐소드 영역에 대한 콘택이 상기 다이의 동일한 면 상에 형성되는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 7

제1항에 있어서,

상기 서브마운트 및 상기 다이는 플립 칩 본딩을 통해 연결되는, 직렬 연결된 수직 공동 표면 방출 레이저 (VCSEL) 어레이.

청구항 8

제1항에 있어서,

제1 전도성 영역 내의 각각의 전도성 캐소드 영역의 상기 캐소드 영역은 상기 제1 전도성 영역 내의 상기 애노드 영역 주위에 배치되는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 9

제1항에 있어서,

상기 복수의 VCSELS 중의 개개의 VCSEL 또는 상기 복수의 VCSELS 중의 VCSEL의 그룹은 외부 드라이버 회로부에 전기적으로 연결 가능하되, 드라이버 집적 회로 기판에 대한 직접적인 본드(direct bond)를 통하는 것을 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 10

제1항에 있어서,

각각의 애노드 영역 및 각각의 캐소드 영역은 복수의 단락된 콘택(shorted contact)을 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 11

제1항에 있어서,

상기 서브마운트는 인쇄 배선 기판 또는 패턴화된 회로인, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 12

제1항에 있어서,

상기 서브마운트는, 상기 다이에 대한 전력, 온도 제어 또는 다른 전자적 기능을 제공하는 능동 집적 회로인, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 13

수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법으로서,

다이를 형성하는 단계 - 상기 다이를 형성하는 단계는:

반도체 기판 상에, 하나 이상의 비전도성 영역 - 상기 하나 이상의 비전도성 영역은 복수의 전기적으로 분리된 전도성 영역을 형성함 - 을 포함하는 전도성 캐소드 층을 형성하는 단계; 및

각각의 전기적으로 분리된 전도성 영역 내에 복수의 VCSEL 엘리먼트 - 상기 복수의 VCSEL 엘리먼트는 애노드 영역 및 캐소드 영역을 포함함 - 를 형성하는 단계

를 포함함 - ; 및

제1 전기적으로 분리된 전도성 영역 상의 상기 애노드 영역을 제2 전기적으로 분리된 전도성 영역 상의 상기 캐소드 영역에 연결하도록, 상기 전도성 캐소드 층 상의 상기 전기적으로 분리된 전도성 영역 사이의 전기적 분리를 유지하도록, 그리고 상기 전도성 캐소드 층 상의 각각의 전기적으로 분리된 전도성 영역 내의 상기 애노드 영역 및 상기 캐소드 영역을 전기적으로 분리하도록 구성되는 금속화 패턴을 포함하는 서브마운트를 형성하는 단계를 포함하는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법.

청구항 14

제13항에 있어서,

상기 반도체 기판은 적어도 반절연성 재료인, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법.

청구항 15

제13항에 있어서,

상기 하나 이상의 비전도성 영역은 상기 전도성 캐소드 층 상에서 이온 주입 또는 절단된 또는 다이싱된 에지를 갖는 일차원 또는 이차원 패턴을 에칭하는 것에 의해 형성되는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법.

청구항 16

제15항에 있어서,

상기 금속화 패턴은 상기 전도성 캐소드 층 상의 하나 이상의 에칭 패턴과 매칭하는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법.

청구항 17

제13항에 있어서,

단일의 플립 칩 본드 단계를 통해 모든 전기적 연결을 만드는 것을 용이하게 하기 위해 상기 애노드 영역 및 상기 캐소드 영역에 대한 콘택을 상기 다이의 동일한 면 상에 형성하는 단계를 더 포함하는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법.

청구항 18

제13항에 있어서,

상기 서브마운트를 상기 반도체 기판에 플립 칩 본딩하는 단계를 더 포함하는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 제조하기 위한 방법.

청구항 19

수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위한 시스템으로서,

다이 - 상기 다이는:

반도체 기판 상의 전도성 층 내에 복수의 전기적으로 분리된 전도성 영역을 생성하는 하나 이상의 비전도성 영역; 및

각각의 전기적으로 분리된 전도성 영역 내의 복수의 직렬 연결된 VCSEL 엘리먼트 - 상기 복수의 직렬 연결된 VCSEL 엘리먼트는 애노드 영역 및 캐소드 영역을 포함함 -

를 포함함 - ; 및

상기 반도체 기판에 연결되는 서브마운트 - 상기 서브마운트는, 제1 전기적으로 분리된 전도성 영역 상의 상기 애노드 영역을 제2 전기적으로 분리된 전도성 영역의 상기 캐소드 영역에 연결하고, 상기 전도성 층 상의 전기적으로 분리된 전도성 영역 사이의 전기적 분리를 유지하며, 그리고 상기 전도성 캐소드 층 상의 각각의 전기적으로 분리된 전도성 영역 내의 상기 애노드 영역 및 상기 캐소드 영역을 전기적으로 분리하는 금속화 패턴을 포함함 - 를 포함하는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위한 시스템.

청구항 20

제19항에 있어서,

상기 반도체 기판은 적어도 반절연성 재료인, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위

한 시스템.

청구항 21

제19항에 있어서,

상기 하나 이상의 비전도성 영역은, 상기 전도성 캐소드 층 상에서 이온 주입, 및 절단된 또는 다이싱된 에지를 갖는 일차원 또는 이차원 에칭 패턴 중 하나 이상에 의해 형성되는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위한 시스템.

청구항 22

제21항에 있어서,

상기 금속화 패턴은 상기 전도성 캐소드 층 상의 상기 일차원 또는 이차원 에칭 패턴 중 상기 하나 이상과 매칭하는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위한 시스템.

청구항 23

제19항에 있어서,

단일의 플립 칩 본드 단계를 통해 모든 전기적 연결을 만드는 것을 용이하게 하기 위해 상기 애노드 영역 및 상기 캐소드 영역에 대한 콘택이 상기 다이의 동일한 면 상에 형성되는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위한 시스템.

청구항 24

제19항에 있어서,

상기 서브마운트 및 반도체 기판은 플립 칩 본딩을 통해 연결되는, 수직 공동 표면 방출 레이저(VCSEL) 어레이를 직렬로 연결하기 위한 시스템.

청구항 25

직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이로서,

다이 - 상기 다이는:

반도체 기판 및 전도성 애노드 층 - 상기 전도성 애노드 층은, 복수의 전기적으로 분리된 전도성 영역을 형성하는 하나 이상의 비전도성 영역을 포함함 - ; 및

각각의 전기적으로 분리된 전도성 영역 상의 복수의 VCSEL 엘리먼트 - 상기 복수의 VCSEL 엘리먼트는 애노드 영역과 직렬로 연결되는 캐소드 영역을 포함함 -

를 포함함 - ; 및

제1 전기적으로 분리된 전도성 영역 상의 상기 애노드 영역을 제2 전기적으로 분리된 전도성 영역 상의 상기 캐소드 영역에 연결하도록, 상기 전도성 캐소드 층 상의 상기 전기적으로 분리된 전도성 영역 사이의 전기적 분리를 유지하도록, 그리고 상기 전도성 캐소드 층 상의 각각의 전기적으로 분리된 전도성 영역 상의 상기 애노드 영역 및 상기 캐소드 영역을 전기적으로 분리하도록 구성되는 금속화 패턴을 포함하는 서브마운트를 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 26

제25항에 있어서,

상기 반도체 기판은 적어도 반절연성 재료인, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 27

제25항에 있어서,

상기 하나 이상의 비전도성 영역은 상기 전도성 층 상에서 에칭 및 이온 주입 중 하나 이상에 의해 형성되는,

직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 28

제25항에 있어서,

상기 하나 이상의 비전도성 영역은 절단된 또는 다이싱된 에지를 갖는 일차원 또는 이차원 에칭 패턴을 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 29

제28항에 있어서,

상기 금속화 패턴은 상기 일차원 또는 이차원 에칭 패턴과 매칭하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 30

제25항에 있어서,

단일의 플립 칩 본드 단계를 통해 모든 전기적 연결을 만드는 것을 용이하게 하기 위해 상기 애노드 영역 및 상기 캐소드 영역에 대한 콘택이 상기 다이의 동일한 면 상에 형성되는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 31

제25항에 있어서,

상기 서브마운트 및 상기 다이는 플립 칩 본딩을 통해 연결되는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 32

제25항에 있어서,

제1 전도성 영역 내의 각각의 전도성 캐소드 영역의 상기 캐소드 영역은 상기 제1 전도성 영역 내의 상기 애노드 영역 주위에 배치되는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 33

제25항에 있어서,

상기 복수의 VCSELS 중의 개개의 VCSEL 또는 상기 복수의 VCSELS 중의 VCSEL의 그룹은 외부 드라이버 회로부에 전기적으로 연결 가능하되, 드라이버 집적 회로 기판에 대한 직접적인 본드에 의한 것을 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 34

제25항에 있어서,

각각의 애노드 영역 및 각각의 캐소드 영역은 복수의 단락된 콘택을 포함하는, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 35

제25항에 있어서,

상기 서브마운트는 인쇄 배선 기판 또는 패턴화된 회로인, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

청구항 36

제25항에 있어서,

상기 서브마운트는, 상기 다이에 대한 전력, 온도 제어 또는 다른 전자적 기능을 제공하는 능동 집적 회로인, 직렬 연결된 수직 공동 표면 방출 레이저(VCSEL) 어레이.

발명의 설명

기술 분야

- [0001] 관련 출원에 대한 교차 참조
- [0002] 본 출원은 2017년 7월 25일자로 출원된 미국 특허 가출원 제62/536,918호의 이익을 주장한다.
- [0003] 기술 분야
- [0004] 본 개시는 수직 공동 표면 방출 레이저(vertical-cavity surface-emitting laser; VCSEL) 어레이, 및 직렬 연결된 아키텍처에 관련되는 디바이스, 방법, 및 시스템에 관한 것이다.

배경 기술

- [0005] 수직 공동 표면 방출 레이저(VCSEL)는, 단파장 멀티 모드 광섬유 통신 시스템을 비롯한, 다양한 통신 기술에서 사용된다. VCSEL은 또한 극한의 온도 및 방사선 환경에서 유효하고 견고하여, 조명 장치(illuminator) 및 산업용 열 프로세싱과 같은 애플리케이션에서 그들을 유용하게 만든다. 단일의 VCSEL 디바이스는, 특히 10Gb/s 이상의 데이터 레이트를 위해 설계되는 경우, 수 밀리 와트의 광학 출력 전력에서 일반적으로 동작한다. 공통 기관 상에서 또는 다수의 기관 상에서 VCSEL의 동시에 주소 지정된 어레이를 구축하는 것에 의해 더 큰 광학 출력 전력이 달성될 수도 있다.
- [0006] 그러나, VCSEL은 전류 확산 손실 및 모달 속성(property)의 결과로서 적당한 개구 사이즈로 제한된다. VCSEL을 더 높은 전력으로 확장하기 위해, 일반적인 접근법은 공통 다이 상에서 VCSEL의 어레이를 생성하는 것이다. 배열된 디바이스는 병렬 또는 직렬로 종종 결합되며, 낮은 변조 대역폭을 위해 설계된다. 병렬 배열에서, 단일의 기관 상의 다수의 VCSEL은 통상적으로 웨이퍼를 통해 공통으로 연결되고, 레이저는 공통 캐소드 연결부와 병렬로 전기적으로 연결된다. 그러한 구성은, 예를 들면, 이면 방출(back-emitting) VCSEL 어레이의 병렬 구성을 설명하는 미국 특허 7,949,024 B2에서 발견될 수도 있다. 그러나, 추가적인 벌크 커패시턴스는 VCSEL의 병렬 동작에 대한 제한 요인이며, 병렬 배열은 고전류 펄스식 드라이버 회로에 대한 이상적인 임피던스 매칭이 아닐 수도 있다. [R. Carson, M. Warren, P. Dacha, T. Wilcox, J. Maynard, D. Abell, K. Otis, and J. Lot, "Progress in high-power high-speed VCSEL arrays," Proc. SPIE 9766, Vertical-Cavity Surface-Emitting Lasers XX, 97660B (18 March 2016)]는, 훨씬 더 높은 광학 전력이 다수의 다이를 직렬로 연결하는 것에 의해 획득될 수 있다는 것을 보여주었다. 개개의 다이의 각각의 병렬로 연결되는 다수의 VCSEL을 가지지만, 그 때, 다이가 플립 칩 본딩되는 서브마운트(sub-mount)는 다이를 직렬로 연결할 수 있다.
- [0007] 직렬 연결된 VCSEL 어레이는, 특히 저 듀티 사이클 펄스식 전류 소스(low duty-cycle pulsed current source)로부터 동작되는 경우, 단일의 병렬 연결된 VCSEL 어레이에 비해 주어진 전류에서 출력 광학 전력을 크게 향상시키는 것으로 나타났다. 그러한 고전력 펄스식 광원(pulsed light source)은 플래시 라이다(flash-LiDAR) 및 단거리 NIR 조명과 같은 애플리케이션에 대해 특히 유용하다.
- [0008] 많은 현재의 직렬 연결된 구성에서, 각각의 VCSEL 어레이는 단일의 칩, 또는 웨이퍼 상에 배열되는 병렬 VCSEL 엘리먼트 세트, 및 칩 상의 전도 층에 연결되는, 단락된 콘택(shorted contact)에 의해 형성되는 공통 캐소드 경로를 포함한다. 다수의 칩이 공통 서브마운트 상에서 본딩되어 직렬 연결을 형성하도록 배열된다. 플립 칩 배열에서, 각각의 칩의 애노드는 서브마운트 상의 공통의 전기 연결부에 연결되고, 각각의 칩 상의 공통 캐소드 연결부는 서브마운트 배열 상의 다음 칩의 애노드 연결부에 연결된다. 그러한 구성이 각각의 칩 상의 공통 캐소드 배열을 사용하기 때문에, 공통 서브마운트 상의 다수의 칩을 "타일화(tiling)"하는 것이 직렬 연결 구성을 실현하는 유일한 방식이었다.
- [0009] "타일화"의 접근법은 설계 유연성의 관점에서 많은 이점을 갖는다. 그러나, 단일의 칩을 사용하는 것이 상당히 더 유리한 구성이 존재한다. 예를 들면, 마이크로 렌즈의 구획화된 그룹(segmented group)이 사용되는 레이저 어셈블리에서, 그들 렌즈 사이의 상대 정렬 정확도는, 타일화된 칩 사이의 상대적 각도 차이가 문제가 되도록, 중요하다. 다른 예는 직렬 연결과 관련되는 여분의 광학 전력으로부터 이익을 얻을 수 있는 낮은 값의 전류 소스가 존재하는 경우이지만, 그러나 다수의 다이를 타일화하는 데 필요한 여분의 반도체 다이 영역은 비용 및 패

키징 문제를 야기한다.

[0010] 타일화는 또한 여분의 공간(estate)을 필요로 하며, 다수의 칩은 증가된 비용 및 패키징 문제로 이어질 수 있다. 따라서, 몇몇 경우에, 그러한 사이즈, 비용 및 제조 요인은 직렬 연결과 관련되는 여분의 광학 전력의 이점을 능가한다. 더구나, 매칭된 속성이 동일한 칩 상에 장착되는 VCSEL 엘리먼트로부터 유래할 가능성이 더 높기 때문에, 직렬 연결에서 사용되는 VCSEL 엘리먼트가 거의 동일한 방출 속성을 갖는다는 것을 과장 제어 요건이 지시하는 경우 타일화는 바람직하지 않을 수도 있다.

발명의 내용

[0011] 직렬 연결된 단일 칩의 수직 공동 표면 방출 레이저(VCSEL) 어레이에 대한 방법, 디바이스, 및 시스템이 설명된다. 직렬 연결 설계는, 병렬로 연결되는 단일의 어레이를 사용하여 획득될 수도 있는 것 보다, 주어진 전류 소스로부터 더 높은 피크 광학 전력을 가능하게 한다. 단일의 칩은 반도체 기판 및 전도성 층을 포함할 수도 있다. 전도성 층은, 전도성 층을 통한 에칭에 의해 또는 이온 주입에 의해 형성되는 하나 이상의 비전도성 영역을 포함하는데, 하나 이상의 비전도성 영역은 전도성 층 상에 복수의 전기적으로 분리된 영역을 생성한다. 각각의 전기적으로 분리된 영역은, 직렬로 연결되는 애노드 영역 및 캐소드 영역을 포함하는 복수의 VCSEL 엘리먼트를 구비할 수도 있다. 칩은 또한 금속화 패턴(metallization pattern)을 사용하여 서브마운트에 연결되는데, 금속화 패턴은 전도성 층 상의 전기적으로 분리된 영역 사이의 직렬 연결을 가능하게 한다. 하나의 실시형태에서, 금속화 패턴은 제1 전기적으로 분리된 영역의 캐소드 영역을 제2 전기적으로 분리된 영역의 애노드 영역에 연결한다. 금속화 패턴은 또한, 동일한 전기적으로 분리된 층 영역 상의 애노드 영역과 캐소드 영역 사이의 전기적 분리를 유지하는, 그리고 에칭된 영역과 정렬되는 절단부(cut)를 포함할 수도 있다.

[0012] 몇몇 실시형태에서, 칩의 반도체 기판은 반절연성(semi-insulating) 또는 절연성(insulating) 재료일 수도 있다. 에칭된 영역은, 절단된 또는 다이싱된 에지를 갖는 에칭 패턴을 포함할 수 있으며, 또한, 일차원 또는 이차원일 수도 있다. 서브마운트 금속화 패턴은 또한, 전도성 층의 에칭된 영역 상의 하나 이상의 에칭 패턴과 매칭될 수 있다. 칩 및 서브마운트는 또한, 플립 칩 본딩 또는 유사한 방법을 통해 연결될 수도 있다. 다른 양태에서, 각각의 전기적으로 분리된 영역의 캐소드 영역은 동일한 전기적으로 분리된 영역에서 애노드 영역 주위에 배치된다. 또한, 각각의 캐소드 영역은 복수의 단락된 콘택을 포함한다. VCSEL 엘리먼트는 외부 드라이버 회로부(circuitry)에 전기적으로 연결 가능할 수도 있다.

도면의 간단한 설명

[0013] 도면은 본원에서 설명되는 예시적인 실시형태를 예시하기 위해 제공되며 본 개시의 범위를 제한하도록 의도되지는 않는다.

도 1은, 실시형태에 따른, 애노드 및 캐소드 콘택이 칩의 동일한 면(side) 상에 있도록, 전류 리턴 경로를 제공하는 단락된 VCSEL 구조와 쌍을 이루는 플립 칩 본딩식 직렬 VCSEL(flip-chip bonded, series VCSEL)을 예시하는 단순화된 단면도이다;

도 2는, 실시형태에 따른 단락용 메사 디바이스(shorting mesa device), 히트 싱크, 본딩 층, 및 다른 피처를 추가로 예시하는, 두 개의 직렬 연결된 VCSEL 어레이의 단순화된 단면도이다; 여기서 전기적으로 분리된 영역은 트렌치 분리 또는 이온 주입 영역을 통해 형성된다.

도 3은, 전기적으로 분리된 영역이 기판 방법을 통한 트렌치 분리 및 이온 주입을 통해 형성되는, 두 개의 직렬 연결된 VCSEL 어레이의 대안적인 실시형태이다.

도 4는, 전기적으로 분리된 영역이 전도성 층을 통한 에칭 및 반도체 기판 재료의 제거 및 절연성 지지 기판과의 대체에 의해 형성되는, 두 개의 직렬 연결된 VCSEL 어레이의 대안적인 실시형태이다.

도 5는 단일의 칩 또는 다이 상에서 직렬로 연결되는 세 개의 VCSEL 어레이의 예시적인 레이아웃의 상면도이다.

도 6은 예시적인 금속화 패턴을 갖는 서브마운트에 연결되는 도 5의 직렬 연결된 단일 칩 어레이를 예시한다.

도 7은 단일의 칩 또는 다이 상에서 직렬로 연결되는 네 개의 VCSEL 어레이의 예시적인 레이아웃의 상면도이다.

도 8은 예시적인 금속화 패턴을 갖는 서브마운트에 연결되는 도 7의 직렬 연결된 단일 칩 어레이를 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0014] 단일의 칩 상에서 수직 공동 표면 방출 레이저(VCSEL) 어레이의 다수의 직렬 연결을 가능하게 하기 위한 디바이스, 시스템, 및 방법이 본원에서 설명된다. 직렬 연결된 VCSEL 어레이는, 단일의 병렬 연결된 VCSEL 어레이에 비해, 주어진 연속하는(CW) 또는 펄스식 전류 소스로부터의 출력 광학 전력을 크게 향상시킨다. 향상된 피크 광학 전력은, 저 듀티 사이클 펄스식 전류원으로부터 동작되는 경우 특히 분명하다. 그러한 고전력 펄스식 광원은, 플래시 LiDAR 또는 근적외선 조명을 비롯한, 다양한 애플리케이션에 대해 특히 유용하다.
- [0015] 단일의 칩 상에서 다양한 사이즈 및 구성을 갖는 직렬 연결되는 레이저 어레이 영역을 갖는 능력은, 영역당 출력을 최대화하기 위해, 구동 회로부, 레이저 구성, 및 출력 마이크로 광학기기(micro-optic)가 최적으로 매칭되는 것을 허용한다. 게다가, 유연성 및 다양한 VCSEL 어레이 설계는, 전체 광 빔 출력의 재단(tailoring)을 가능하게 한다. 실시형태가 서브마운트 상의 특정한 "타일화" 또는 다른 배열로 제한되지 않기 때문에, 제조 및 다른 비용은 감소될 수도 있다.
- [0016] 하기에서 설명되는 실시형태에서, 어레이 내의 VCSEL은, 애노드 및 캐소드 콘택 둘 모두가 웨이퍼의 활성 면(active side) 상에서 이루어지도록, 인터커넥트된다. 이 구성에서, 비전도성(도핑되지 않은) 웨이퍼를 디바이스 기관으로서 사용하는 것이 가능하고, 그 결과 VCSEL을 전기적으로 분리하는 것이 더 용이하다. 웨이퍼의 동일한 면에 캐소드 및 애노드 콘택을 행하는 성능은, 패키징 및 통합에 대한 큰 이점이다. 능동 집적 회로를 비롯한, 다양한 기관 상에서의 어셈블리를 위해, 단일의 플립 칩 본딩 단계가 사용될 수 있다. 와이어 본드가 없는 직접적인 상호 접속(direct interconnection)은 기생 인덕턴스를 최소화하여, 짧은 고전류 펄스 동작을 가능하게 한다.
- [0017] 한 실시형태에 따르면, 도 1은 다이의 동일한 면에 애노드 및 캐소드 콘택을 갖는 플립 칩 본딩식 VCSEL 어레이의 단순화된 개략적인 단면도를 도시한다. 도면은 단일의 레이저(103) 및 서브마운트 기관(200)과 접촉하는 단일의 단락된 메사(105)를 갖는 단일의 레이저 다이 또는 칩(100)을 도시한다. 그러나, 실제로, 단일의 칩은 많은 레이저 메사 및 단락된 메사를 가질 것이다. 발광 레이저는 서브마운트(202) 상의 애노드 콘택 패드와 접촉하는 메사이다. 캐소드 콘택 패드(204)와 접촉하는 메사는 레이저 메사와 유사하게 제조되지만, 그러나, 도금된 금속 층(124)은 레이저 구조체의 p 및 n 도핑 층과 접촉하여, 전기적 단락을 생성하고, 따라서, 접합부를 통해 어떠한 전류도 흐르지 않으며 어떠한 광도 방출되지 않는다. 대안적으로, 도금된 금속 층(124)은 유전체 코팅에 의해 p 도핑 층으로부터 분리될 수 있으며, n 도핑 재료와만 접촉하고 전류를 서브마운트(200) 상의 캐소드 콘택(204)으로 직접적으로 단락시킨다. 다시, 이 실시형태에서 접합부를 통해 어떠한 전류도 흐르지 않으며 어떠한 광도 방출되지 않는다.
- [0018] 본원에서 개시되는 방법은, 발광 다이오드, 광검출기, 예지 방출 레이저, 변조기, 고 전자 이동도 트랜지스터, 공진 터널링 다이오드, 이중 접합 바이폴라 트랜지스터, 퀀텀 닷(quantum dot) 레이저 및 등등과 같은, 다른 반도체 디바이스의 어레이를 제조하기 위해 사용될 수 있다는 것이 이해될 것이다. 게다가, 실시형태에서의 VCSEL 어레이 디바이스(100)의 예시는 단지 예시적인 목적만을 위한 것이며, 어떤 방식으로든 본 발명의 범위를 제한하도록 의도되는 것은 아니라는 것이 이해될 것이다.
- [0019] 실시형태에서, VCSEL 어레이 디바이스는, 일반적으로 갈륨 비화물(GaAs)을 포함하는 기관(102)을 포함한다. 그러나, 인듐 인화물(InP), 인듐 인화물(InAs), 실리콘(Si), 에피택셜 성장 재료 및 등등과 같은 다른 재료가 기관(102)을 형성하기 위해 사용될 수 있을 것이다. 기관(102)은, 통상적으로, 후속하여 그 상에 성장되는 재료 층에서의 결함을 최소화하기 위해 선택되는 격자 상수를 포함한다. 또한, 조성 중 적어도 하나의 선택 및 후속하여 성장된 재료 층의 두께는, 동작의 소망되는 파장을 제공할 것이라는 것이 이해될 것이다. 후속 층은, 분자 빔 에피택시(Molecular Beam Epitaxy; MBE), 금속 유기 화학적 증착(Metal-Organic-Chemical Vapor Deposition; MOCVD), 및 등등을 사용한 에피택셜 성장을 통해 기관(102) 상에 퇴적된다.
- [0020] 몇몇 실시형태에서, 반도체 기관(102)은 전류 리턴 경로에 대한 추가적인 전도성 재료를 제공하기 위해 도핑된다. 이 추가적인 전도성 재료는 필수적인 것은 아니며, 반도체 기관(102)은 매우 낮은 전도성을 갖는 도핑되지 않은 또는 반절연성 재료일 수 있다. 그러한 경우에, 캐소드 콘택 층(104)은 어레이에서 레이저 사이의 핵심적인 전기 연결 층이다.
- [0021] 층(104)은, VCSEL의 반도체 층 구조체에서, 기관(102)을 가로 지르는 횡방향 전도를 허용하는 도핑된 층이다. 금속 층(122)(도 2 참조)은, 전류 리턴 경로에 대한 전기 저항을 감소시키기 위해, 레이저 메사(103)에 근접한 층(104)에 접촉한다. 전도성 캐소드 층(104)은 단락된 메사(105)의 도금된 금속 구조체(124)에 연결된다. 한 실시형태에서, 층(104)은 VCSEL 메사(103)의 용기된 층 중 제1 층 및 단락용(shortcircuiting)/단락용(shorting)/접지용(grounding) 메사(105)를 형성하기 위해 기관(102) 상에 에피택셜하게 퇴적되는 격자 매칭된

하부(lattice-matched lower) 분산 브래그 반사기(Distributed Bragg Reflector; DBR)일 수도 있다. 하부 DBR(104)은 다양한(높은 및 낮은) 굴절률을 갖는 재료를 교대시키는 다수의 층으로부터, 또는 도파관에서 유효 굴절률의 주기적 변동으로 나타나는, 유전체 도파관의 높이와 같은 어떤 특성의 주기적인 변동에 의해 형성된다. 각각의 층 경계는 광파(optical wave)의 부분 반사를 야기하는데, 층의 결과적으로 나타나는 조합은 동작의 소망되는 파장에서 고품질 반사기로서 작용한다. 따라서, 하부 DBR(104)이 하나보다 더 많은 재료 층을 포함하지만, 그것은, 본원의 논의의 간략화 및 용이성을 위해, 도 1에서 단일의 층으로 구성되는 것으로 예시된다. 하부 DBR(104)의 일부는 또한, 전기적 콘택(도시되지 않음)이 VCSEL 어레이 디바이스에 대해 이루어는 것을 허용하도록 전도성으로 만들어질 수 있다.

[0022] 한 실시형태에서, 활성 영역이 하부 DBR(104) 상에서 에피택셜하게 퇴적될 수도 있는데, 활성 영역은 클래딩(및/또는 도파(waveguiding)) 층, 장벽 층, 및 동작의 소망되는 파장에서 상당한 양의 광을 방출할 수 있는 활성 재료(active material)를 포함한다. 동작의 파장은 (GaAs 기판의 경우) 약 620 nm에서부터 약 1600 nm까지 대략적으로 주어지는 범위 내의 파장이다. 그러나, 다른 파장 범위가 소망될 수도 있고 애플리케이션에 의존할 것 이다는 것이 이해될 것이다.

[0023] 기술 분야의 숙련된 자에 의해 이해되는 바와 같이, 방출의 파장은, DBR 및 활성 영역을 생성하기 위해 사용되는 재료의 선택에 따라 실질적으로 결정된다. 게다가, 활성 영역은, 퀴터 닷, 양자 우물, 또는 등등과 같은 다양한 발광 구조체를 포함할 수도 있다. 전기 전도성 상부(upper) DBR 영역은, 저항성 전기 연결(ohmic electrical connection)이 형성되는 것을 허용하기 위해(도시되지 않음), 활성 영역 상에 배치될 수도 있다. 몇몇 실시형태에서, 하부 DBR(104)은 n 도핑되고 상부 DBR은 p 도핑되지만, 그러나 이것은 반전될 수 있는데, 이 경우, 하부 DBR(104)은 p 도핑되고 상부 DBR은 n 도핑된다. 다른 실시형태에서, 전기 절연성 DBR이 활용될 수 있는데(도시되지 않음), 이것은 활성 영역에 가까운 층 및 공동 내 콘택(intracavity contact)을 활용한다. 게다가, 콘택 층(120) 상에 퇴적되는 금속에 대한 저항성 전기 연결을 용이하게 하기 위해, 도핑된 상부 미러 콘택 층(doped upper mirror contacting layer)(도시되지 않음)이 상부 DBR 상에 배치될 수 있다.

[0024] 리소그래피 및 에칭은 상기에서 설명되는 각각의 메사 및 그들의 구조를 정의하기 위해 사용될 수 있다. 이것은, 포지티브의 두꺼운 레지스트를 코팅, 노광, 및 현상하는 것과 같은, 일반적인 포토리소그래피 단계를 통해 에피택셜하게 성장된 층을 패터닝하는 것에 의해 달성될 수 있다. 레지스트의 두께는, 레지스트와 에피택셜 층 사이의 에칭 선택성, 및 소망되는 메사 지오메트리에 따라, 기술 분야에서 공지되어 있는 바와 같이 변할 수 있다.

[0025] GaAs 기판의 재료의 경우, 에칭은 $Cl_2:BCl_3$ 과 같은 염소(Cl) 기반의 건식 에칭 플라즈마를 사용하여 달성되지만, 그러나 임의의 수의 가스 또는 그들의 혼합물이 사용될 수 있을 것이다. 에칭은 또한 많은 습식 에천트에 의해 달성될 수 있다. 이온 밀링 또는 반응성 이온 빔 에칭 및 등등과 같은 다른 형태의 에칭도 또한 사용될 수 있다. 에칭의 깊이는 어레이에서 메사의 활성 영역을 분리시키기에 충분한 깊이가 되도록 선택된다. 에칭은 N 미러(하부 DBR(104)) 상에서, N 미러(하부 DBR(104)) 내에, 또는 N 미러(하부 DBR(104))를 관통하여 기판(102) 안으로 형성되는 에칭 정지/콘택 층 상에서 멈춘다. 메사를 형성하기 위해 에칭한 이후, 나머지 포토레지스트가 제거된다. 이것은 습식 용매 세정 또는 건식 산소(O_2) 에칭 또는 둘 모두의 조합을 사용하여 달성될 수 있다.

[0026] 도면에서 도시되는 실시형태에서, 광 생성 VCSEL의 메사 사이즈, 및 개구는 동일하며 균일한 간격을 갖는다. 그러나, 몇몇 실시형태에서, 어레이에서의 디바이스에 대한 개개의 VCSEL 메사 사이즈는 상이할 수 있다. 더구나, 어레이에서의 VCSEL 메사 간격은 상이할 수 있다. 몇몇 실시형태에서, 어레이(100)에서의 광 생성 VCSEL 메사의 분리는 대략 20 μm 와 200 μm 사이에 있다. 그러나, 더 큰 그리고 더 작은 분리도 또한 가능하다. VCSEL 메사 및 캐소드 메사는 둘 모두는 도면에서 원형으로서 도시되지만, 그러나 직사각형, 가늘고 긴 라인 또는 다른 임의의 형상일 수도 있다.

[0027] 콘택 표면에 대한 개구를 정의하기 위해 유전체 퇴적이 사용 및 프로세싱될 수 있다. 유전체 층(114)은, 애노드 콘택(202)으로부터의 전류 흐름이 금속 층(126, 124 및 120)을 통해, 그 다음, 광이 방출되도록 반도체 접합부를 통해 흐르도록, 도금된 금속 피복 및 히트 싱크(124)로부터 레이저 메사(103)를 절연한다. 유전체 층(114)의 퇴적은 플라즈마 강화 화학적 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)에 의해 일반적으로 달성되지만, 그러나 원자 층 퇴적(Atomic Layer Deposition; ALD)과 같은 다른 기술이 사용될 수 있다. 실시형태에서, 유전체 코팅(114)은 (메사 측벽을 비롯한) 상부 표면 위에서의 컨포멀 코팅(conformal coating)이고, 후속하는 금속 층으로부터 핀홀을 통한 전류 누출을 방지하도록 충분히 두껍다.

- [0028] 이 막의 두께를 선택하는 동안 고려할 다른 속성은, 도금된 금속(124)(이것은 도 2를 참조하여 하기에서 추가로 설명되는 바와 같이 히트 싱크로서 동작함)과 기관(102)(접지) 사이에서 생성되는 커패시턴스 - 이 경우 유전체 층(114)은 더 두꺼운 것이 더 유리할 것임 -, 및 VCSEL(103)의 측면 상의 유전체 층(114)이 활성 영역으로부터 히트 싱크(124)로 열을 전달할 필요성 - 이 경우 얇은 층이 유리할 것임 - 이다. 몇몇 실시형태에서, 이들 속성들 모두를 갖는 층을 달성하기 위해, 상이한 퇴적 기술을 사용한 다수의 퇴적이 사용될 수 있다. 이 기술의 예는, PECVD 실리콘 질화물(Si₃N₄)의 퇴적에 후속하여 Si₃N₄의 E 빔 퇴적을 계속하는 것이거나, 또는 더욱 지향성인 퇴적 레이트를 갖는 다른 유전체가 퇴적될 수 있고, 그에 의해, 입사 표면 상에 더 두꺼운 유전체 재료를 배치할 수 있다. 일단 유전체 층(114)이 형성되면, 그 다음, 포토 리소그래피 프로세스는, 상부 미러 콘택 층(120)에 대한 콘택이 만들어질 VCSEL 메사의 각각의 위의 유전체에서 개구를 정의하기 위해 사용된다. 유전체 층(114)은 또한, VCSEL 메사의 각각 사이의 기관(102) 위에서, 접지 메사(ground mesa)를 둘러싸는 기관(102) 위에서, 그리고 각각의 접지 메사의 상부 및 측면 위에서 제거된다.
- [0029] 이들 예시적인 실시형태에서, 포토리소그래피 프로세스는, 유전체가 개구되는 상부 미러 위에 콘택을 정의하기 위해 사용될 수도 있고, 그 결과, 그 내부에 p 금속 층(120)이 후속하는 단계에서 형성될 수 있다. 실시형태에서, 포토레지스트의 개구된 영역은 유전체의 개구 보다 약간 더 크게, 통상적으로는 대략 수 μm 더 넓다. 다른 실시형태에서, 그것의 직경은 유전체 개구의 직경 보다 더 작을 수 있거나, 또는 나중의 단계에서 도금되는, 단락된 메사 위의 히트 싱크 재료의 직경만큼 클 수 있다. 유전체 코팅이 컨포멀하고 메사 베이스에서 N 미러 부분을 덮지 않는 한, 이 개구는 활성 광 생성 메사에서 메사 직경 보다 조금도 더 클 수 없거나, 또는 후속하는 금속은 p 및 n 전위를 단락시킬 것이다.
- [0030] 일단 포토레지스트에서 개구된 영역이 정의되면, 개구된 영역 위에서, 통상적으로 p 형 금속을 통한 금속화가 수행될 수 있다. p 금속 콘택 층(120)은, 일반적으로, E 빔, 저항성 증착(resistive evaporation), 스퍼터, 또는 임의의 다른 금속 퇴적 기술에 의해 퇴적되는 다층 퇴적(multilayer deposition)이다. 다음 층의 접착을 위해, 얇은 티타늄(Ti) 층이 먼저 퇴적된다. 이 접착 층의 두께는 크게 변할 수 있지만, 그러나, Ti 막이 응력을 받고 후속하는 층 보다 저항성이 더 크기 때문에, 일반적으로 약 50 Å과 약 400 Å 사이에 있도록 선택된다. 한 실시형태에서, 접착 층은 대략 200 Å 두께이다. 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 및 등등과 같은 다른 접착 성 금속 층이 이 층을 대신할 수 있다. 또한, 이 층은 콘택용 미러(contacting mirror)의 반사율을 증가시키기 위해 반사기 층으로서 역할을 할 수 있다.
- [0031] 다음 층은 퇴적 동안 진공을 파괴하지 않으면서 접착 층의 상부 상에 직접적으로 퇴적된다. 많은 경우에, 이 층은 금(Au) 또는 다른 최고 금속이 본딩 단계에서의 과도한 가열로 인해 콘택 안으로 너무 멀리 확산하는 것을 방지하는 가드(확산 장벽)로서 역할을 한다. 선택되는 금속은 일반적으로 Pd, 백금(Pt), Ni, 텅스텐(W), 또는 다른 금속 또는 이 목적을 위해 선택되는 이들 금속의 조합이다. 선택되는 두께는 플립 칩 프로세스에 필요로 되는 특정한 본딩 온도에 의존해야 한다. 이 층의 두께는 통상적으로 약 1,000 Å과 약 10,000 Å 사이에 있다. 저온 본딩 프로세스가 사용되는 실시형태에서, 예를 들면, 인듐 본딩 프로세스에서, 확산 장벽 층은 옵션 사항일 수 있고, 금속 콘택 스택의 일부로서 퇴적되지 않을 수 있다.
- [0032] 다음 층은 일반적으로 Au이지만 그러나 Pd 또는 Pt 또는 금 베릴륨(AuBe) 또는 금 아연(AuZn)과 같은 혼합물일 수 있다. 하기에서 설명되는 실시형태에서, 이 층의 두께는 대략 2,000 Å이다. 그러나, 그것은 일반적으로, 퇴적의 포토레지스트 속성 및 가열 특성에 따라 광범위한 두께를 가질 수 있다. 몇몇 실시형태에서, 이 때, 금속 두께를 증가시키기 위해 그리고 이 단계에서 금속 히트 싱크를 형성하기 위해, 다른 금속이 또한 퇴적될 수 있고, 그에 의해, 프로세싱 단계의 수를 감소시키지만, 그러나 이 기술은 필수적인 것은 아니며 하기에서 설명되는 실연 디바이스(demonstration device)에서 활용되지 않았다.
- [0033] 일반적으로, 표면 상에 퇴적되는 금속이 포토레지스트로 피복되는 표면의 영역으로부터 쉽게 분리될 수 있도록 이 포토리소그래피 프로세스에 대해 일반적인 리프트오프 기술(liftoff technique)이 선택되며, 그 결과, 포토레지스트 상의 임의의 금속은, 반도체에 접착하지 않으면서 또는 반도체에 대한 금속의 접착력에 영향을 끼치지 않으면서 제거된다. 상기에서 언급되는 바와 같이, 포토리소그래피 프로세스는, 그 다음, 유전체가 이전 단계에서 개구된, 기관(102)의 다양한 부분 및 단락된 n 콘택 메사(105) 위에 개구를 정의하기 위해 사용된다. 한 실시형태에서, n 금속 퇴적에 대응하는 포토레지스트에서의 개구된 영역은, n 금속에 대한 유전체 개구에서의 개구보다 약간 더 커야 한다. 그 다음, N 금속 층(122)이 퇴적되고, 하부 DBR(104)(n 미러인 경우), 일반적으로 하부 DBR(104) 내에 강하게 도핑되는 에칭 정지 및 콘택 층 중 어느 하나를 통해 기관(102)과의, 또는 기관(102) 그 자체에 대한 전기적 회로를 형성할 수 있다. n 금속 층(122)을 형성하기 위한 프로세스는 p 금속 층(120)에 대한 것과 유사하다. 금속 층은 Ni/Ge/Au, Ge/Au/Ni/Au의 조합, 또는 많은 그러한 조합을 포함하도록

선택될 수 있다.

- [0034] 몇몇 실시형태에서, 제1 층 또는 층들은, 기관(102)의 n 도핑된 에피택셜 재료로의 확산에 의해 콘택 저항을 감소시키도록 선택된다. 다른 실시형태에서, 다층 금속 스택의 제1 층은 또한, 어닐링 프로세스에서 재료의 다양한 확산 속성에 기인하여 금속이 "응집하지" 않고 분리되도록, Ni와 같은 확산 제한 층으로서 선택될 수 있다. 이들 금속의 확산을 균일하게 분배하는 것이 소망되며, 콘택 저항을 낮추기 위해 사용될 수 있는데, 콘택 저항을 낮추는 것은 가열을 또한 감소시킨다. 이 다층 금속 스택의 두께는 크게 변할 수 있다. 설명될 실시형태에서, 각각, 400 Å/280 Å/2,000 Å의 두께를 갖는 Ni/Ge/Au 금속 스택이 사용되었다.
- [0035] 그 다음, 콘택 저항을 낮추기 위해, 웨이퍼에 대해 금속 열 어닐(Rapid Thermal Anneal; RTA) 단계가 수행된다. 설명되는 실시형태의 경우, 프로세스 온도는 ~ 400 °C까지 급격하게 상승되고, 약 30 초 동안 유지되고, 실온까지 하강된다. RTA 단계에 대한 온도 및 시간 조건은 금속화에 의존하며, 기술 분야에서 통상의 지식을 가진 자에게 공지되어 있는 바와 같이, 실험 계획법(Design Of Experiment; DOE)을 사용하여 결정될 수 있다.
- [0036] 다른 실시형태에서, 이 단계는 프로세스 플로우의 초기 또는 나중 단계에서 수행될 수 있지만, 그러나 솔더 또는 접착제 금속의 산화를 감소시키기 위해 솔더가 퇴적되기 이전에 일반적으로 행해진다. 기관(102) 및 단락된 N 콘택 메사(105) 위의 콘택 개구, 및 히트 싱크 구조체가 도금되거나 또는 구축될 활성 메사(103)를 정의하기 위해, 포토리소그래피 프로세스(통상적으로 약 1 μm 내지 3 μm인 포토레지스트의 얇은 층을 사용함)가 사용되고 개발된다. 다음 단계는 금속 씨드 층의 퇴적이며, 일반적으로 다층 퇴적이며, E 빔, 저항성 증착, 스퍼터 또는 임의의 다른 금속 퇴적 기술에 의해 퇴적된다. 20 Å/600 Å의 Ti/Au, 또는 제1 층 또는 층들이 접착 및 에칭 용이성을 위해 퇴적되고, 제2 층이 전도성 및 에칭 용이성을 위해 퇴적되는 많은 그러한 조합과 같은 금속 층이 선택될 수 있다. 이 기술이 히트 싱크를 구축하기 위해 사용되는 경우, 씨드 층은 도금을 위한 전기적 연결을 허용하면서 표면에 걸쳐 연속적이다.
- [0037] 한 실시형태에서, 그 다음, 두꺼운 금속이 도금에 의해 퇴적되어, 히트 싱크(124)를 형성한다. 그러나, 퇴적의 다른 방법이 또한 사용될 수 있는데, 이 경우, 금속 씨드 층이 필요로 되지 않는다. 도금을 위해, 포토 리소그래피 프로세스는 이전 씨드 층 레지스트와 함께 정의되는 개구 위에 개구를 정의하기 위해 사용된다. 포토레지스트는 퇴적이 발생할 영역에서 제거된다. 포토레지스트의 두께는, 두꺼운 금속이 정의된 이후 그것이 쉽게 들리도록 선택되어야 하며 통상적으로 두께에서 약 4 μm에서부터 약 12 μm까지의 범위에 이른다. O₂, 또는 암모늄 수산화물(NH₄OH)과 조합한 물을 사용한 플라즈마 세정이 수행되어, 금 씨드 층 상에 남겨진 임의의 레지스트를 제거한다. 다음에, 히트 싱크(124) 금속은 표준 도금 프로시저에 의해 도금된다. 설명되는 실시형태에서, 구리(Cu)는, 그것의 열 전도율 속성에 기인하여 도금을 위한 금속으로서 선택되었지만, 그러나 양호한 열 전도율을 제공하며 디바이스 신뢰도를 저하시키지 않는 계면을 제공하는, Au, Pd, Pt, 또는 등등과 같은 비산화성 금속(non-oxidizing metal)이 더욱 적절할 수 있을 것이다. 도금 두께는 변할 수 있다. 설명되는 실시형태에서, 대략 3 μm 두께가 사용되었다.
- [0038] 다음으로, 웨이퍼 또는 샘플이 인듐(In) 도금과 같은 솔더 도금 용액에 배치되어 본딩 층(126)을 형성한다. 그들의 본딩 특성을 위해, 이 단계에서 다른 금속이 선택될 수 있다. 두께는 크게 변할 수 있다. 설명되는 실시형태에서, 대략 2 μm의 도금된 In이 히트 싱크 상에 퇴적되었다. 그러나, 금 주석(AuSn) 합금과 같은 다른 솔더가 또한 사용될 수 있고, 스퍼터링과 같은 대안적인 퇴적 기술이 또한 사용될 수 있다. 금속 퇴적이 완료된 이후, 포토레지스트는, 그 다음, 앞서 설명되는 바와 같이, 용매, 플라즈마 세정, 또는 둘 모두의 조합을 사용하여 제거되고, 씨드 층은 Au를 에칭하는 건식 또는 습식 에칭을 사용하여 에칭되고, 그 다음, Ti를 에칭하고 및/또는 TiO₂를 제거하는 건식 또는 습식 에칭에서 에칭된다. 그 다음, 씨드 층 포토레지스트는 표준 레지스트 세정 방법을 사용하여 세정된다. 이 시점에서, VCSEL 어레이 기관이 완성되고 본딩 준비가 완료된다. 대안적으로, 솔더는, 레이저 다이 상의 메사 대신, 플립 칩 본딩 프로세스를 위해, 서브마운트 콘택 표면 상에 퇴적될 수도 있다.
- [0039] 두꺼운 히트 싱크 재료를 갖는 메사의 완전한 봉입(encasement)은 실시형태의 중요한 양태이다. 메사의 활성 영역이 두꺼운 히트 싱크 재료가 형성되는 에지에 가장 가깝기 때문에, 우수한 열 전도율이 존재하고, 그에 의해, 실시형태의 설계가 그들 활성 영역에 의해 생성되는 열을 효율적이고 효과적으로 제거하는 것을 가능하게 한다. 앞서 언급되는 바와 같이, 이것은, 히트 싱크 재료를 메사의 상부에 배치하는 현존하는 VCSEL 어레이 디바이스 열 감소 기술과는 상당히 새로운 시도이다. 이들 현존하는 또는 이전의 설계는 일련의 더 높은 열 전도성 재료(미러) 또는 유전체를 통해 열이 이동하는 것을 요구하며, 그에 의해, 덜 효율적이고 덜 효과적인 열 전도로 나타난다.

- [0040] 몇몇 현존하는 설계가 히트 싱크 재료의 얇은 층을 갖는 메사를 포괄하지만, 열을 감소시키는 목적을 위해, 이들 설계는 결과적으로 나타나는 히트 싱크의 높이를 고려하지 않는다. 두꺼운 히트 싱크 층을 사용하고 히트 싱크 기판 상의 n 기판 접지 전위와 p 콘택 평면 사이의 거리에 추가하는 것에 의해, 본 실시형태는 히트 싱크 층의 높이가 증가됨에 따라 시스템의 기생 용량을 감소시킨다. 게다가, 열을 감소시키는 것에 추가하여, 추가적인 재료의 구축은 주파수 응답을 증가시킨다.
- [0041] 다른 실시형태에서, 히트 싱크 재료가 모든 메사를 완전히 포괄하고, 히트 싱크의 개개의 메사 대신, 하나의 큰 히트 싱크 구조체를 형성할 수 있도록, 유전체 층(114)은 메사 주변의 전체 n 미러 또는 기판을 피복하며 개방되지 않는다. 이 경우, n 콘택은 단락된 메사로부터 기판까지 연장되지만 하면 될 것이다. 본 실시형태의 히트 싱크는 또한, 이웃하는 메사에 의해 생성되는 열의 양을 감소시키는 것에 의해, VCSEL 어레이의 동작을 향상시킨다. 대부분의 전기 디바이스 내의 열 저항에서의 감소는, 각각의 디바이스의 주파수 응답을 증가시킬 것이다. 본 디바이스의 VCSEL 어레이 디바이스의 열 성능을 향상시키는 것에 의해, VCSEL 어레이 디바이스의 고속 성능에서의 상당한 증가가 가능하게 된다. 더구나, 이 실시형태에서, 메사를 고려한 여분의 높이는, 현존하는 어레이 회로와 비교하여 두껍게 된 히트 싱크 구축으로 인해, 기판 접지 평면과 모든 활성 메사를 병렬로 연결하는 포지티브 콘택 플레이트 사이의 거리를 증가시키는 것에 의해 커패시턴스를 감소시킨다는 것이 또한 명백하다. 결과적으로 나타나는 효과는, 회로의 기생 임피던스에서의 감소이며, 이것은 또한 전체 어레이의 주파수 응답이 증가시킨다.
- [0042] 또한, 활성 영역을 둘러싸는 서브 어레이를 형성하는 단락된 메사 설계는, 다수의 와이어 본드를 형성하는 것의 사용 없이도, 제조된 VCSEL 기판으로부터 열 확산기 상의 접지 평면으로의 직접적인 전류 흐름을 허용한다. 본 실시형태의 이 양태는 제조의 복잡성을 감소시키고, 또한, 현존하는 어레이에서 나타난 다수의 와이어 본드로부터의 기생 인덕턴스를 감소시킨다. 단락된 메사 설계는, 열 확산기 기판으로 플립 칩 연결될(flipped chipped) 때, 어레이의 주파수 응답에 유리한 동일 평면 도파관을 형성한다. 이 설계 피쳐는 또한, 신뢰도 및 위치 결정에 또한 영향을 주는 용기된 와이어 본드를 필요로 하지 않는 더 단순한 패키징 설계를 가능하게 한다.
- [0043] 층(126)은 서브마운트 기판(200)에 대한 접착을 제공하는 솔더 또는 다른 전도성 본딩 층이다. 층(126)은, 도금된 금속 층(124)의 상부, 애노드 및 캐소드 메사 상에, 다양한 방법에 의해 직접적으로 퇴적될 수 있다. 층(126)은 또한, 대신, 서브마운트 상의 애노드 및 캐소드 콘택 패드(202 및 204)에 도포될 수 있다. 층(120)은 VCSEL 반도체 층의 고도로 도핑된 표면에 대한 콘택이다. 캐소드 콘택(204)에서 접지로의 경로를 만들기 위해, 레이저 메사로부터 단락된 메사로의 전류 흐름은 캐소드 콘택 층(104)을 통과한다.
- [0044] 그러한 직렬 연결된 배열의 바람직한 레이아웃은 도 2의 단면도에서 도시되어 있다. 여기서, 레이저 어레이의 애노드(103) 및 단락된 캐소드(105)는, 앞서 도 1에서 도시되는 바와 같이 구성된다. 하나의 차이점은, 반도체 기판(102)이, 일반적으로 사용되는 고도로 도핑된 전도성 반도체 재료이기 보다는, 적어도 반절연성 재료(즉, 반절연성 또는 절연성)이다는 것이다. 이 반절연성 재료는 대부분의 VCSEL 설계에 대한 기초를 형성하는 GaAs 기판의 약하게 도핑된 버전이다. 또한, 공통 전도성 캐소드 층(104)은, 에칭된 영역(128)을 사용하여 분리되어 칩 상에 전기적으로 별개의 캐소드 영역을 생성한다.
- [0045] 대안적인 실시형태는, 에칭된 트렌치 대신, 영역(128)에서 분리 주입(isolation implant)을 사용한다. 주입은 도면에서의 메사가 에칭된 이후 수행될 것이고, 그 결과, 전체 레이저 구조체를 통해 주입하기 위해 필요할 것 처럼, 주입 에너지가 극히 높을 필요는 없다. 분리 주입은 통상적으로 양성자를 사용하여 반도체 결정 구조를 어지럽혀 그것을 비전도성으로 만든다. 기술 분야의 숙련된 자에게 공지되어 있는 그러한 전기적 분리를 행하기 위해 중 및 에너지를 주입하는 많은 접근법이 존재한다. 분리 주입과 결합되는 영역(128)에서의 얇은 에칭 트렌치의 조합이 또한 사용될 수도 있다.
- [0046] 도 3은 도 2와 유사한 직렬 연결된 배열을 묘사하지만, 그러나, VCSEL 어레이 사이의 분리는 트렌치 분리 방법을 통해 실현된다. 이 실시형태에서, 공통 전도성 캐소드 층 상에 전기적으로 분리된 전도성 영역을 생성하기 위해, 기판은 이면(back)으로부터 에칭된다. 영역(128)에서의 트렌치는 전체 기판(102)을 통과하지 않지만, 그러나, 영역(128)에서의 나머지 재료를 비전도성으로 만들기 위해 이온 주입의 사용을 허용할 만큼 충분히 깊다. 트렌치는 웨이퍼를 기계적으로 약화시킬 것이고, 따라서, 어떤 타입의 지지 기판이 필요로 될 수도 있다.
- [0047] 트렌치는, 기판(102)을 에칭하기 위해, 상기에서 설명되는 바와 같이, 리소그래피 기술을 사용하여 형성될 수도 있다. VCSEL 디바이스 및 기판(102)에 대해 사용되는 재료 및 본원에서 설명되는 다양한 실시형태에 따라, 소망되는 사이징 속성을 갖는 트렌치를 생성하기 위해, 실리콘의 국소적 산화(local silicon of silicon; LOCOS) 또는 얇은 트렌치 분리와 유사한 구조체를 생성하기 위해 폴리머 또는 스핀 온 글래스(spin-on glass)와 같은 유

전체 재료로 트렌치를 채우는 것과 같은 일반적인 분리 기술이 구현될 수도 있다.

- [0048] 일단 트렌치 영역(128)이 확립되면, 영역(128)이 비전도성인 것을 보장하기 위해 이온 주입 기술이 사용될 수도 있다. 이온 주입에서, 타겟 재료 내의 원자를 변위시키고, 구조적 변화를 야기하고, 수정된 물리적, 화학적, 및/또는 전기적 속성을 갖는 타겟 재료로 나타나게 하기 위해, 고 에너지 이온(~ 10 내지 200 KeV)이 기관 안으로 가속될 수도 있다. 붕소, 질소, 또는 인과 같은 도펀트 이온이 그러한 방법에서 활용될 수도 있지만, 소망되는 기관 속성 및 기관 재료에 따라, 다른 이온이 사용될 수도 있다.
- [0049] 하나의 기술에서, 기술 분야에서 일반적으로 숙련된 자에게 알려져 있는 바와 같이, 이온 주입은 소망되는 원소 및 불활성 가스를 포함하는 이온화된 빔의 형성을 통해 구현될 수도 있다. 이온화된 빔은 진공에서 타겟 재료를 향해 높은 에너지로 가속되는데, 이온화된 원자는 타겟 재료 내의 원자를 변위시킬 수도 있다. 이 프로세스를 달성하기 위해, 기술 분야의 숙련된 자에게 일반적인 고 에너지 가속기 및 다른 기술이 활용될 수도 있다. 칩에 대해 급속 열 어닐(RTA) 단계가 또한 수행되어, 주입 프로세스 동안 도펀트 및 불순물에 의해 야기되는 결함 또는 손상을 제거할 수도 있다.
- [0050] 비전도성 트렌치 영역(128)을 생성하기 위해 이온 주입 기술이 바람직할 수도 있는데, 그 이유는 영역의 전기적 속성이 주입의 깊이 및 조사량(dosage)을 통해 정확하게 제어될 수도 있기 때문이다. 주입은 또한, 표면 타겟 재료의 경화 및 내부식성(corrosion resistance)에 기여하는데, 이것은 디바이스가 마모 및 다른 손상에 대해 더욱 내성이 있게 만든다.
- [0051] (도 2에서 도시되는 바와 같이) VCSEL 구조체의 전도성 영역을 통한 그리고 부분적으로 (도 3에서 도시되는 바와 같이) 기관을 통한 트렌치 에칭의 조합은, 영역(128)의 나머지 재료로의 분리 주입과 결합되어, 도핑된(즉, 전도성) 기관의 사용이, 동일한 다이 상에서 VCSEL의 직렬 연결을 만드는 것을 또한 허용할 것이다.
- [0052] 도 4는 직렬 연결을 위해 동일한 다이 상에서 VCSEL을 전기적으로 분리하는 제3의 접근법을 예시한다. 이 접근법에서, 기관(102)의 도핑은 무관한데, 그 이유는, 기관이 제거되고 VCSEL 어레이 구조체가, 원래의 갈륨 비화물 기관이, 상기에서 설명되는 바와 같이, 연마 작용, 선택적 화학적 에칭, 및/또는 리소그래피 방법의 조합에 의해 제거된 이후 VCSEL 어레이의 노광된 표면에 분당되는 절연성 기관에 의해 지지되기 때문이다. 칩은 기관 제거 동안 칩의 에칭된 메사 면에 분당되는 임시 백킹(backing) 또는 핸들 웨이퍼에 의해 기계적으로 지지된다. 일단 절연성 기관이(접착제 또는 다른 칩 분당 프로세스를 사용하여) 제자리에 분당되면, 임시 백킹 칩은 제거된다. VCSEL 어레이는 그 다음 서로 전기적으로 분리된다.
- [0053] 도 5는 단일의 칩 또는 다이 상에 직렬로 연결되는 다수의 VCSEL 어레이의 예시적인 상면도 레이아웃을 예시한다. 칩은 실선의 직사각형 윤곽선(500)에 의해 표현된다. 이 실시형태에서, 두 개의 영역(128)은, 칩의 공통 전도성 캐소드 층 상에 세 개의 연속적인 전기적으로 분리된 전도성 영역(502a, 502b, 및 502c)을 형성하도록, 칩에 걸쳐 연장된다. 분리된 영역(128)은, 영역을 비전도성으로 만들기 위해, 상기에서 설명되는 방법 중 임의의 것을 통해, 에칭 또는 이온 주입될 수도 있다. 각각의 전기적으로 분리된 전도성 영역(502)은 애노드 영역 및 캐소드 영역을 더 포함한다. 애노드 영역은, 더 작은 점선의 원에 의해 표현되는 복수의 애노드 콘택(504)을 포함한다. 캐소드 영역은 또한 더 큰 점선의 원에 의해 표현되는 복수의 캐소드 콘택(506)을 포함한다.
- [0054] 이 실시형태에서, 애노드는 각각의 칩 영역(502)의 중심에서 함께 그룹화된다. 캐소드 콘택(504)은 복수의 애노드 콘택(504) 주위에 C자 형상을 형성하고 실질적으로 애노드 콘택의 세 개의 변을 둘러싼다. 그러나, 다른 캐소드 및 애노드 구성도 가능하며 현재의 예시적인 레이아웃으로 제한되지는 않는다. 애노드 콘택(504)은 동일한 전기적으로 분리된 전도성 영역 내에서 캐소드 콘택(506)과 전기적으로 연결된다. 칩이 서브마운트에 연결될 때, 캐소드 콘택은, 도 6에서 추가로 설명되는 바와 같이, 칩의 저부 면(bottom side) 상의 서브마운트의 금속화 패턴(도시되지 않음)을 통해 인접 영역의 애노드 콘택에 연결된다.
- [0055] 칩(500)의 폭에 걸쳐 연장되는 에칭된 영역(128)은, 에칭된 영역(128)에 의해 인접한 영역 상의 캐소드 층으로부터 각각의 영역 상의 캐소드 서브마운트 층을 전기적으로 분리한다. 에칭된 영역은, 칩(500) 상에 하나 이상의 별개의 연결되지 않은 금속 층을 생성하기 위해, 상기에서 설명되는 것과 유사한 포토리소그래피 프로세스에 의해 달성되고 정의될 수도 있다. 에칭된 영역은 하나 또는 이차원 패턴, 또는 본원에서 설명되는 패턴의 임의의 변형을 포함할 수도 있고, 이온 주입된 영역 또는 에칭된 트렌치 영역과 이온 주입된 영역의 조합일 수도 있다.
- [0056] 더구나, 칩(500)은 개시된 특징을 가능하게 하는 것과 부합하는 임의의 형상 또는 사이즈일 수도 있으며, 도 5에서의 묘사된 직사각형 실시형태로 제한되지는 않는다. 칩은, 절단, 다이싱, 레이저 싱글레이션(laser

singulation), 또는 그들의 프로세스 또는 유사한 프로세스의 임의의 조합에 의해 형성될 수도 있다. 마찬가지로, 각각의 칩 상에 생성되는 영역의 형상, 사이즈 및 수는, 설계 필요 및 유사한 고려 사항에 따라, 변경될 수 있다.

[0057] 각각의 영역 상에서의 캐소드 및 애노드의 배열은, 설명된 연결 패턴을 달성하도록 변경될 수도 있다. 복수의 캐소드 솔더 범프(506)는 동일한 영역 상에서 복수의 애노드로부터 분리되는 층 상에 있다. 영역 사이의 캐소드 층은, 하나의 영역 상에서의 복수의 애노드와 인접한 영역 상에서의 복수의 캐소드 사이에서 영역간 연결(inter-region connection)이 발생하도록, 전기적으로 분리된다. 각각의 영역 내의 애노드(504)는, 공통 캐소드 콘택 층인 도 1에서의 층(124)을 통해 자신의 동일한 영역 내의 공통 캐소드 연결부(506)에 연결되고, 그 결과, 전류는 애노드(504) 및 레이저 다이오드 접합부(프로세스에서 광을 발광함)를 통해, 그 다음, 공통 캐소드 층(124)을 통해, 캐소드 콘택으로 흐른다.

[0058] 직렬 연결된 VCSEL 어레이 설계는, 도 5에서의 예시적인 레이아웃의 저면도를 묘사하는 도 6에서 추가로 예시된다. 이 실시형태에서, 패턴화된 서브마운트는 각각의 전기적으로 분리된 영역(502)의 직렬 연결을 구현하기 위해 사용된다. 구체적으로, 서브마운트의 금속화 패턴은, 별개의 칩 영역의 캐소드와 동일한 칩 영역(500)의 캐소드 및 애노드 사이의 전기적 분리를 유지하면서, 상이한 칩 영역의 애노드와 캐소드 사이에 전도성 전기 경로를 제공한다.

[0059] 연결은 플립 칩 본딩을 통해 실현될 수도 있는데, 레이저 다이오드, 도 2에서 설명되는 바와 같이, 서브마운트 기판 상으로 곁을 아래로 하여(face-down) 배치된다. 서브마운트 및 레이저 다이오드 소망되는 전기적 연결 경로를 가능하게 하도록, 그리고 영역 사이의 적절한 전기적 분리를 유지하도록 정확하게 정렬된다. 플립 칩 본딩은 와이어 본딩 디바이스와 비교하여 수많은 이점을 제공한다. 주요 이점은, 연결에 대한 더 큰 잠재성이 있기 때문에, 설계 유연성이다. 와이어 본딩과 비교하여, 칩 영역당 더 많은 연결이 이루어질 수 있기 때문에, 더 작고 더 다양한 구성이 실현될 수도 있다. 또한 와이어 본딩과 비교하여, 상당히 더 적은 전자기 방출이 존재한다. 단락된 신호 경로, 및 연결부의 감소된 인덕턴스 및 커패시턴스는, 더 높은 속도를 비롯한, 디바이스의 향상된 전기적 성능으로 이어진다. 게다가, 플립 칩 본딩에서 히트 싱크가 칩(또는 다이)에 직접적으로 부착되기 때문에, 향상된 열 전달 특성이 실현될 수 있다. 이들 향상은, 경제적 이점, 및 재료, 제조 및 생산 비용에서의 감소로 이어질 수 있다.

[0060] 플립 칩 프로세스에서, 칩은 접착을 위해 열적으로 경화된 에폭시 층을 사용하여 본딩될 수도 있다. 접착제는 설계, 간격, 또는 열적 고려 사항에 따라, 임의의 수의 재료일 수도 있다. 예를 들면, 이방성 전도성 재료 또는 비전도성 재료가 접착 본딩 프로세스를 위해 사용될 수도 있다. 칩이 서브마운트에 부착되고, 금속화 패턴이 정확하게 정렬되기 때문에, 금 콘택(gold contact)을 통해 전기적 연결이 실현될 수도 있다.

[0061] 묘사된 실시형태에서, 애노드(504) 및 캐소드(506)는 도 5의 칩 배열과 동일하게 배치된다. 음영 패턴 영역(600)은 서브마운트 금속화 패턴을 나타낸다. 점선에 의해 윤곽이 나타내어진 칩(500)은 서브마운트(600) 상으로 장착된다. 따라서, 각각의 영역 상의 캐소드 및 애노드 솔더 범프는 서브마운트와 접촉하는데, 그들은 서브마운트를 통해 전기적으로 연결될 수도 있다. 서브마운트(600)는, 연속하는 영역의 전기적 엘리먼트에 대한 연결을 제공하면서, 각각의 영역 내의 캐소드 및 애노드를 연결하는 것을 보조하도록 기능한다.

[0062] 예시되는 바와 같이, 영역 1의 애노드(504a)는, 공통 서브마운트 층을 통해, 영역 2의 캐소드(506b)에 연결된다. 마찬가지로, 영역 2의 애노드(504b)는 영역 3의 캐소드(504c)에 연결된다. 상기에서 설명되는 바와 같이, 동일한 영역 상의 캐소드 및 애노드는 캐소드 공통 콘택 층(124)에 의해 또한 연결되지만, 그러나 전류는, 상기에서 설명되는 바와 같이, 애노드 메사에서의 레이저 다이오드 접합부를 통해 흘러야만 한다.

[0063] 금속화 패턴(600)은, 각각의 영역 상의 애노드 및 캐소드를 분리하며, 레이저 다이(500) 상에서 에칭된 영역(128)과 밀접하게 정렬되는 갭(602)을 포함한다. 에칭된 영역(128)과 유사하게, 금속화 패턴 갭(602)은 캐소드 영역의 전기적 분리를 유지하는 역할을 한다. 그와 같이, 현재의 실시형태에서, 에칭된 영역(128)과 갭(602)의 조합은, 칩(500) 상에서 세 개의 전기적으로 분리된 영역을 생성한다. 각각의 영역 상에서의 애노드와 캐소드 사이의 설명된 연결부는, 다이오드의 세 개의 병렬 어레이의 직렬 연결로 나타난다. 이것은 도 6에서 세 개의 다이오드의 직렬 연결로서 묘사된다.

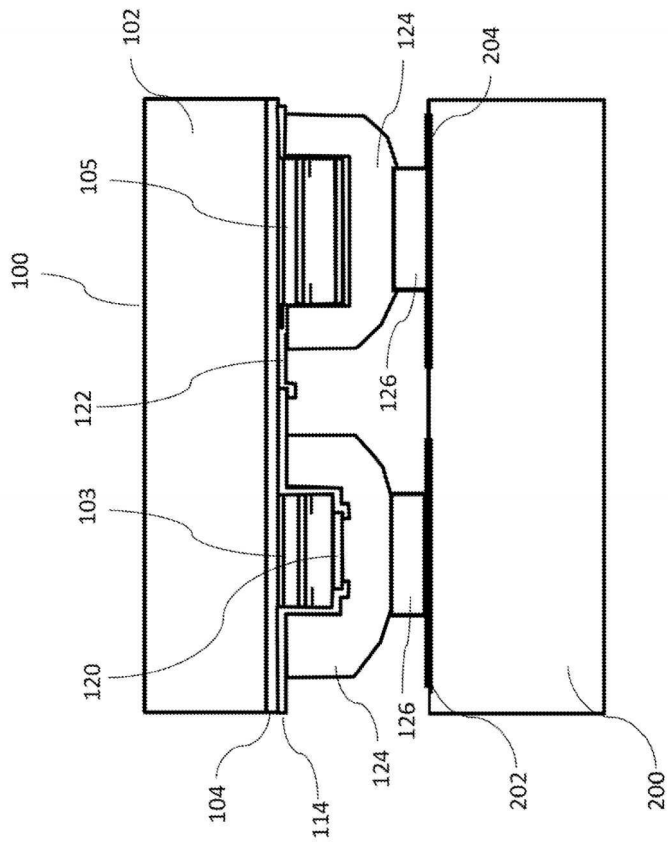
[0064] 본 예시적인 실시형태에서 하나의 칩이 묘사되지만, 다수의 칩, 또는 다이가 직렬로 연결될 수도 있다. 예를 들면, 도 5 및 도 6에 설명되는 것과 유사한 여러 칩이 연결될 수도 있다. 별개의 칩 상의 애노드가, 공통 서브마운트 금속화 패턴(600)을 통해, 본(present) 칩(500) 상에서 묘사되는 캐소드(506a)에 연결될 수도 있다. 마찬가지로,

가지로, 본 칩 상의 애노드(504c)는 별개의 칩의 캐소드에 연결될 수도 있다. 더욱이, 복수의 VCSEL 중 개개의 것 또는 그 그룹은 외부 드라이버 회로부에 전기적으로 연결될 수도 있다.

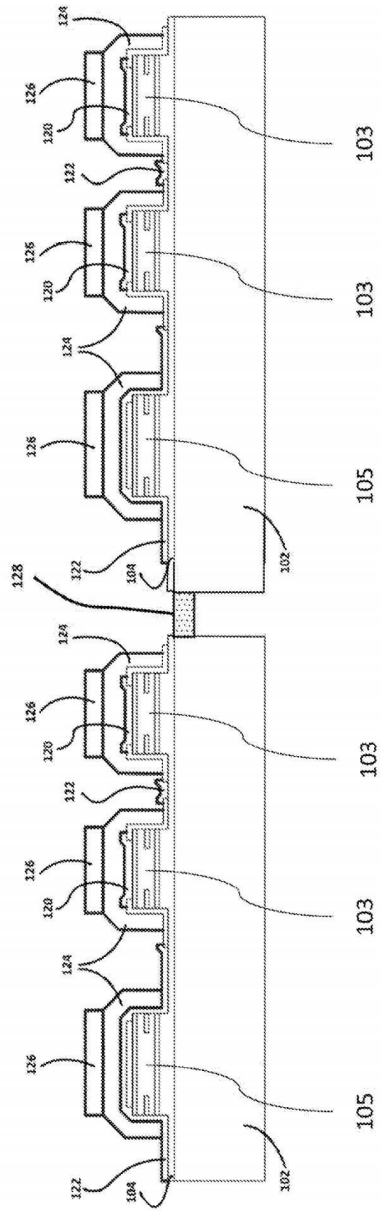
- [0065] 도 7은 직렬 연결된 VCSEL 어레이에 대한 대안적인 실시형태를 예시한다. 이 예에서, 네 개의 전기적으로 분리된 영역은, 두 개의 변이 전기적으로 별개의 전도성 영역에 인접하도록, 다이 상에 배치된다. 칩(700)은, 상에서 논의되는 바와 같이, GaAs 또는 임의의 유사한 재료로 구성될 수도 있다.
- [0066] 도 5 및 도 6에서의 배열과 유사하게, 애노드(702)는 더 작은 점선의 원에 의해 표현되고 함께 그룹화되어 각각의 정사각형 영역의 내부 부분에 배치된다. 더 큰 점선의 원에 의해 표현되는 캐소드(704)는 각각의 영역에서 복수의 애노드(702) 주위에 배치된다. 다시, 캐소드는 복수의 애노드 주위에서 C자 형상을 형성하고, 실질적으로 세 개의 변 상에서 애노드를 둘러싼다. 이 4 직렬 배열(four-in-series arrangement)에서, 영역 1 및 2에서의 C자 형상의 캐소드 방위는 영역 3 및 4에서의 방위로부터 반전된다. 구체적으로, 복수의 캐소드의 개구 부분은 칩의 반대쪽을 향한다. 이 방위는, 도 8에 설명되는 예시적인 서브마운트 금속화 패턴 상에서의 플립 칩 배치에 유리하다.
- [0067] 게다가, 캐소드 및 애노드 연결부 패턴은 도 5와 유사하다. 예를 들면, 영역 1 상의 캐소드(704)는 레이저 다이(700)에서의 레이저 다이오드 접합부를 통해 동일한 영역 상의 애노드(702)에 연결된다. 서브마운트(도시되지 않음)를 통해, 영역 1의 캐소드(704)는 전기적으로 분리된 영역 2의 애노드(702)에 연결된다. 마찬가지로, 영역 2 상의 캐소드 및 애노드는 레이저 다이오드 접합부를 통해 연결되고, 영역 3 상의 애노드는 서브마운트를 통해 영역 2 상의 캐소드에 연결된다. 칩(700) 상의 각각의 영역이 직렬로 연결되고, 따라서, 4 직렬 VCSEL 배열을 생성하도록, 영역 3 및 4 상에서 유사한 연결 패턴이 실현된다.
- [0068] 이 실시형태에서, 각각의 영역을 전기적으로 분리하는 에칭된 영역(128)은 이차원으로 패턴화된다. 에칭된 영역은 칩의 길이 및 폭뿐만 아니라, 주변을 따라 연장되고, 그 결과, 네 개의 영역의 각각의 변이 칩(700) 상의 임의의 인접한 또는 다른 영역과 전기적으로 분리된다. 그러한 이차원 에칭 패턴은, 다이 상의 영역이 서로에 대해 임의적인 배열로 배치되는 것을 허용한다. 따라서, 많은 대안적인 직렬 연결 패턴을 생성하기 위한 다양한 영역 형상, 사이즈, 수 및 위치가 실현될 수도 있다. 따라서, 예시적인 실시형태가 VCSEL 어레이의 3 직렬 및 4 직렬 배열을 예시하지만, 본 발명은 그러한 예로 제한되지는 않는다는 것이 이해될 것이다.
- [0069] 추가적으로, 각각의 영역 상에서의 캐소드 및 애노드의 배열은 묘사된 예시적인 배열로 제한되지는 않는다. 그들의 위치 및 그룹화는, 영역 및/또는 칩 사이즈, 위치, 서브마운트 금속화 패턴, 설계 목적, 또는 다른 유사한 고려 사항에 따라 변경될 수도 있다.
- [0070] 도 8은, 도 7에 설명되는 네 개의 VCSEL 직렬 배열을 달성하기 위해, 서브마운트(800)에 대한 칩(700)의 연결 패턴 및 플립 칩 본딩의 저면도를 묘사한다. 서브마운트(800) 상의 금속화 패턴은 음영 영역으로 묘사되고, 3 직렬 배열에 대해 도 6에서 설명되는 금속화 서브마운트와 유사하게, 각각의 영역의 복수의 캐소드를 다음 영역의 복수의 애노드에 연결한다.
- [0071] 금속화 패턴은 네 개의 레이저 영역의 각각 상에서 복수의 애노드(702)와 캐소드(704) 사이에 갭(802)을 포함한다. 또한, 갭은, 각각의 영역의 캐소드 층이 다른 영역의 캐소드 층으로부터 전기적으로 분리된 상태를 유지하도록, 에칭된 영역(128)과 정렬된다. 금속화 패턴은 본 설계로 제한되지 않으며, 칩 사이즈, 형상 또는 설계, 실 공간(real estate), 또는 다른 고려 사항에 따라 변경될 수도 있다.
- [0072] 본 실시형태 및 설명된 연결 패턴은 또한 다수의 다른 배열로 확장될 수 있다. 그들은 다양한 펄스식 구동 회로와 매칭하기 위해 직렬로 연결되는 추가적인 레이저 접합부를 포함할 수도 있고, 단일 칩 접근법의 정렬 및 실 공간 이점을 유지한다. 전기적 및 기계적 연결을 위한 솔더(126)는, 도 2 내지 도 4에서와 같은 레이저 메사 상에, 또는 서브마운트 금속 패턴 상에 있을 수 있다.
- [0073] 본 개시가 본원에서 여러 가지 대안예의 관점에서 예시되고 설명되었지만, 본원에서 설명되는 기술은 다수의 추가적인 용도 및 애플리케이션을 가질 수 있다는 것이 이해되어야 한다. 따라서, 본 개시는, 단지, 본 개시의 원리의 하나 이상의 실시형태, 대안예 및 적용예를 예시하는 본 명세서에 포함되는 특정한 설명, 실시형태 및 다양한 도면으로만 제한되지는 않아야 한다.

도면

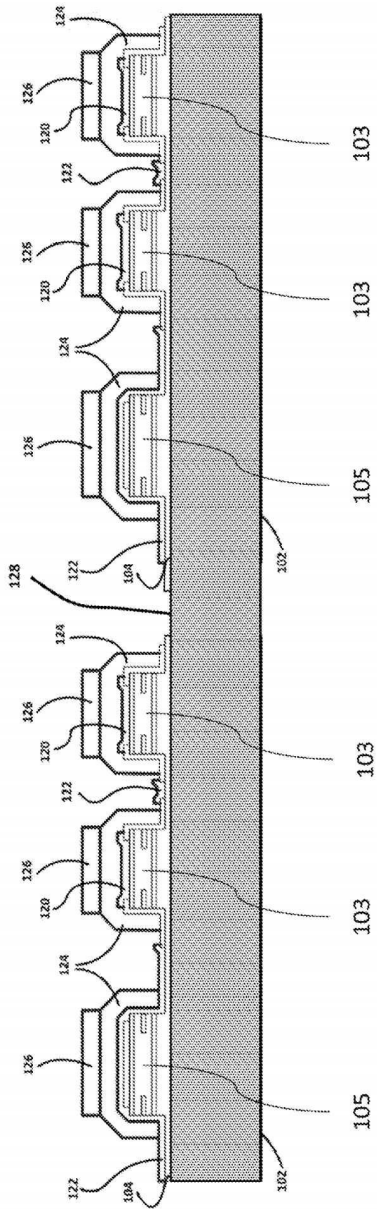
도면1



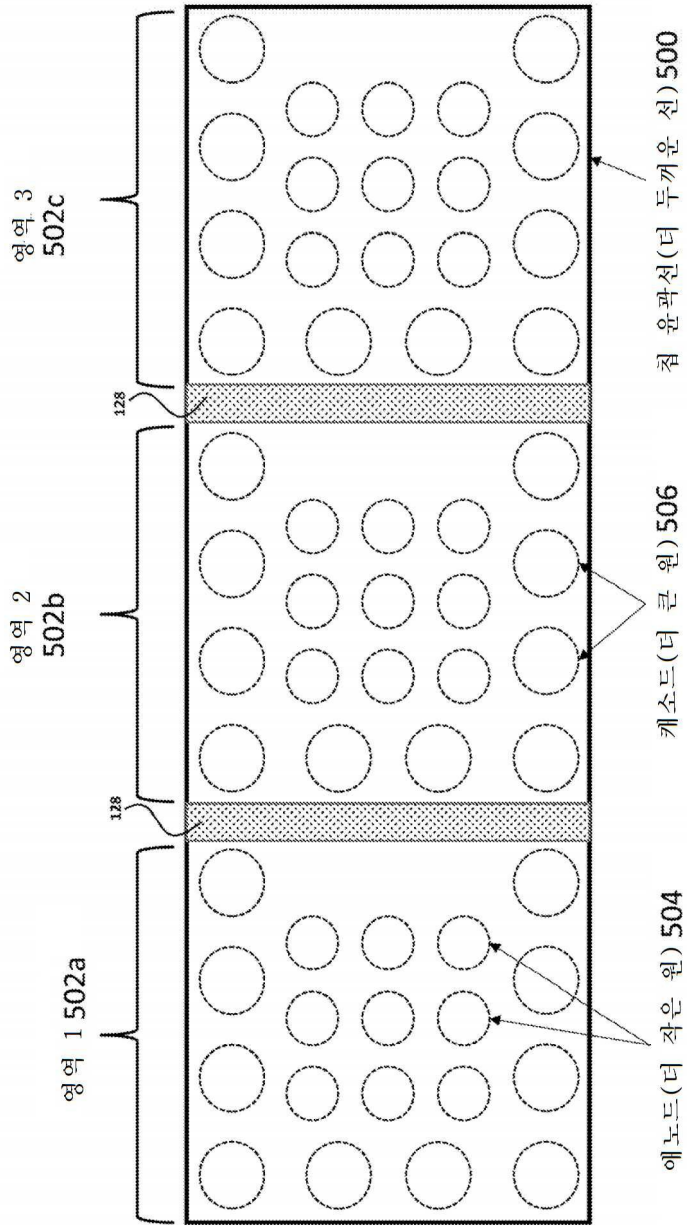
도면3



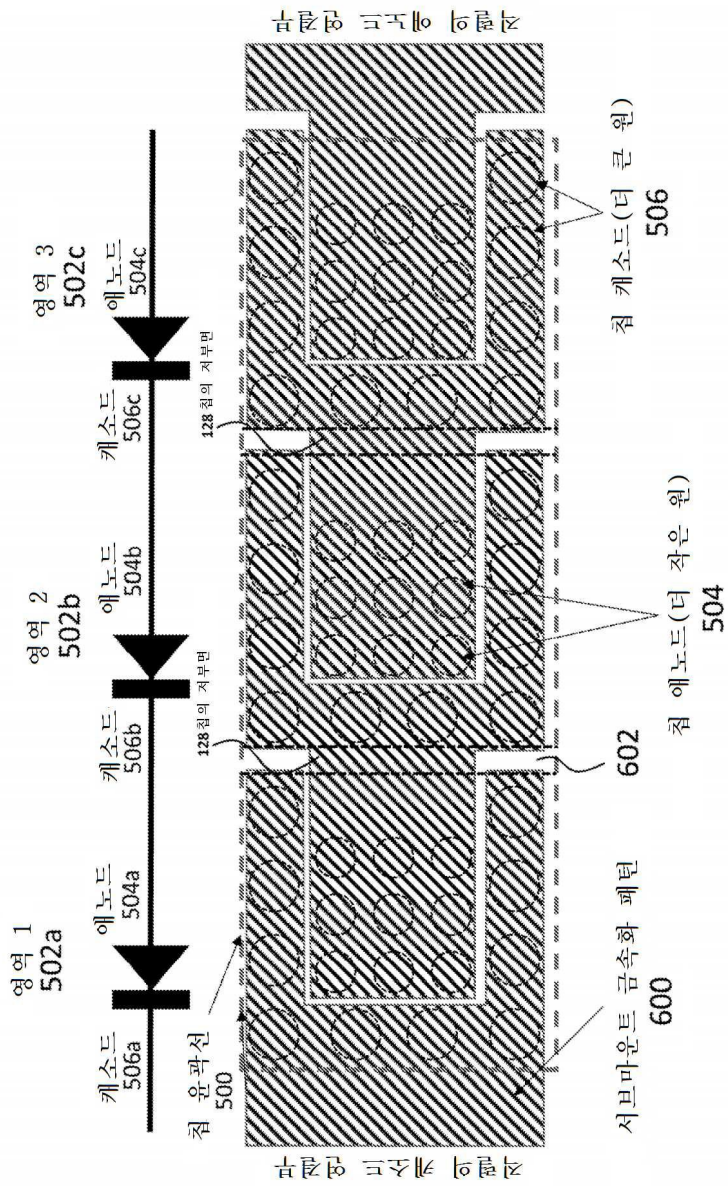
도면4



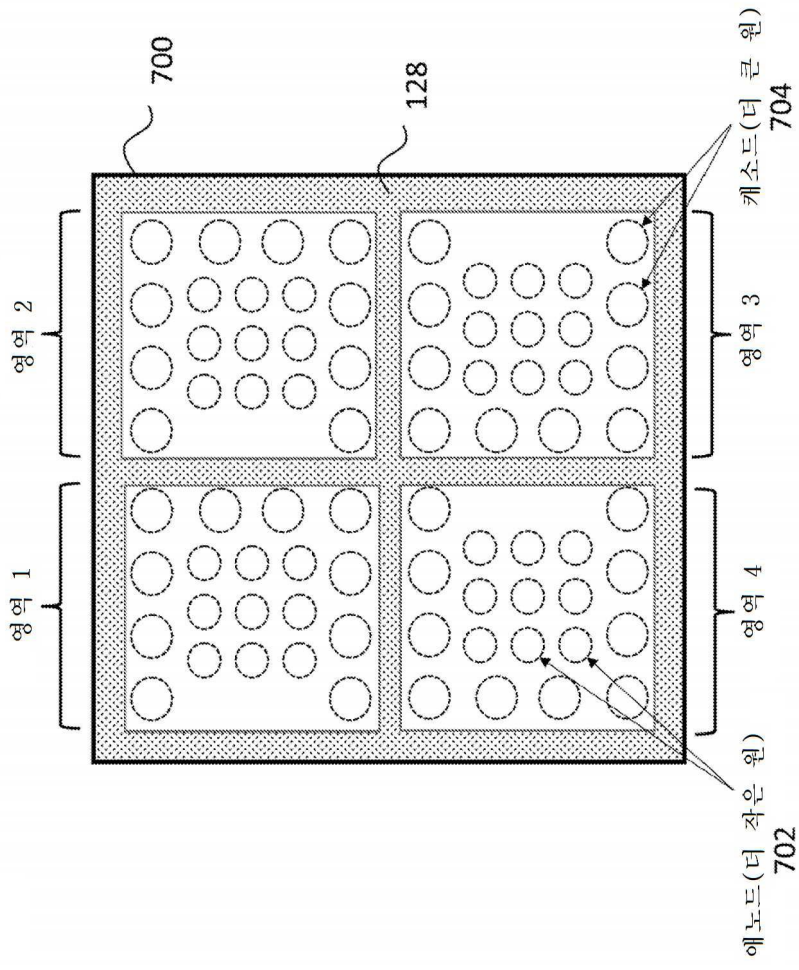
도면5



도면6



도면7



도면8

