

公告本

申請日期	91 年 6 月 3 日
案 號	91111892
類 別	H01L 27/10

A4
C4

(以上各欄由本局填註)

571433

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	半導體記憶裝置
	英 文	
二、發明 創作人	姓 名	(1) 橋本剛 (2) 岩井秀俊
	國 籍	(1) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財產權本部內
	住、居所	(2) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財產權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

線

(由本局填寫)	承辦人代碼：
	大類：
	IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2001年8月24日 2001-255202 有主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

【發明所屬之技術領域】

本發明是關於半導體記憶裝置，特別是關於適用在以立體構造型之 MISFET 構成構成記憶體單元之 MIS 電晶體的一部份之半導體記憶裝置為有效之技術。

【習知技術】

泛用的大容量半導體記憶體裝置的一種之 SRAM (Static Random Access Memory: 靜態隨機存取記憶體)，一般是以 4 個的 n 通道型 MISFET 與 2 個 p 通道型 MISFET 構成記憶體單元。但是，此種被稱為完全 CMOS 型 SRAM，係在半導體基板之主面平面地配置 6 個 MISFET 之故，在記憶體單元尺寸之縮小上，有其困難。

因此，例如如在日本專利特開平 8-88328 號公報、和日本專利特開平 5-206394 號公報所記載般地，藉由以縱型構造之 MISFET 以構成構成記憶體單元之 MISFET 的一部份，以謀求記憶體單元尺寸之縮小的技術被提出。但是，記載在這些公報之縱型構造 MISFET，其構造係與本發明之縱型構造 MISFET 不同。

【發明所欲解決之課題】

記憶體單元之尺寸依據構成記憶體單元之電晶體的數目而被規範著。例如，在將前述之 4 個 n 通道型 MISFET 與 2 個 p 通道型 MISFET 排列配置在半導體基板上之完全 CMOS 型 SRAM 之情形，需要電晶體 6 個份之空間。另外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

，此完全 CMOS 型 SRAM 需要分離 n 通道型 MISFET 與 p 通道型 MISFET 之井分離區域之故，如欲縮小記憶體單元尺寸，也會產生由於自鎖 (latch-up) 所導致的記憶體單元特性的劣化之問題。

本發明之目的在於提供：具有容易微細化之立體構造型的記憶體單元之半導體記憶裝置。

本發明之其它目的在於提供：可以縮小 SRAM 之記憶體單元尺寸的技術。

本發明之前述以及其它目的與新的特徵，由本說明書之敘述以及所附圖面理應可以變得清楚。

【解決發明用之手段】

在本申請案所揭示的發明中，如簡單說明代表性者之概要，則如下述：

本發明之 SRAM 是以具有：在延伸於垂直於半導體基板的主面之方向的積層構造體形成構成記憶體單元的一對的傳送用 MISFET、一對的驅動用 MISFET、或者一對的負載用 MISFET 之其中任一種的源極、通道區域以及汲極；及介由閘極絕緣膜形成在前述機體構造體的側壁部之閘極的縱型構造 MISFET 構成，將此縱型構造 MISFET 形成在構成前述記憶體單元之其它 MISFET 的上部。

【發明之實施形態】

以下，依據圖面詳細說明本發明之實施形態。又，在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

說明實施形態用之全部圖面中，對於具有相同機能之構件，賦予相同之圖號，省略其之重複說明。

(實施形態 1)

第 1 圖是本發明之一實施形態之 SRAM 的記憶體單元的等效電路圖。SRAM 之記憶體單元是藉由被配置在一對的互補性資料線 (BLT、BLB) 與字元線 (WL) 的交叉部之一對驅動用 MISFET (MN₃、MN₄)、一對負載用 MISFET (MP₁、MP₂) 以及一對傳送用 MISFET (MN₁、MN₂) 所構成。

傳送用 MISFET (MN₁、MN₂) 以及驅動用 MISFET (MN₃、MN₄) 是以 n 通道型 MISFET 構成，負載用 MISFET (MP₁、MP₂) 是以 p 通道型 MISFET 構成。即記憶體單元是以使用 4 個之 n 通道型 MISFET (MN₁~MN₄) 與 2 個之 p 通道型 MISFET (MP₁、MP₂) 之完全 CMOS 型構成。完全 CMOS 型記憶體單元與使用 4 個 n 通道型 MISFET 與 2 個高電阻負載元件之負載電阻型記憶體單元相比，待機時之洩漏電流少之故，具備消費電力低之特徵。

構成記憶體單元之上述 6 個 MISFET 之中，驅動用 MISFETMN₃ 以及負載用 MISFETMP₁ 係構成第 1 反相器 INV₁，驅動用 MISFETMN₄ 以及負載用 MISFETMP₂ 係構成第 2 反相器 INV₂。這些一對的反相器 INV₁、INV₂ 在記憶體單元內被交叉結合，構成作為記憶 1 位元的資訊之資訊儲存部之正反器電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

上述正反器電路的一方的輸入輸出端子被連接在傳送用 MISFETMN₁ 之源極、汲極之一方，另一方之輸入輸出端子被連接在傳送用 MISFETMN₂ 之源極、汲極之一方。傳送用 MISFETMN₁ 之源極、汲極的另一方被連接在資料線 BLT，傳送用 MISFETMN₂ 之源極、汲極之另一方被連接在資料線 BLB。另外，正反器電路之一端（2 個之負載用 MISFETMP₁、MP₂ 之個別的源極、汲極之一方）例如被連接在 3 V 之電源電壓（V_{dd}），另一端（2 個驅動用 MISFETMP₁、MP₂ 之個別的源極、汲極之一方），其基準電壓 V_{ss} 例如被連接在 0 V 之 GND 電壓。

第 2 圖是顯示上述 SRAM 之記憶體單元的平面圖，第 3 圖是沿著第 2 圖之 A-A' 線之剖面圖，第 4 圖是沿著第 2 圖之 B-B' 線之剖面圖。

構成記憶體單元之 6 個 MISFET 係被形成在由 p 型單晶矽所形成之半導體基板（以下，稱為基板）1 之主面。以 n 通道型 MISFET 構成之傳送用 MISFET（MN₁、MN₂）以及驅動用 MISFET（MN₃、MN₄）係被形成在 p 型井 4 之活性區域 L。傳送用 MISFET（MN₁、MN₂）係具有與閘極絕緣膜 5、字元線 WL 形成為一體之閘極 6a 以及一對的 n 型半導體區域 7（源極、汲極），驅動用 MISFET（MN₃、MN₄）係具有閘極絕緣膜 5、閘極 6b 以及一對的 n 型半導體區域 7（源極、汲極）。閘極絕緣膜 5 以氧化矽膜構成，閘極 6a（字元線 WL）以及閘極 6b 是以 p 型之多晶矽膜構成。傳送用 MISFETMN₁ 之一方的半導體區域 7 被連

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

接在資料線 BLT、傳送用 MISFETMN2 之一方的半導體區域 7 被連接在資料線 BLB。

以 p 通道型 MISFET 構成之負載用 MISFET (MP₁、MP₂) 係被形成在驅動用 MISFET (MN₃、MN₄) 之上部。負載用 MISFET (MP₁、MP₂) 之各 MISFET 係具有在延伸於垂直於基板 1 之主面的方向之積層構造體 P 的側面介由閘極絕緣膜 22 配置閘極 23 之縱型構造。積層構造體 P 是以多晶矽膜構成，係由下層依序積層下層半導體層 13、中間半導體層 14 以及上層半導體層 15 之構造。下層半導體層 13 構成負載用 MISFET (MP₁、MP₂) 之源極，導電地被連接於其之下部的局部配線 11。另外，上層半導體層 15 構成負載用 MISFET (MP₁、MP₂)，導電地被連接於其之上部的電源配線 18。中間半導體層 14 構成負載用 MISFET (MP₁、MP₂) 之通道區域，實質上為構成負載用 MISFET (MP₁、MP₂) 之基板。

將上述之記憶體單元的更詳細構造與其之製造方法一齊做說明。又，在說明記憶體單元之製造方法的圖中，賦予圖號 A-A' 之剖面圖，係對應沿著前述第 2 圖之 A-A' 線之剖面的圖、賦予圖號 B-B' 之剖面圖，係對應沿著前述第 2 圖之 B-B' 線之剖面的圖。另外，在平面圖主要顯示構成記憶體單元之導電層，絕緣導電層間之絕緣膜的圖示被省略。

首先，如第 5 圖、第 6 圖以及第 7 圖所示般地，例如在由 p 型之單晶矽形成之基板 1 的主面的元件分離區域形

五、發明說明(6)

成元件分離溝 2。元件分離溝 2 是蝕刻基板 1 的主面，形成溝，接著，在包含此溝的內部之基板 1 上，以 CVD 法堆積氧化矽膜 3 後，以化學機械研磨 (Chemical Mechanical Polishing: CMP) 法研磨、去除溝外部的不需要的氧化矽膜 3 而形成。藉由在基板 1 形成此元件分離溝 2，由元件分離溝 2 而規定範圍之區域便是活性區域。

接著，如第 8 圖以及第 9 圖所示般地，在基板 1 離子植入磷 (P) 後，熱處理基板 1，藉由使磷擴散於基板 1 中，形成 p 型井 4。接著，藉由濕式氧化基板 1，在活性區域 L 之表面形成由氧化矽膜形成之閘極絕緣膜 5。

接著，如第 10 圖、第 11 圖以及第 12 圖所示般地，在基板 1 上形成傳送用 MISFET (MN_1 、 MN_2) 之閘極 6a 以及驅動用 MISFET (MN_3 、 MN_4) 之閘極 6b。傳送用 MISFET (MN_1 、 MN_2) 之閘極 6a 係在活性區域 L 以外之區域構成字元線 WL。閘極 6a (字元線 WL) 以及閘極 6b 係在基板 1 上以 CVD 法堆積多晶矽膜，接著，藉由以光阻膜為光罩之乾蝕刻而圖案化多晶矽膜而形成。在其之堆積時，在此多晶矽膜導入硼 (B)，使該導電型成為 p 型。

接著，如第 13 圖以及第 14 圖所示般地，藉由在 p 型井 4 離子植入磷 (P) 或者砷 (As)，形成 n 型半導體區域 7。n 型半導體區域 7 之一部份係構成傳送用 MISFET (MN_1 、 MN_2) 之源極、汲極，另一部份係構成驅動用 MISFET (MN_3 、 MN_4)。藉由至目前為止之工程，完成以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

n 通道型 MISFET 構成之 2 個傳送用 MISFET (MN_1 、 MN_2) 以及 2 個驅動用 MISFET (MN_3 、 MN_4)。

接著，如第 15 圖、第 16 圖以及第 17 圖所示般地，在基板 1 上以 CVD 法堆積氧化矽膜 8 後，藉由以光阻膜為光罩，乾蝕刻氧化矽膜 8 之一部份，在驅動用 MISFET (MN_3 、 MN_4) 之個別的閘極 6b 的上部形成接觸孔 9。

接著，如第 18 圖以及第 19 圖所示般地，在接觸孔 9 之內部形成阻障金屬層 10。在形成阻障金屬層 10 上，例如在包含接觸孔 9 之內部的氧化矽膜 8 上，以濺鍍法或者 CVD 法堆積 TiN 膜，接著，回蝕去除氧化矽膜 8 之上部的 TiN 膜。

接著，如第 20 圖、第 21 圖以及第 22 圖所示般地，在氧化矽膜 8 之上部形成一對的局部配線 11、11。局部配線 11、11 係在氧化矽膜 8 之上部以 CVD 法堆積多晶矽膜，接著，藉由以光阻膜為光罩之乾蝕刻以圖案化多晶矽膜而形成。局部配線 11 被與成爲之後所形成的 p 通道型 MISFET ($MP1$ 、 $MP2$) 之源極的 p 型的下層半導體層 12 導電地連接之故，在其之堆積蝕，在上述多晶矽膜導入硼 (B)，使其導電型成爲 p 型。

上述一對的局部配線 11、11 之一方，係通過接觸孔 9 被導電地連接於驅動用 MISFET MN_3 之汲極 (n 型半導體區域 7) 以及驅動用 MISFET MN_4 之閘極 6b。另外，局部配線 11、11 之另一方，係通過接觸孔 9 被導電地連接於驅動用 MISFET MN_4 之汲極 (n 型半導體區域 7) 以及驅動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

用 MISFETMN₃ 之閘極 6b。由 p 型多晶矽形成之局部配線 11 與汲極 (n 型半導體區域 7) 係介由接觸孔 9 之內部的阻障金屬層 10 而導電地連接之故，不會在兩者之間形成 pn 接合。

接著，如第 23 圖以及第 24 圖所示般地，在局部配線 11、11 之上部以 CVD 法堆積氧化矽膜 12 後，利用化學機械研磨 (CMP) 法，使氧化矽膜 12 之表面平坦化。此研磨係利用局部配線 11 為阻絕層而進行，在局部配線 11 之表面露出蝕，停止研磨。

接著，如第 25 圖以及第 26 圖所示般地，在氧化矽膜 12 之上部，以 CVD 法堆積 3 層之多晶矽膜 13a、14a、15a 後，在多晶矽膜 15a 之上部堆積氮化矽膜 16。在多晶矽膜 13a、15a 導入高濃度之硼 (B)，使其導電型成為 p 型。另外，在多晶矽膜 14a 導入低濃度之硼 (B)，使其導電型成為 p 型。多晶矽膜 13a、14a、15a 之硼濃度，在其之堆積中，藉由改變包含硼之氣體 (BH₃) 之濃度而做控制。

接著，如第 27 圖、第 28 圖以及第 29 圖所示般地，以將光阻膜 (未圖示出) 當成光罩使用之乾蝕刻，圖案化氮化矽膜 16 與 3 層之多晶矽膜 13a、14a、15a。接著，如第 30 圖以及第 31 圖所示般地，在氧化矽膜 12 之上部，以 CVD 法堆積氧化矽膜 17 後，利用化學機械研磨 (CMP) 法，使氧化矽膜 17 之表面平坦化。此研磨係使用氮化矽膜 16 為阻障層而進行，在氮化矽膜 16 之表面露出蝕，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

停止研磨。

接著，如第 32 圖以及第 33 圖所示般地，藉由以熱磷酸去除多晶矽膜 15a 之上部的氮化矽膜 16，使多晶矽膜 15a 之表面露出後，在氧化矽膜 17 之上部，以 CVD 法堆積多晶矽膜 18a。在其之堆積時，在多晶矽膜 18a 導入硼 (B)，使其導電型成為 p 型。

接著，如第 34 圖、第 35 圖以及第 36 圖所示般地，以將光阻膜當成光罩使用之乾蝕刻，圖案化多晶矽膜 18a 以及其之下層的多晶矽膜 13a、14a、15a。藉由此，形成了電源配線 18 與由下層半導體層 13、中間半導體層 14、上層半導體層 15 所形成之四角柱狀的積層構造體 P，而且，在積層構造體 P 之相面對的 2 側面與氧化矽膜 17 之間，形成溝 19。

上述積層構造體 P 之下層半導體層 13 係構成負載用 MISFET 之源極，與其之下部的局部配線 11 導電地連接。另外，上層半導體層 15 係構成負載用 MISFET 之汲極，與其之上部的電源配線 18 導電地連接。中間半導體層 14 係構成負載用 MISFET 之通道區域，實質上，構成負載用 MISFET 之基板。

接著，如第 37 圖、第 38 圖以及第 39 圖所示般地，藉由以光阻膜為光罩，乾蝕刻氧化矽膜 17，在一對的局部配線 11、11 之個別的上部形成通孔 20。

接著，如第 40 圖以及第 41 圖所示般地，在露出通孔 20 的底部之局部配線 11 的表面形成阻障金屬層 21。在形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

成阻障金屬層 21 上，例如將在形成通孔 20 時所使用之光阻膜當成光罩使用，以濺鍍法或者 CVD 法，在通孔 20 之內部薄薄堆積 TiN 膜。

接著，如第 42 圖以及第 43 圖所示般地，藉由熱氧化基板 1，在由多晶矽膜形成之積層構造體 P 以及電源配線 18 之表面形成由膜厚 10nm 以下之薄的氧化矽膜所形成的負載用 MISFET 的閘極絕緣膜 22。

接著，如第 44 圖、第 45 圖以及第 46 圖所示般地，形成負載用 MISFET 之閘極 23。在形成閘極 23 上，係在包含通孔 20 以及溝 19 的內部之氧化矽膜 17 的上部，以 CVD 法堆積多晶矽膜後，以將光阻膜（未圖示出）當成光罩使用之乾蝕刻，圖案化氧化矽膜 17 之上部的多晶矽膜。在其之堆積時，在此多晶矽膜導入磷（P），使其導電型成為 n 型。藉由至此為止之工程，在驅動用 MISFET（MN₃、MN₄）之上部形成負載用 MISFET（MP₁、MP₂）。

接著，如第 47 圖、第 48 圖以及第 49 圖所示般地，在閘極 23 之上部以 CVD 法堆積氧化矽膜 24 後，將光阻膜（未圖示出）當成光罩使用，藉由乾蝕刻氧化矽膜 24、17、12、8，在傳送用 MISFET（MN₁、MN₂）之源極、汲極的一方（n 型半導體區域 7）的上部形成接觸孔 25。

之後，藉由在氧化矽膜 24 的上部形成互補性資料線 BLT、BLB，完成前述第 2 圖、第 3 圖以及第 4 圖所示之記憶體單元。在形成互補性資料線 BLT、BLB 上，例如在包含接觸孔 25 的內部的氧化矽膜 24 的上部，以濺鍍法堆

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

積 Al 合金膜、W 膜等之金屬膜，接著，以將光阻膜當成光罩使用之乾蝕刻，圖案化金屬膜。

如此，本實施形態之 SRAM 係在驅動用 MISFET (MN₃、MN₄) 之上部配置負載用 MISFET (MP₁、MP₂)，而且，以縱型構造之 MISFET 構成負載用 MISFET (MP₁、MP₂) 之故，可以使構成記憶體單元之電晶體的佔有面積變小。

第 50 圖是顯示將 n 通道型之傳送用 MISFET (MN₁、MN₂) 以及驅動用 MISFET (MN₃、MN₄) 形成為 p 型井，將 p 通道型之負載用 MISFET (MP₁、MP₂) 形成為 n 型井之習知的完全 CMOS 型 SRAM 的記憶體單元之平面圖。如比較第 50 圖與前述第 2 圖便可以明白，本實施形態之 SRAM 與以相同之設計規則所製造的習知的完全 CMOS 型 SRAM 比較，記憶體尺寸被大幅縮小。另外，本實施形態之 SRAM，由於不需要 n 型井與 p 型井之分離，可以防止由於自鎖所導致之記憶體特性的劣化。

在上述之例中，構成記憶體單元的 6 個電晶體中，雖就設一對的 p 通道型 MISFET (MP₁、MP₂) 為縱型構造之情形做說明，但是，設一對的 n 通道型 MISFET (MN₁、MN₂) 或者一對的 n 通道型 MISFET (MN₃、MN₄) 為縱型構造，將其配置於其它的 MISFET 的上部亦可。第 51 圖為設 n 通道型 MISFET (MN₁、MN₂) 為縱型構造之記憶體單元的等效電路圖。

又，一般形成在 MISFET 之上部的 MISFET 與形成在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

基板上的 MISFET 相比，其驅動能力降低。在 SRAM 之情形，需要使驅動用 MISFET 之驅動能力比其它的 MISFET 的驅動能力大之故，在秧構成記憶體單元的一部份之 MISFET 形成於其它的 MISFET 之上部的情形，將驅動用 MISFET 形成在基板上，使驅動能力可以小之負載用 MISFET 或者傳送用 MISFET 形成在其它之 MISFET 的上部。

在上述之例中，雖就完全 CMOS 型之記憶體單元做說明，在以空乏型 MISFET 構成一對的負載用 MISFET 之空乏負載型記憶體單元，和代替負載用 MISFET 而使用多晶矽電阻之高電阻負載型記憶體單元之情形，藉由以縱型構造形成一部份的 MISFET，可以使記憶體單元尺寸縮小。

例如，第 52 圖為在空乏負載型記憶體單元中，設一對的空乏型負載用 MISFET (MP_1 、 MP_2) 為縱型構造之記憶體單元的等效電路圖、第 53 圖是此記憶體單元的概略平面圖、第 54 圖是沿著第 53 圖之 A-A' 線之剖面圖、第 55 圖是沿著第 53 圖之 B-B' 線之剖面圖。另外，第 56 圖是在空乏負載型記憶體單元中，設一對的 n 通道型 MISFET (MN_1 、 MN_2) 為縱型構造之情形的等效電路圖。另外，第 57 圖是在高電阻負載型記憶體單元中，設一對的 n 通道型 MISFET (MN_3 、 MN_4) 為縱型構造之記憶體單元的等效電路圖、第 58 圖是在相同之高電阻負載型記憶體單元中，設一對的 n 通道型 MISFET (MN_1 、 MN_2) 為縱型構造之情形的等效電路圖。又，在空乏負載型記憶體單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

元和高電阻負載型記憶體單元之情形，由抑制伴隨電晶體之微細化的驅動能力的降低之觀點上，也以在基板上形成驅動用 MISFET 為佳。即如第 1、2、3、4 圖所示般地，以在基板上形成驅動用 MISFET_{MN3}、MN₄ 為佳。

第 59 圖以及第 60 圖是去除第 58 圖所示之高電阻負載型記憶體單元的電阻部，使用傳送用 MISFET 之洩漏（電流）來代替負載之記憶體單元的等效電路圖以及概略剖面圖。在此情形，需要使傳送用 MISFET（MP₁、MP₂）作用為代替負載之故，以可以傳達高電壓之縱型構造的 p 通道型 MISFET 構成傳送用 MISFET（MP₁、MP₂）。此構造係以 4 個電晶體構成記憶體單元之故，可以縮小記憶體單元尺寸。另外，藉由將此縱型構造之傳送用 MISFET（MP₁、MP₂）形成在 n 通道型 MISFET（MN₃、MN₄）之上部，可以更縮小記憶體單元尺寸。即由抑制伴隨電晶體之微細化的驅動能力的降低之觀點，驅動用 MISFET（MN₃、MN₄）被形成在基板上。

在上述之例中，在構成記憶體單元之 4 個或者 6 個電晶體中，雖就設 2 個 MISFET 為縱型構造之情形做說明，但是，也可以設 4 個或者 6 個 MISFET 為縱型構造。

例如，第 61 圖是在完全 CMOS 型記憶體單元中，設一對的 p 通道型負載用 MISFET（MP₁、MP₂）與一對的 n 通道型傳送用 MISFET（MN₁、MN₂）為縱型構造之情形的等效電路圖、第 62 圖是在相同之完全 CMOS 型記憶體單元中，設一對的 p 通道型負載用 MISFET（MP₁、MP₂）與

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(14)

一對的 n 通道型驅動用 MISFET (MN_3 、 MN_4) 為縱型構造之情形的等效電路圖、第 63 圖是在相同之完全 CMOS 型記憶體單元中，設一對的 n 通道型傳送用 MISFET (MN_1 、 MN_2) 與一對的 n 通道型驅動用 MISFET (MN_3 、 MN_4) 為縱型構造之情形的等效電路圖。

第 64 圖是在空乏負載型記憶體單元中，設一對的空乏型負載用 MISFET (MP_1 、 MP_2) 與一對的 n 通道型傳送用 MISFET (MN_1 、 MN_2) 為縱型構造之情形的等效電路圖、第 65 圖是在相同之空乏負載型記憶體單元中，設一對的空乏型負載用 MISFET (MP_1 、 MP_2) 與一對的 n 通道型驅動用 MISFET (MN_3 、 MN_4) 為縱型構造之情形的等效電路圖、第 66 圖是在相同之空乏負載型記憶體單元中，設一對的 n 通道型傳送用 MISFET (MN_1 、 MN_2) 與一對的 n 通道型驅動用 MISFET (MN_3 、 MN_4) 為縱型構造之情形的等效電路圖。

第 67 圖是在高電阻負載型記憶體單元中，設一對的 n 通道型傳送用 MISFET (MN_1 、 MN_2) 與一對的 n 通道型驅動用 MISFET (MN_3 、 MN_4) 為縱型構造之情形的等效電路圖。

第 68 圖是在完全 CMOS 型記憶體單元中，設一對的 p 通道型負載用 MISFET (MP_1 、 MP_2) 與一對的 n 通道型傳送用 MISFET (MN_1 、 MN_2) 與一對的 n 通道型驅動用 MISFET (MN_3 、 MN_4) 為縱型構造之情形的等效電路圖、第 69 圖是在空乏負載型記憶體單元中，設一對的空乏型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

負載用 MISFET (MP₁、MP₂) 與一對的 n 通道型傳送用 MISFET (MN₁、MN₂) 與一對的 n 通道型驅動用 MISFET (MN₃、MN₄) 為縱型構造之情形的等效電路圖。

(實施形態 2)

本實施形態是使用前述之縱型構造的 MISFET，實現 1 電晶體 / 1 電容器型之記憶體單元的例子。第 70 圖是此記憶體單元的等效電路圖、第 71 圖是記憶體單元之概略平面圖、第 72 圖是沿著第 71 圖之 A-A'線之剖面圖。

如第 72 圖所示般地，記憶體單元 MC 係以形成在基板 1 的溝 30 之 1 個電容器元件 C 與形成在其之上部的 1 個選擇用 MISFET (Qt) 所構成。選擇用 MISFETQs 係由被圖案化為四角柱狀的多晶矽膜所形成之機積層構造體 P、及由被形成在積層構造體 P 之表面的氧化矽膜所形成之閘極絕緣膜 31、及由形成在積層構造體 P 之側壁以及上部的多晶矽膜所形成之閘極 32 (字元線 WL) 所構成。即選擇用 MISFETQs 係以縱型構造構成。

積層構造體 P 係將構成選擇用 MISFETQs 之源極之下層半導體層 33、構成通道形成區域之中間半導體層 34、以及構成汲極之上層半導體層 35 以此順序加以積層之構成。下層半導體層 33 以及上層半導體層 35 係由導入高不純物濃度之磷 (P) 的多晶矽膜所形成，中間半導體層 34 係由導入極低濃度的磷 (P) 的多晶矽膜所形成。在上層半導體層 35 (汲極) 之上部連接由被形成在其上部之 n

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

型多晶矽膜所形成之位元線 BL。

在下層半導體層 33 與中間半導體層 34 之間、以及上層半導體層 35 與中間半導體層 34 之間，形成通道絕緣膜 36。在下層半導體層 33 (源極) 與上層半導體層 35 (汲極) 之間，通道電流通過之故，這些通道絕緣膜 36 需要以薄的膜厚形成。通道絕緣膜 36 例如以 CVD 法堆積之膜厚 2nm~3nm 程度之氮化矽膜構成。通道絕緣膜 36 在製造工程之中途的熱處理等，作用為防止下層半導體層 33 和上層半導體層 35 之不純物 (磷) 擴散於低不純物濃度的中間半導體層 34 之阻障層之故，可以抑制記憶體單元的洩漏電流，提升資訊的保存特性。

雖然省略圖示，但是也可以在中間半導體層 34 的中途部設置通道絕緣膜 36。設置在中間半導體層 34 之中途部的通道絕緣膜 36，係作用為在關閉狀態之選擇用 MISFETQ_t 的中間半導體層 34 所發生的載子 (電子或者電洞) 成為電流，不使其流通在源極、汲極間之阻障層。即此通道絕緣膜 36 在抑制選擇用 MISFETQ_t 的關閉電流變小上有效。設置在中間半導體層 34 的中途部之通道絕緣膜 36，並不限定於 1 層，也可以設置為多層。

(實施形態 3)

第 73 圖是本實施形態的記憶體單元的等效電路圖、第 74 圖是此記憶體單元的概略平面圖、第 75 圖是沿著第 74 圖之 A-A' 線之剖面圖、第 76 圖是沿著第 74 圖之 B-B'

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

線之剖面圖。

本實施形態之記憶體單元是以 1 個讀出用 MISFET (Qr) 與 1 個寫入用 MISFET (Qw) 構成，將讀出用 MISFETQr 之閘極當成儲存節點使用。

讀出用 MISFETQr 係藉由形成在 p 型基板 1 之 n 型半導體區域 41 (源極、汲極)、形成在基板 1 的表面之閘極絕緣膜 42、由形成在閘極絕緣膜 42 的上部之 n 型多晶矽膜所形成之閘極 43 所構成。在讀出用 MISFETQr 的半導體區域 41 (源極、汲極) 之一方導電地連接由 n 型多晶矽膜所形成之資料線 DL。

寫入用 MISFETQw 係由形成在讀出用 MISFETQr 之上部的多晶矽膜所形成之積層構造體 P、及形成在積層構造體 P 之表面的氧化矽膜所形成之閘極絕緣膜 44、及形成在積層構造體 P 之側壁以及上部之多晶矽膜所形成之閘極 45 (字元線 WL) 所構成。即寫入用 MISFETQw 以縱型構造構成。

積層構造體 P 係將構成寫入用 MISFETQw 的源極之下層半導體層 46、構成通道形成區域之中間半導體層 47、以及構成汲極之上層半導體層 48 以此順序加以積層之構成。下層半導體層 46 以及上層半導體層 48 係由導入高不純物濃度之磷 (P) 之多晶矽膜所形成，中間半導體層 47 係由導入極低濃度之磷 (P) 之多晶矽膜所形成，在下層半導體層 46 與中間半導體層 47 之間、以及上層半導體層 48 與中間半導體層 47 之間，形成通道絕緣膜 49。在中間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

半導體層 47 (汲極) 導電地連接前述之資料線 DL。

如依據本實施形態，藉由在讀出用 MISFET_{Qr} 之上部形成縱型構造之寫入用 MISFET_{Qw}，可以大幅縮小 2 電晶體型記憶體單元的單元尺寸。

(實施形態 4)

第 77 圖是顯示本實施形態之 DRAM 的讀出放大器部與記憶體陣列的一部份之等效電路圖、第 78 圖是對應第 77 圖之區域的概略平面圖、第 79 圖是沿著第 78 圖之 A-A' 線之剖面圖、第 80 圖是沿著第 78 圖之 B-B' 線之剖面圖。

本實施形態之 DRAM 係以縱型構造之 MISFET 構成構成讀出放大器部 SA 之 MISFET 的一部份 (以第 78 圖之網目圖案所示之 MISFET)。另外，被形成為記憶體陣列之記憶體單元也以縱型構造之 MISFET 構成。即記憶體單元與前述實施形態 2 之記憶體單元相同，以形成在基板 1 內之 1 個電容器元件與形成在其之上部的 1 個縱型構造之選擇用 MISFET 構成。

第 81 圖 ~ 第 83 圖是顯示構成記憶體單元與讀出放大器之複數的導電層圖案之平面圖。各圖之中央部是顯示讀出放大器部 SA、其之兩側是顯示被連接在此讀出放大器部 SA 之記憶體單元。

第 81 圖是顯示活性區域 L 之圖案的平面圖。第 82 圖是顯示第 1 層之多晶矽膜 50A、50B 之圖案的平面圖。多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

晶矽膜 50A 係構成形成在基板之 MISFET 的閘極，多晶矽膜 50B 是連接縱型構造之 MISFET 與其它的導電層之配線。第 83 圖是顯示構成縱型構造之 MISFET 的積層構造體 P 的圖案與形成在其上部的位元線 BL 之圖案的平面圖。

第 84 圖示顯示以形成在基板上之 n 通道型 MISFET 與 p 通道型 MISFET 所構成之習知的讀出放大器部 SA 的導電層圖案之平面圖。如比較第 84 圖與前述第 78 圖便可以清楚，本實施形態之讀出放大器部 SA 與以相同設計規則所製造之習知構造的讀出放大器部 SA 比較，其尺寸可以大幅縮小。

以上，雖依據前述實施形態而具體說明由本發明者所完成之發明，但是，本發明並不限定於前述實施形態，在不脫離其之要旨之範圍內，不用說可以有種種變更之可能。

【發明之效果】

在本申請案所揭示的發明中，如簡單說明代表性者之概要，則如下述：

藉由以縱型構造之 MISFET 構成構成 SRAM 的記憶體單元，可以縮小記憶體單元尺寸。另外，藉由將縱型構造之 MISFET 形成在其它之 MISFET 的上部，可以大幅縮小記憶體單元尺寸。

【圖面之簡單說明】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

第 1 圖是顯示本發明之一實施形態之半導體記憶體裝置的記憶體單元的等效電路圖。

第 2 圖是顯示本發明之一實施形態之半導體記憶體裝置的記憶體單元的平面圖。

第 3 圖是沿著第 2 圖之 A-A' 線之剖面圖。

第 4 圖是沿著第 2 圖之 B-B' 線之剖面圖。

第 5 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法的平面圖。

第 6 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 7 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 8 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 9 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 10 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 11 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 12 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

第 13 圖是顯示本發明之一實施形態之半導體記憶體裝置之製造方法之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(21)

第 14 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 15 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 16 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 17 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 18 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 19 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 20 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 21 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 22 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 23 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 24 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 25 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

五、發明說明(22)

第 26 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 27 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 28 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 29 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 30 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 31 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 32 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 33 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 34 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 35 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 36 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 37 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

五、發明說明(23)

第 38 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 39 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 40 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 41 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 42 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 43 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 44 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 45 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 46 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 47 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 48 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

第 49 圖是顯示本發明之一實施形態之半導體記憶裝置之製造方法之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

第 50 圖是顯示習知的完全 CMOS 型 SRAM 之記憶體單元的平面圖。

第 51 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 52 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 53 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的平面圖。

第 54 圖是沿著第 53 圖之 A-A' 線之剖面圖。

第 55 圖是沿著第 53 圖之 B-B' 線之剖面圖。

第 56 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 57 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 58 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 59 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 60 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的概略剖面圖。

第 61 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 62 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

五、發明說明(25)

第 63 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 64 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 65 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 66 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 67 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 68 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 69 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 70 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 71 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的平面圖。

第 72 圖是沿著第 71 圖之 A-A' 線之剖面圖。

第 73 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的等效電路圖。

第 74 圖是顯示本發明之其它的實施形態之半導體記憶裝置之記憶體單元的平面圖。

第 75 圖是沿著第 74 圖之 A-A' 線之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

第 76 圖是沿著第 74 圖之 B-B'線之剖面圖。

第 77 圖是顯示本發明之其它的實施形態之半導體記憶裝置的讀出放大器部的等效電路圖。

第 78 圖是顯示本發明之其它的實施形態之半導體記憶裝置的讀出放大器部的平面圖。

第 79 圖是沿著第 78 圖之 A-A'線之剖面圖。

第 80 圖是沿著第 78 圖之 B-B'線之剖面圖。

第 81 圖是顯示本發明之其它的實施形態之半導體記憶裝置的讀出放大器部的導電層圖案之平面圖。

第 82 圖是顯示本發明之其它的實施形態之半導體記憶裝置的讀出放大器部的導電層圖案之平面圖。

第 83 圖是顯示本發明之其它的實施形態之半導體記憶裝置的讀出放大器部的導電層圖案之平面圖。

第 84 圖是顯示習知的 DRAM 之讀出放大器部的平面圖。

【圖號說明】

- 1：半導體基板，
- 2：元件分離溝，
- 3：氧化矽膜，
- 4：p 型井，
- 5：閘極絕緣膜，
- 6a、6b：閘極，
- 7：n 型半導體區域（源極、汲極），

裝

訂

線

五、發明說明(27)

- 8：氧化矽膜，
- 9：接觸孔，
- 10：阻障金屬層，
- 11：局部配線，
- 12：氧化矽膜，
- 13a、14a、15a：多晶矽膜，
- 13：下層半導體層（源極），
- 14：中間半導體層（通道形成區域），
- 15：上層半導體層（汲極），
- 16：氮化矽膜，
- 17：氧化矽膜，
- 18a：多晶矽膜，
- 18：電源配線，
- 19：溝，
- 20：通孔，
- 21：阻障金屬層，
- 22：閘極絕緣膜，
- 23：閘極，
- 24：氧化矽膜，
- 25：接觸孔，
- 30：溝，
- 31：閘極絕緣膜，
- 32：閘極，
- 33：下層半導體層（源極），

裝

訂

線

五、發明說明(28)

- 34：中間半導體層（通道形成區域），
- 35：上層半導體層（汲極），
- 36：通道絕緣膜，
- 41：半導體區域（源極、汲極），
- 42：閘極絕緣膜，
- 43：閘極，
- 44：閘極絕緣膜，
- 45：閘極，
- 46：下層半導體層（源極），
- 47：中間半導體層（通道形成區域），
- 48：上層半導體層（汲極），
- 49：通道絕緣膜，
- 50A、50B：多晶矽膜，
- BL：位元線，
- BLT、BLB：互補性資料線，
- C：電容器元件，
- DL：資料線，
- L：活性區域，
- MN1、MN2：傳送用 MISFET，
- MN3、MN4：驅動用 MISFET，
- MP1、MP2：負載用 MISFET，
- P：積層構造體，
- Qr：讀出用 MISFET，
- Qt：選擇用 MISFET，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (29)

Qw：寫入用 MISFET，

SA：讀出放大器部，

WL：字元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體記憶裝置)

本發明之課題在於縮小 SRAM 之記憶體單元尺寸。其解決手段為：SRAM 之記憶體單元是由傳送用 MISFET、驅動用 MISFET 以及負載用 MISFET 所構成，負載用 MISFET 是被形成在驅動用 MISFET 之上部。負載用 MISFET 具有在延伸在垂直於半導體基板 1 之主面的方向之積層構造體 P 的側面透過閘極絕緣膜 22 配置閘極電極 23 之縱型構造。此積層構造體 P 是以多晶矽膜構成，為由下層依序積層下層半導體層 13、中間半導體層 14 以及上層半導體層 15 之構造。

(請先閱讀背面之注意事項再填寫本頁各欄)

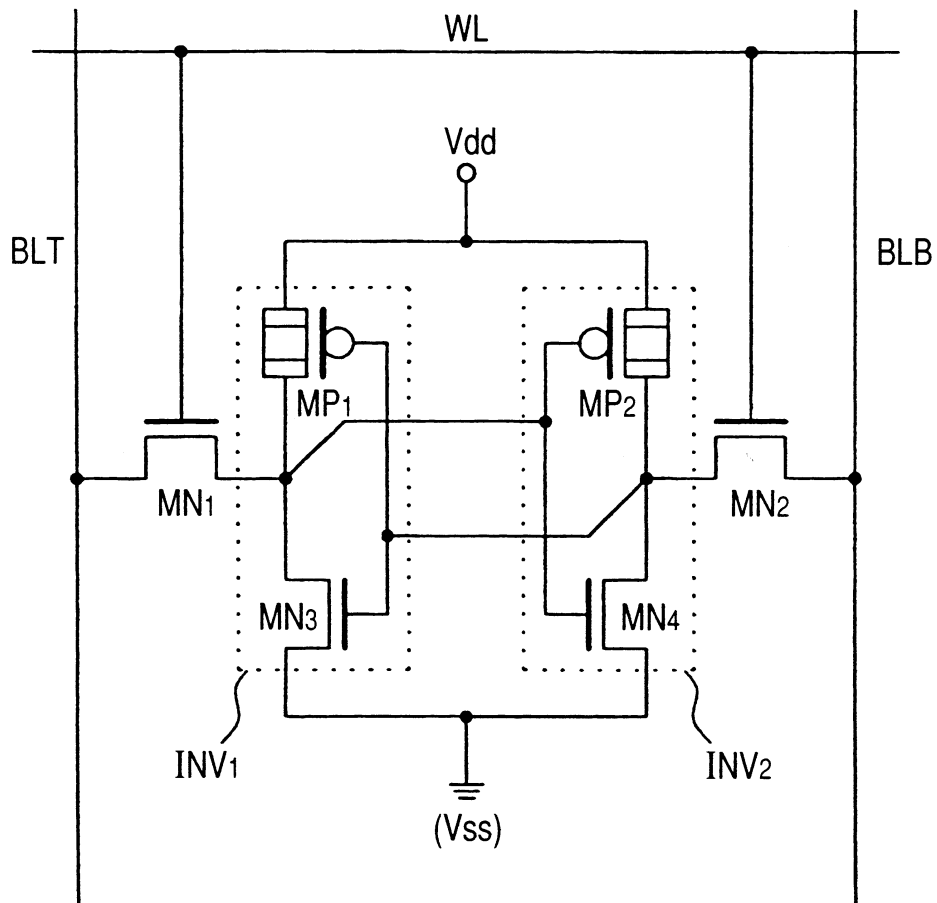
裝

英文發明摘要(發明之名稱：)

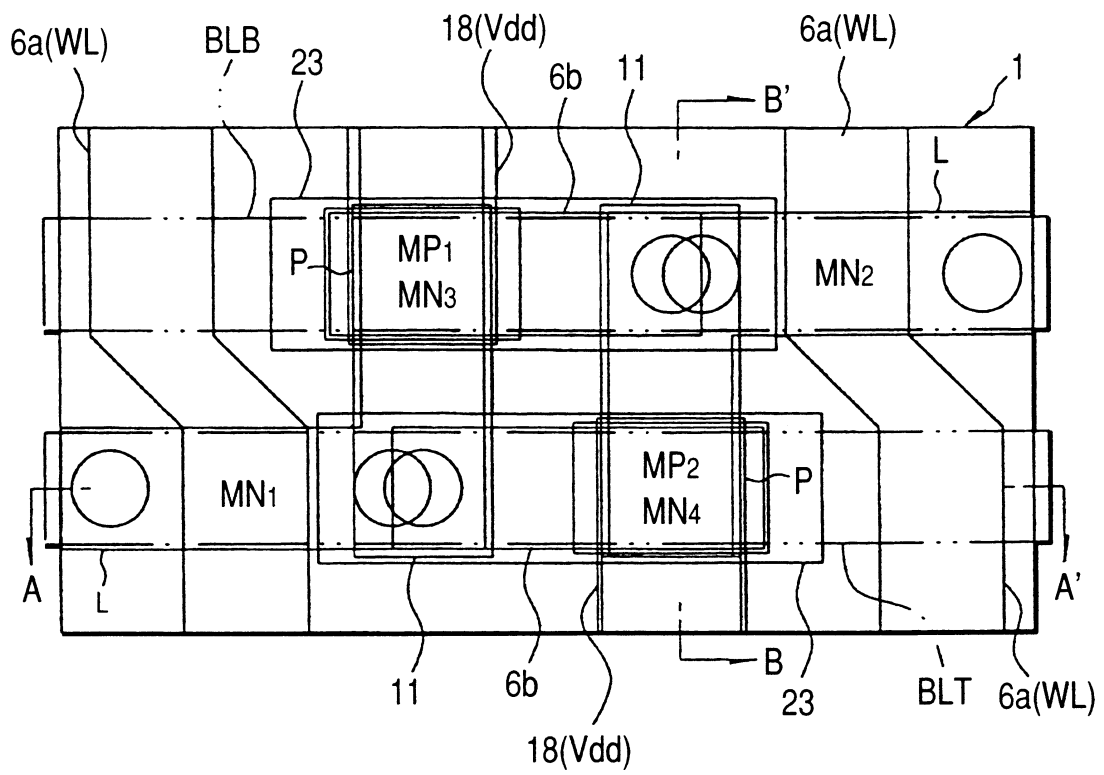
訂

線

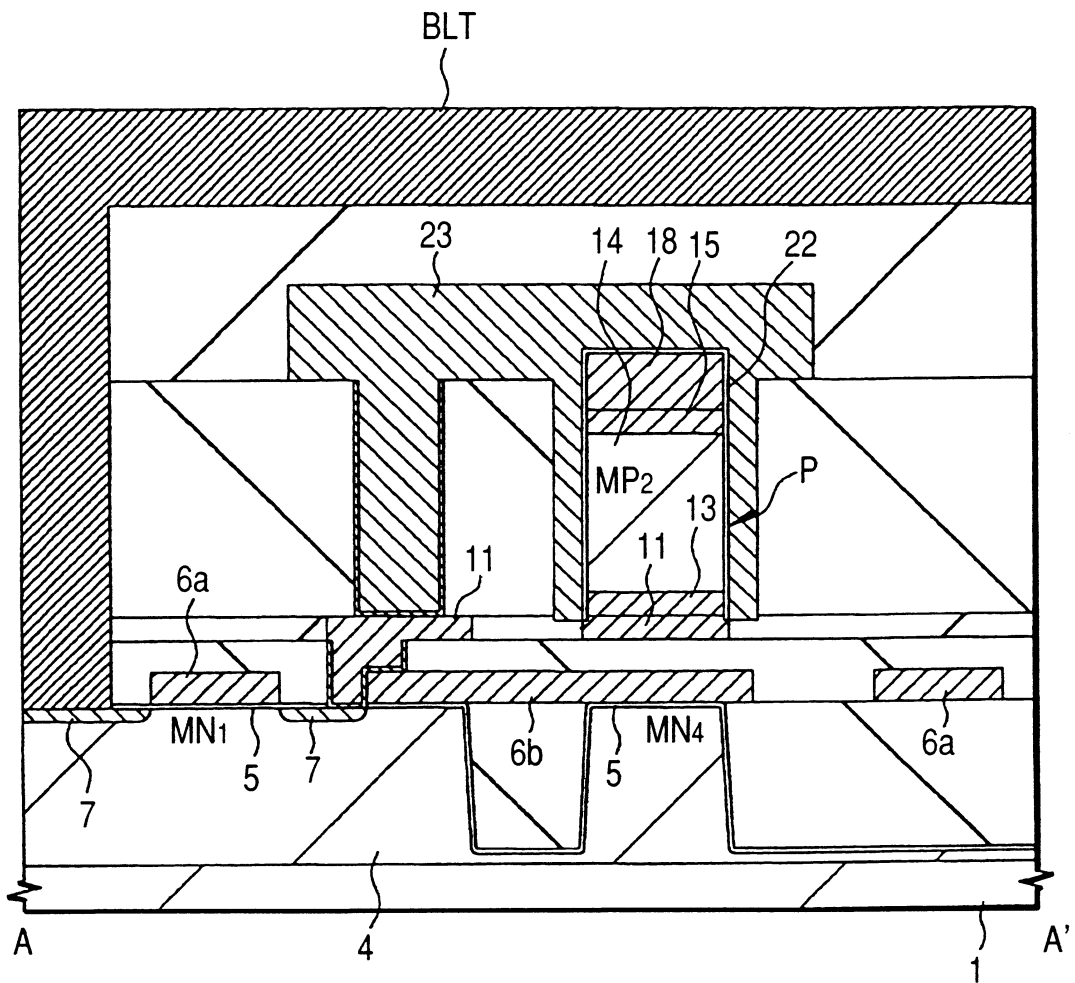
第 1 圖



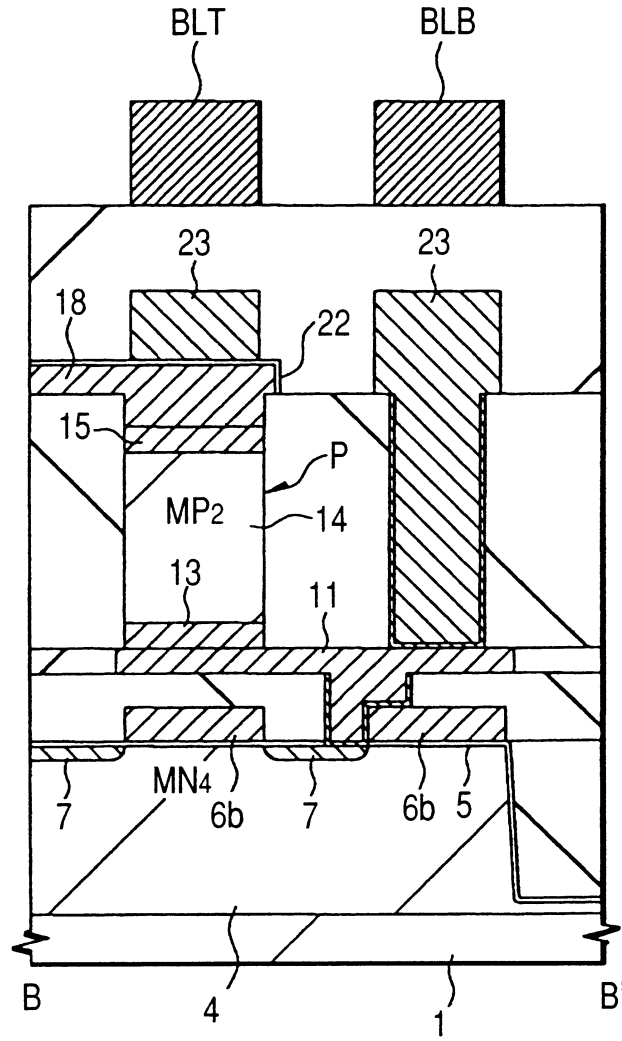
第 2 圖



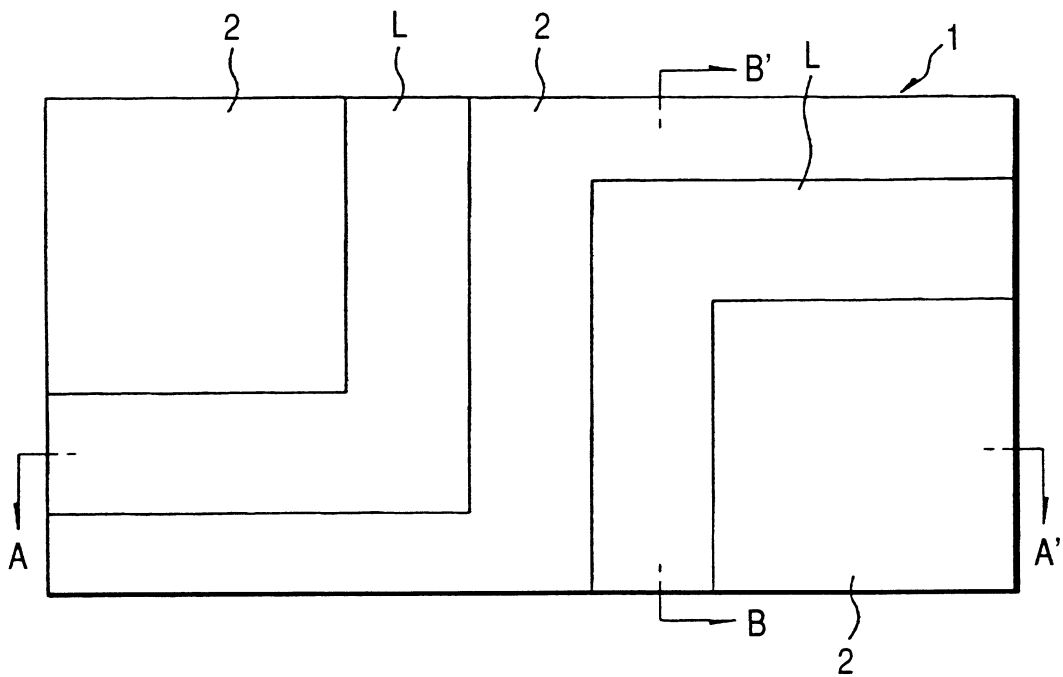
第3圖



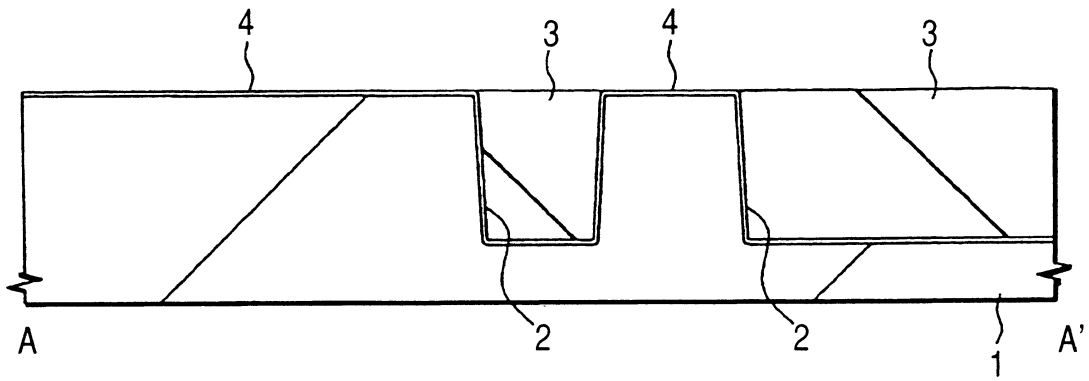
第 4 圖



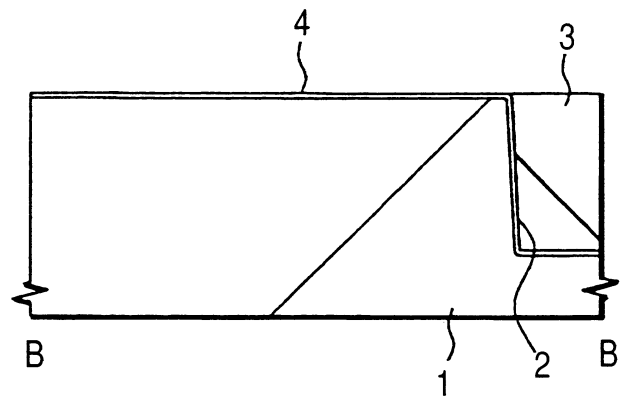
第 5 圖



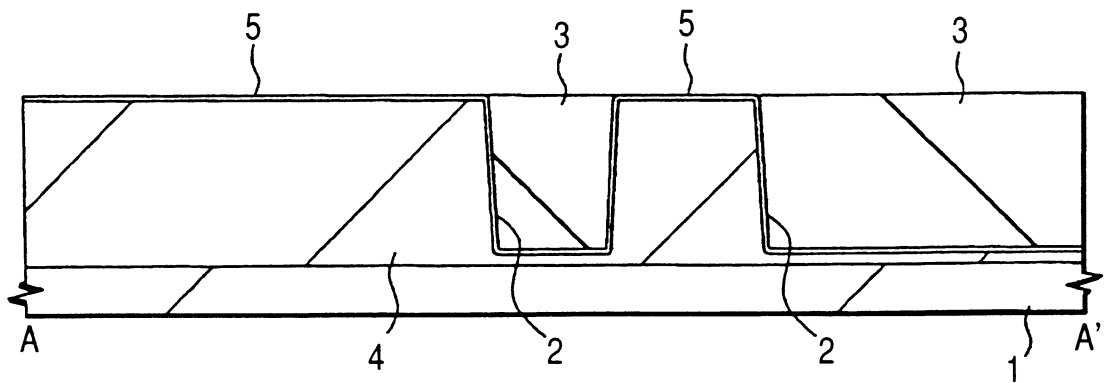
第 6 圖



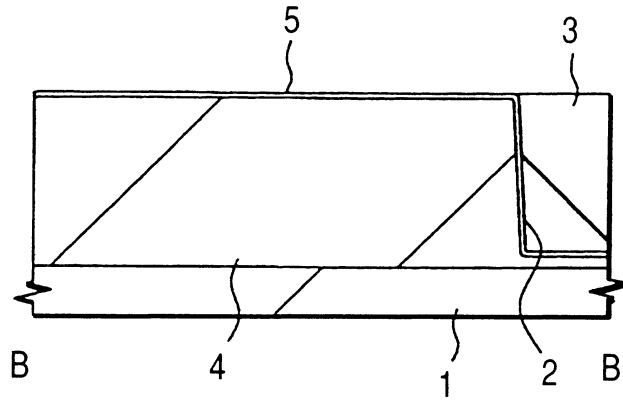
第 7 圖



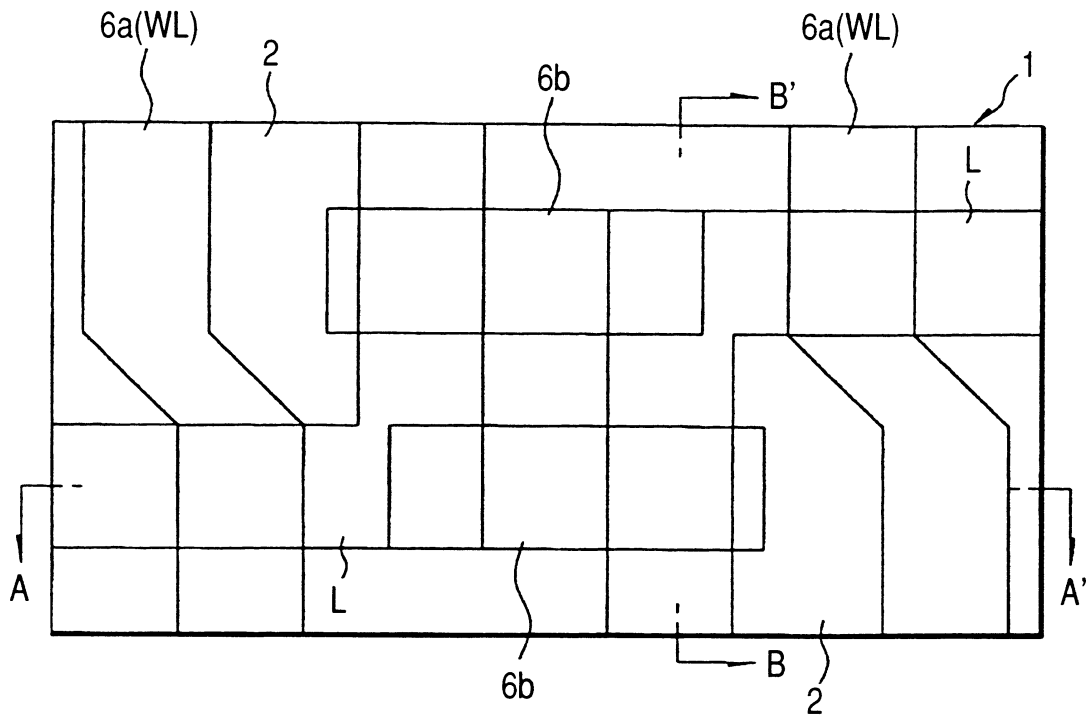
第 8 圖



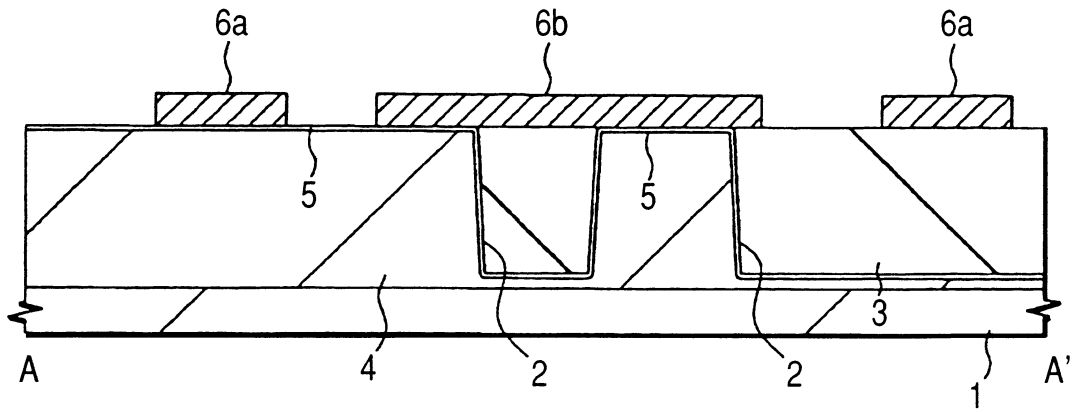
第 9 圖



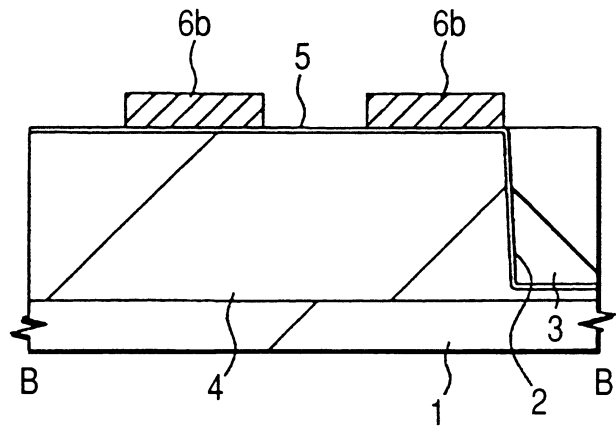
第 10 圖



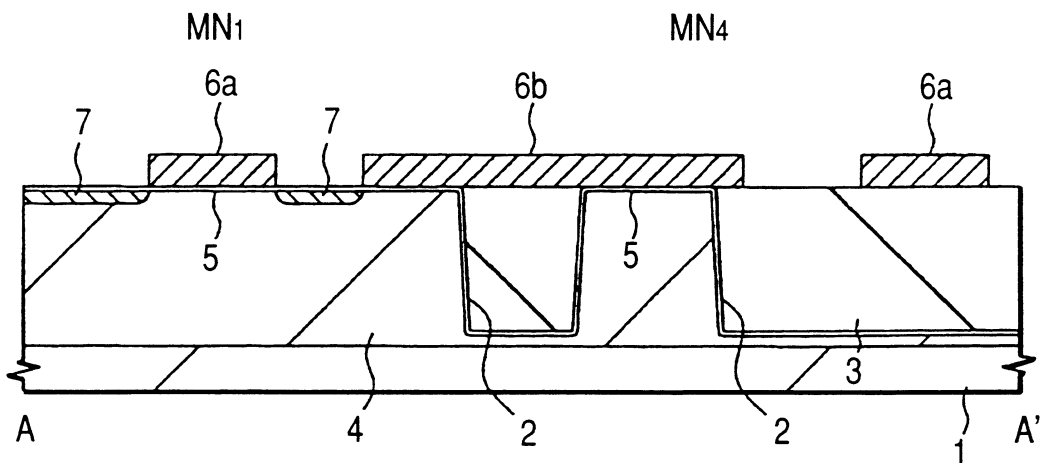
第 11 圖



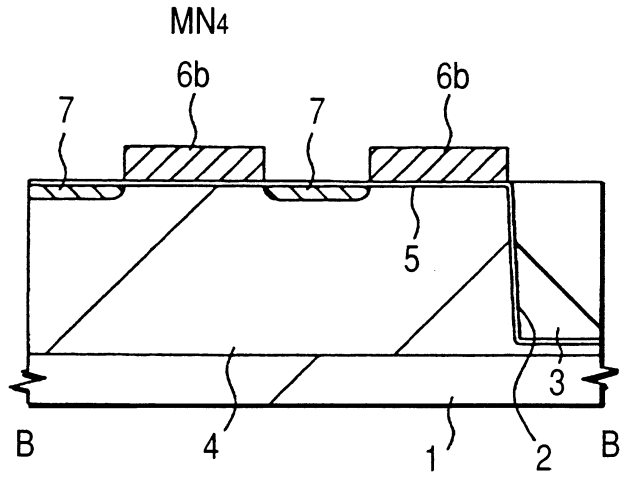
第 12 圖



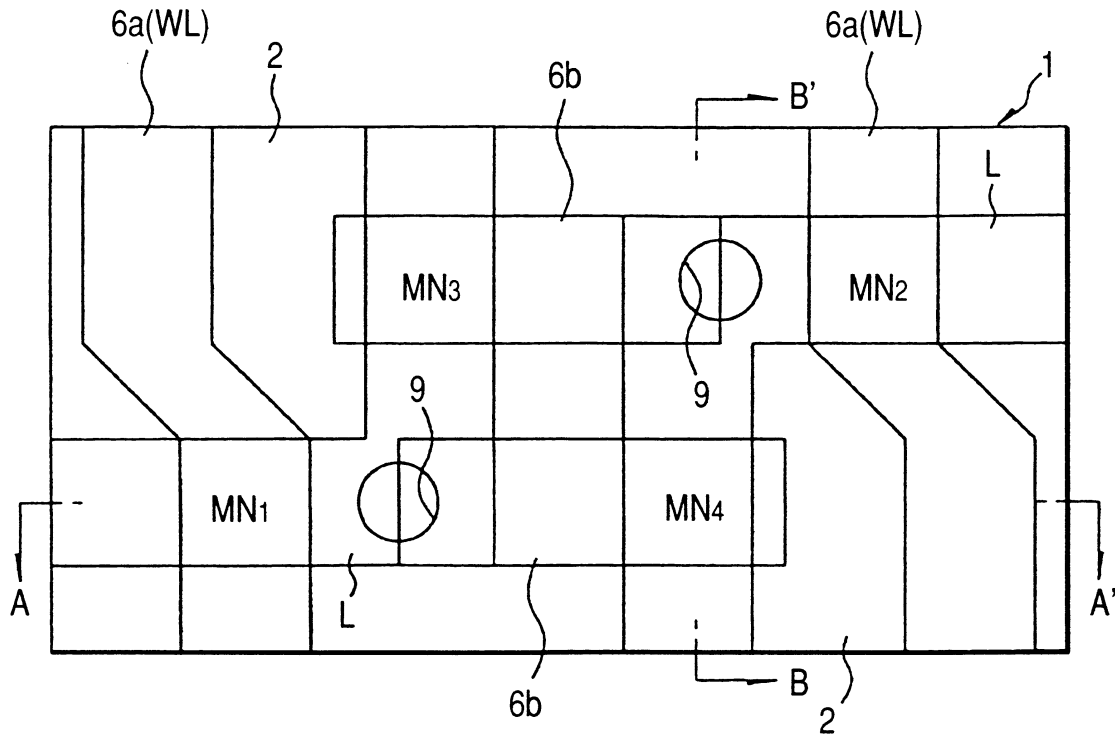
第 13 圖



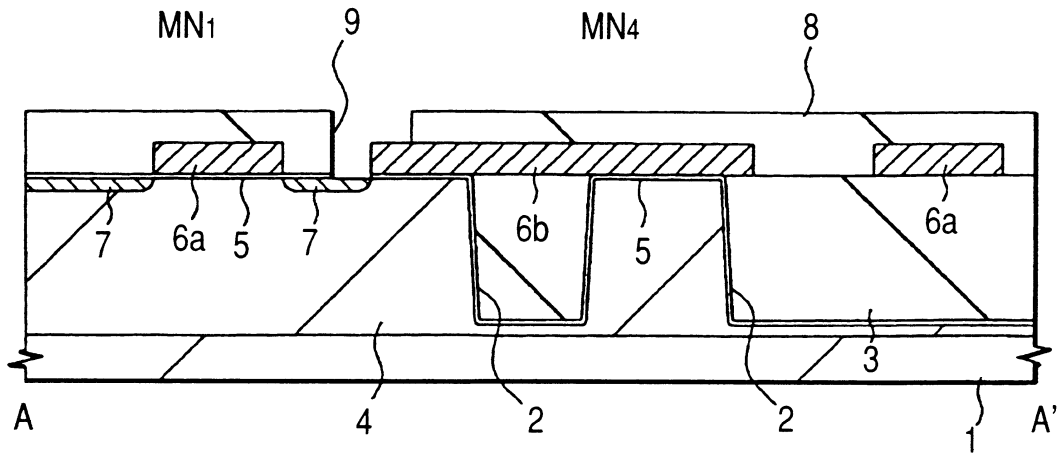
第 14 圖



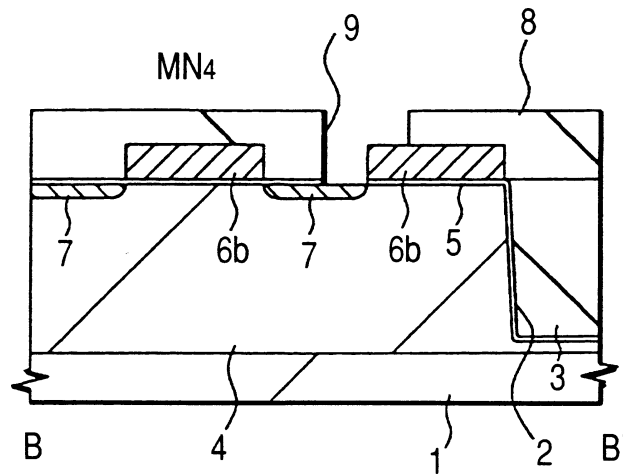
第 15 圖



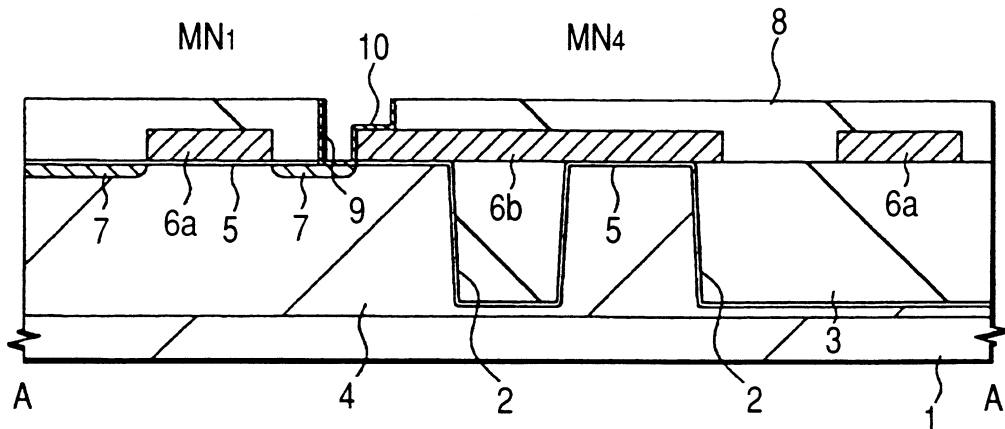
第 16 圖



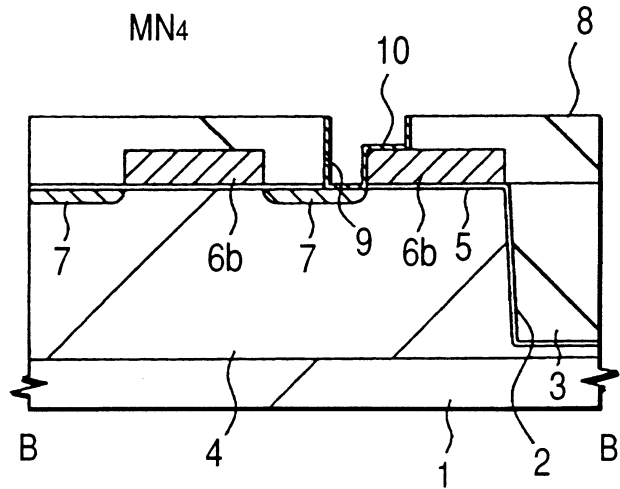
第 17 圖



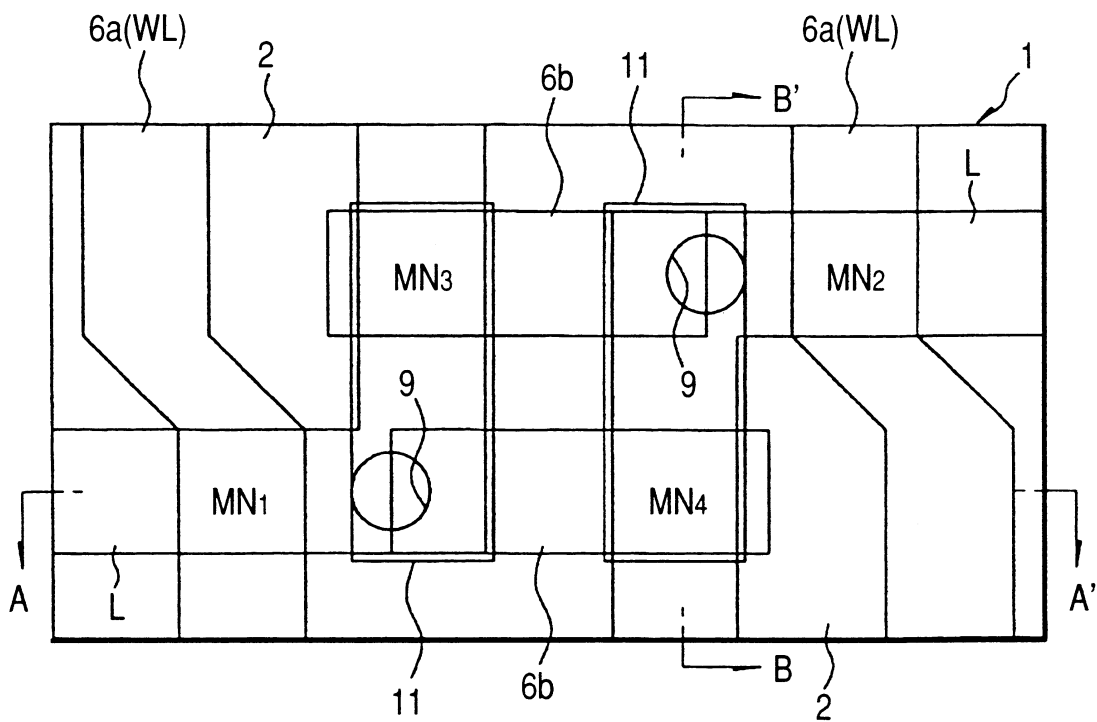
第 18 圖



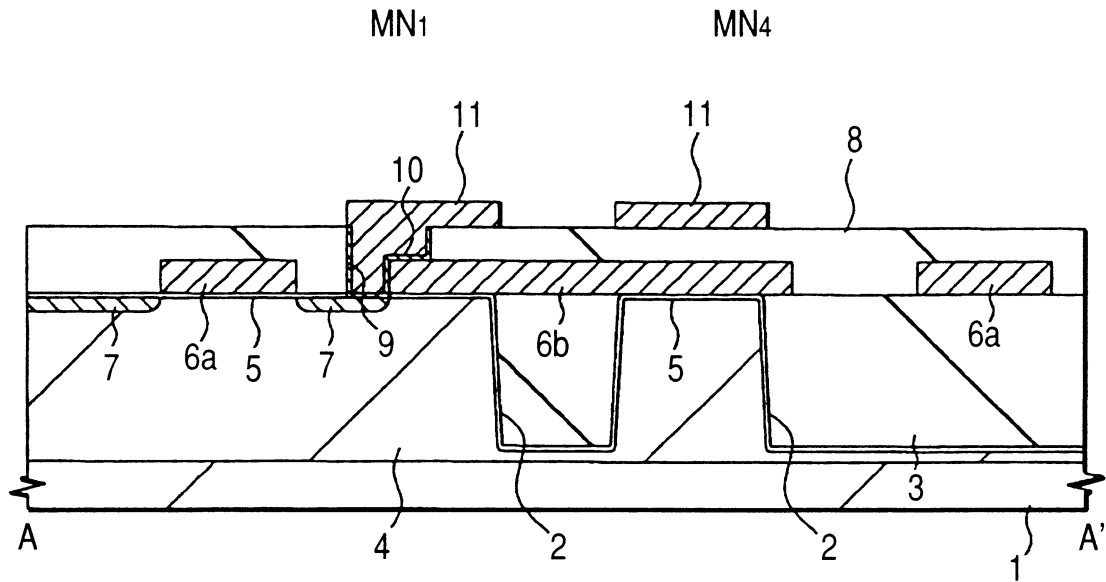
第 19 圖



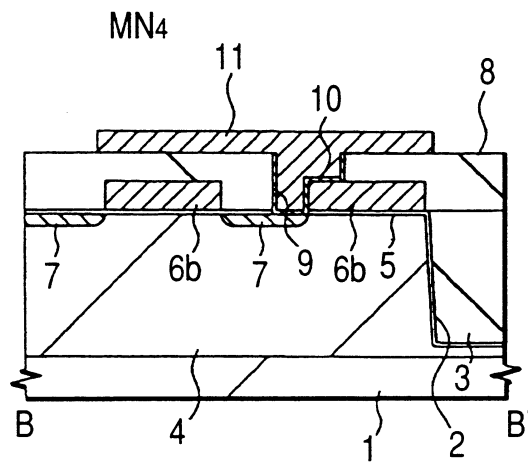
第 20 圖



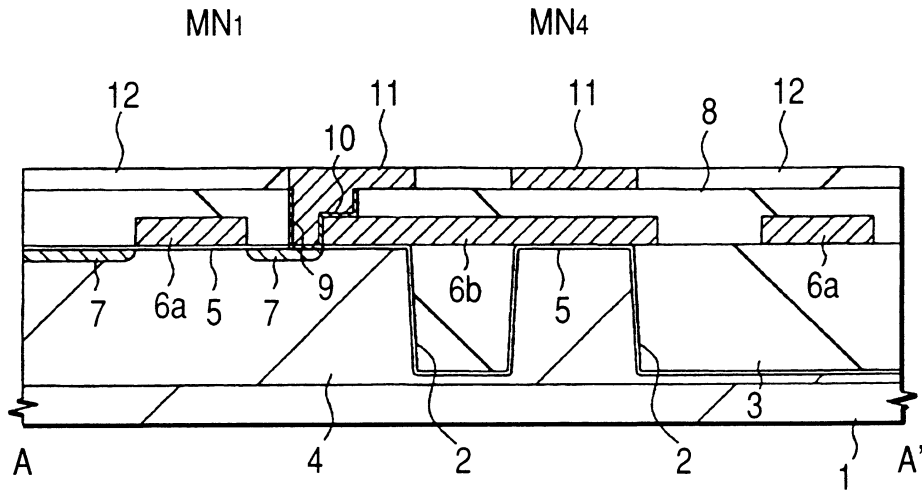
第 21 圖



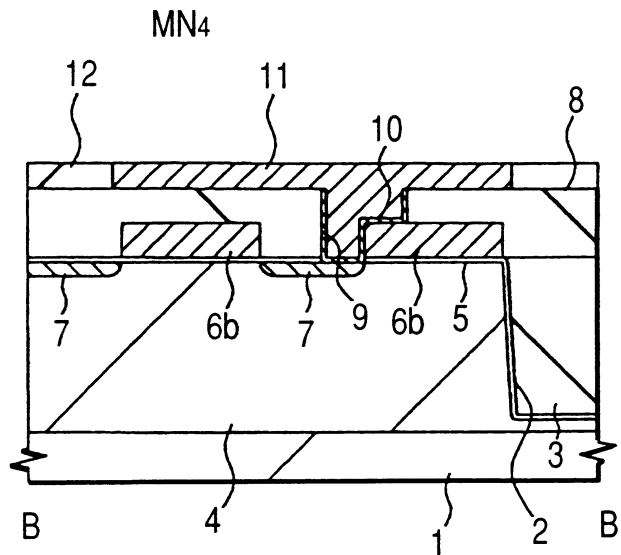
第 22 圖



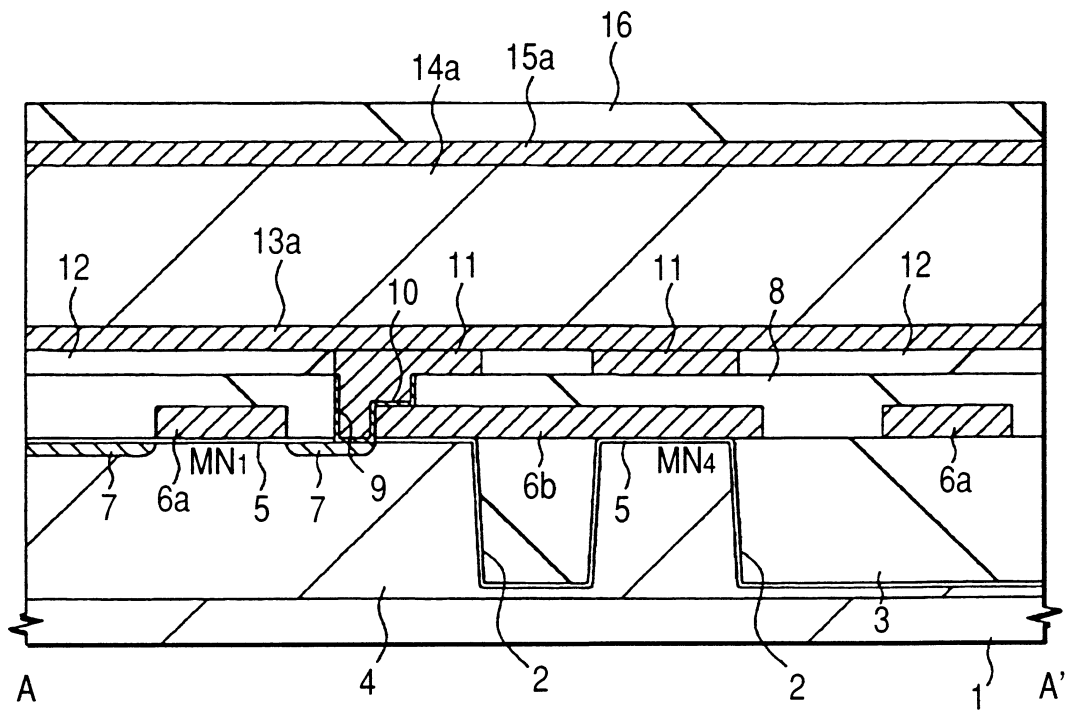
第 23 圖



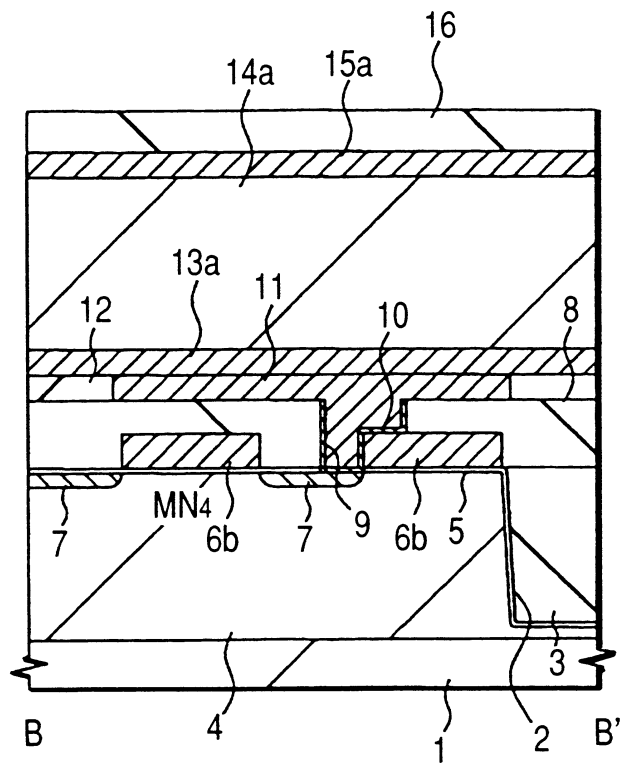
第 24 圖



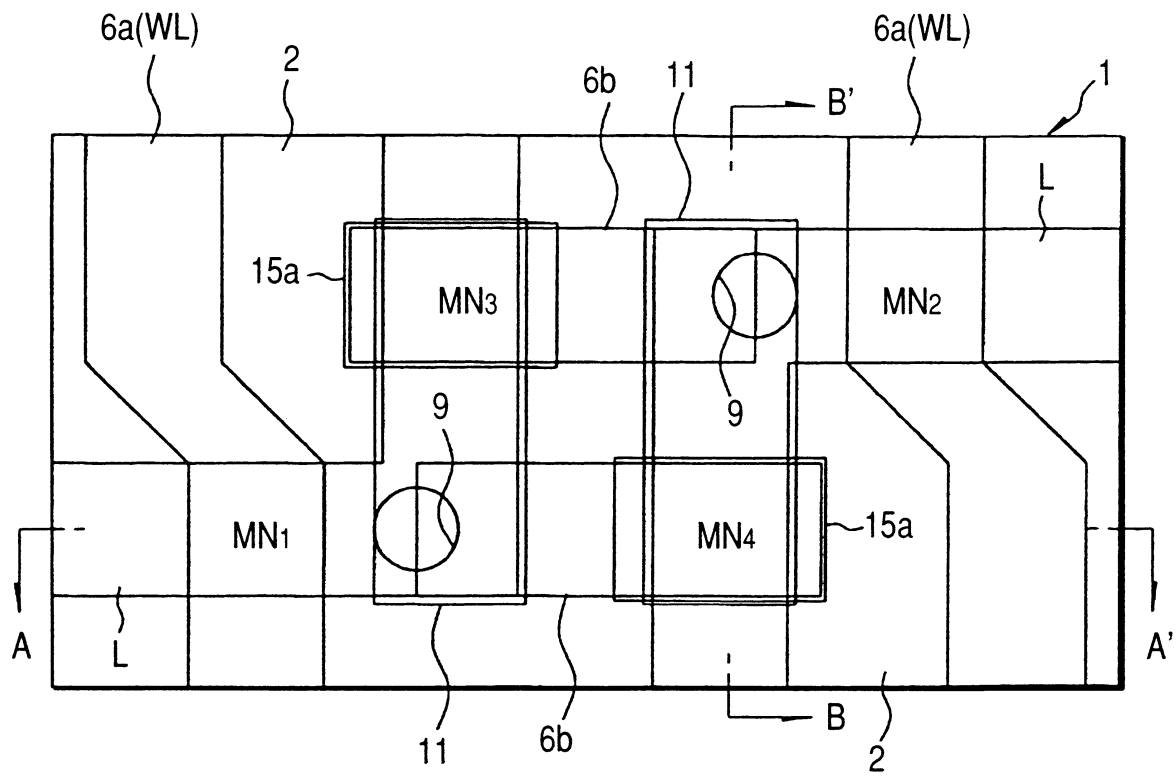
第 25 圖



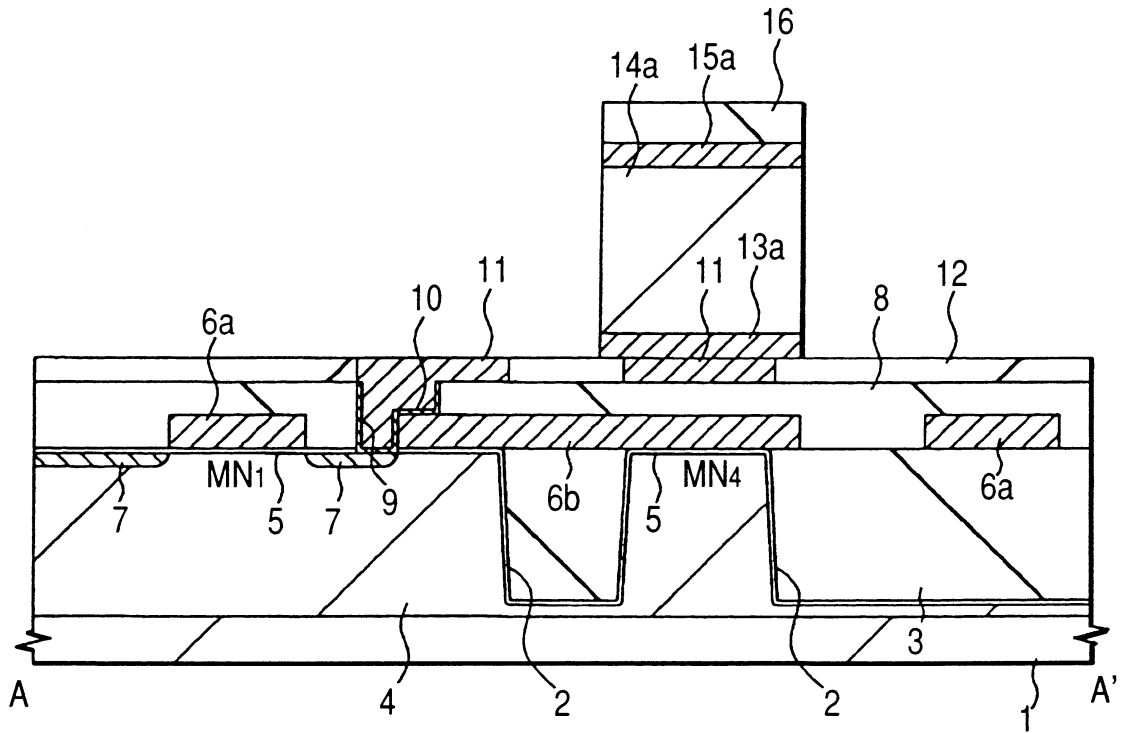
第 26 圖



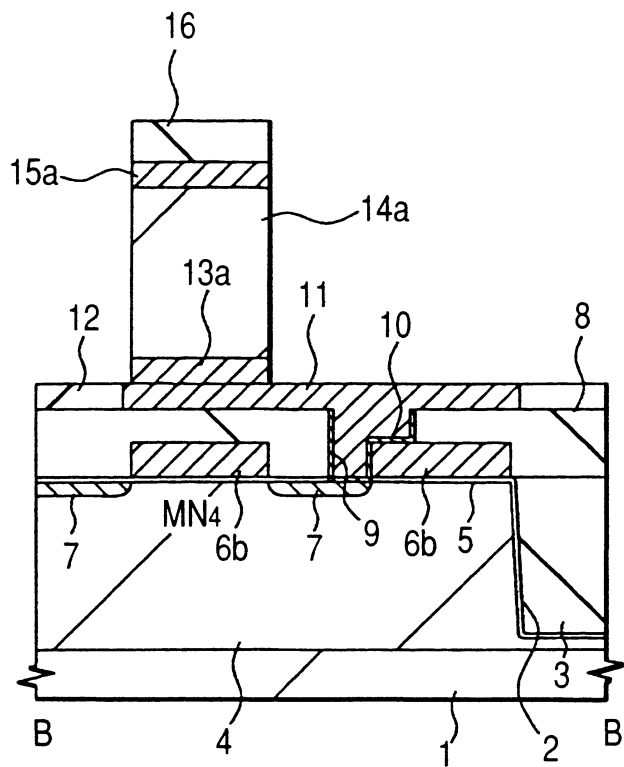
第 27 圖



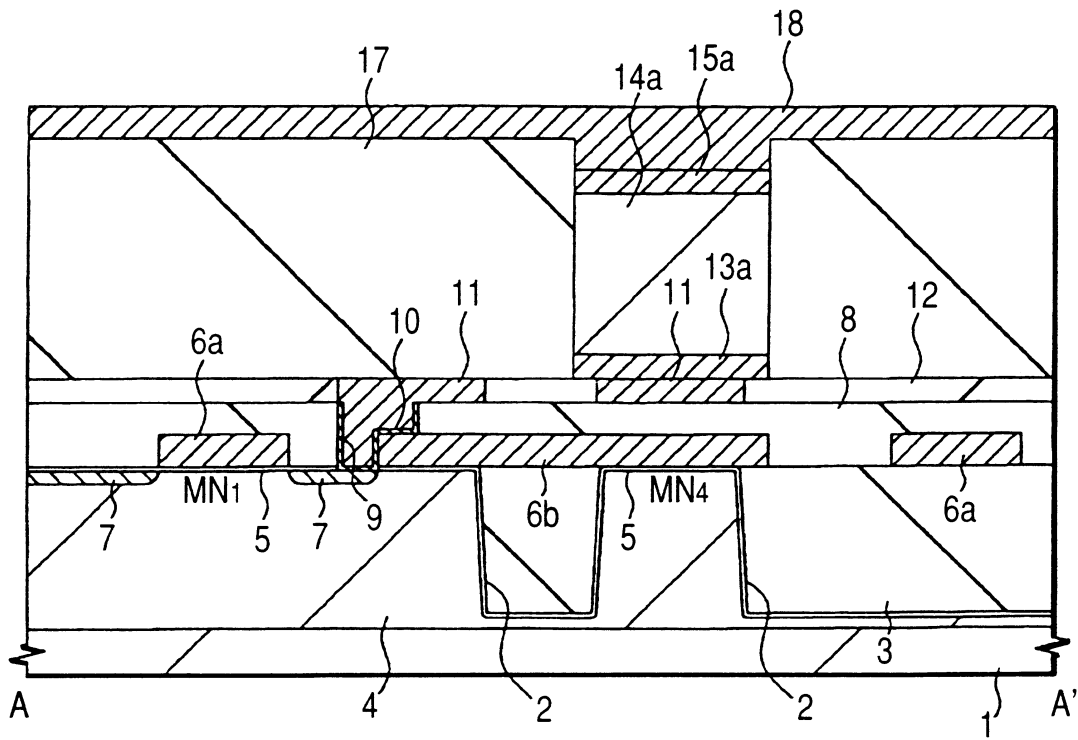
第 28 圖



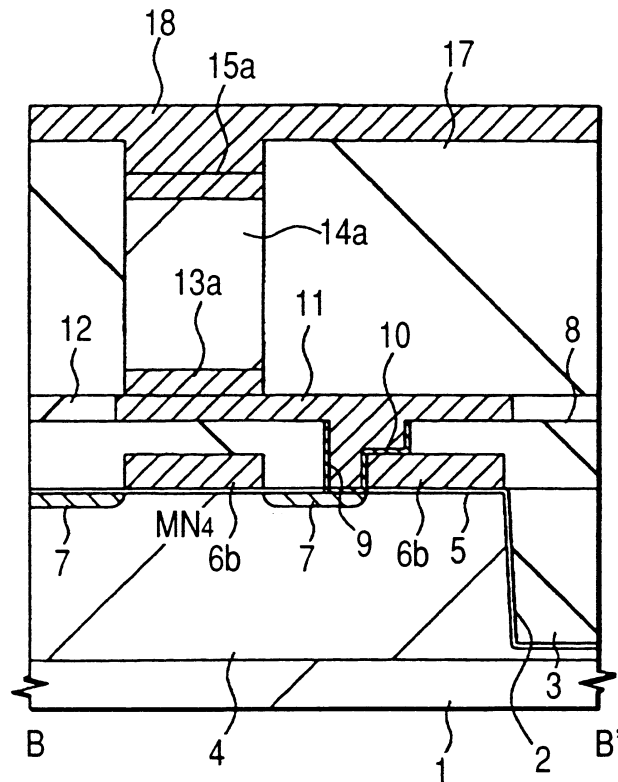
第 29 圖



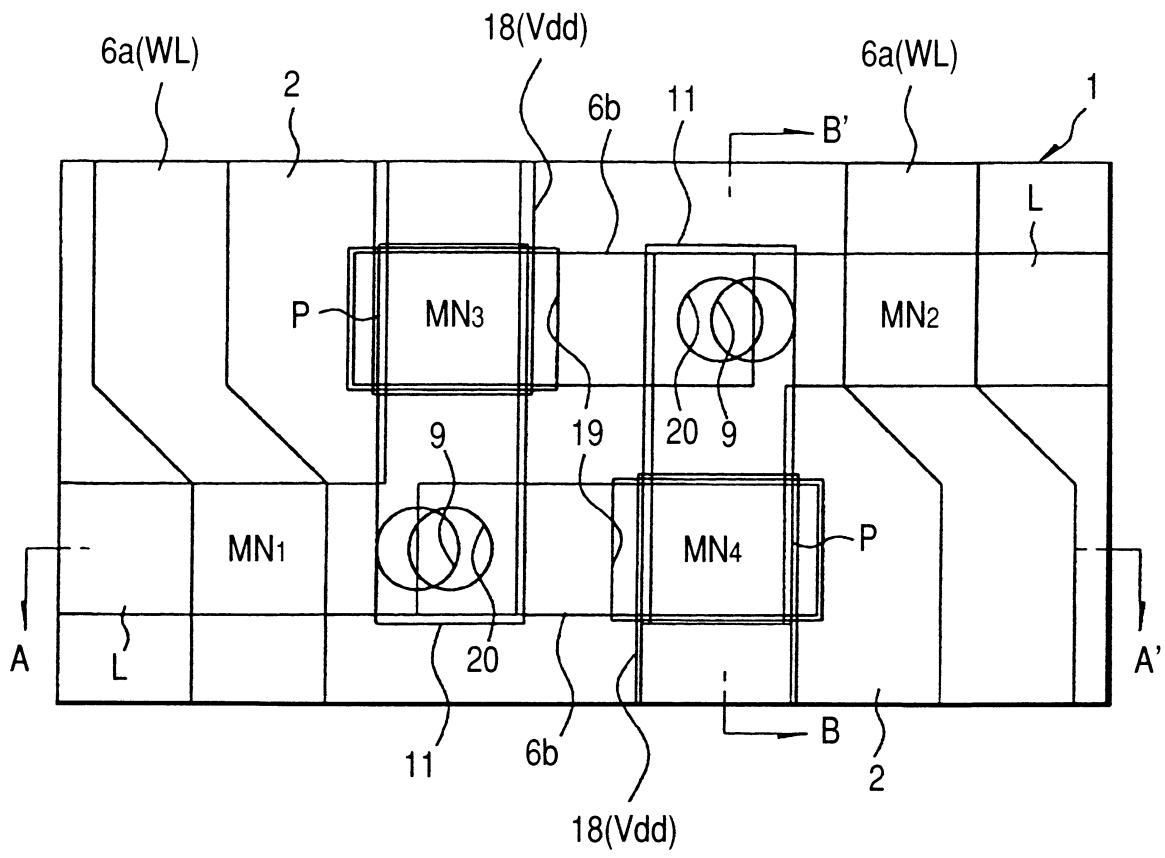
第 32 圖



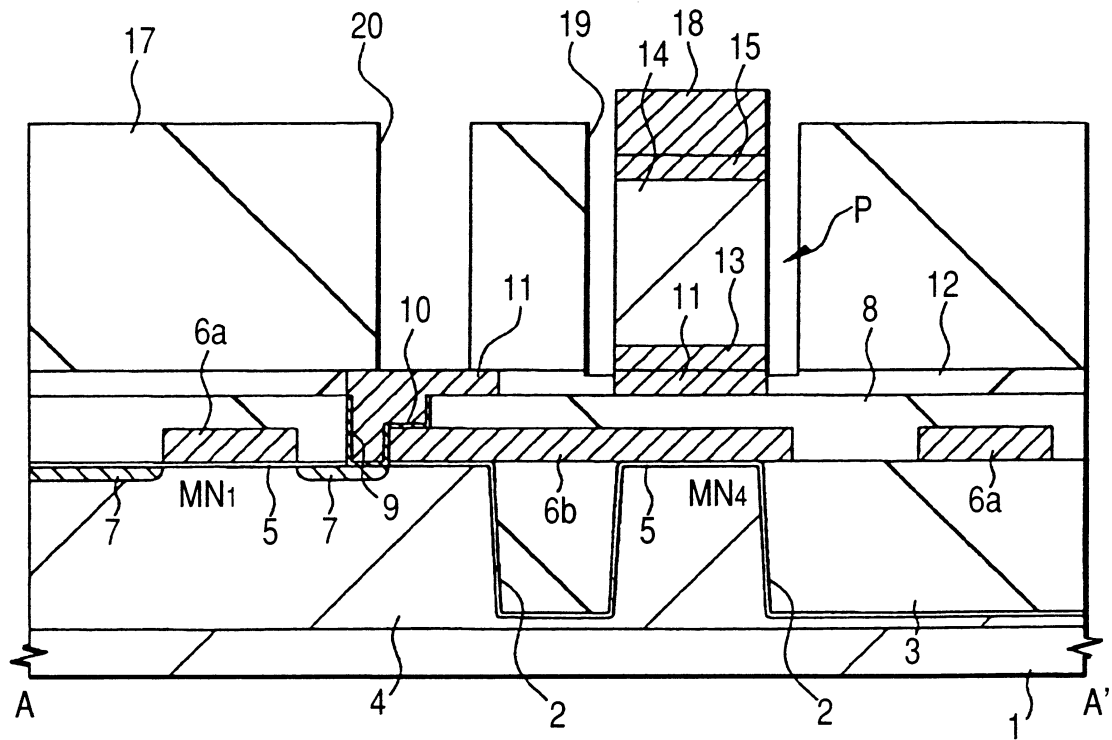
第 33 圖



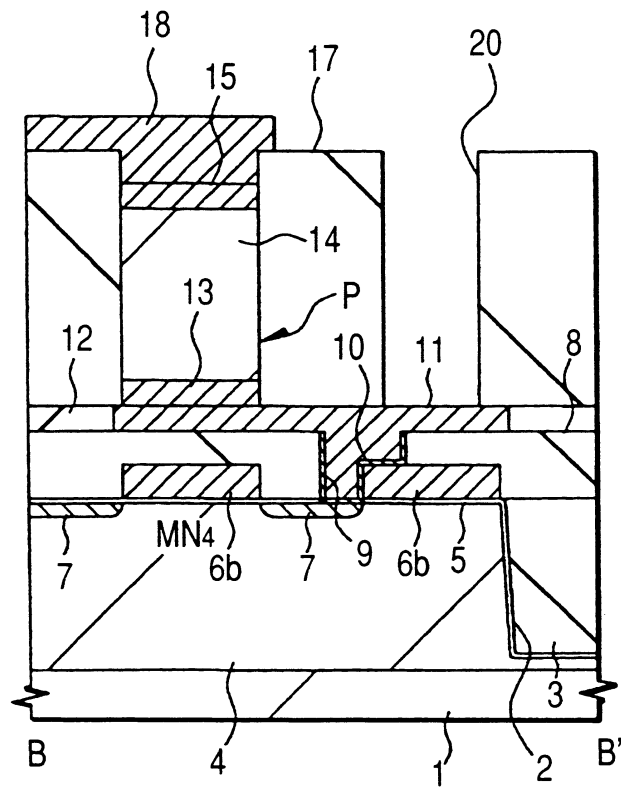
第 37 圖



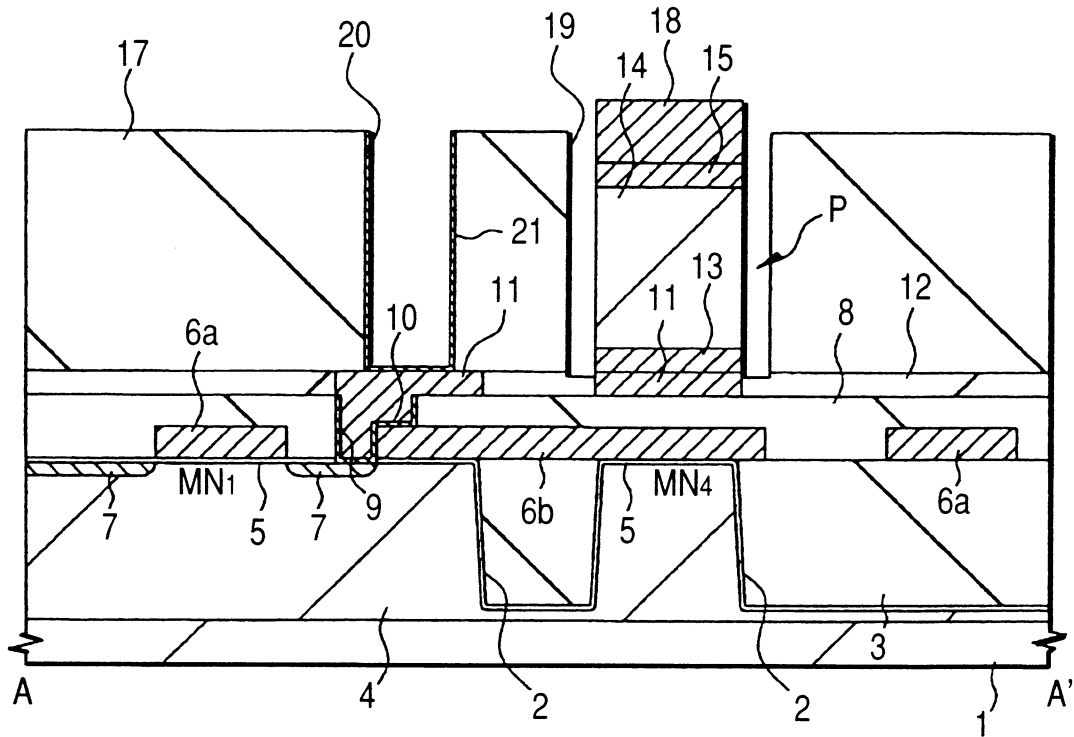
第 38 圖



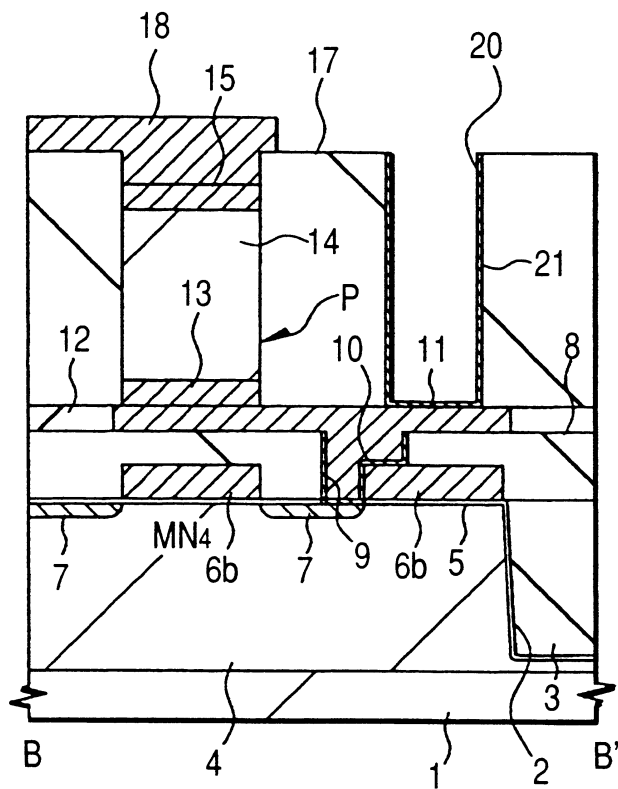
第 39 圖



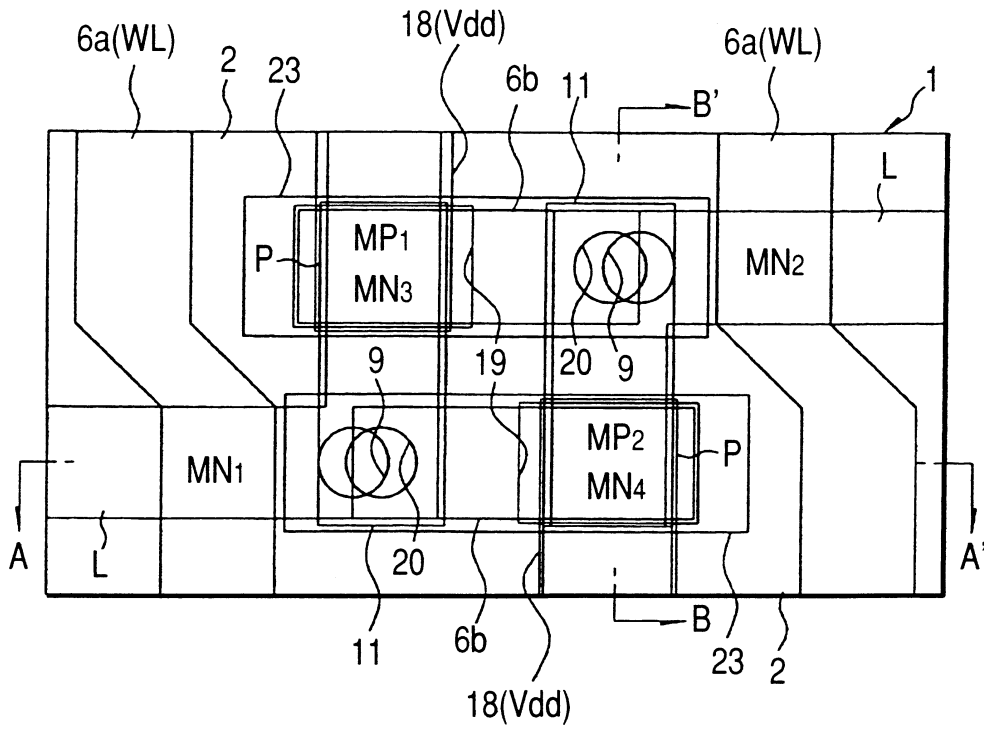
第 40 圖



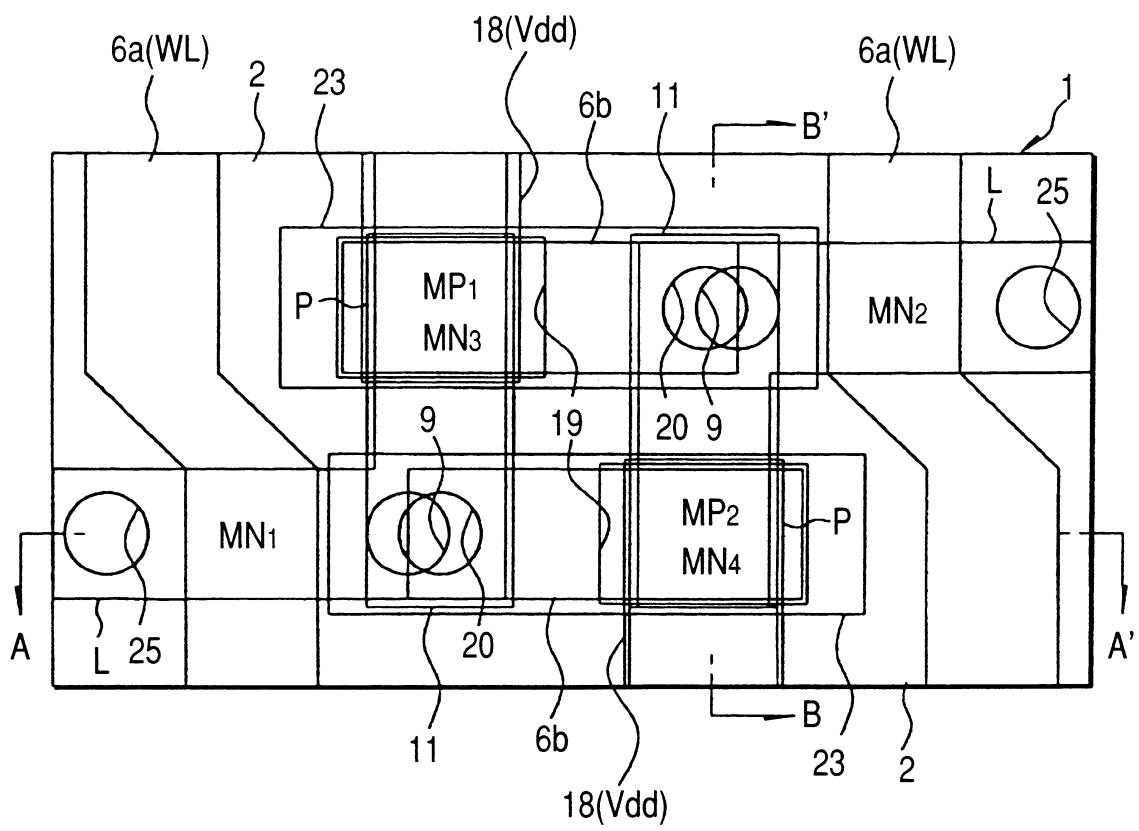
第 41 圖



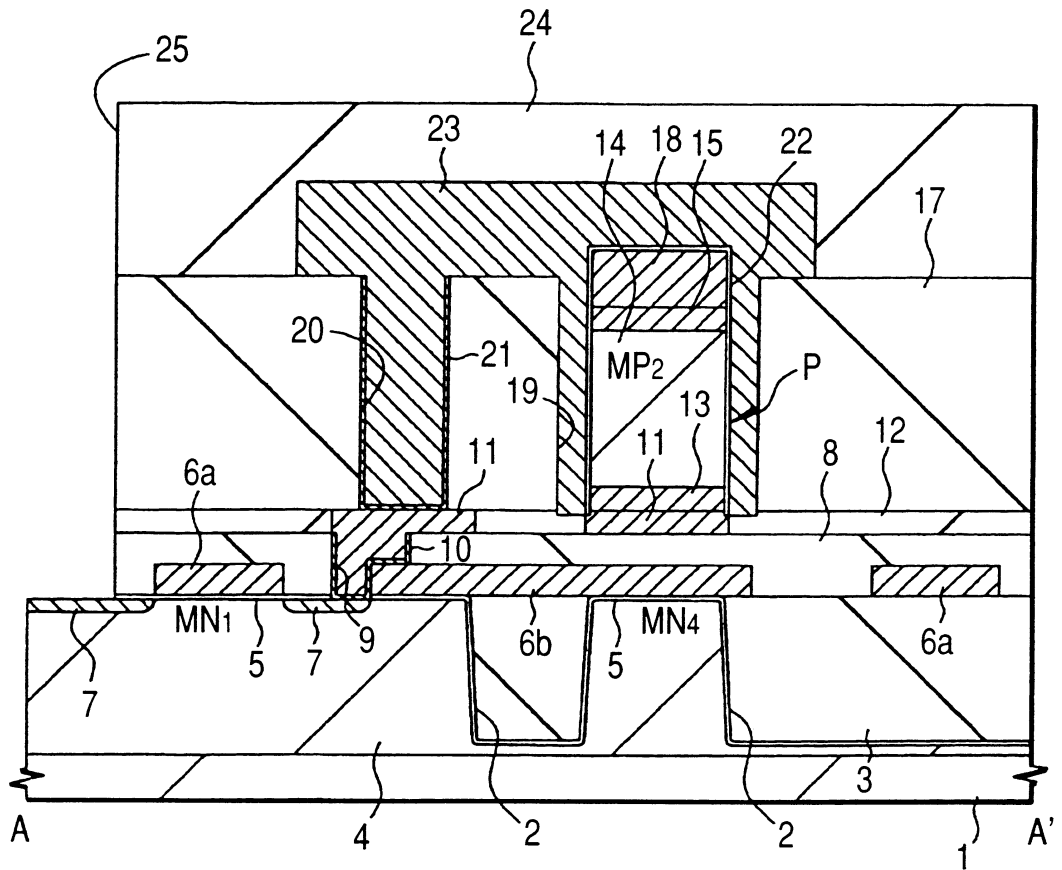
第 44 圖



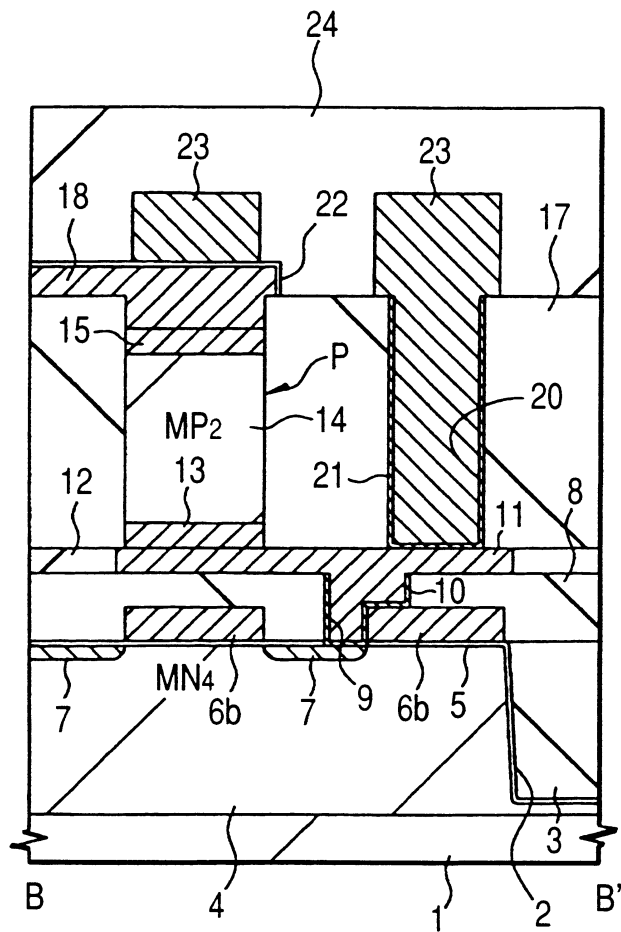
第 47 圖



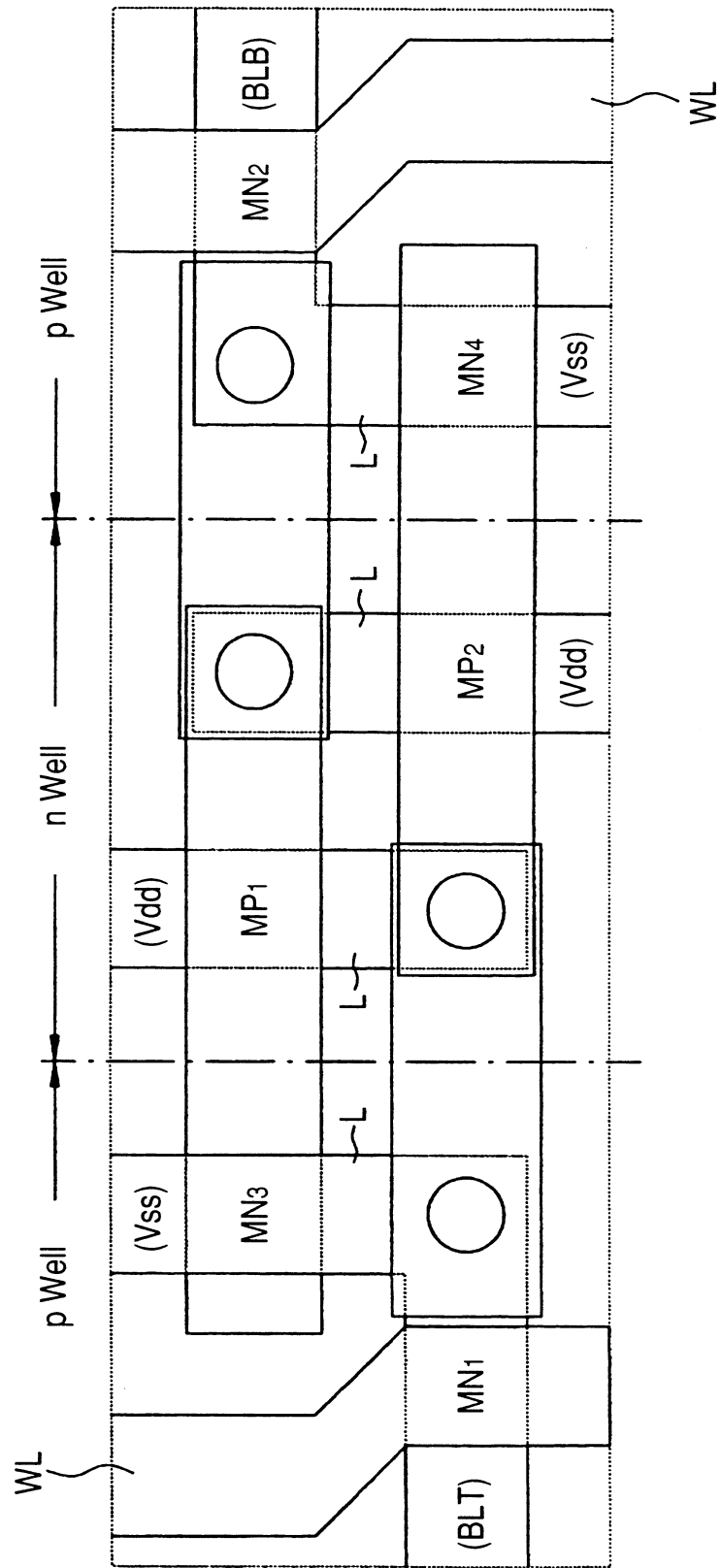
第 48 圖



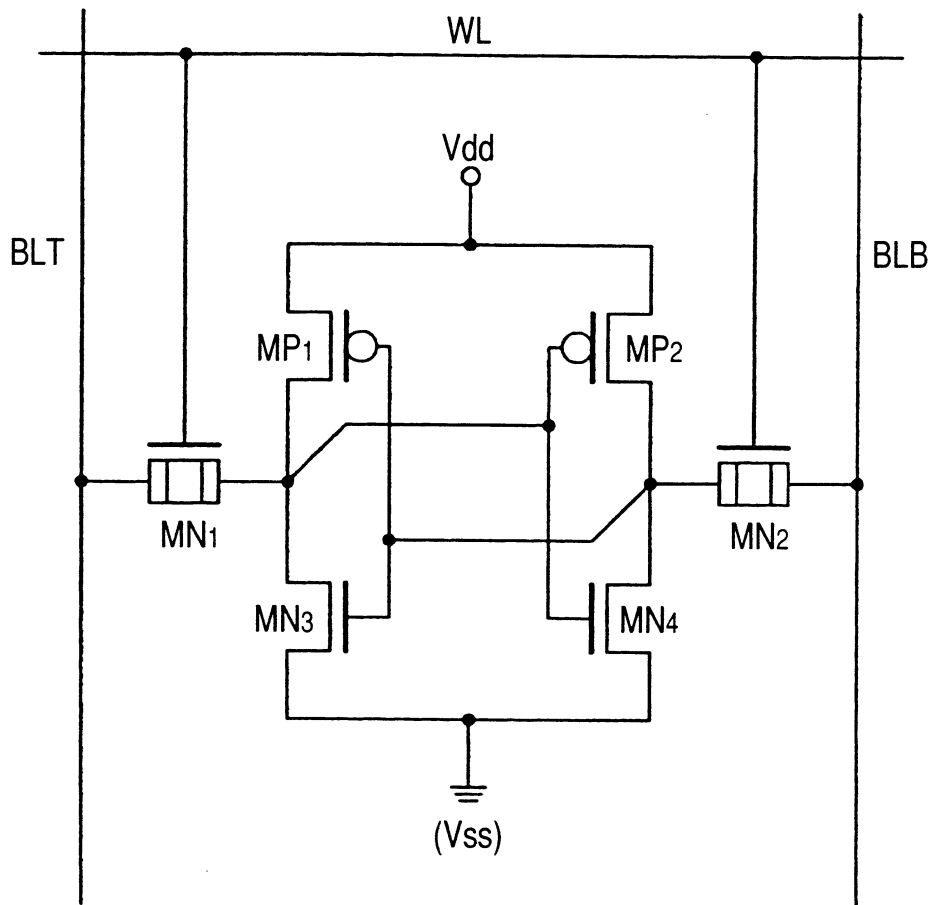
第 49 圖



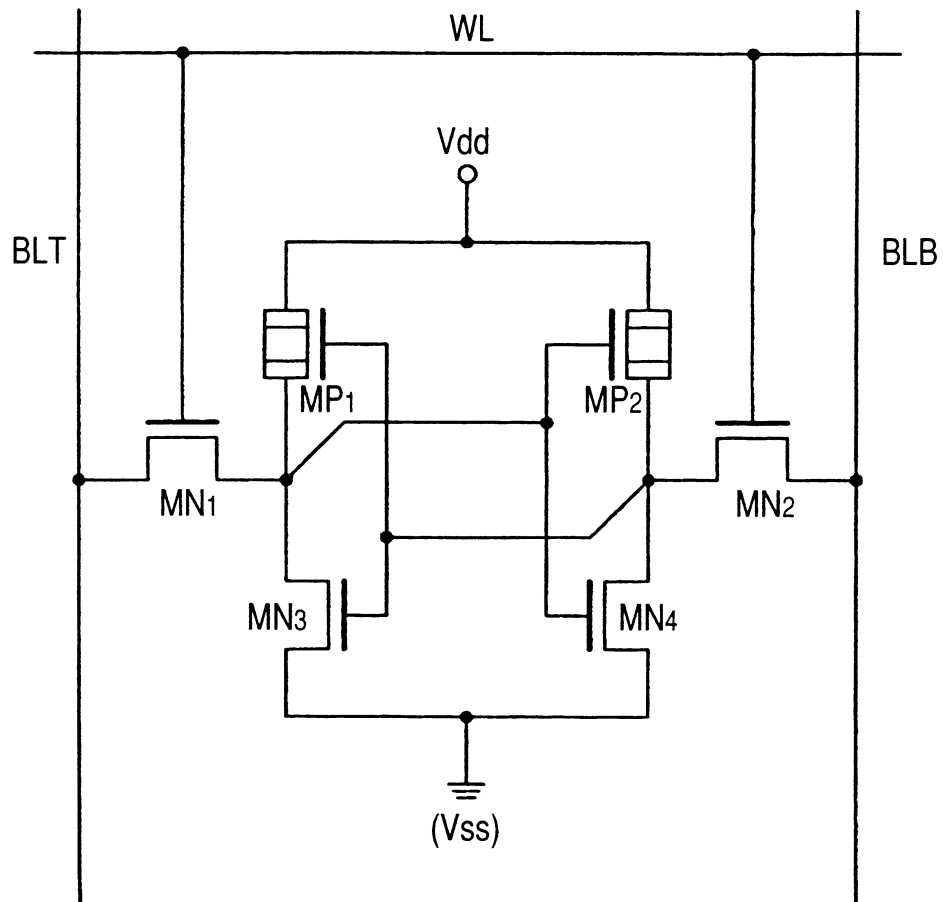
第 50 圖



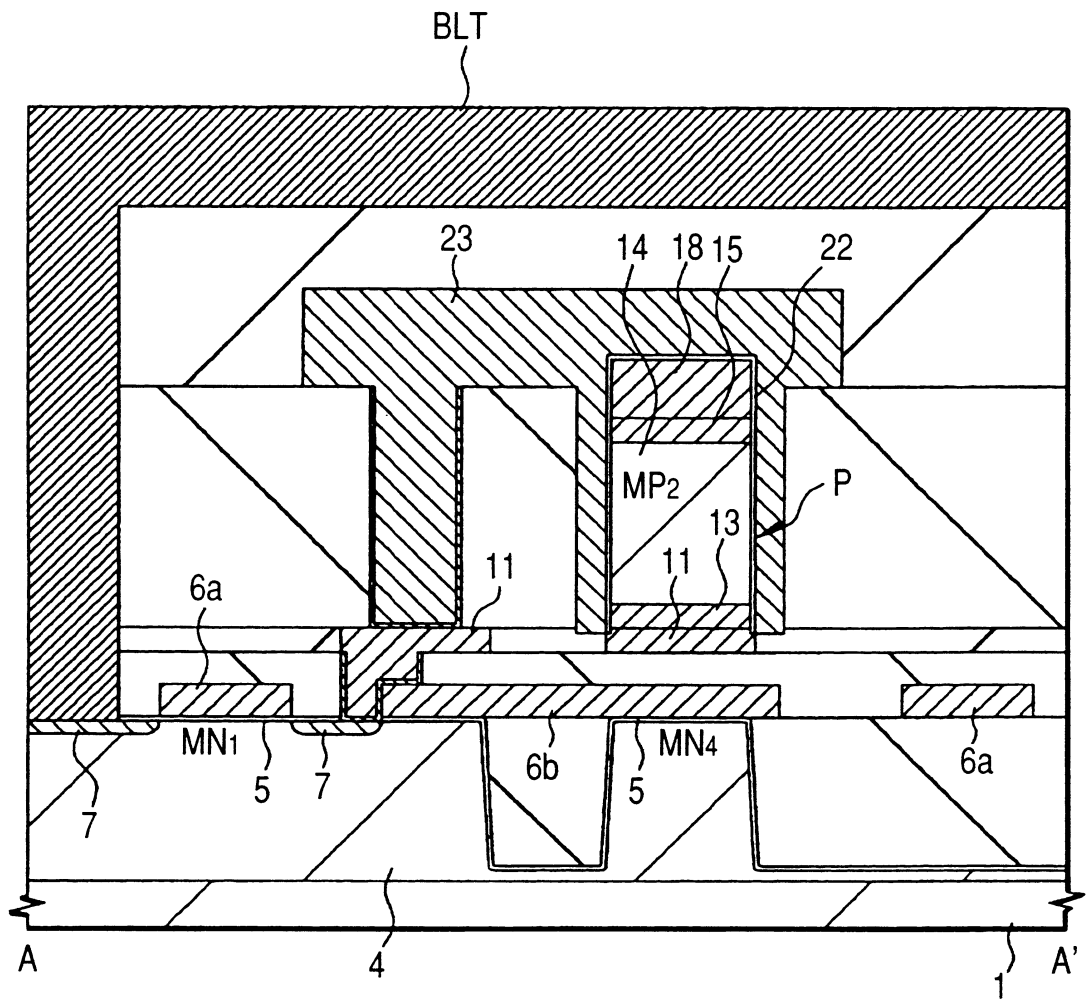
第 51 圖



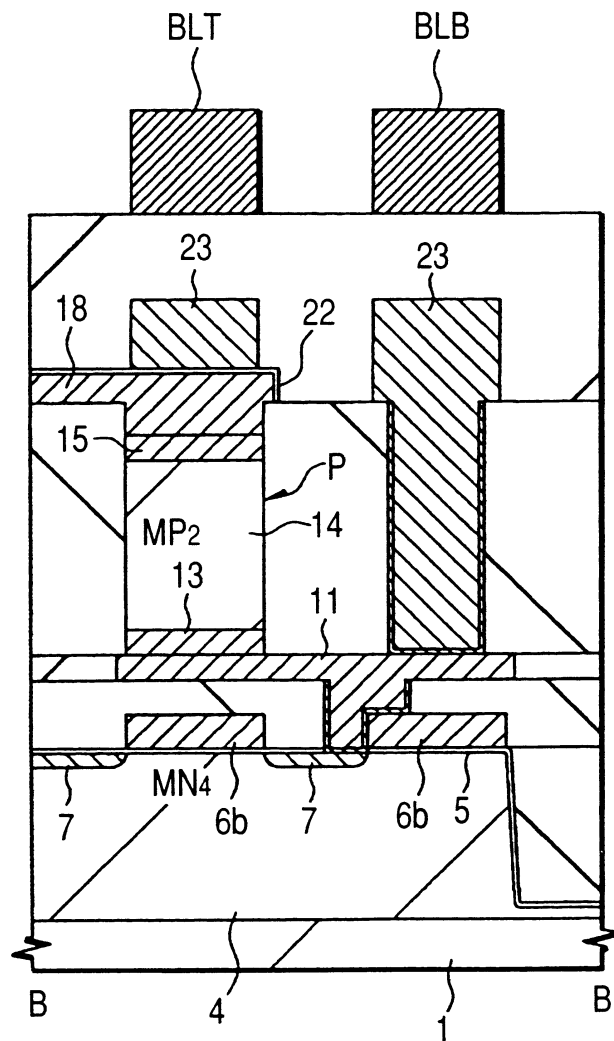
第 52 圖



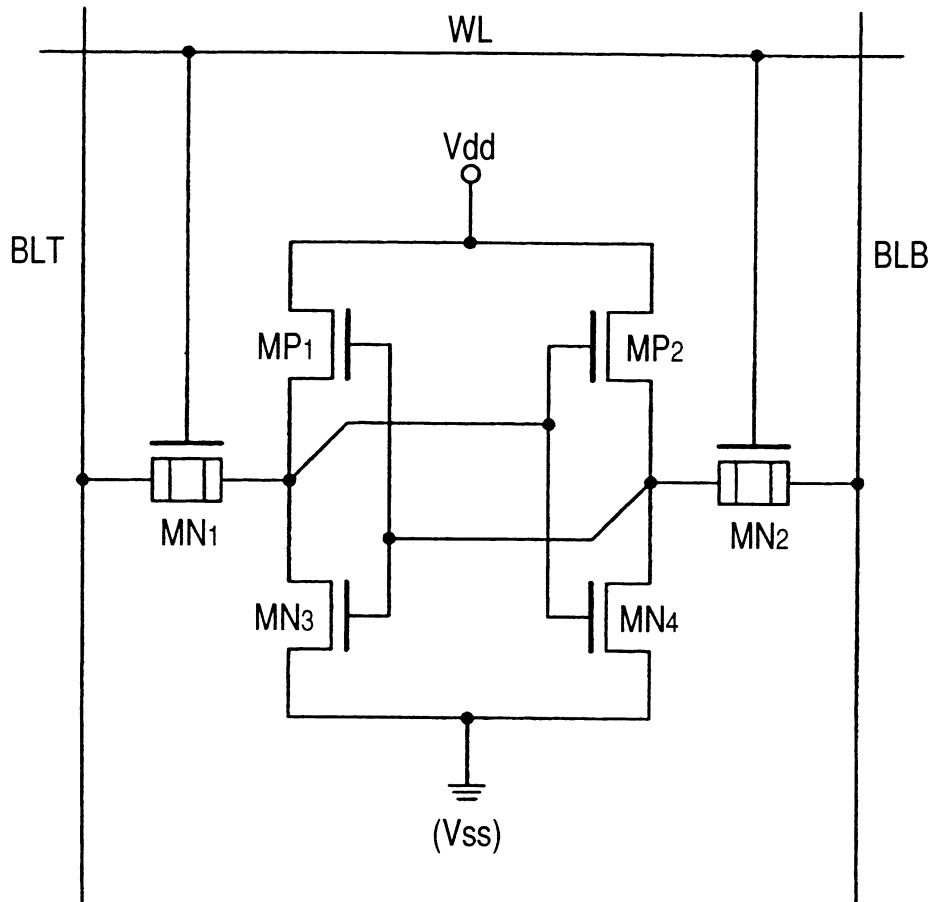
第 54 圖



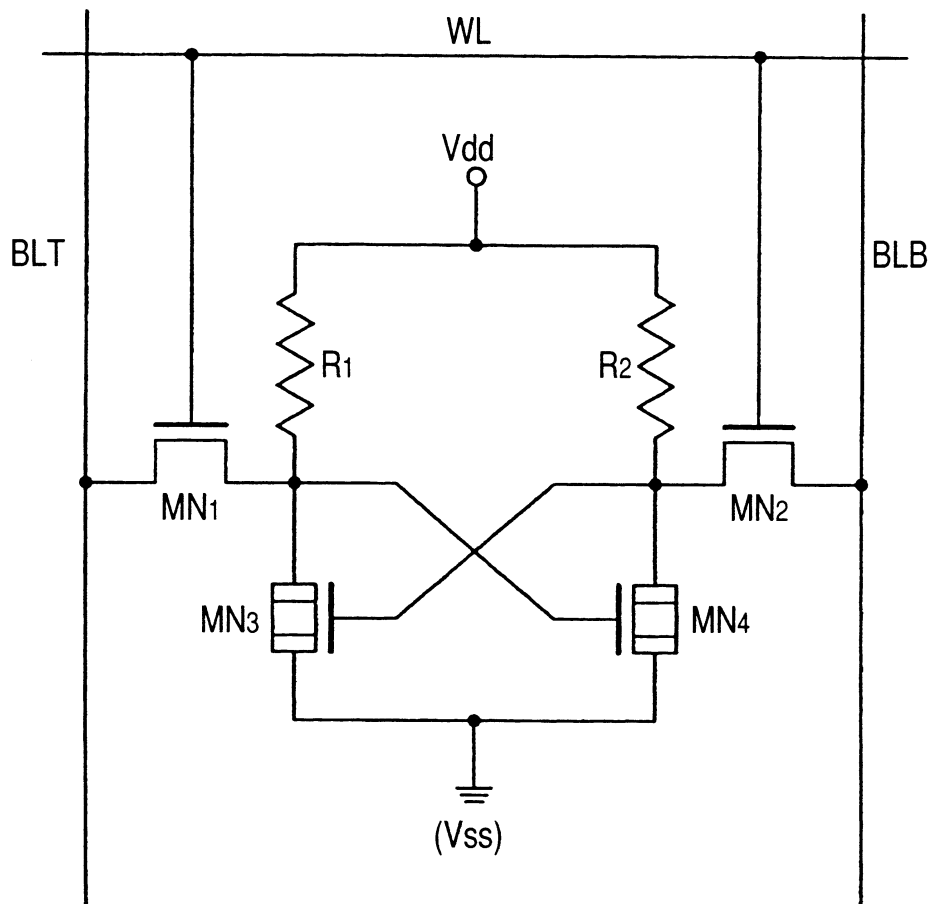
第 55 圖



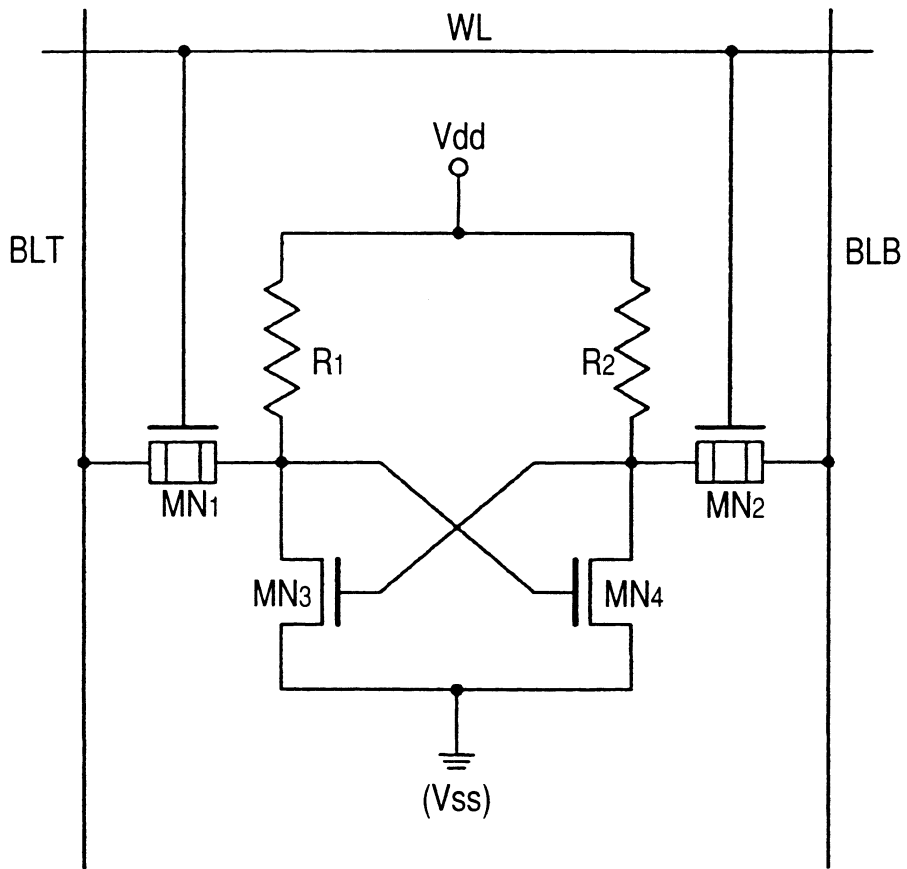
第 56 圖



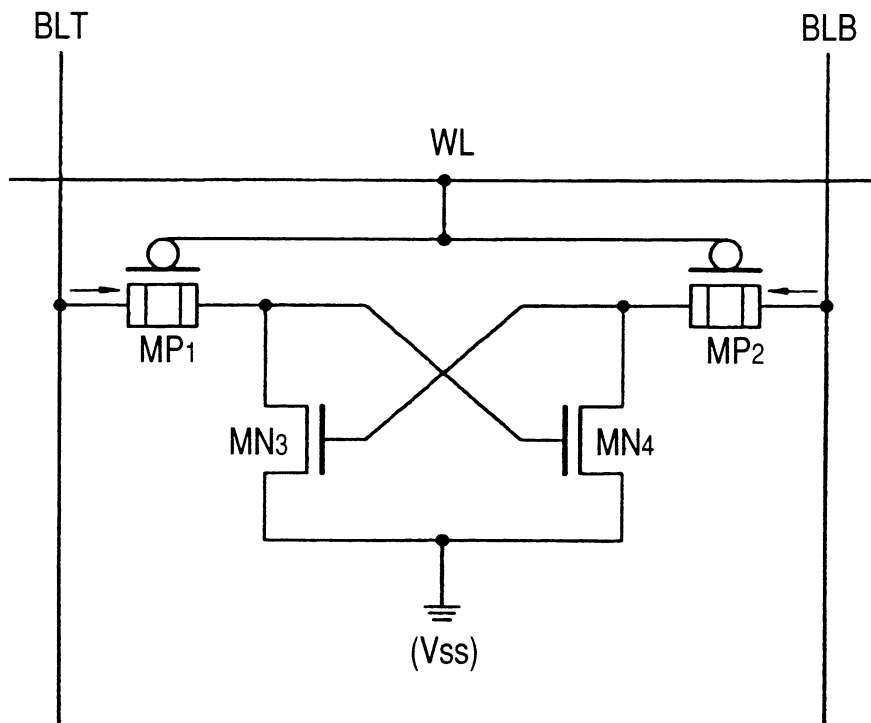
第 57 圖



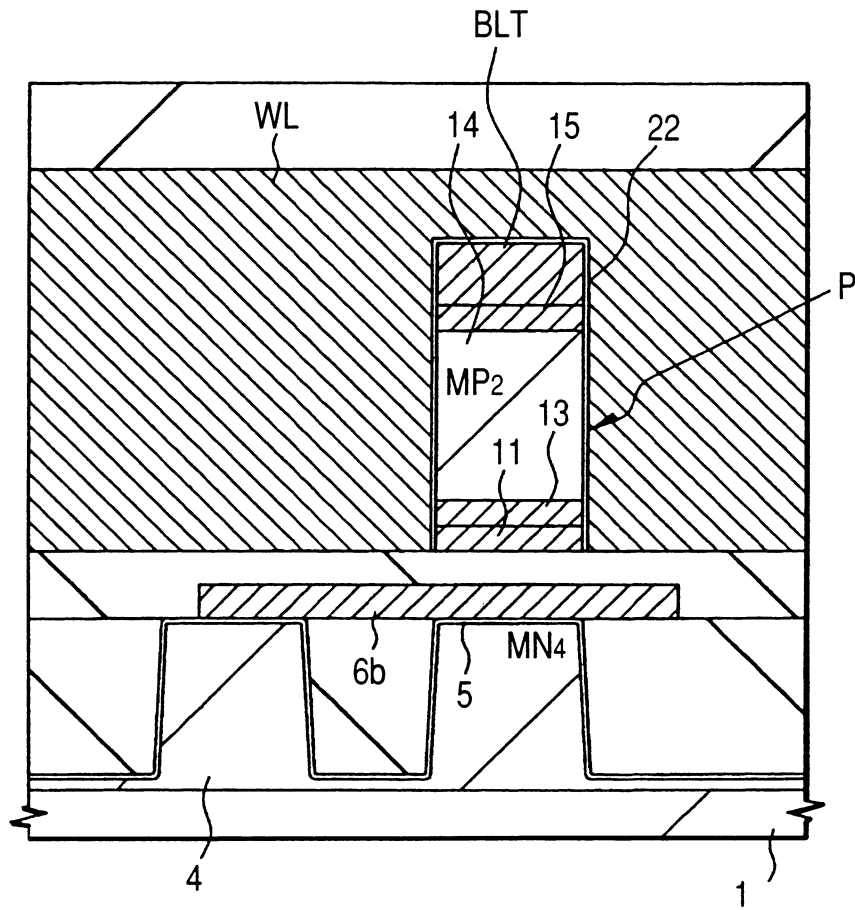
第 58 圖



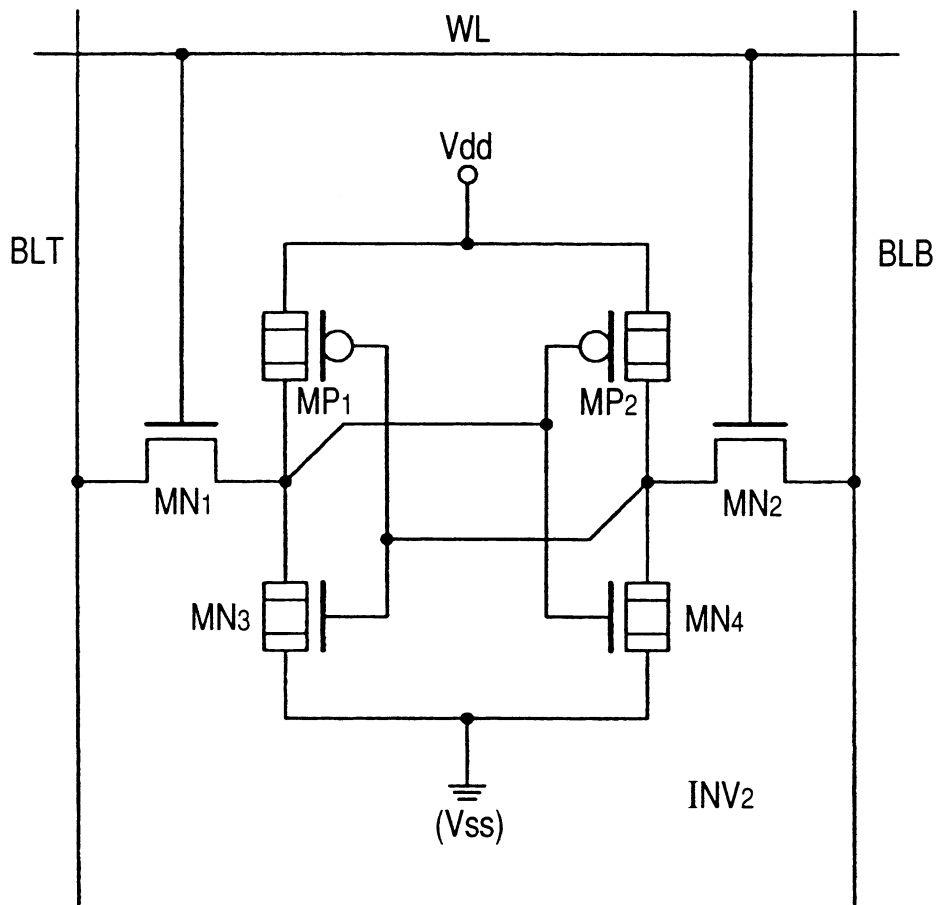
第 59 圖



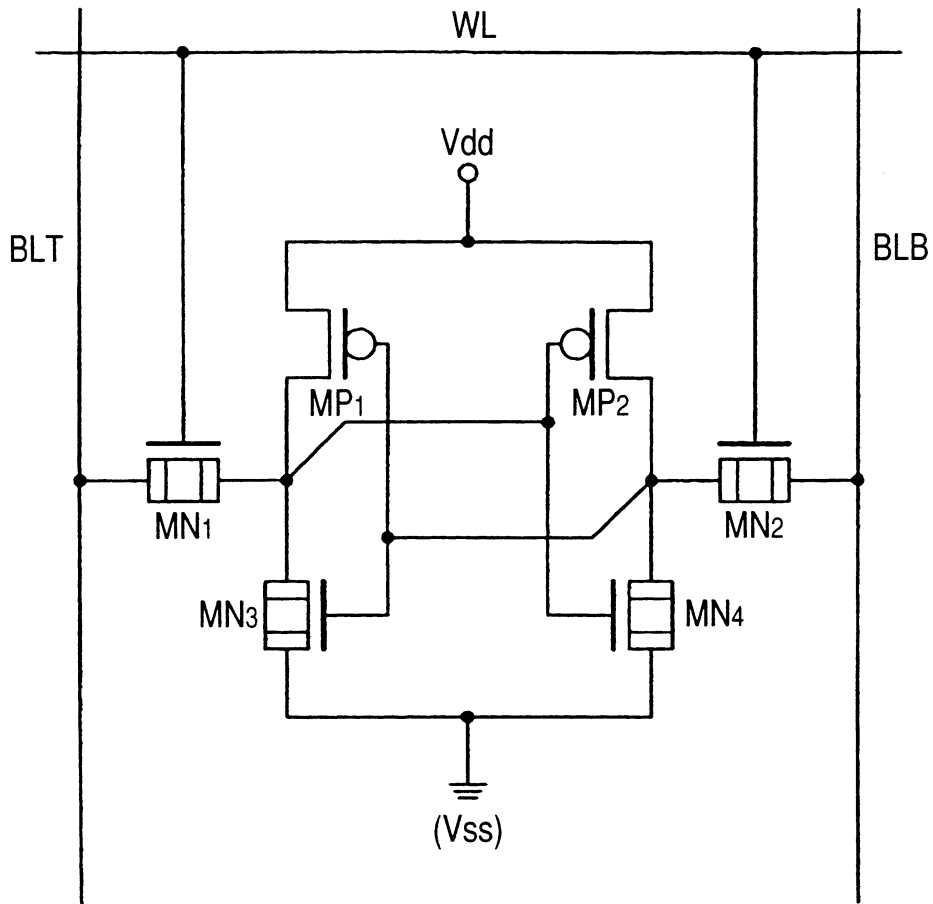
第 60 圖



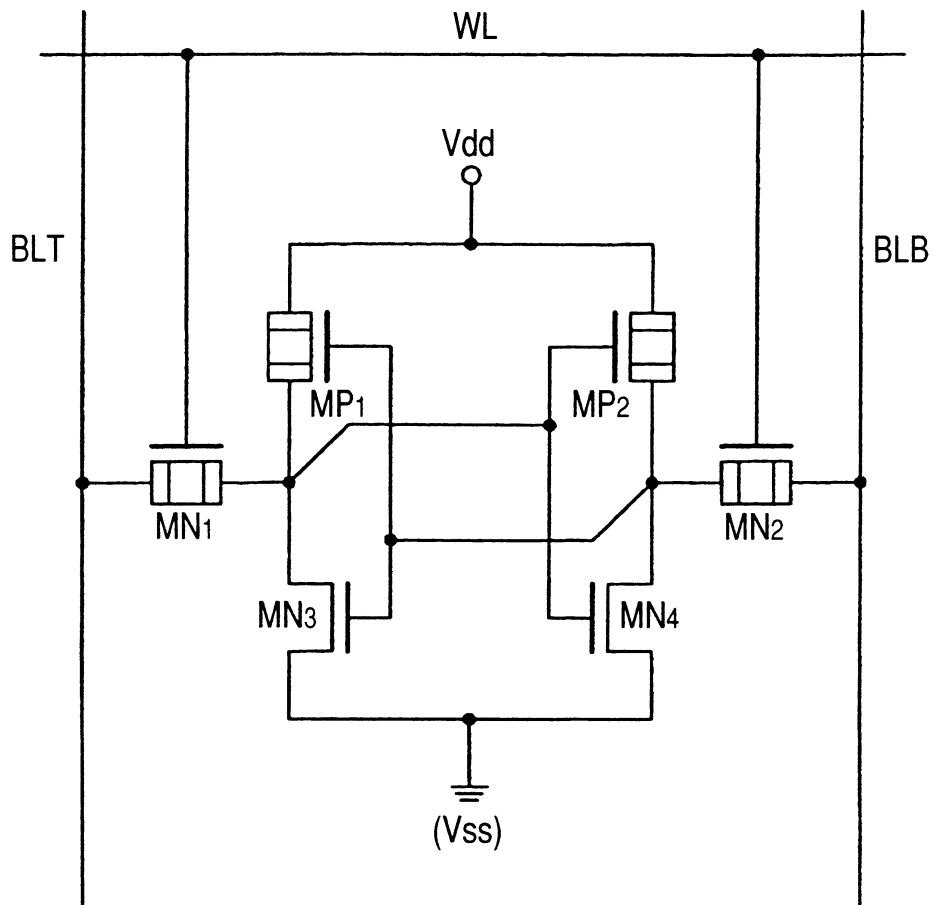
第 62 圖



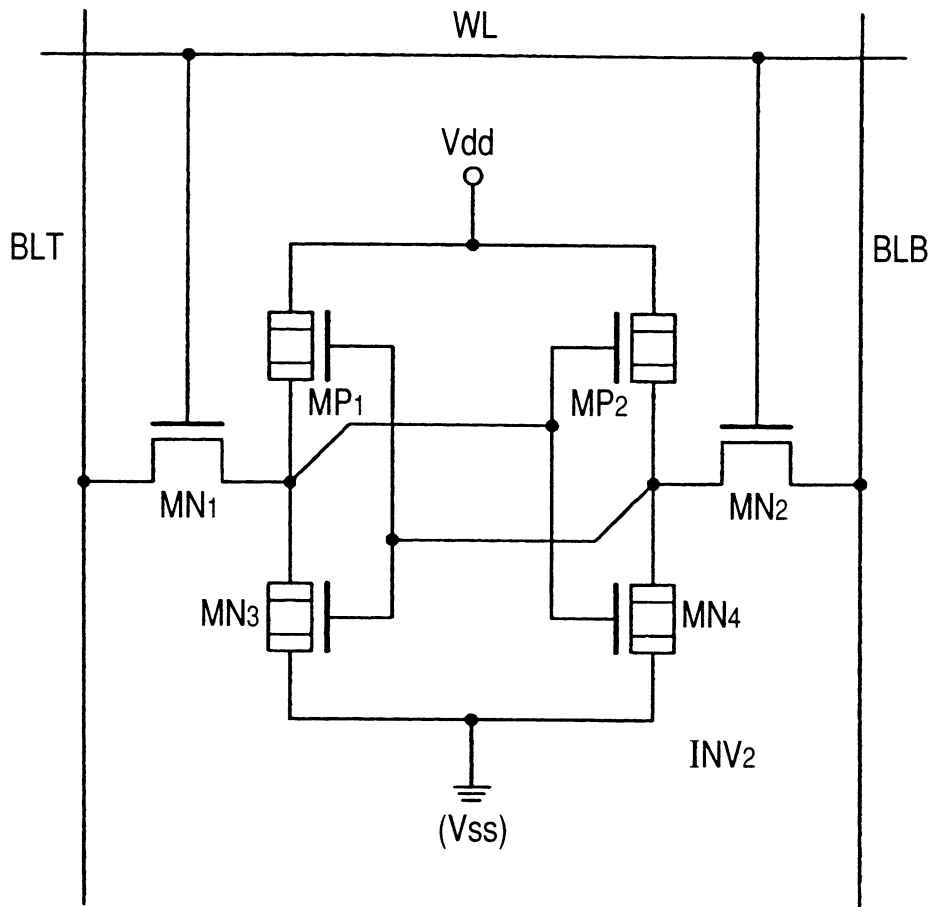
第 63 圖



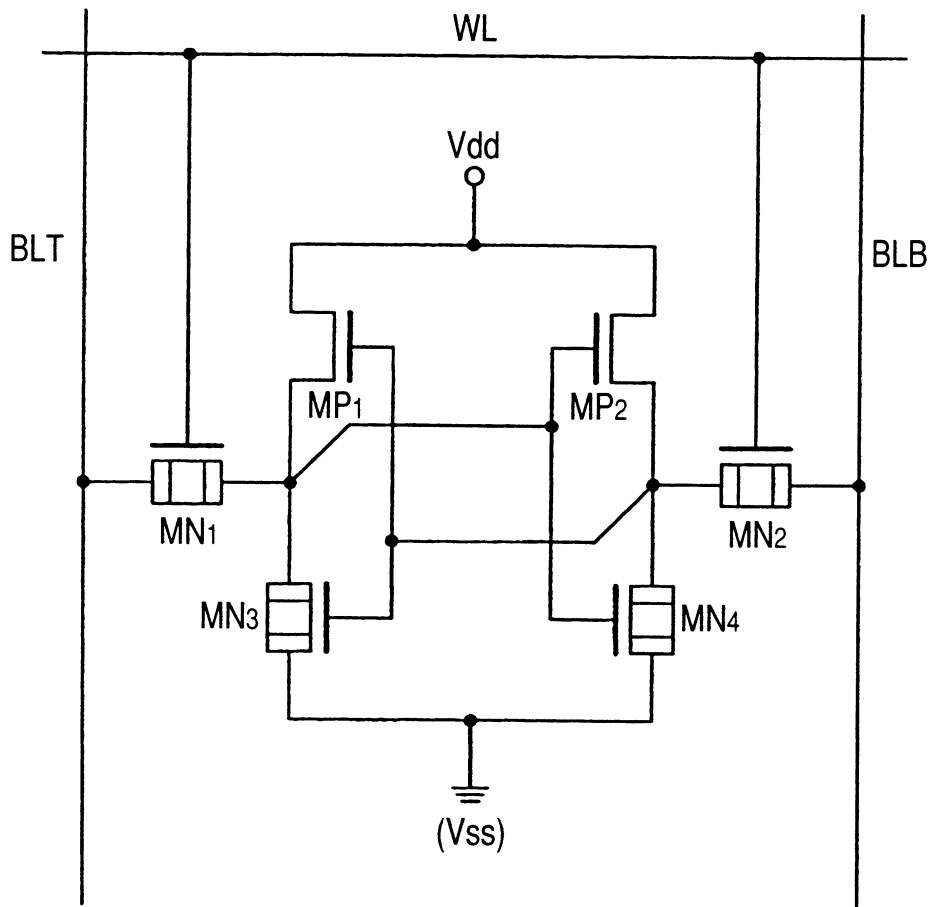
第 64 圖



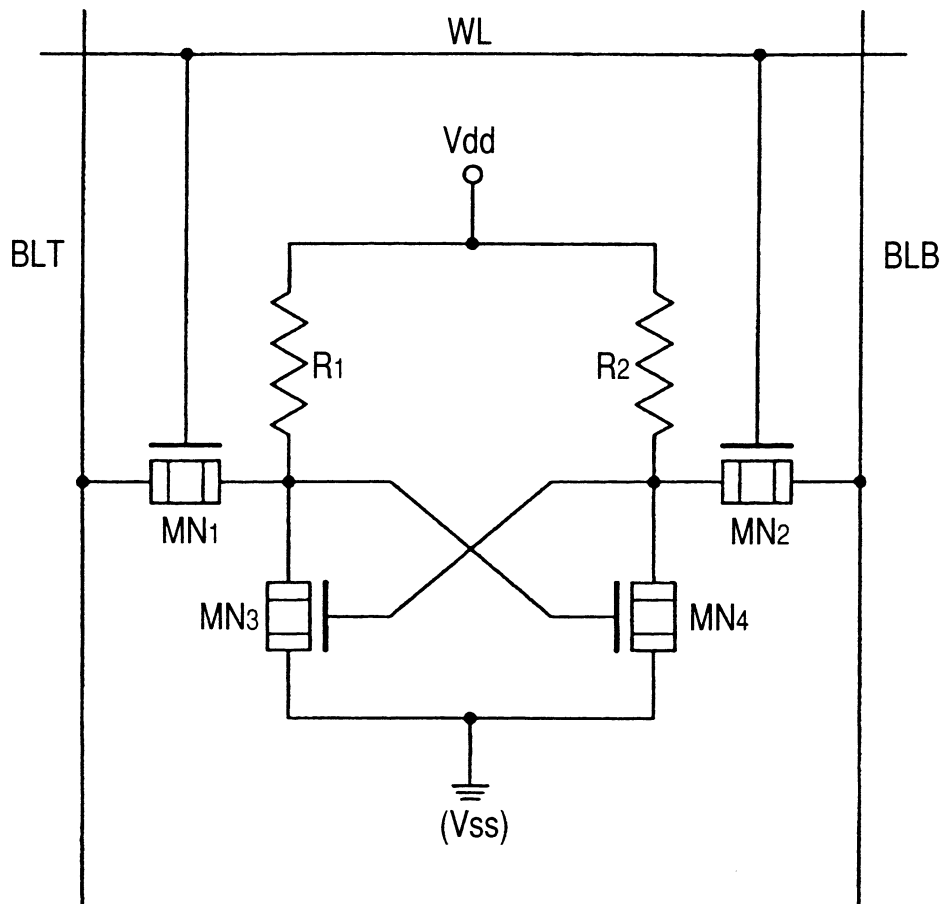
第 65 圖



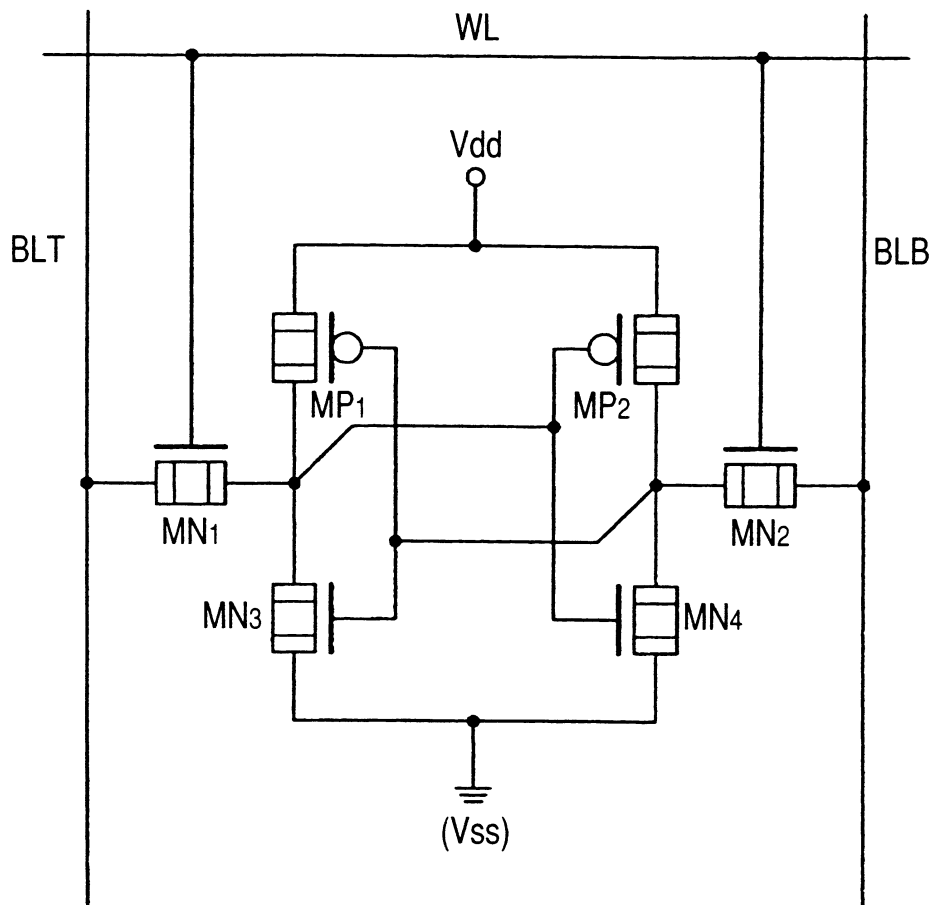
第 66 圖



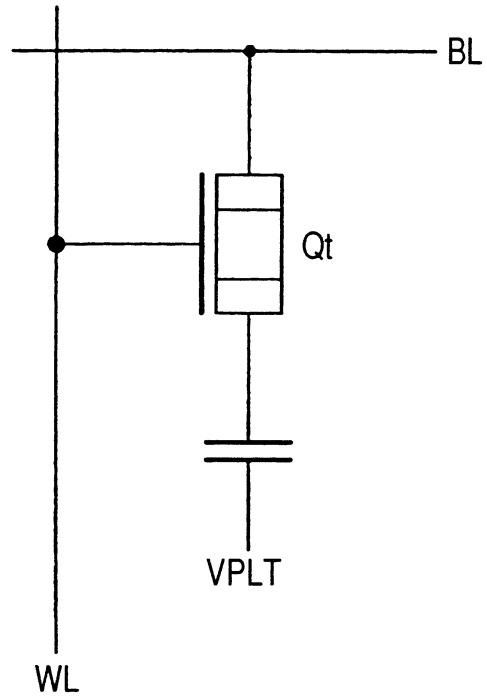
第 67 圖



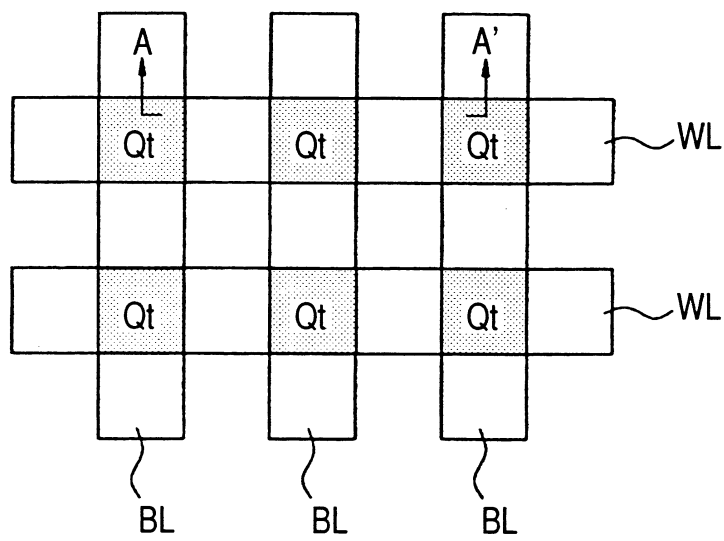
第 68 圖



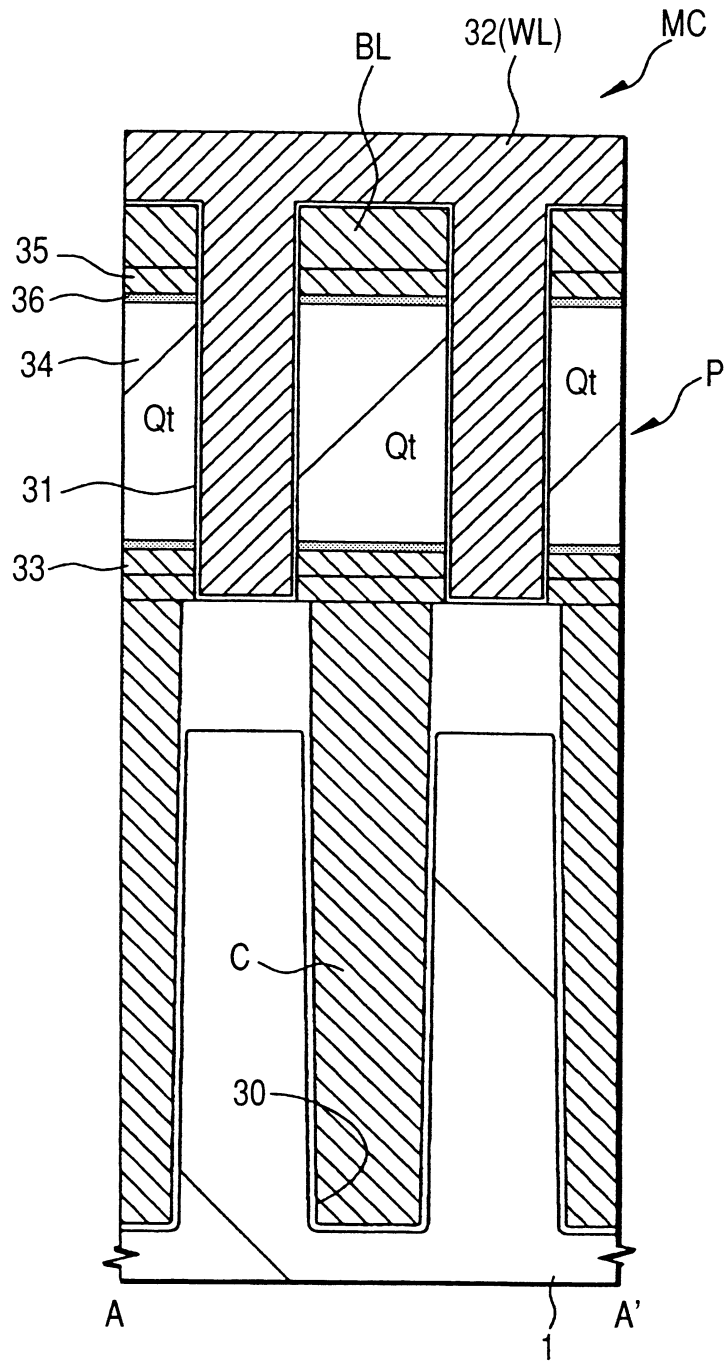
第 70 圖



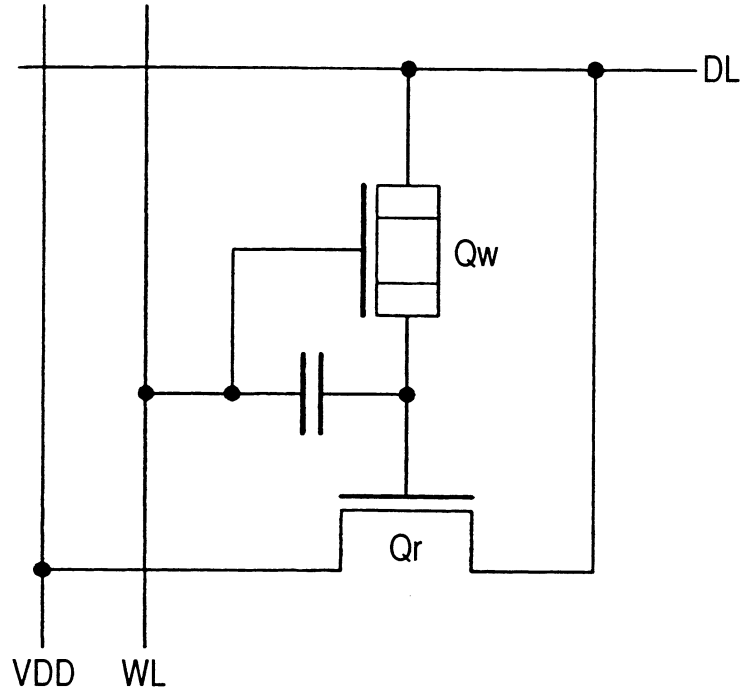
第 71 圖



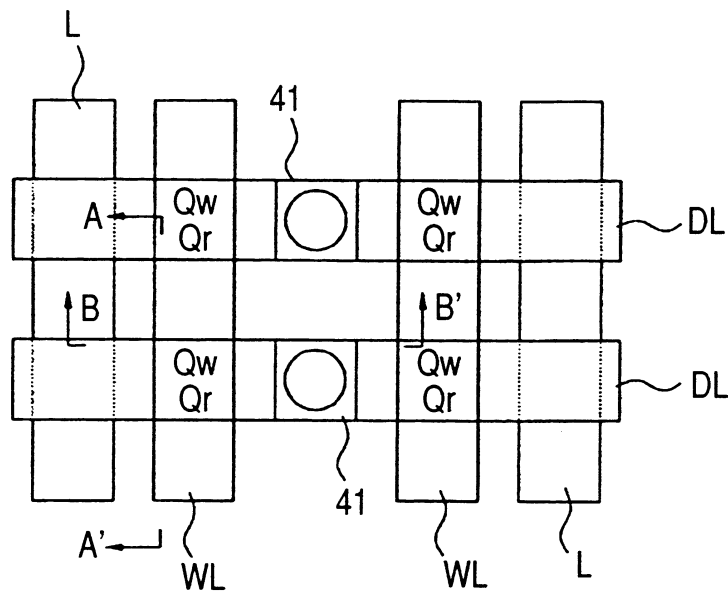
第 72 圖



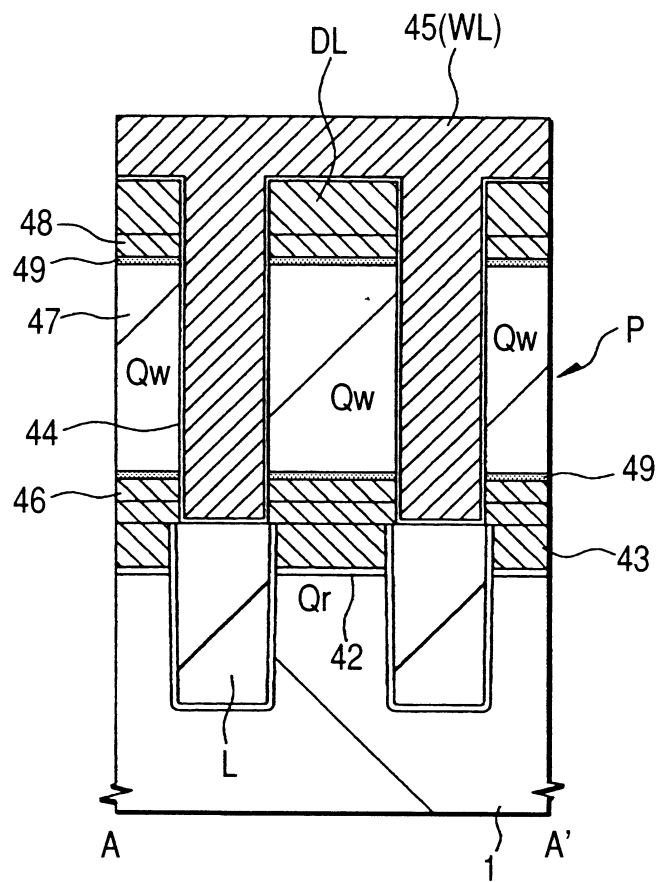
第 73 圖



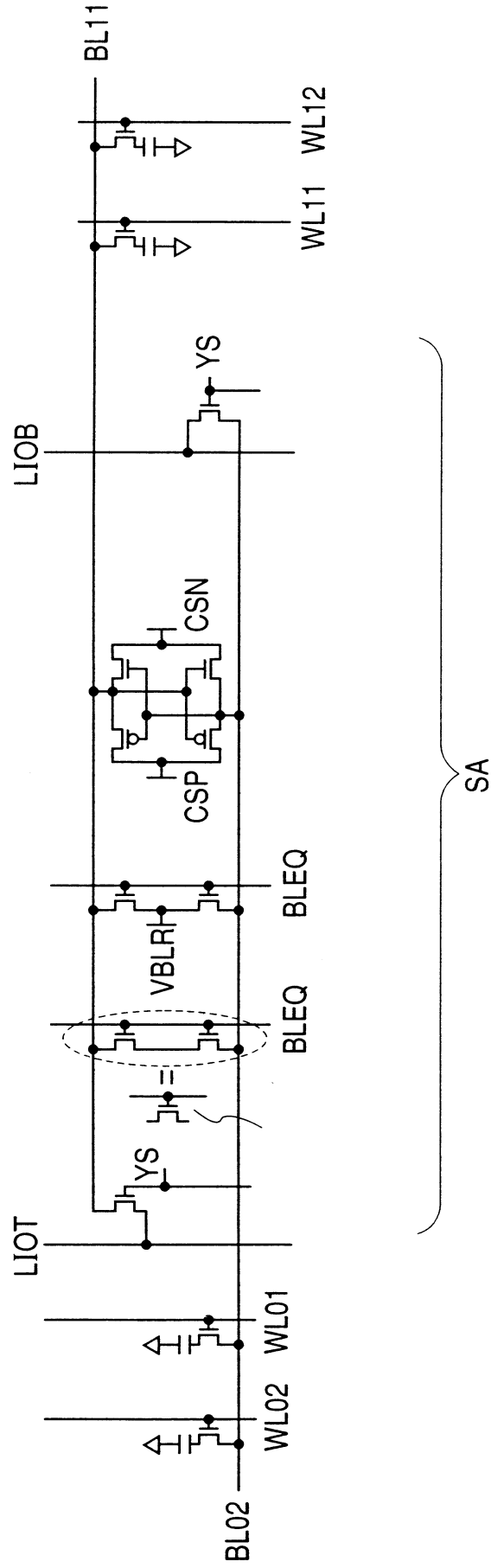
第 74 圖



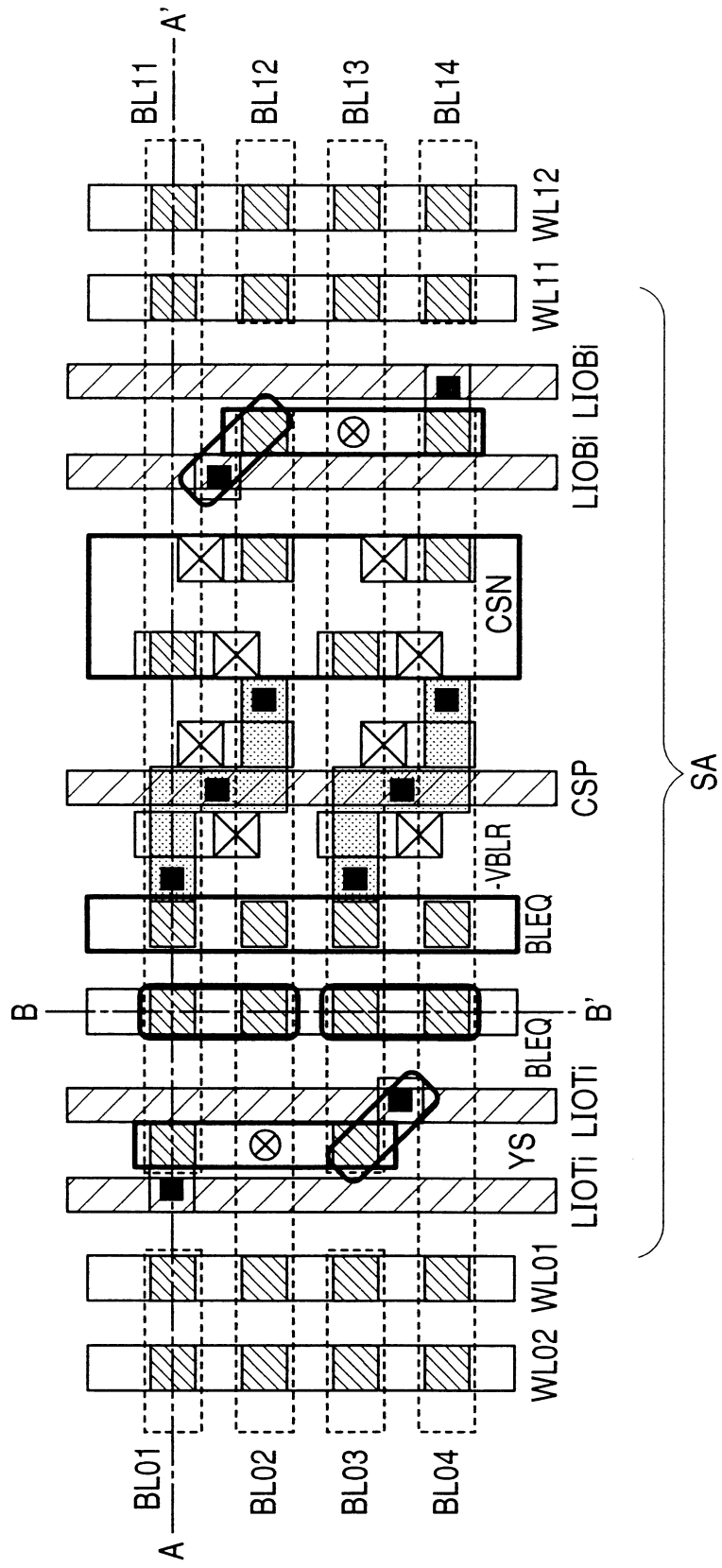
第 75 圖



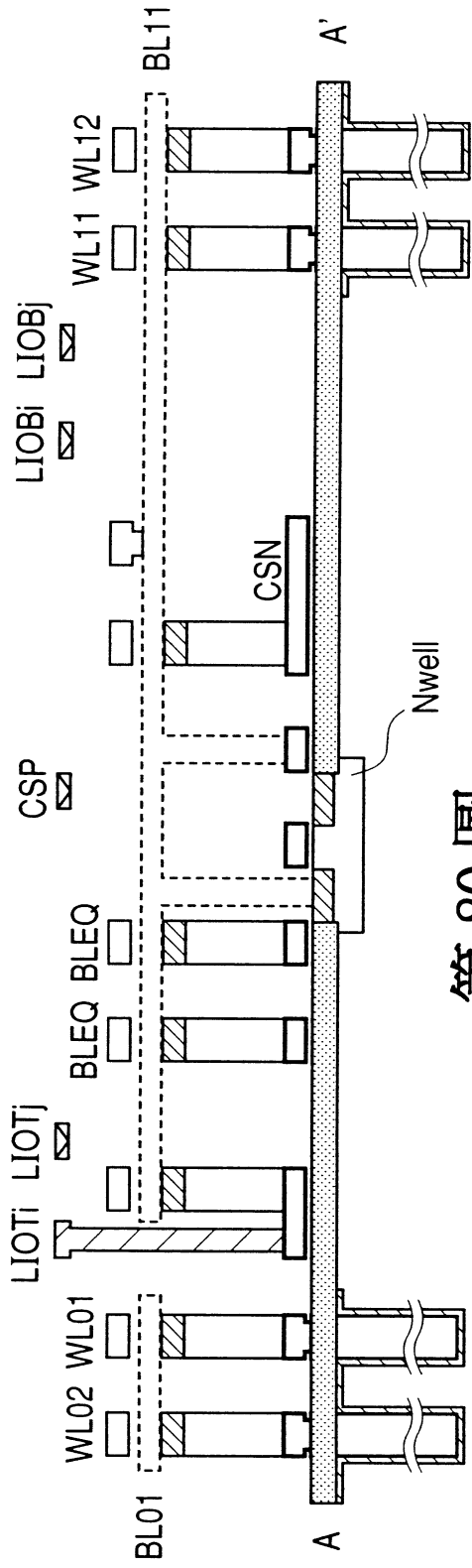
第 77 圖



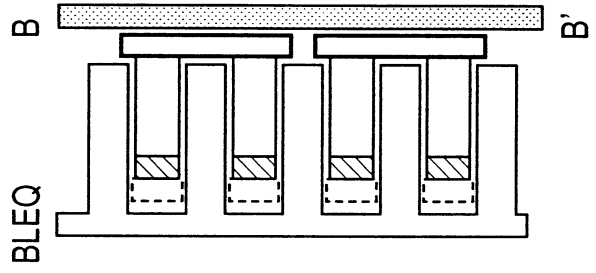
第 78 圖



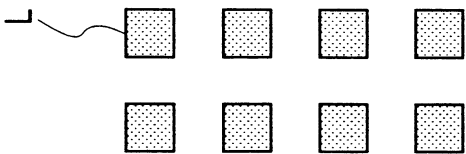
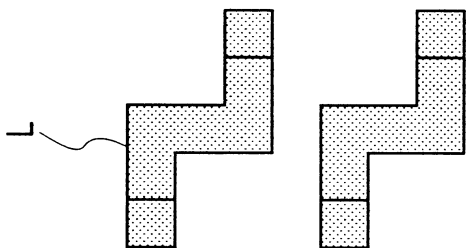
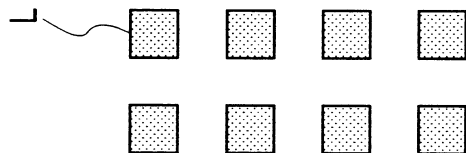
第 79 圖



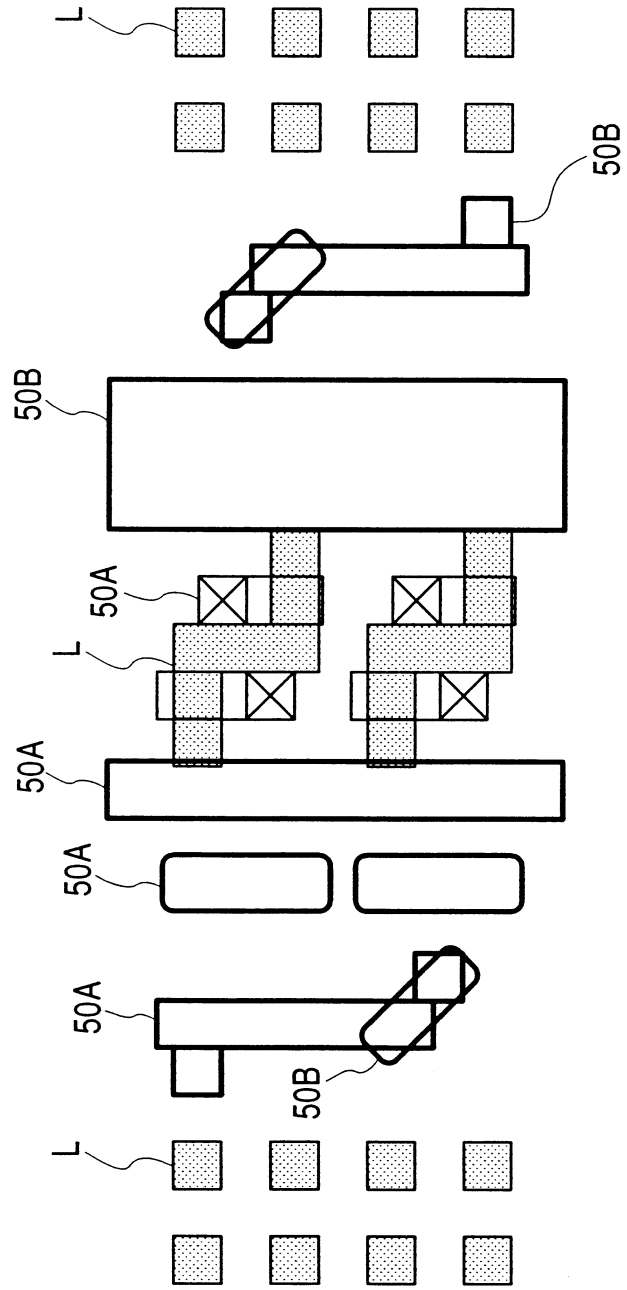
第 80 圖



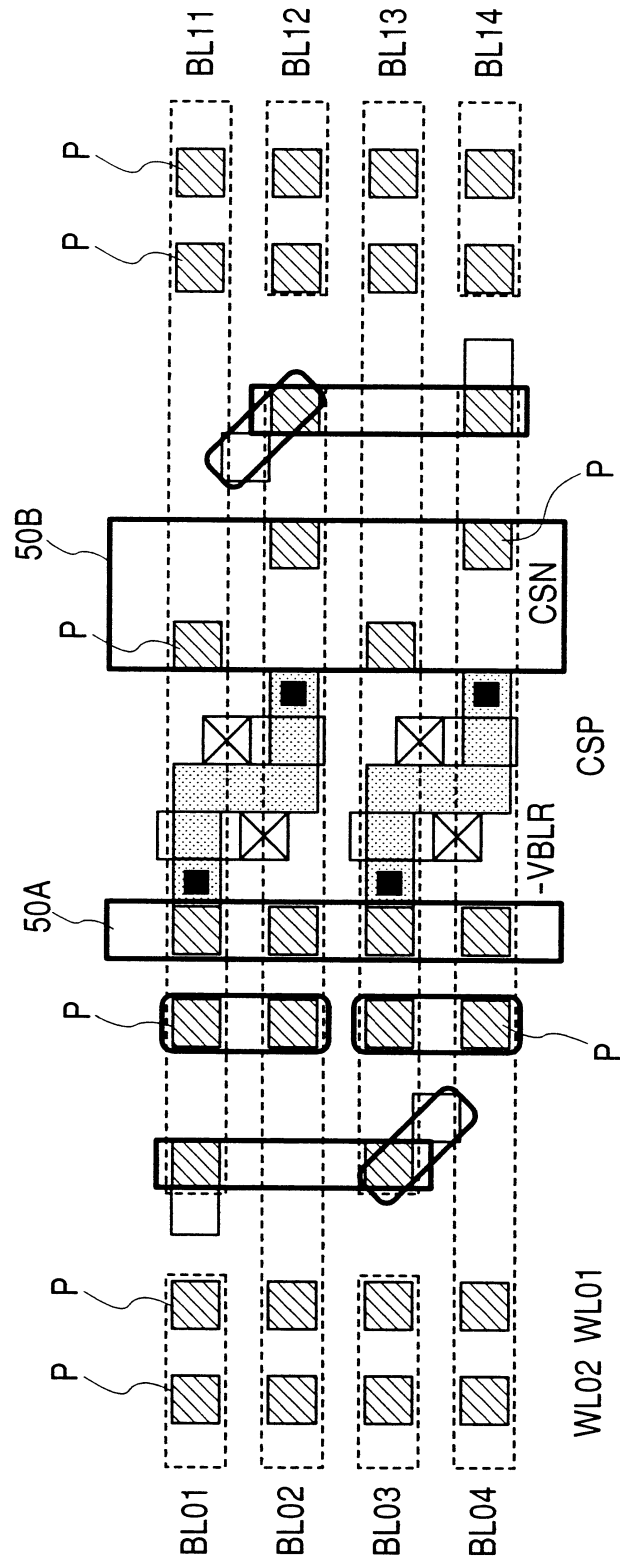
第 81 圖



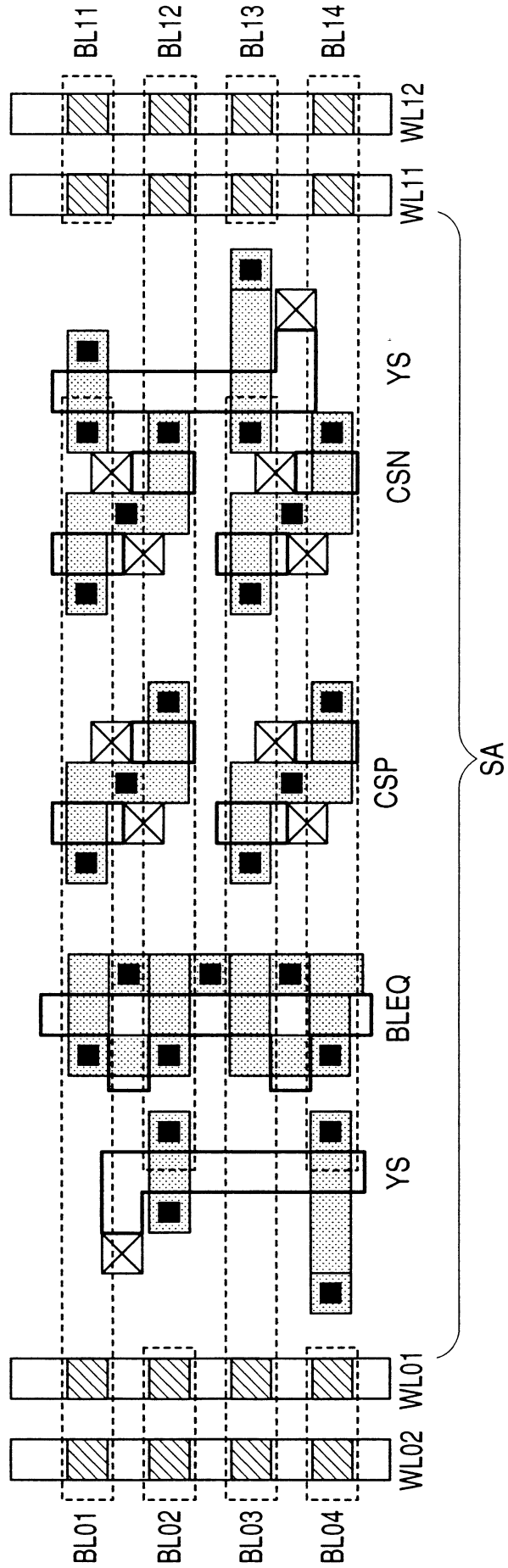
第 82 圖



第 83 圖



第 84 圖



六、申請專利範圍 1

第 91111892 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 92 年 10 月 3 修正

1. 一種半導體記憶裝置，是針對具有以一對的傳送用 MISFET、及一對的驅動用 MISFET、及一對的負載用 MISFET 構成記憶體單元之完全 CMOS 型 SRAM 之半導體記憶裝置，其特徵為：

前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、以及前述一對的負載用 MISFET 之其中任一種，係以具有：形成在延伸於垂直於半導體基板之主面的方向的柱狀積層構造體之源極、通道區域以及汲極、及介由閘極絕緣膜而形成在前述柱狀積層構造體之側壁部的閘極之縱型構造的 MISFET 所構成。

2. 如申請專利範圍第 1 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係被形成在構成前述記憶體單元的其它 MISFET 的上部。

3. 如申請專利範圍第 2 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的負載用 MISFET。

4. 如申請專利範圍第 1 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、或者前述一對的負載用 MISFET 之中的任一種之 MISFET。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

款

六、申請專利範圍

5. 如申請專利範圍第 1 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、或者前述一對的負載用 MISFET 之中的任二種之 MISFET。

6. 如申請專利範圍第 1 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、以及前述一對的負載用 MISFET。

7. 如申請專利範圍第 1 項記載之半導體記憶裝置，其中在前述縱型 MISFET 之源極與通道區域之間、以及汲極與通道區域之間，分別存在有通道絕緣膜。

8. 如申請專利範圍第 1 項記載之半導體記憶體裝置，其中 1 層或者複數層之通道絕緣膜存在於前述縱型 MISFET 之通道區域的一部份之上。

9. 一種半導體記憶裝置，是針對具有以一對的傳送用 MISFET、及一對的驅動用 MISFET、及一對的空乏型負載用 MISFET 構成記憶體單元之空乏負載型 SRAM 之半導體記憶裝置，其特徵為：

前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、以及前述一對的空乏型負載用 MISFET 之其中任一種，係以具有：形成在延伸於垂直於半導體基板之主面的方向之柱狀積層構造體之源極、通道區域以及汲極、及介由閘極絕緣膜而形成在前述柱狀積層構造體之側壁部的閘極之縱型構造的 MISFET 所構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

10. 如申請專利範圍第 9 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係被形成在構成前述記憶體單元之其它的 MISFET 的上部。

11. 如申請專利範圍第 9 項或者第 10 項所記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的空乏型負載用 MISFET。

12. 如申請專利範圍第 9 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、或者前述一對的空乏型負載用 MISFET 之中任一種的 MISFET。

13. 如申請專利範圍第 9 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、或者前述一對的空乏型負載用 MISFET 之中任二種的 MISFET。

14. 如申請專利範圍第 9 項記載之半導體記憶裝置，其中前述縱型構造之 MISFET，係前述一對的傳送用 MISFET、前述一對的驅動用 MISFET、以及前述一對的空乏型負載用 MISFET。

15. 一種半導體記憶裝置，是針對具有具備由 n 通道型 MISFET 與 p 通道型 MISFET 所形成之讀出放大器電路之 DRAM 的半導體記憶裝置，其特徵為：

構成前述讀出放大器電路之 MISFET 的一部份，係以具有：形成在延伸於垂直於半導體基板之主面的方向的柱狀積層構造體之源極、通道區域以及汲極、及介由閘極絕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

緣膜而形成在前述柱狀積層構造體之側壁部的閘極之縱型構造的 MISFET 所構成。

16. 如申請專利範圍第 15 項記載之半導體記憶裝置，其中前述 DRAM 之記憶體單元，係以被形成在前述半導體基板之內部之 1 個電容器元件、及形成在前述電容器元件之上部，具有形成在延伸於垂直於半導體基板之主面的方向的積層構造體之源極、通道區域以及汲極、及介由閘極絕緣膜而形成在前述積層構造體之側壁部的閘極之 1 個縱型構造的 MISFET 所構成。

17. 一種半導體記憶裝置，是針對具有字元線與一對的位元線與記憶體單元之半導體記憶裝置，其特徵為：

前述記憶體單元具有第 1 以及第 2 傳送用 p 通道型 MISFET、及第 1 以及第 2 驅動用 n 通道型 MISFET；

前述第 1 以及第 2 傳送用 p 通道型 MISFET，係被形成在前述第 1 以及第 2 驅動用 n 通道型 MISFET 的上部；

前述第 1 以及第 2 傳送用 p 通道型 MISFET 之個個，係具有：形成在延伸於垂直於半導體基板的主面之方向的柱狀積層構造體之源極、通道以及汲極區域、及介由閘極絕緣膜形成在前述柱狀積層構造體之側壁部的閘極；

前述第 1 以及第 2 傳送用 p 通道型 MISFET 的閘極，係導電地被連接於前述字元線；

前述第 1 傳送用 p 通道型 MISFET，其源極以及汲極區域內之一方導電地被連接於前述一對的位元線之內的一方，前述源極以及汲極區域之內的另一方，導電地被連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於前述第 1 驅動用 n 通道型 MISFET 的汲極區域以及前述第 2 驅動用 n 通道型 MISFET 的閘極；

前述第 2 傳送用 p 通道型 MISFET，其源極以及汲極區域之內的一方導電地被連接於前述一對的位元線之內的一方，前述源極以及汲極區域之內的另一方導電地被連接於前述第 2 驅動用 n 通道型 MISFET 的汲極區域以及前述第 1 驅動用 n 通道型 MISFET 的閘極。

18. 如申請專利範圍第 17 項記載之半導體記憶裝置，其中前述第 1 以及第 2 驅動用 MISFET，係被形成在半導體基板上。

19. 一種半導體記憶裝置，是針對具有字元線與一對的位元線與記憶體單元之半導體記憶裝置，其特徵為：

前述記憶體單元，係具有：第 1 以及第 2 傳送用 MISFET、及第 1 以及第 2 驅動用 n 通道型 MISFET；

前述記憶體單元，係使用第 1 以及第 2 傳送用 MISFET 之洩漏電流以代替負載；

以縱型構造之 p 通道型 MISFET 構成前述第 1 以及第 2 傳送用 MISFET 之各 MISFET；

前述縱型構造之 p 通道型 MISFET，係具有：形成在延伸於垂直於半導體基板的主面之方向的柱狀積層構造體之源極、通道以及汲極區域、及介由閘極絕緣膜形成在前述柱狀積層構造體之側壁部的閘極；

前述第 1 傳送用 MISFET，其源極以及汲極區域之內的一方係導電地被連接於前述一對的位元線之內的一方，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

前述源極以及汲極區域之內的另一方，係導電地被連接於前述第 1 驅動用 n 通道型 MISFET 之汲極區域以及前述第 2 驅動用 n 通道型 MISFET 之閘極；

前述第 2 傳送用 MISFET，其源極以及汲極區域之內的一方導電地被連接於前述一對的位元線之內的另一方，前述源極以及汲極區域之內的另一方，導電地被連接於前述第 2 驅動用 n 通道型 MISFET 之汲極區域以及前述第 1 驅動用 n 通道型 MISFET 之閘極；

前述第 1 以及第 2 傳送用 MISFET 之閘極，係導電地被連接於前述字元線。

20. 如申請專利範圍第 19 項記載之半導體記憶裝置，其中前述第 1 以及第 2 驅動用 MISFET，係被形成在半導體基板上；

前述第 1 以及第 2 驅動用 MISFET，係被形成在前述第 1 以及第 2 驅動用 n 通道型 MISFET 的上部。

21. 一種半導體記憶裝置，係具有以一對傳送用 MISFET、一對驅動用 MISFET、一對負載用 MISFET 構成之記憶格的半導體記憶裝置，

上述一對驅動用 MISFET 及一對傳送用 MISFET 之各個，係分別形成於半導體基板之主面上，

上述一對驅動用 MISFET，係由第 1 驅動用 MISFET 及第 2 驅動用 MISFET 構成，

上述第 1 驅動用 MISFET 與第 2 驅動用 MISFET，係於第 1 方向鄰接配置，而且被配置成各個閘極寬度方向與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述第 1 方向一致，

於上述一對驅動用 MISFET 與上述傳送用 MISFET 之上部，係介由絕緣膜形成以同層之導電膜構成之第 1 導電膜及第 2 導電膜，

上述第 1 導電膜，係電連接上述第 1 驅動用 MISFET 之汲極區及上述第 2 驅動用 MISFET 之閘極，

上述第 2 導電膜，係電連接上述第 2 驅動用 MISFET 之汲極區及上述第 1 驅動用 MISFET 之閘極，

上述一對負載用 MISFET，係形成於上述第 1 及第 2 導電膜之上部，

上述一對負載用 MISFET，係由第 1 負載用 MISFET 及第 2 負載用 MISFET 構成，

上述第 1 及第 2 負載用 MISFET 之各個，係分別以縱型構造之 MISFET 構成，該縱型構造之 MISFET 係具有：形成在延伸於垂直於上述半導體基板之主面的方向的柱狀積層構造體之源極、通道、汲極區，及在上述積層構造體之側壁部介由閘極絕緣膜被形成之閘極，

上述第 1 負載用 MISFET 之汲極區，係電連接於上述第 1 導電膜，

上述第 1 負載用 MISFET 之閘極，係電連接於上述第 2 導電膜，

上述第 2 負載用 MISFET 之汲極區，係電連接於上述第 2 導電膜，

上述第 2 負載用 MISFET 之閘極，係電連接於上述第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 導電膜。

22. 如申請專利範圍第 21 項之半導體記憶裝置，其中

上述第 1 導電膜，與上述第 1 驅動用 MISFET 之源極區，係介由阻障導電膜被電連接，

上述第 2 導電膜，與上述第 2 驅動用 MISFET 之源極區，係介由阻障導電膜被電連接。

23. 一種半導體記憶裝置之製造方法，係針對具備：具第 1 及第 2 縱型 MISFET 以及第 1 及第 2 驅動用 MISFET 之記憶格，

上述第 1 及第 2 縱型 MISFET，係形成於上述第 1 及第 2 驅動用 MISFET 之上部，

上述第 1 及第 2 縱型 MISFET 之各個，係分別具有：形成在延伸於垂直於半導體基板之主面的方向的柱狀積層構造體之源極、通道、汲極區，及在上述積層構造體之側壁部介由閘極絕緣膜被形成之閘極，

上述第 1 縱型 MISFET 之源極與汲極區之中的一方，係電連接於上述第 1 驅動用 MISFET 之汲極區，

上述第 2 縱型 MISFET 之源極與汲極區之中的一方，係電連接於上述第 2 驅動用 MISFET 之汲極區，的半導體記憶裝置之製造方法；其特徵為具有：

(a) 於半導體基板形成第 1 及第 2 驅動用 MISFET 的工程；

(b) 覆蓋上述第 1 及第 2 驅動用 MISFET 地形成第 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

絕緣膜的工程，

(c) 研磨上述第 1 絕緣膜使其表面平坦化的工程，

(d) 在平坦化之上述第 1 絕緣膜上，形成用於構成上述第 1 縱型 MISFET 之源極、通道及汲極區的延伸於垂直於上述半導體基板之主面的方向的柱狀之第 1 積層構造體，以及用於構成上述第 2 縱型 MISFET 之源極、通道及汲極區的延伸於垂直於上述半導體基板之主面的方向的柱狀之第 2 積層構造體的工程，

(e) 覆蓋上述第 1 積層構造體及第 1 積層構造體地形成第 2 絕緣膜的工程，及

(f) 研磨上述第 2 絕緣膜使其表面平坦化的工程。

24. 如申請專利範圍第 23 項之半導體記憶裝置之製造方法，其中

上述第 1 驅動用 MISFET 與第 2 驅動用 MISFET，係於第 1 方向互相鄰接配置，而且被配置成各個閘極寬度方向與上述第 1 方向一致。

25. 一種半導體記憶裝置之製造方法，係針對具備：具第 1 及第 2 縱型 MISFET、第 1 及第 2 驅動用 MISFET、以及第 1 及第 2 傳送用 MISFET 之記憶格，

上述第 1 及第 2 縱型 MISFET，係形成於上述第 1、第 2 驅動用 MISFET、以及第 1、第 2 傳送用 MISFET 之上部，

上述第 1 及第 2 縱型 MISFET 之各個，係分別具有：形成在延伸於垂直於半導體基板之主面的方向的柱狀積層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

構造體上之源極、通道、汲極區，及在上述積層構造體之側壁部介由閘極絕緣膜被形成之閘極，的半導體記憶裝置之製造方法；其特徵為具有：

(a) 於半導體基板形成第 1、第 2 驅動用 MISFET 及第 1、第 2 傳送用 MISFET 的工程；

(b) 覆蓋上述第 1、第 2 驅動用 MISFET 及第 1、第 2 傳送用 MISFET 地形成第 1 絕緣膜的工程，

(c) 研磨上述第 1 絕緣膜使其表面平坦化的工程，

(d) 於上述第 1 絕緣膜形成溝，藉由在上述溝埋入導電膜以形成第 1 導電膜及第 2 導電膜的工程，

(e) 在上述第 1 導電膜上，形成用於構成上述第 1 縱型 MISFET 之源極、通道及汲極區的延伸於垂直於上述半導體基板之主面的方向的柱狀之第 1 積層構造體之同時，在上述第 2 導電膜上，形成用於構成上述第 2 縱型 MISFET 之源極、通道及汲極區的延伸於垂直於上述半導體基板之主面的方向的柱狀之第 2 積層構造體的工程，

(f) 覆蓋上述第 1 積層構造體及第 1 積層構造體地形成第 2 絕緣膜的工程，及

(g) 研磨上述第 2 絕緣膜使其表面平坦化的工程，

上述第 1 導電膜，係電連接於上述第 1 驅動用 MISFET 之汲極區、上述第 2 驅動用 MISFET 之閘極、以及上述第 1 縱型 MISFET 之汲極區，

上述第 2 導電膜，係電連接於上述第 2 驅動用 MISFET 之汲極區、上述第 1 驅動用 MISFET 之閘極、以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

及上述第 2 縱型 MISFET 之汲極區。

26. 如申請專利範圍第 25 項之半導體記憶裝置之製造方法，其中

上述第 1 驅動用 MISFET 與第 2 驅動用 MISFET，係於第 1 方向互相鄰接配置，而且被配置成各個閘極寬度方向與上述第 1 方向一致。

27. 如申請專利範圍第 25 或 26 項之半導體記憶裝置之製造方法，其中

上述第 1 導電膜，與上述第 1 驅動用 MISFET 之源極區，係介由阻障導電膜被電連接，

上述第 2 導電膜，與上述第 2 驅動用 MISFET 之源極區，係介由阻障導電膜被電連接。

28. 一種半導體記憶裝置之製造方法，係針對具備：具第 1 及第 2 縱型 MISFET 以及第 1 及第 2 驅動用 MISFET 之記憶格，

上述第 1 及第 2 縱型 MISFET，係形成於上述第 1 及第 2 驅動用 MISFET 之上部，

上述第 1 及第 2 縱型 MISFET 之閘極，係電連接於字元線，

上述第 1 及第 2 縱型 MISFET 之各個，係分別具有：形成在延伸於垂直於半導體基板之主面的方向的柱狀積層構造體上之源極、通道、汲極區，及在上述積層構造體之側壁部介由閘極絕緣膜被形成之閘極，

上述第 1 縱型 MISFET 之源極與汲極區之中之一方，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

係電連接於上述第 1 驅動用 MISFET 之汲極區，

上述第 2 縱型 MISFET 之源極與汲極區之中之一方，係電連接於上述第 2 驅動用 MISFET 之汲極區，的半導體記憶裝置之製造方法；其特徵為具有：

(a) 於半導體基板形成第 1 及第 2 驅動用 MISFET 的工程；

(b) 覆蓋上述第 1 及第 2 驅動用 MISFET 地形成第 1 絕緣膜的工程，

(c) 在上述第 1 絕緣膜上形成，用於構成上述第 1 縱型 MISFET 之源極、通道及汲極區的延伸於垂直於上述半導體基板之主面的方向之第 1 積層構造體，以及用於構成上述第 2 縱型 MISFET 之源極、通道及汲極區的延伸於垂直於上述半導體基板之主面的方向之第 2 積層構造體的工程，

(d) 覆蓋上述第 1 積層構造體及第 1 積層構造體地形成第 2 絕緣膜的工程，

(e) 研磨上述第 2 絕緣膜使其表面平坦化的工程，及

(f) 在平坦化之上述第 2 絕緣膜形成至少到達上述第 1 及第 2 積層構造體之通道區之深度的溝，於上述溝形成電連接於上述第 1 及第 2 縱型 MISFET 之閘極的字元線之工程。

29. 如申請專利範圍第 28 項之半導體記憶裝置之製造方法，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述第 1 縱型 MISFET，其源極與汲極區之中之一方係電連接於上述一對位元線之中之一方，上述源極與汲極區之中之另一方，則電連接於上述第 1 驅動用 MISFET 之汲極區及上述第 2 驅動用 MISFET 之閘極，

上述第 2 縱型 MISFET，其源極與汲極區之中之一方係電連接於上述一對位元線之中之另一方，上述源極與汲極區之中之另一方，則電連接於上述第 2 驅動用 MISFET 之汲極區及上述第 1 驅動用 MISFET 之閘極。

30. 一種半導體記憶裝置，係具有以一對驅動用 MISFET、及一對縱型 MISFET 構成之記憶格的半導體記憶裝置，

上述一對驅動用 MISFET，係形成於半導體基板之主面上，

上述一對驅動用 MISFET，係由第 1 驅動用 MISFET 及第 2 驅動用 MISFET 構成，

於上述一對驅動用 MISFET 之上部，形成表面平坦化之絕緣膜，

在形成於上述絕緣膜之溝埋入第 1 導電膜及第 2 導電膜，

上述第 1 導電膜，係電連接於上述第 1 驅動用 MISFET 之源極區或汲極區之一方，及上述第 2 驅動用 MISFET 之閘極，

上述第 2 導電膜，係電連接於上述第 2 驅動用 MISFET 之源極區或汲極區之一方，及上述第 1 驅動用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

MISFET 之閘極，

上述一對縱型 MISFET，係形成於上述第 1 及第 2 導電膜之上部，

上述一對縱型 MISFET，係由第 1 縱型 MISFET 及第 2 縱型 MISFET 構成，

上述第 1 及第 2 縱型 MISFET 之各個，係分別以縱型構造之 MISFET 構成，該縱型構造之 MISFET 係具有：形成在延伸於垂直於上述半導體基板之主面的方向的柱狀積層構造體上之源極、通道、汲極區，及在上述積層構造體之側壁部介由閘極絕緣膜被形成之閘極，

上述第 1 縱型 MISFET 之源極區或汲極區之一方，係電連接於上述第 1 導電膜，

上述第 2 負載用 MISFET 之源極區或汲極區之一方，係電連接於上述第 2 導電膜。

31. 如申請專利範圍第 30 項之半導體記憶裝置，其中

上述第 1 驅動用 MISFET 與第 2 驅動用 MISFET，係於第 1 方向互相鄰接配置，而且被配置成各個閘極寬度方向與上述第 1 方向一致。

32. 一種半導體記憶裝置，係具有以一對驅動用 MISFET、及一對縱型 MISFET 構成之記憶格的半導體記憶裝置，

上述一對驅動用 MISFET，係形成於半導體基板之主面上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述一對驅動用 MISFET，係由第 1 驅動用 MISFET 及第 2 驅動用 MISFET 構成，

上述第 1 驅動用 MISFET 與第 2 驅動用 MISFET，係於第 1 方向互相鄰接配置，而且被配置成各個閘極寬度方向與上述第 1 方向一致，

於上述一對驅動用 MISFET 之上部，介由絕緣膜形成以同層之導電膜構成之第 1 導電膜及第 2 導電膜，

上述第 1 導電膜，係電連接於上述第 1 驅動用 MISFET 之源極區或汲極區之一方，及上述第 2 驅動用 MISFET 之閘極，

上述第 2 導電膜，係電連接於上述第 2 驅動用 MISFET 之源極區或汲極區之一方，及上述第 1 驅動用 MISFET 之閘極，

上述一對縱型 MISFET，係形成於上述第 1 及第 2 導電膜之上部，

上述一對縱型 MISFET，係由第 1 縱型 MISFET 及第 2 縱型 MISFET 構成，

上述第 1 及第 2 縱型 MISFET 之各個，係分別以縱型構造之 MISFET 構成，該縱型構造之 MISFET 係具有：形成在延伸於垂直於上述半導體基板之主面的方向的柱狀積層構造體上之源極、通道、汲極區，及在上述積層構造體之側壁部介由閘極絕緣膜被形成之閘極，

上述第 1 縱型 MISFET 之源極區或汲極區之一方，係電連接於上述第 1 導電膜，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述第 2 負載用 MISFET 之源極區或汲極區之一方，係電連接於上述第 2 導電膜。

33. 如申請專利範圍第 30 至 32 項中任一項之半導體記憶裝置，其中

上述第 1 導電膜，與上述第 1 驅動用 MISFET 之源極區，係介由阻障導電膜被電連接，

上述第 2 導電膜，與上述第 2 驅動用 MISFET 之源極區，係介由阻障導電膜被電連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線