



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205700

(11) (B1)

(51) Int. Cl.<sup>3</sup>  
H 03 F 21/00

(22) Přihlášeno 02 02 79

(21) (PV 758-79)

(40) Zveřejněno 29 08 80

(45) Vydáno 02 05 84

(75)

Autor vynálezu

DOSTÁL JIŘÍ ing., PRAHA

## (54) Vzorkovací zesilovač

Vynález se týká zapojení vzorkovacího zesilovače vhodného pro snímání rychle proměnných napětí při časové multiplexní analogově číslicovém převodu analogových dat.

Vzorkovací zesilovač je zesilovač, jehož činnost je elektronicky řízena jednobitovým logickým signálem ve dvou stavech: ve stavu SLEDOVÁNÍ vstupního analogového signálu a ve stavu PAMATOVÁNÍ jeho okamžité hodnoty příslušející příchodu hrany řídicího pulsu.

Vzorkovací zesilovač slouží k časové definici okamžité hodnoty analogového signálu při jeho analogově číslicovém převodu. V jednom obvyklém uspořádání je vzorkovací zesilovač zapojen mezi polovodičový analogový multiplexor, který přepíná vstupní napětí analogové signály na jednotlivých měřicích kanálech, a analogově číslicový převodník, který převádí tyto analogové signály do číslicového tvaru. Pro zkrácení doby převodu analogového signálu na jednom měřicím kanálu a pro zvětšení opakovací frek-

vence měření je výhodné, pracuje-li multiplexor a analogově číslicový převodník s časovým překrytím, tj. vyhledává-li multiplexor nový měřicí kanál v průběhu analogově číslicového převodu předcházejícího kanálu. Toto časové překrytí je umožněno izolací vstupní a výstupní svorky vzorkovacího zesilovače ve stavu PAMATOVÁNÍ.

Kvalita vzorkovacího zesilovače se posuzuje z tohoto hlediska tzv. potlačením vstupního napětí, tj. poměrem definované změny vstupního napětí ve stavu PAMATOVÁNÍ k odpovídající změně výstupního napětí. Konečná hodnota potlačení je způsobena kapacitou rozpojeného spínacího prvku, použitého k řízení vzorkovacího zesilovače, a rozptylovými kapacitami mezi vstupní částí vzorkovacího zesilovače a paměťovým kondenzátorem.

Jeden známý způsob zmenšení těchto nežádoucích kapacit spočívá ve vytvoření spínacího prvku ze tří sériově a paralelně zapojených spínačů ve tvaru spínacího T-článku. Nedostatkem takového řešení je větší

sériový odpor spínacího prvku v sepnutém stavu a složitější zapojení budiče.

Jiný známý způsob spočívá v deaktivaci vstupní části vzorkovacího zesilovače ve stavu PAMATOVÁNÍ, a to buď rozpojením klidových pracovních proudů nebo zkratem signálových bodů k zemi. Nedostatkem takového řešení je neúměrná obvodová složitost.

Nedostatky známých zapojení odstraňuje zapojení vzorkovacího zesilovače podle vynálezu. Dosahuje se toho vytvořením paměťové části vzorkovacího zesilovače jako vyvážení kapacitního můstku.

Předmětem zapojení podle vynálezu je vzorkovací zesilovač, který má vstupní svorku, výstupní svorku, řídicí svorku a napájecí svorky a který je zapojen tak, že řídicí svorka je spojena se vstupem budiče, vstupní svorka je spojena s kladným vstupem prvního operačního zesilovače, výstupní svorka je spojena s výstupem druhého operačního zesilovače a s jedním vývodem zpětnovazebního odporu, jehož druhý vývod je spojen se záporným vstupem prvního operačního zesilovače, výstup prvního operačního zesilovače je spojen s jednou spínací elektrodou prvního spínacího tranzistoru, druhá spínací elektroda tohoto prvního spínacího tranzistoru je spojena s kladným vstupem druhého operačního zesilovače a s jedním vývodem paměťového kondenzátoru, jehož druhý vývod je uzemněn, a řídicí elektroda prvního spínacího tranzistoru je spojena s výstupem budiče, charakterizovaný tím, že k výstupu druhého operačního zesilovače je připojen jeden vývod vyvažovacího kondenzátoru a jedna spínací elektroda druhého spínacího tranzistoru, k zápornému vstupu druhého operačního zesilovače je připojen druhý vývod vyvažovacího kondenzátoru a druhá spínací elektroda druhého spínacího tranzistoru, přičemž řídicí elektroda tohoto druhého spínacího tranzistoru je spojena s výstupem budiče.

Jeden příklad zapojení vzorkovacího zesilovače podle vynálezu je znázorněn na obrázku. Vzorkovací zesilovač podle vynálezu v příkladném zapojení podle tohoto obrázku má vstupní svorku 10, výstupní svorku 20, řídicí svorku 30 a první a druhou napájecí svorku 40 a 50. Vstupní svorka 10 je spojena s kladným vstupem prvního operačního zesilovače 1. Výstupní svorka 20 je spojena

s výstupem druhého operačního zesilovače 2, s jedním vývodem zpětnovazebního odporu 9, s jedním vývodem vyvažovacího kondenzátoru 6 a s emitorem druhého spínacího tranzistoru 4 řízeného polem. Řídicí svorka 30 je spojena se vstupem budiče 11. Napájecí svorky 40, 50 jsou spojeny s příslušnými napájecími vývody prvního a druhého operačního zesilovače 1 a 2. Záporný vstup prvního operačního zesilovače 1 je spojen s druhým vývodem zpětnovazebního odporu 9. Výstup prvního operačního zesilovače 1 je spojen s emitorem prvního spínacího tranzistoru 3 řízeného polem a s prvním vývodem kompenzačního kondenzátoru 12. Mezi výstup a záporný vstup prvního operačního zesilovače 1 je zapojena antiparalelní kombinace první a druhé diody 7 a 8. Kladný vstup druhého operačního zesilovače 2 je spojen s kolektorem prvního spínacího tranzistoru 3 a s jedním vývodem paměťového kondenzátoru 5, jehož druhý vývod je uzemněn. Záporný vstup druhého operačního zesilovače 2 je spojen s kolektorem druhého spínacího tranzistoru 4, s druhým vývodem kompenzačního kondenzátoru 12 a s druhým vývodem vyvažovacího kondenzátoru 6. Výstup budiče 11 je spojen s hradly prvního a druhého spínacího tranzistoru 3 a 4.

Činnost vzorkovacího zesilovače v příkladném zapojení podle obrázku je vysvětlena ve dvou stavech, odpovídajících dvěma hodnotám řídicí logické proměnné  $u_c$  připojené k řídicí svorce 30.

Ve stavu SLEDOVÁNÍ, kterému odpovídá např. hodnota  $u_c = 0$ , jsou oba spínací tranzistory 3, 4 sepnuty. Vyvažovací kondenzátor 6 je zkratován a druhý operační zesilovač 2 působí jako napěťový sledovač se zesílením +1. Vstupní signálové napětí  $u_1$  přivedené na vstupní svorku 10 budí první operační zesilovač 1, který nabíjí přes sepnutý první spínací tranzistor 3 paměťový kondenzátor 5. Napětí paměťového kondenzátoru 5 se sleduje druhým operačním zesilovačem 2 a přivádí se přes zpětnovazební odpor 9 na záporný vstup prvního operačního zesilovače 1. Velké zesílení prvního operačního zesilovače 1 a jeho malé vstupní zbytkové napětí způsobí, že výstupní napětí  $u_2$  se shoduje ve stavu SLEDOVÁNÍ se vstupním napětím  $u_1$ .

Ve stavu PAMATOVÁNÍ, kterému odpovídá hodnota  $u_c = 1$ , jsou oba spínací tranzistory 3, 4 rozpojeny. Zpětná vazba kolem prvního operačního zesilovače 1 se v tomto stavu uzavírá přes antiparalelně zapojené diody 7, 8. Vstupní signálové napětí  $u_1$  se přenáší téměř ve stejné velikosti na výstup prvního operačního zesilovače 1 a rušivě zasahuje přes parazitní mezielektrodovou kapacitu  $C_{DS3}$  kolektoru a emitoru rozpojeného prvního spínacího tranzistoru 3 na paměťový kondenzátor 5. Potlačení vstupního napětí  $X$ , které přísluší tomuto případu, dosahuje velikosti

$$X = \frac{C_5 + C_{DS3}}{C_{DS3}} = 60 \text{ dB} \quad (1)$$

pro  $C_{DS3} = 1 \text{ pF}$  a  $C_5 = 1 \text{ nF}$ ;  $C_5$  je velikost paměťového kondenzátoru 5. Tato hodnota potlačení  $X$  je nedostačující pro multiplexní zpracování analogových dat s přesností 12 bitů.

Uvedený nedostatek známého zapojení se odstraňuje v zapojení podle vynálezu doplněním obvodu o spínaný vyvažovací kondenzátor 6 a kompenzační kondenzátor 12. Paměťová část vzorkovacího zesilovače tím přejde do můstkového uspořádání s parazitní kapacitou  $C_{DS3}$  a paměťovým kondenzátorem  $C_5$  v jedné větvi a s kompenzačním kondenzátorem 12 a vyvažovacím kondenzátorem 6 v druhé větvi kapacitního můstku.

Vyváženému stavu, který je charakterizován vztahem

$$C_{DS3}C_6 = C_5C_{12}, \quad (2)$$

přísluší nekonečná hodnota potlačení,  $X = \infty$ .  $C_6$  a  $C_{12}$  jsou velikosti vyvažovacího a kompenzačního kondenzátoru 6 a 12. Nedokonalé vyvážené stavu přísluší potlačení

$$X = \frac{C_5 + C_{DS3}}{C_{DS3}} \cdot \frac{1}{\delta C_{12}}, \quad (3)$$

kde  $\delta C_{12}$  je procentní nepřesnost kompenzačního kondenzátoru 12 vzhledem k jeho jmenovité velikosti, udané rovnicí (2).

Provede-li se při výrobě vzorkovacího zesilovače počáteční vyvážení kapacitního můstku na shodu s rovnicí (2), je možno očekávat, že provozní nestabilita vyváženého

stavu (způsobená kolísáním teploty, kolísáním napájecích napětí a stárnutím) nepřesáhne hodnotu  $\delta C_{12} = 10 \%$ . Potlačení vstupního napětí potom neklesne pod hodnotu  $X = 80 \text{ dB}$  podle (3) při dřívějších hodnotách  $C_5$  a  $C_{DS3}$ . Tato hodnota potlačení  $X$  je vyhovující pro 12-bitovou přesnost.

Zapojení vzorkovacího zesilovače podle vynálezu v příkladném provedení podle obr. 1 má kromě uvedeného ještě dvě přednosti ve srovnání se známým zapojením: menší časový drift ve stavu PAMATOVÁNÍ a menší nábojový offset při přechodu ze stavu SLEDOVÁNÍ do stavu PAMATOVÁNÍ.

Časový drift vzorkovacího zesilovače ve stavu PAMATOVÁNÍ je způsoben vybíjením paměťového kondenzátoru 5 vstupním kladovým proudem druhého operačního zesilovače 2 a kolektorovým proudem rozpojeného prvního spínacího kondenzátoru 3. Zapojení vyvažovacího kondenzátoru 6 a druhého spínacího tranzistoru 4 má kompenzační účinek a v ideálním souměrném případě se projevuje úplným anulováním výstupního časového driftu ve stavu PAMATOVÁNÍ.

Nábojový offset vzorkovacího zesilovače při přechodu ze stavu SLEDOVÁNÍ do stavu PAMATOVÁNÍ je způsoben přenosem náboje z výstupu budiče 11 do paměťového kondenzátoru 5 přes parazitní mezielektrodovou kapacitu  $C_{DG3}$  kolektoru a hradla prvního spínacího tranzistoru 3. Zapojení vyvažovacího kondenzátoru 6 a druhého spínacího tranzistoru 4, buzeného tímtež budičem 11, má kompenzační účinek a v ideálním souměrném případě se projevuje úplným anulováním nábojového offsetu při přechodu ze stavu SLEDOVÁNÍ do stavu PAMATOVÁNÍ.

Z popisu zapojení vzorkovacího zesilovače podle vynálezu a z popisu jeho činnosti je zřejmé, že zlepšené potlačení vstupního napětí ve stavu PAMATOVÁNÍ je dosažitelné i při jiném zapojení kompenzačního kondenzátoru 12. Speciálně je dosažitelné např. zapojení prvního vývodu tohoto kondenzátoru 12 na vhodnou odbočku zpětnovazebního odporu 11, na vhodnou odbočku odporového děliče, vloženého mezi výstup prvního operačního zesilovače 1 na jedné straně a zem nebo první, resp. druhou napájecí svorku 40, resp. 50 na druhé straně,

nebo na vhodnou odbočku obdobného odporového děliče, vloženého mezi vstupní svorku 10 na jedné straně a zem nebo první, resp. druhou napájecí svorku 40, resp. 50 na druhé straně.

Konečně je zřejmé, že přednosti vzorkovacího zesilovače podle vynálezu zůstanou zachovány i při záměně obou spínacích elektrod spínacích tranzistorů 3, 4, tj. emitoru a kolektoru, nebo při změně vodivosti spínacích tranzistorů 3, 4 z kanálu N na kanál P nebo při změně znázorněných spínacích tranzistorů 3, 4 z typu JFET na typ MOSFET.

Ze všeho uvedeného je zřejmé, že vzorkovací zesilovač podle vynálezu je vhodný pro multiplexní analogově číslicový převod analogových dat s přesností 12 bitů.

### PŘEDMĚT VYNÁLEZU

1. Vzorkovací zesilovač, který má vstupní svorku, výstupní svorku, řídicí svorku a napájecí svorky a který je zapojen tak, že řídicí svorka je spojena se vstupem budiče, vstupní svorka je spojena s kladným vstupem prvního operačního zesilovače, výstupní svorka je spojena s výstupem druhého operačního zesilovače a s jedním vývodem zpětnovazebního odporu, jehož druhý vývod je spojen se záporným vstupem prvního operačního zesilovače, výstup prvního operačního zesilovače je spojen s jednou spínací elektrodou prvního spínacího tranzistoru, druhá spínací elektroda tohoto prvního spínacího tranzistoru je spojena s kladným vstupem druhého operačního zesilovače a s jedním vývodem paměťového kondenzátoru, jehož druhý vývod je uzemněn, a řídicí elektroda prvního spínacího tranzistoru je spojena s výstupem budiče, vyznačený tím, že k výstupu druhého operačního zesilovače (2) je připojen jeden vývod vyvažovacího kondenzátoru (6) a jedna spínací elektroda druhého spínacího tranzistoru (4), k zápornému vstupu druhého operačního zesilovače (2) je připo-

jen druhý vývod vyvažovacího kondenzátoru (6) a druhá spínací elektroda druhého spínacího tranzistoru (4), přičemž řídicí elektroda tohoto druhého spínacího tranzistoru (4) je spojena s výstupem budiče (11).

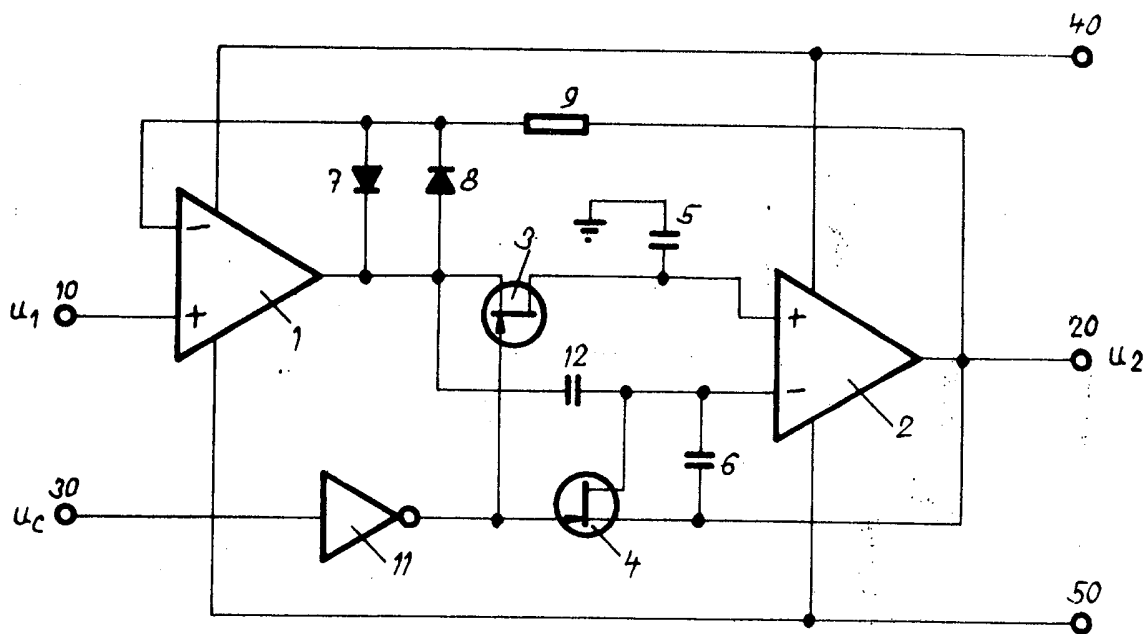
2. Vzorkovací zesilovač podle bodu 1 vyznačený tím, že mezi výstup prvního operačního zesilovače (1) a záporný vstup druhého operačního zesilovače (2) je zapojen kompenzační kondenzátor (12).
3. Vzorkovací zesilovač podle bodu 1 vyznačený tím, že mezi záporný vstup prvního operačního zesilovače (1) a záporný vstup druhého operačního zesilovače (2) je zapojen kompenzační kondenzátor (12).
4. Vzorkovací zesilovač podle bodu 1 vyznačený tím, že mezi vstupní svorku (10) a záporný vstup druhého operačního zesilovače (2) je zapojen kompenzační kondenzátor (12).
5. Vzorkovací zesilovač podle bodu 1 vyznačený tím, že mezi výstup prvního operačního zesilovače (1) a záporný vstup druhého operačního zesilovače (2) je zapojena sériová kombinace odporu a kompenzačního kondenzátoru (12).
6. Vzorkovací zesilovač podle bodu 1 vyznačený tím, že mezi záporný vstup prvního operačního zesilovače (1) a záporný vstup druhého operačního zesilovače (2) je zapojena sériová kombinace odporu a kompenzačního kondenzátoru (12), přičemž tento sériový odpor může být tvořen částí zpětnovazebního odporu (9).
7. Vzorkovací zesilovač podle bodu 1 vyznačený tím, že mezi vstupní svorku (10) a záporný vstup druhého operačního zesilovače (2) je zapojena sériová kombinace odporu a kompenzačního kondenzátoru (12).

---

1 výkres

---

205700



Обр. 1