

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-87336
(P2010-87336A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 21/82 B	5 F 0 4 8
HO 1 L 21/82 (2006.01)	HO 1 L 27/04 A	5 F 0 6 4
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 O 2 A	
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 1 O 2 D	

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-256155 (P2008-256155)
(22) 出願日 平成20年10月1日(2008.10.1)

(71) 出願人 308014341
富士通マイクロエレクトロニクス株式会社
東京都新宿区西新宿二丁目7番1号
(74) 代理人 100092152
弁理士 服部 毅巖
(72) 発明者 稲岡 智彰
東京都新宿区西新宿二丁目7番1号 富士
通マイクロエレクトロニクス株式会社内
(72) 発明者 稲田 泰彦
東京都新宿区西新宿二丁目7番1号 富士
通マイクロエレクトロニクス株式会社内
(72) 発明者 富里 信彰
東京都新宿区西新宿二丁目7番1号 富士
通マイクロエレクトロニクス株式会社内

最終頁に続く

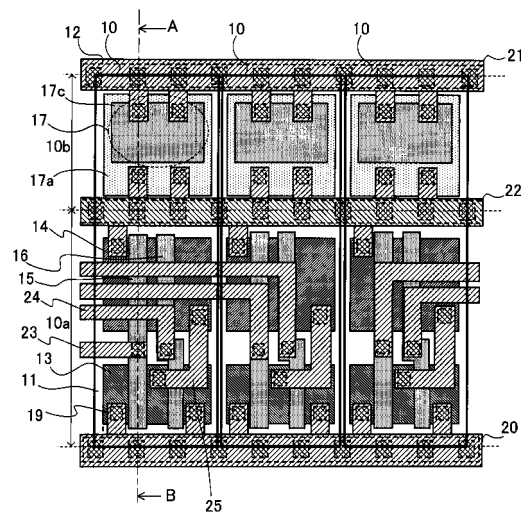
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】配線効率を悪くすることなく効率よくノイズを除去可能な半導体集積回路を提供する。

【解決手段】スタンダードセル10に論理回路領域10aと容量領域10bとを具備させ、同一の配線層に属する1本の電源配線22及び2本の接地配線20, 21(または2本の電源配線及び1本の接地配線)をスタンダードセル10に接続し、容量領域10bにおいて、MOS容量17を同一の配線層の電源配線22と接地配線21との間に接続する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

論理回路領域と容量領域とを具備する複数のセルを有し、

前記セルは、同一の配線層に属する、2本の電源配線及び1本の接地配線、または1本の電源配線及び2本の接地配線と接続されており、前記容量領域において、容量は、前記同一の配線層の前記電源配線と前記接地配線との間に接続されていることを特徴とする半導体集積回路。

【請求項 2】

前記容量は、隣接するセル間にまたがって配置されていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記容量は、前記論理回路領域に拡張して配置されていることを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 4】

前記容量に接続される前記電源配線及び前記接地配線は、前記容量の上部を覆うように設けられていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体集積回路。

【請求項 5】

前記容量は、最下層の配線層の前記電源配線及び前記接地配線に接続されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

半導体集積回路に関し、論理回路で発生するノイズを除去するための容量を有した半導体集積回路に関する。

【背景技術】**【0002】**

複数の回路ブロック（以下セルという。）を具備する半導体集積回路において、論理回路で発生するノイズ（動作ノイズや電源ノイズ）を除去するために、電源配線と接地配線との間に接続された容量が用いられている。

【0003】

従来、このような容量は、半導体集積回路の論理回路が形成されない領域（たとえば、基幹電源配線領域）に配置されていた。

しかし、十分な容量値の容量を形成するには、論理回路が形成されない領域を広く形成する必要があり、半導体集積回路の面積の増大を招いてしまう。

【0004】

そのため、スタンダードセルの各セル内に容量を配置し、電源ノイズを除去する半導体集積回路が知られている（たとえば、特許文献 1 参照。）。

【特許文献 1】特開 2003 - 224195 号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

しかし、セル内に容量を形成する従来技術では、セル内の異なる複数のメタル層を使用して容量を接続するため、信号配線などの配置が困難になり、セル内の配線効率が悪化する問題があった。

【0006】

上記の点を鑑みて、本発明者らは、配線効率を悪くすることなく効率よくノイズを除去可能な半導体集積回路を提供することを目的とする。

【課題を解決するための手段】**【0007】**

10

20

30

40

50

上記目的を達成するために、以下のような半導体集積回路が提供される。この半導体集積回路は、論理回路領域と容量領域とを具備する複数のセルを有し、前記セルは、同一の配線層に属する、2本の電源配線及び1本の接地配線、または1本の電源配線及び2本の接地配線と接続されており、前記容量領域において、容量は、前記同一の配線層の前記電源配線と前記接地配線との間に接続されている。

【発明の効果】

【0008】

配線効率を悪くすることなく、効率よく、論理回路領域で発生するノイズを除去できる。

【発明を実施するための最良の形態】

10

【0009】

以下、本実施の形態を図面を参照して詳細に説明する。

図1は、第1の実施の形態の半導体集積回路の主要部の上面図である。

また、図2は図1のA-B線での断面図である。

【0010】

なお、図1の上面図では、メタル1層目までの構成について図示しており、メタル1層目の配線層の下部の構成要素については点線で示している。本明細書中における後述の各上面図についても同様である。

【0011】

第1の実施の形態の半導体集積回路は、複数のセル（以下ではスタンダードセル10と表記する）を有している。

20

各スタンダードセル10は、論理回路領域10aと、ノイズ除去用の容量領域10bとを有している。

【0012】

図2に示すように、半導体基板11には上層からの電氣的接続を図り、半導体基板11のウェル電位を安定化させるなどのために複数の拡散層12が形成されている。

図1では、論理回路領域10aの一例として、2入力NOR回路を構成した例について示している。

【0013】

論理回路領域10aにおいて、半導体基板11上にnチャンネルMOSFET（Metal-Oxide Semiconductor Field Effect Transistor）領域（以下nMOS領域と略す）13と、pチャンネルMOSFET領域（以下pMOS領域と略す）14が形成されている。また、nMOS領域13とpMOS領域14にまたがるように2本のゲート電極15、16（たとえばポリシリコン）が形成されている。

30

【0014】

容量領域10bは、MOS容量17を有している。MOS容量17は、たとえば、半導体基板11に形成された拡散層17aとその上部に形成されたシリコン酸化膜17bと、上部電極としてシリコン酸化膜17b上に形成されたポリシリコン17cを有する構造である。

【0015】

40

上記のような構造が形成された半導体基板11上に、さらに層間絶縁膜18が形成されている（図1では図示を省略している）。層間絶縁膜18には複数のビア19が形成されており、メタル1層目の配線層と、前述した拡散層12、17aやゲート電極15、16、MOS容量17とを電氣的に接続している。

【0016】

本実施の形態のスタンダードセル10では、メタル1層目の配線層に、2本の接地配線20、21、電源配線22と、複数の信号配線23、24、25を有している。

論理回路領域10aにおいては、図1の例の場合、2つのnMOSと2つのpMOSからなるNOR回路を構成するように、ビア19を介して、配線層を以下のように各領域と接続している。

50

【0017】

ゲート電極15には信号配線23が接続されている。ゲート電極16には信号配線24が接続されている。また、nMOS領域13の、図示しないnMOSのソース領域にそれぞれ接地配線20を接続している。pMOS領域14の図示しない一方のpMOSのソース領域に電源配線22を接続している。図示しない他方のpMOSのドレイン領域には、信号配線25が接続されており、nMOS領域13の図示しない2つのnMOSのドレインと接続されている。

【0018】

このようなNOR回路の2入力は、信号配線23, 24を介してnMOS領域13及びpMOS領域14のゲート電極15, 16に入力され、演算結果は信号配線25を介して出力される。

10

【0019】

容量領域10bにおいて、MOS容量17の上部電極であるポリシリコン17cにはビア19を介して接地配線21が接続され、下部電極となる拡散層17aにはビア19を介して電源配線22が接続される。また、上部電極のポリシリコン17cに電源配線22を接続し、下部電極の拡散層17aに接地配線21を接続してもよい。

【0020】

メタル1層目の配線層の上部には、図2のように、層間絶縁膜26が形成され、その上部にメタル2層目の配線層27が形成される。さらにその上部に層間絶縁膜28が形成され、メタル3層目の配線層29が形成される。図2では、3層までとしたが4層以上の配線層を形成してもよい。

20

【0021】

なお、図1では3つのスタンダードセル10についてのみ図示しているが、たとえば、これらのスタンダードセル10の上下左右方向にも同様なスタンダードセル10が複数配列される。そのとき、接地配線20は、図1のスタンダードセル10の下側に隣接する図示しないスタンダードセルと共有し、そのスタンダードセルのMOS容量にビアを介して接続される。接地配線21は、スタンダードセル10の上側に隣接する図示しないスタンダードセルと共有し、そのスタンダードセルの論理回路領域にビアを介して接続される。

【0022】

また、信号配線23~25は、任意のスタンダードセル、またはスタンダードセル外の領域でメタル2層目以上の上層の配線層に引き上げるようにしてもよい。

30

接地配線20, 21、電源配線22については、スタンダードセル10内では同一層であり、スタンダードセル10外（たとえば、後述する電源配線リングや接地配線リングの形成領域）で上層の配線層に引き上げるようにしてもよい。

【0023】

図3は、第1の実施の形態の半導体集積回路の一例の全体構成図である。

第1の実施の形態の半導体集積回路30は、スタンダードセル10が複数配置されたセルアレイ領域を有しており、その周囲を電源配線リング31及び接地配線リング32が囲っている。

【0024】

40

図3では図示を省略しているが、図1、図2で示した各スタンダードセル10から引き出された接地配線20, 21は、接地配線リング32に接続され、電源配線22は、電源配線リング31に接続される。また、信号配線23, 24, 25は、他のセルの信号端子、信号配線または、半導体集積回路30の外周に配置される複数の入出力端子33のいずれかに接続される。

【0025】

このように、MOS容量17を有するスタンダードセル10を半導体集積回路30内に一様に配置することによって、論理回路領域10aで発生するノイズを効率的に減少させることができる。

【0026】

50

また、MOS容量17を同一の配線層の電源配線22と接地配線21との間に接続するようにしたので、他の配線層の配置に邪魔にならず、配線効率を悪くすることなく効率よくノイズを除去可能になる。

【0027】

次に、第2の実施の形態の半導体集積回路を説明する。

図4は、第2の実施の形態の半導体集積回路の主要部の上面図である。

第2の実施の形態の半導体集積回路において、各スタンダードセル40は、論理回路領域40aと、容量領域40bを有している。各領域の構成は、図1の論理回路領域10a、容量領域10bと同様であるので符号を省略している。ただし、第1の実施の形態の半導体集積回路と異なり、スタンダードセル40は、2本の電源配線41、42と、1本の接地配線43と接続されている。

10

【0028】

電源配線41と接地配線43は、図1の論理回路領域10aに対する電源配線22及び接地配線20の接続関係と同様に、論理回路領域40aに接続される。また、電源配線42と接地配線43は、図1の容量領域10bに対する電源配線22及び接地配線21の接続関係と同様に、容量領域40bに接続される。

【0029】

なお、図4では3つのスタンダードセル40についてのみ図示しているが、たとえば、これらのスタンダードセル40の上下左右方向にも同様なスタンダードセル40が複数配列される。そのとき、電源配線41は、図4のスタンダードセル40の上側に隣接する図示しないスタンダードセルと共有し、電源配線42は、スタンダードセル40の下側に隣接する図示しないスタンダードセルと共有する。

20

【0030】

以上のように、各スタンダードセル40にノイズ除去用の容量領域40bを設け、MOS容量に同一の配線層(メタル1層)の電源配線42及び接地配線43を接続するようにしたので、第1の実施の形態の半導体集積回路と同様の効果を得ることができる。

【0031】

次に、第3の実施の形態の半導体集積回路を説明する。

図5は、第3の実施の形態の半導体集積回路の主要部の上面図である。

第3の実施の形態の半導体集積回路において、各スタンダードセル50、51、52は、論理回路領域50aと、容量領域50bを有している。論理回路領域50aの構成は、図1の論理回路領域10aと同様であるので符号を省略している。

30

【0032】

第3の実施の形態の半導体集積回路は、第1及び第2の実施の形態の半導体集積回路と異なり、隣接するスタンダードセル50～52で、MOS容量53が、またがって形成されている。また、半導体基板54に形成され、MOS容量53の下部電極となる拡散層55も同様にスタンダードセル50～52間でまたがって形成されている。

【0033】

接地配線56、57、電源配線58と、論理回路領域50a及び容量領域50bとの接続関係については、図1と同様である。

40

なお、スタンダードセル50は、たとえば、図3のように配列されたセルアレイ領域の終端セルであり、MOS容量53が容量領域50bの横方向の途中まで形成されて、あとは空き領域となっている。この空き領域の半導体基板54表面において、ビア59を介して電源配線58とのコンタクトを図り、基板電位の安定化を図るようにしてもよい。なお、接地配線57とのコンタクトを図るようにしてもよい。

【0034】

以上のような、第3の実施の形態の半導体集積回路によれば、第1の実施の形態の半導体集積回路と同様の効果が得られるとともに、スタンダードセル50～52間をまたがるようにMOS容量53を形成することで、容量の面積を広くすることができる。これにより、さらに効率的にノイズを除去することができる。

50

【 0 0 3 5 】

なお、第 2 の実施の形態の半導体集積回路と同様に、スタンダードセル 5 0 ~ 5 2 の論理回路領域 5 0 a と容量領域 5 0 b とを入れ替え、各スタンダードセル 5 0 ~ 5 2 が 2 本の電源配線及び 1 本の接地配線に接続するようにしてもよい。

【 0 0 3 6 】

また、MOS 容量 5 3 を広くとるために、論理回路領域 5 0 a に空き領域があれば、論理回路領域 5 0 a まで拡張するように MOS 容量 5 3 を形成してもよい。

次に、第 4 の実施の形態の半導体集積回路を説明する。

【 0 0 3 7 】

図 6 は、第 4 の実施の形態の半導体集積回路の主要部の上面図である。

10

また、図 7 は図 6 の A - B 線での断面図である。

第 4 の実施の形態の半導体集積回路において、各スタンダードセル 6 0 は、論理回路領域 6 0 a と、容量領域 6 0 b を有している。論理回路領域 6 0 a の構成は、図 1 の論理回路領域 1 0 a と同様であるので符号を省略している。

【 0 0 3 8 】

半導体基板 6 1 には上層からの電気的接続を図り、半導体基板 6 1 のウェル電位を安定化させるなどために複数の拡散層 6 2 が形成されている。

第 1 の実施の形態の半導体集積回路と同様に、各スタンダードセル 6 0 は、2 本の接地配線 6 3 , 6 4、1 本の電源配線 6 5 と接続している。

【 0 0 3 9 】

20

ただし、第 4 の実施の形態の半導体集積回路は、第 1 乃至第 3 の実施の形態の半導体集積回路と異なり、容量領域 6 0 b において、MOS 容量の代わりに強誘電体材料 6 6 を用いて強誘電体容量を構成している。

【 0 0 4 0 】

強誘電体材料 6 6 は、上部電極 6 7 と下部電極 6 8 間に設けられ、図 7 のように層間絶縁膜 6 9 中に半導体基板 6 1 から離れて配置される。上部電極 6 7 はビア 7 0 a を介して接地配線 6 4 に接続され、下部電極 6 8 はビア 7 0 b を介して電源配線 6 5 に接続されている。

【 0 0 4 1 】

このような第 4 の実施の形態の半導体集積回路によれば、第 1 の実施の形態の半導体集積回路と同様の効果が得られるとともに、容量領域 6 0 b に、誘電率の大きい強誘電体材料 6 6 を用いて強誘電体容量を構成することで、ノイズをさらに効率的に除去することができる。

30

【 0 0 4 2 】

次に、第 5 の実施の形態の半導体集積回路を説明する。

図 8 は、第 5 の実施の形態の半導体集積回路の主要部の上面図である。

また、図 9 は図 8 の A - B 線での断面図である。

【 0 0 4 3 】

また、第 4 の実施の形態の半導体集積回路と同様の構成要素については同一符号を付している。

40

第 5 の実施の形態の半導体集積回路において、各スタンダードセル 8 0 は、論理回路領域 8 0 a と、容量領域 8 0 b を有している。論理回路領域 8 0 a は、詳細な説明は省略するが、NOR 回路とインバータ回路からなる OR 回路を構成した例を示している。

【 0 0 4 4 】

第 5 の実施の形態の半導体集積回路におけるスタンダードセル 8 0 は、強誘電体容量を構成する強誘電体材料 8 1 が電源配線 6 5 の下をくぐり、論理回路領域 8 0 a まで拡張されている。同様に、上部電極 8 2、下部電極 8 3 も拡張されており、それぞれビア 8 4 a , 8 4 b を介して接地配線 6 4 または電源配線 6 5 に接続されている。

【 0 0 4 5 】

このような第 5 の実施の形態の半導体集積回路によれば、第 4 の実施の形態の集積回路

50

と同様の効果が得られるとともに、強誘電体容量を大きくできるので、ノイズをさらに効率的に除去することができる。

【0046】

なお、第4の実施の形態におけるスタンダードセル60か、本実施の形態におけるスタンダードセル80を用いるかは、論理回路領域に空き領域（たとえば、メタル1層目の配線層からのコンタクトを必要としない領域など）があるか否かに応じて選択すればよい。

【0047】

次に、第6の実施の形態の半導体集積回路を説明する。

図10は、第6の実施の形態の半導体集積回路の主要部の上面図である。

また、図11は図10のA-B線での断面図である。

10

【0048】

また、第4の実施の形態の半導体集積回路と同様の構成要素については同一符号を付している。

第6の実施の形態の半導体集積回路では、スタンダードセル60は第4の実施の形態の半導体集積回路と同様に、2本の接地配線90、91と1本の電源配線92と接続されている。ただし、容量領域60bに接続される接地配線91と電源配線92は、容量領域60bの上部を遮蔽するように配線幅を拡張している。ただし、接地配線91と電源配線92が接触しないように、所定幅の隙間が設けられている。

【0049】

これにより、接地配線91と電源配線92の配線抵抗が小さくなり、動作ノイズを効率的に除去できる。また、誘電率の大きい強誘電体容量を用いた場合でも、接地配線91と電源配線92によるシールド効果により、強誘電体容量と、上層の配線層93とのカップリング容量を低減することができる。

20

【0050】

なお、第1乃至第3の実施の形態の半導体集積回路のように、MOS容量を用いる場合にも上記のように、MOS容量が接続される電源配線及び接地配線の配線幅を、MOS容量の上部を遮蔽するように拡張するようにしてもよい。

【0051】

また、第4乃至第6の実施の形態の半導体集積回路において、図4で示したような第2の実施の形態の半導体集積回路と同様に、スタンダードセルの論理回路領域と容量領域とを入れ替え、各スタンダードセルが2本の電源配線及び1本の接地配線に接続するようにしてもよい。

30

【0052】

また、図5で示したような第3の実施の形態の半導体集積回路のMOS容量53と同様に、横方向に隣接するスタンダードセル間で、強誘電体容量を、またがるように設けるようにしてもよい。

【0053】

以上説明した第1乃至第6の実施の形態の半導体集積回路における各スタンダードセルは、たとえば、図3のような半導体集積回路内において、互いに組み合わせるように配置してもよい。

40

【0054】

また、上記の第1乃至6の実施の形態の半導体集積回路では、上層の信号配線などを効率よく配線できるように、接地配線及び電源配線をメタル1層目として、そこにMOS容量や強誘電体容量を接続するようにしたが、同層であれば2層目以上としてもよい。その場合、強誘電体容量は、接地配線及び電源配線が存在する配線層の層間絶縁膜中に形成することで論理回路領域から強誘電体容量までの配線距離を短くできる。また、他の層の信号配線の配置の際に邪魔になることを防止できる。

【0055】

また、大きな容量を必要としない場合、容量領域を有さないスタンダードセルと組み合わせるようにしてもよい。

50

図12は、容量領域を有するスタンダードセルと容量領域を有さないスタンダードセルを混在させた半導体集積回路の一例を示す上面図である。

【0056】

ここでは、図5で示した第3の実施の形態の半導体集積回路におけるスタンダードセル50, 51, 52と、容量領域を有さないスタンダードセル100, 101を混在させた場合について示している。図5と同じ構成要素については、同一符号を付しているか、符号を省略している。

【0057】

論理回路領域50aと容量領域50bとを有するスタンダードセル50, 51, 52については、2本の接地配線56, 57と、1本の電源配線58を接続している。これに対し、容量領域を有さないスタンダードセル100については、接地配線56と、電源配線102とを接続し、容量領域を有さないスタンダードセル101については、電源配線102と、接地配線103を接続している。

10

【0058】

以上、複数の実施の形態に基づき、本件の半導体集積回路について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

【図面の簡単な説明】

【0059】

【図1】第1の実施の形態の半導体集積回路の主要部の上面図である。

【図2】図1のA-B線での断面図である。

20

【図3】第1の実施の形態の半導体集積回路の一例の全体構成図である。

【図4】第2の実施の形態の半導体集積回路の主要部の上面図である。

【図5】第3の実施の形態の半導体集積回路の主要部の上面図である。

【図6】第4の実施の形態の半導体集積回路の主要部の上面図である。

【図7】図6のA-B線での断面図である。

【図8】第5の実施の形態の半導体集積回路の主要部の上面図である。

【図9】図8のA-B線での断面図である。

【図10】第6の実施の形態の半導体集積回路の主要部の上面図である。

【図11】図10のA-B線での断面図である。

【図12】容量領域を有するスタンダードセルと容量領域を有さないスタンダードセルを混在させた半導体集積回路の一例を示す上面図である。

30

【符号の説明】

【0060】

10 スタンダードセル

10a 論理回路領域

10b 容量領域

11 半導体基板

12, 17a 拡散層

13 nMOS領域

14 pMOS領域

15, 16 ゲート電極

17 MOS容量

18 層間絶縁膜

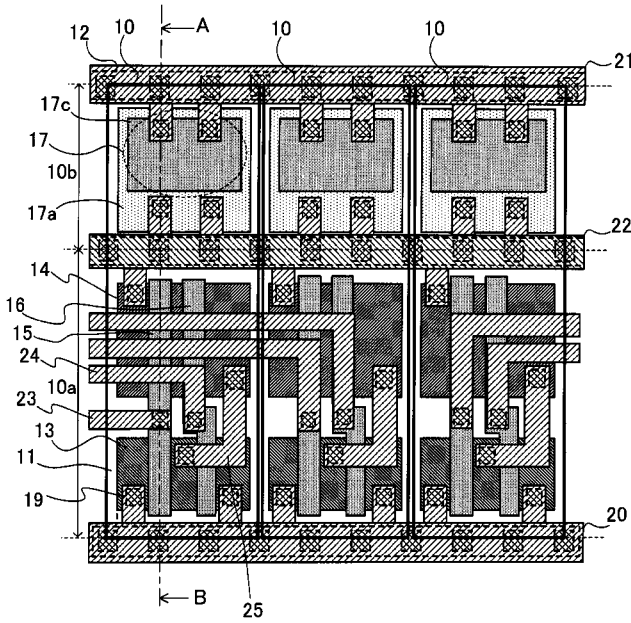
19 ビア

20, 21 接地配線

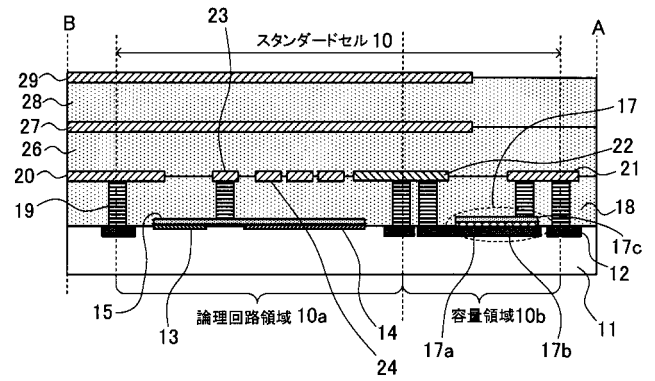
22 電源配線

40

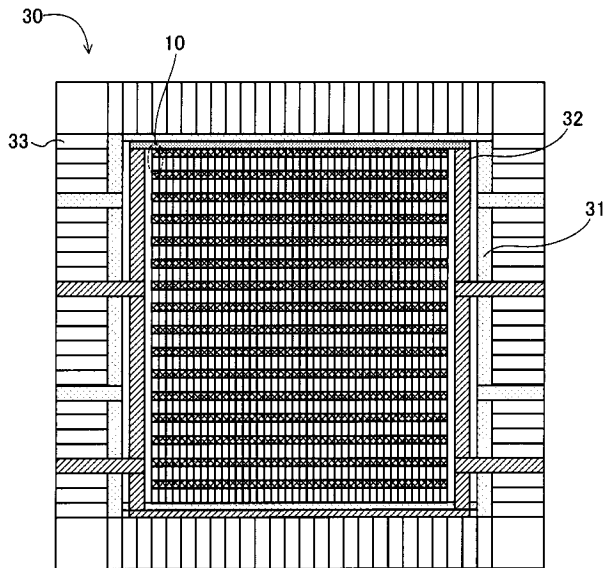
【図 1】



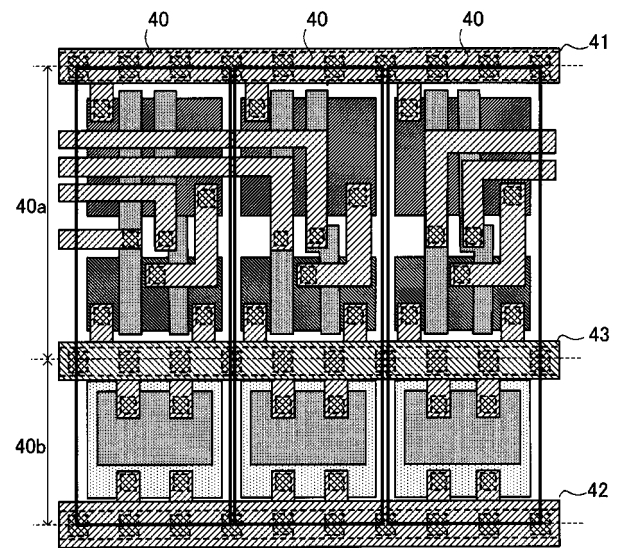
【図 2】



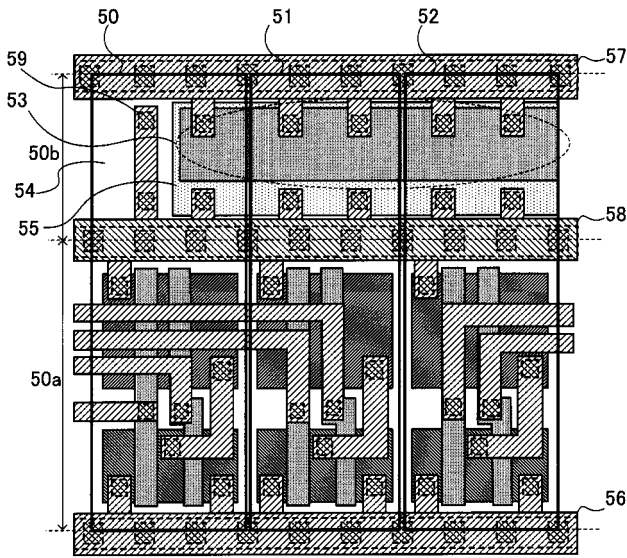
【図 3】



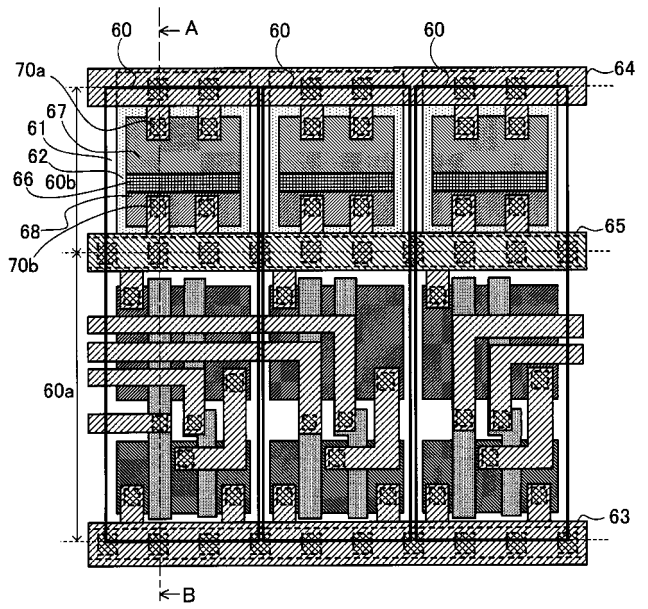
【図 4】



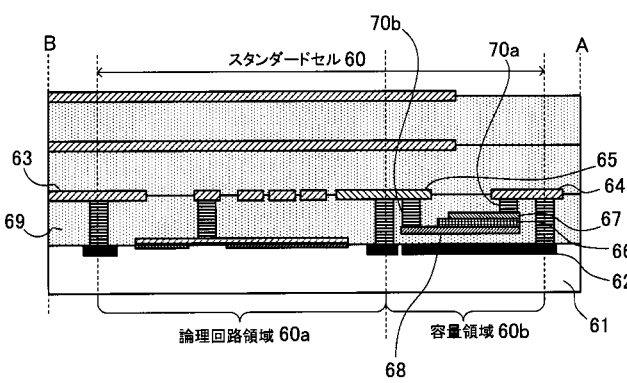
【図5】



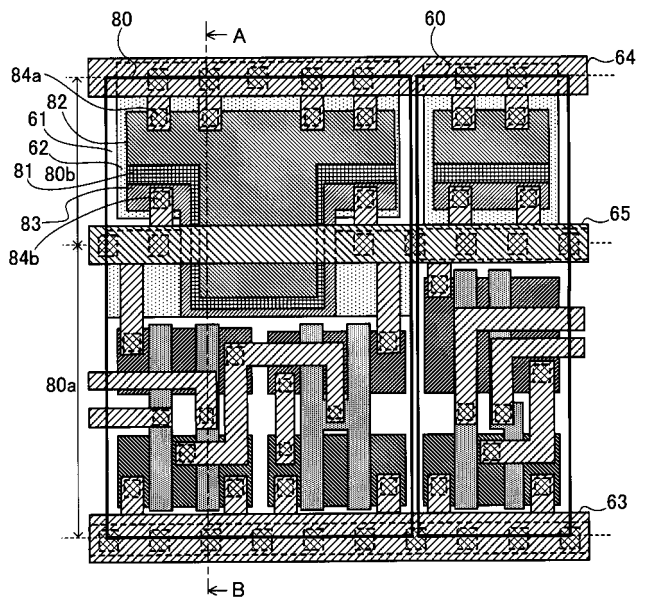
【図6】



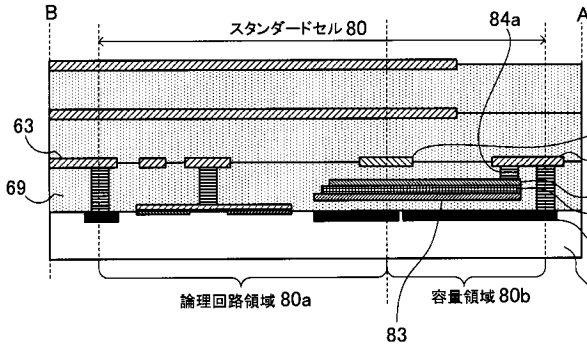
【図7】



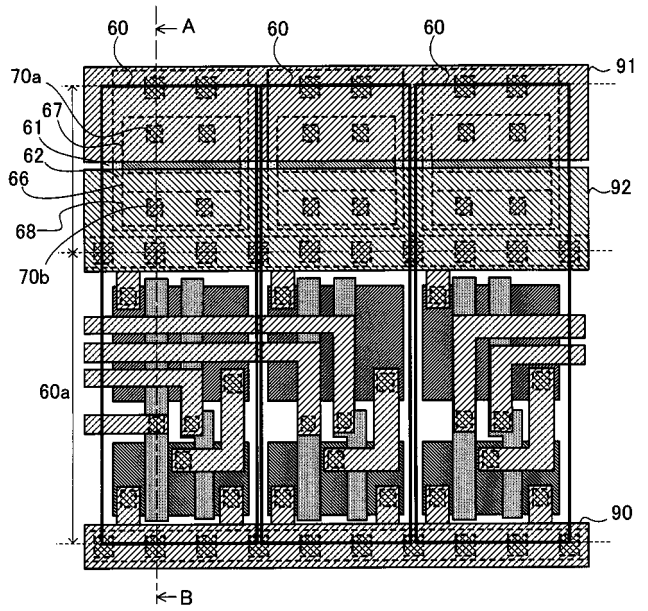
【図8】



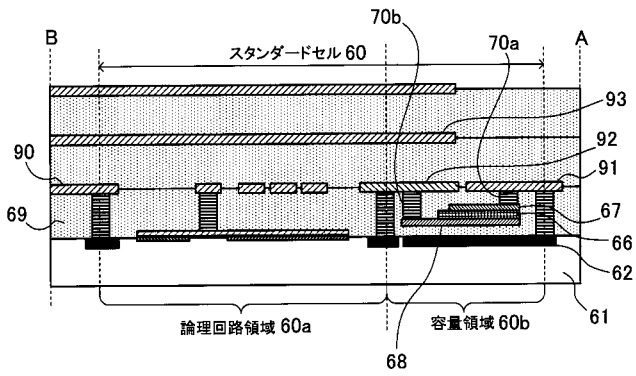
【図 9】



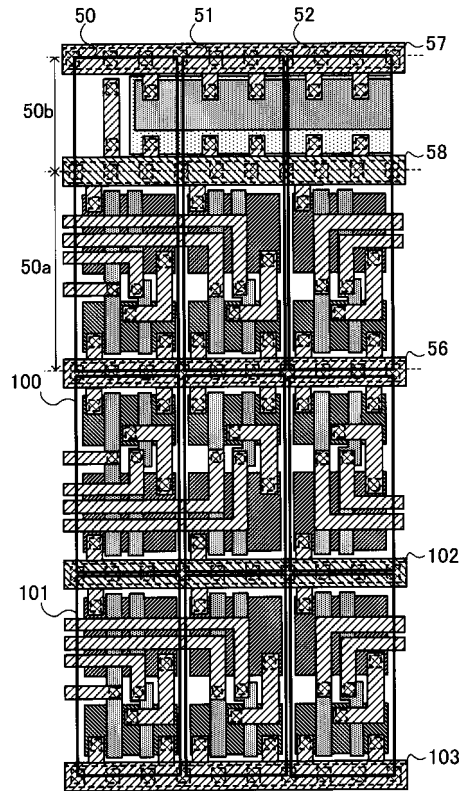
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/088 (2006.01)

(72)発明者 森 崎 徹

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

Fターム(参考) 5F038 AC03 AC04 AC05 AC15 BH10 BH19 CA02 CA03 CD02 CD12
CD14 EZ20
5F048 AB02 AB03 AC03 AC10 BB03 BB05 BD10 BE09 BF03 BF12
BF15 BF16 BF18
5F064 AA04 BB04 BB06 BB35 CC10 CC12 CC23 DD05 DD22 EE23
EE27 EE32 EE42 EE45 EE52