(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0056099
(43) 공개일자 2025년04월25일

(51) 국제특허분류(Int. Cl.)
G06F 11/10 (2006.01) *B60R 16/02* (2006.01)
G06F 11/07 (2006.01) *G06F 5/01* (2006.01)
G06F 9/30 (2018.01) *H03M 13/09* (2015.01)
H04L 1/00 (2006.01)
(52) CPC특허분류
G06F 11/1004 (2013.01)
B60R 16/02 (2013.01)
(21) 출원번호 10-2024-0102936
(22) 출원일자 2024년08월02일
심사청구일자 2024년08월02일
(30) 우선권주장
1020230139815 2023년10월18일 대한민국(KR)

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
변경수
서울특별시 서초구 도구로 73, 101동 801호(방배동, 대성아파트)
(74) 대리인
양성보

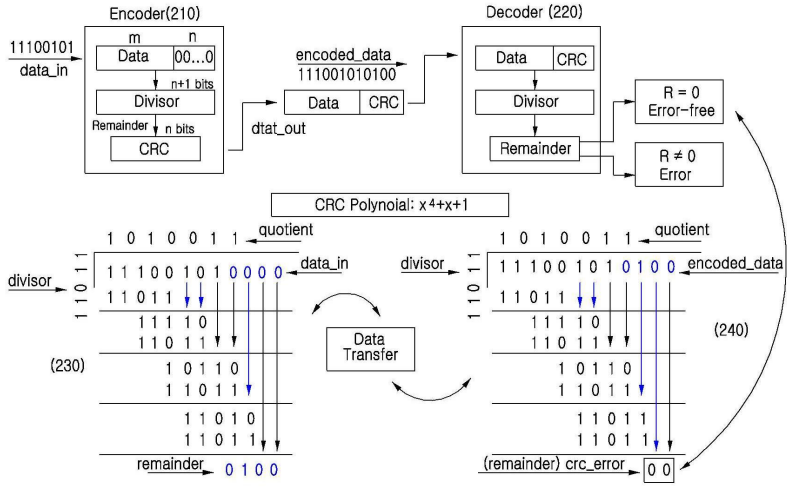
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **데이터 오류 트레이닝 보정기를 사용한 자동차 SENT 인터페이스**

(57) 요 약

데이터 오류 트레이닝 보정기를 사용한 자동차 SENT 인터페이스 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 데이터 오류 트레이닝 보정기를 사용한 자동차 SENT 인터페이스는 SENT(Single-Edge Nibble Transmission) 송신기 측에서 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 CRC(Cyclic Redundancy Check) 인코더 및 ECU(Electric Control Units) 측에서 상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 CRC 디코더를 포함한다.

대 표 도



(52) CPC특허분류
G06F 11/0739 (2013.01)
G06F 11/0793 (2013.01)
G06F 9/30029 (2013.01)
H03M 13/09 (2019.01)
H04L 1/0057 (2013.01)

명 세 서

청구범위

청구항 1

SENT(Single-Edge Nibble Transmission) 송신기 측에서 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 CRC(Cyclic Redundancy Check) 인코더; 및

ECU(Electric Control Units) 측에서 상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 CRC 디코더

를 포함하는 SENT 인터페이스.

청구항 2

제1항에 있어서,

상기 CRC 인코더는,

입력된 원본 데이터 패킷으로부터 고정 크기의 체크섬 데이터를 생성하여 CRC 인코딩을 수행하고, XOR 로직을 사용하여 x^4+x^3+1로 정의된 CRC 다항식으로 4비트 데이터를 처리하는

SENT 인터페이스.

청구항 3

제1항에 있어서,

상기 CRC 디코더는,

상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하기 위해 CRC 디코딩을 수행하고, 최종 CRC 검사자를 결정하는

SENT 인터페이스.

청구항 4

제2항에 있어서,

상기 CRC 인코더 및 상기 CRC 디코더는 데이터의 정확성을 확인하기 위한 CRC를 통해 최종 출력 신호를 0으로 만듦으로써 원본 데이터와 CRC 인코더 및 CRC 디코더 간의 전송된 데이터 사이에 불일치가 없음을 확인하는

SENT 인터페이스.

청구항 5

SENT(Single-Edge Nibble Transmission) 송신기 측에서 CRC(Cyclic Redundancy Check) 인코더를 통해 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 단계; 및

ECU(Electric Control Units) 측에서 상기 인코딩된 데이터를 수신하여, CRC 디코더를 통해 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 단계

를 포함하는 SENT 인터페이스의 동작 방법.

청구항 6

제5항에 있어서,

상기 SENT 송신기 측에서 CRC 인코더를 통해 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 단계는,

입력된 원본 데이터 패킷으로부터 고정 크기의 체크섬 데이터를 생성하여 CRC 인코딩을 수행하고, XOR 로직을 사용하여 x^4+x^3+1로 정의된 CRC 다항식으로 4비트 데이터를 처리하는

SENT 인터페이스의 동작 방법.

청구항 7

제5항에 있어서,

상기 ECU측에서 상기 인코딩된 데이터를 수신하여, CRC 디코더를 통해 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 단계는,

상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하기 위해 CRC 디코딩을 수행하고, 최종 CRC 검사자를 결정하는

SENT 인터페이스의 동작 방법.

청구항 8

제7항에 있어서,

상기 ECU측에서 상기 인코딩된 데이터를 수신하여, CRC 디코더를 통해 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 단계는,

상기 CRC 인코더 및 상기 CRC 디코더는 데이터의 정확성을 확인하기 위한 CRC를 통해 최종 출력 신호를 0으로 만듦으로써 원본 데이터와 CRC 인코더 및 CRC 디코더 간의 전송된 데이터 사이에 불일치가 없음을 확인하는

SENT 인터페이스의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 데이터 오류 트레이닝 보정기를 사용한 자동차 SENT 인터페이스 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 현대의 차량 상호 연결은 신뢰할 수 있는 데이터 트랜잭션을 위한 여러 센서와 ECU(Electric Control Units) 간의 정교한 디지털 통신과 같은 심오한 발전과 새로운 기술로 극적으로 발전했다. 고처리량 디지털 통신을 위한 CRC(Cyclic Redundancy Check) 방식의 시스템 오버헤드를 줄이기 위해 CRC 연산에 대한 최적의 다항식을 연구했다. 예를 들어, CRC 연산은 이진 다항식 및 CRC 분할 기법을 사용하여 데이터 무결성을 검증할 수 있다. 오류가 없는 데이터 트랜잭션의 경우, 나머지 0(zero reminder) 사후 분할 방식은 데이터 신뢰성을 더욱 향상시킬 수 있다. 그러나 0이 아닌 나머지는 잠재적인 데이터 전송 오류를 발생시킬 수 있다. CRC 제외 방식은 분할 분석을 사용하여 CRC 복잡성을 줄이기 위한 컨볼루션 코드를 제안했다.

[0003] 16비트 중복을 가진 CRC 코드는 노이즈 채널에서 향상된 성능을 보여주었다. 그러나 이러한 고차 CRC 방식은 증가된 전력 소비, 설계 복잡성, 큰 면적 및 긴 지연 시간 때문에 자동차 애플리케이션에 적합하지 않을 수 있다.

선행기술문헌

비특허문헌

[0004] (비특허문헌 0001) [1] X. Zhang, "Low-Complexity Parallel Cyclic Redundancy Check," 2021 IEEE International Symposium on Circuits and Systems (ISCAS), Daegu, Korea, 2021, pp. 1-5.

(비특허문헌 0002) [2] C. -Y. Lou, "Convolutional-Code-Specific CRC Code Design," in IEEE Transactions on Communications, vol. 63, no. 10, pp. 3459-3470.

(비특허문헌 0003) [3] Q. Zhang, "CRC Code Design for List Decoding of Polar Codes," in IEEE Communications Letters, vol. 21, no. 6, pp. 1229-1232.

(비특허문헌 0004) [4] G. Castagnoli, "Optimum cycle redundancy-check codes with 16-bit redundancy," in IEEE Transactions on Communications, vol. 38, no. 1, pp. 111-114.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 SENT 프로토콜을 위한 4비트 CRC(Cyclic Redundancy Check) 설계 및 분석을 제안하여 최대 4비트 크기의 오류를 식별할 수 있는 데이터 오류 트레이닝 보정기를 사용한 자동차 SENT(Single-Edge Nibble Transmission) 인터페이스 및 그 동작 방법을 제공하는데 있다. 제안하는 CRC 회로를 자동차 응용을 위한 최신 SENT 인터페이스에 적용하여 데이터 신뢰성과 센서 및 ECU(Electric Control Units) 간의 안전한 데이터 트랜잭션을 향상시키고자 한다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 데이터 오류 트레이닝 보정기를 사용한 자동차 SENT 인터페이스는 SENT(Single-Edge Nibble Transmission) 송신기 측에서 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 CRC(Cyclic Redundancy Check) 인코더 및 ECU(Electric Control Units) 측에서 상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 CRC 디코더를 포함한다.

[0007] 상기 CRC 인코더는 입력된 원본 데이터 패킷으로부터 고정 크기의 체크섬 데이터를 생성하여 CRC 인코딩을 수행하고, XOR 로직을 사용하여 x^4+x^3+1로 정의된 CRC 다항식으로 4비트 데이터를 처리한다.

[0008] 상기 CRC 디코더는 상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하기 위해 CRC 디코딩을 수행하고, 최종 CRC 검사자를 결정한다.

[0009] 상기 CRC 인코더 및 상기 CRC 디코더는 데이터의 정확성을 확인하기 위한 CRC를 통해 최종 출력 신호를 0으로 만듦으로써 원본 데이터와 CRC 인코더 및 CRC 디코더 간의 전송된 데이터 사이에 불일치가 없음을 확인한다.

[0010] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 데이터 오류 트레이닝 보정기를 사용한 자동차 SENT 인터페이스의 동작 방법은 SENT 송신기 측에서 CRC 인코더를 통해 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 단계 및 ECU 측에서 상기 인코딩된 데이터를 수신하여, CRC 디코더를 통해 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 단계를 포함한다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면 데이터 오류 트레이닝 보정기를 사용한 자동차 SENT(Single-Edge Nibble Transmission) 인터페이스 및 그 동작 방법을 통해 SENT 프로토콜을 위한 4비트 CRC(Cyclic Redundancy Check) 설계 및 분석을 이용하여 최대 4비트 크기의 오류를 식별할 수 있다. 제안하는 CRC 회로를 자동차 응용을 위한 최신 SENT 인터페이스에 적용하면 데이터 신뢰성과 센서 및 ECU(Electric Control Units) 간의 안전한 데이터 트랜잭션을 향상시킬 수 있다. 콤팩트 CRC 인코더 및 디코더를 활용한 제안하는 SENT 인터페이스는 데이터 처리량 및 오류 감지 기능의 핵심 성능을 크게 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 CRC 기반 SENT 인터페이스 아키텍처를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 데이터 오류 트레이닝 보정기를 사용한 SENT 인터페이스의 CRC 인코더 및 CRC 디코더를 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 CRC 인코더와 CRC 디코더를 사용한 4비트 CRC 동작의 파형을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 오류 트레이닝 보정기를 사용한 SENT 인터페이스의 동작 방법을 설명하기

위한 흐름도이다.

도 5는 본 발명의 일 실시예에 따른 4비트 CRC 방식의 레이아웃을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 CRC 연산의 시뮬레이션 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 SENT 프로토콜을 위한 4비트 CRC(Cyclic Redundancy Check) 설계 및 분석을 제안하여 최대 4비트 크기의 오류를 식별할 수 있는 CRC 기반 SENT(Single-Edge Nibble Transmission) 인터페이스를 제안한다. 제안하는 차량용 인터커넥트용 CRC 설계는 1V 공급 전압에서 1.6μW의 낮은 전력 소비로 1MHz에서 작동할 수 있다. 제안하는 CRC 회로를 자동차 응용을 위한 최신 SENT 인터페이스에 적용하면 데이터 신뢰성과 센서 및 ECU(Electric Control Units) 간의 안전한 데이터 트랜잭션을 향상시킬 수 있다. 콤팩트 CRC 인코더 및 디코더를 활용한 제안하는 SENT 인터페이스는 데이터 처리량 및 오류 감지 기능의 핵심 성능을 크게 향상시킬 수 있다.

[0014] 본 발명의 실시예에 따른 고속 SENT 인터페이스를 위한 저전력, 간단하고 면적 효율적인 4비트 CRC 방식은 Synopsys 및 Xilinx HLX 2018.3 소프트웨어 제품군을 사용하여 기능적으로 분석되고 설계된다. Synopsys ICC와 Cadence Spectre 시뮬레이터를 이용하여 CRC 방식과 레이아웃을 합성하고 검증하였다. 사후 추출된 시뮬레이션 결과는 SENT 인터페이스를 위해 제안된 CRC 방식이 속도, 면적 및 지연 시간 측면에서 SENT 인터페이스의 주요 성능을 향상시킬 수 있음을 보여준다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0016] 도 1은 본 발명의 일 실시예에 따른 CRC 기반 SENT 인터페이스 아키텍처를 나타내는 도면이다.

[0017] 도 1은 차량 통신 시스템의 면적 효율적이고 저전력 고속 동작을 위한 CRC 기반 SENT 인터페이스의 구조를 보여준다. 일반적인 SENT 인터페이스는 온도, 연료 레벨, 속도 및 압력과 같은 다양한 중요한 센서로 구성된다.

[0018] SENT 인터페이스의 송신기(110)측의 아날로그 디지털 변환기(Analog-to-Digital Converters; ADC)는 작은 아날로그 신호를 디지털 신호로 변환한다.

[0019] 송신기(110)측의 CRC 인코더(111) 및 ECU(120)측의 CRC 디코더(121)를 사용하여 디지털 데이터 신호를 인코딩하고 디코딩할 수 있도록 한다. 이후 CRC 인코더(111)는 고정 크기의 체크섬 데이터를 생성하고 인코딩된 패킷은 SENT 상호 연결 채널을 통해 전송된다. ECU(120)는 인코딩된 데이터를 수신하고 CRC 디코더(121)는 CRC 값을 다시 계산하여 SENT 채널을 통해 데이터 검증을 수행한다.

[0021] 도 2는 본 발명의 일 실시예에 따른 데이터 오류 트레이닝 보정기를 사용한 SENT 인터페이스의 CRC 인코더 및 CRC 디코더를 나타내는 도면이다.

[0022] 본 발명의 실시예에 따른 CRC 인코더(210) 및 CRC 디코더(220)를 통한 CRC 연산에서 n비트 CRC 동작의 핵심 다항식을 사용하여 데이터의 신뢰성과 차량 안전성을 향상시킬 수 있다.

[0023] 도 2를 참조하면, 원본 데이터 패킷, CRC 인코딩 및 CRC 디코딩, 최종 CRC 검사자 결정을 처리하는 4비트 CRC 인코딩 및 디코딩 방법론을 보여준다. 예를 들어, 제안된 CRC 방식은 간단한 XOR 로직을 사용하여 x^4+x^3+1로 정의된 CRC 다항식으로 4비트 데이터를 처리한다.

[0024] 도 2(230)를 참조하면, 11100101로 데이터 패킷의 입력을 인가하면 CRC 방식은 0100으로 출력(즉, crc_out)을 계산하고 생성한다.

[0025] 도 2(240)를 참조하면, CRC 인코더와 CRC 디코더는 전송된 데이터의 정확성을 확인하여 최종 출력 신호(즉, crc_err)를 0으로 만든다. 즉, 원본 데이터와 CRC 인코더와 디코더의 전송된 데이터 사이에 불일치가 없음을 의미한다.

[0027] 도 3은 본 발명의 일 실시예에 따른 CRC 인코더와 CRC 디코더를 사용한 4비트 CRC 동작의 파형을 나타내는 도면이다.

[0028] 도 3은 제안된 CRC 인코더와 CRC 디코더를 사용한 4비트 CRC 동작의 파형을 보여준다.

[0030] 도 4는 본 발명의 일 실시예에 따른 오류 트레이닝 보정기를 사용한 SENT 인터페이스의 동작 방법을 설명하기 위한 흐름도이다.

[0031] 본 발명의 실시예에 따른 오류 트레이닝 보정기를 사용한 SENT 인터페이스의 동작 방법은 SENT 송신기 측에서 CRC 인코더를 통해 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 단계(410) 및 ECU 측에서 상기 인코딩된 데이터를 수신하여, CRC 디코더를 통해 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 단계(420)를 포함한다.

[0032] 단계(410)에서, 상기 SENT 송신기 측에서 CRC 인코더를 통해 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송한다.

[0033] 본 발명의 실시예에 따르면, 입력된 원본 데이터 패킷으로부터 고정 크기의 체크섬 데이터를 생성하여 CRC 인코딩을 수행하고, XOR 로직을 사용하여 x^4+x^3+1로 정의된 CRC 다항식으로 4비트 데이터를 처리한다.

[0034] 단계(420)에서, 상기 ECU측에서 상기 인코딩된 데이터를 수신하여, CRC 디코더를 통해 상기 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행한다.

[0035] 본 발명의 실시예에 따르면, 상기 인코딩된 데이터를 수신하여 상기 인코딩된 데이터의 CRC 값을 다시 계산하기 위해 CRC 디코딩을 수행하고, 최종 CRC 검사자를 결정한다.

[0036] 본 발명의 실시예에 따르면, 상기 CRC 인코더 및 상기 CRC 디코더는 데이터의 정확성을 확인하기 위한 CRC를 통해 최종 출력 신호를 0으로 만듦으로써 원본 데이터와 CRC 인코더 및 CRC 디코더 간의 전송된 데이터 사이에 불일치가 없음을 확인한다.

[0038] 도 5는 본 발명의 일 실시예에 따른 4비트 CRC 방식의 레이아웃을 나타내는 도면이다.

[0039] 도 5(a)는 본 발명의 실시예에 따른 CRC 인코더, 디코더 및 디지털 제어 로직을 사용한 4비트 CRC 방식의 레이아웃을 보여준다. 제안하는 CRC 방식의 최종 레이아웃은 9㎛ x 9㎛에 불과하므로 고속 SENT 인터페이스의 레이아웃은 매우 컴팩트하다.

[0040] 도 5(b)는 본 발명의 실시예에 따른 CRC 방식의 전력 분해를 나타내는 도면이다. 본 발명의 실시예에 따르면 1V 공급 전압에서 1.6㎼의 전력으로 제안된 CRC 방식의 전력 분해를 보여준다. 시뮬레이션 결과는 CRC 인코더가 단순히 일련의 XOR 연산으로 CRC 코드를 생성하지만, CRC 디코더는 다항식 분할 및 디지털 로직을 수행하여 오류를 확인하고 식별하기 때문에 디코더 전력이 전체 전력 소비의 50% 이상을 차지한다는 것을 보여준다.

[0042] 도 6은 본 발명의 일 실시예에 따른 CRC 연산의 시뮬레이션 파형을 나타내는 도면이다.

[0043] 도 6은 제안하는 CRC 연산의 시뮬레이션 파형을 보여준다. 제안된 SENT 상호 연결을 위한 CRC 방식은 수신된 데이터 패킷을 처리하여 CRC 다항식 인코딩 및 디코딩을 성공적으로 계산하고 오류를 확인 및 식별한다.

[0044] 본 발명에서 제안하는 자동차 인터페이스를 위한 CRC 방식은 중요한 센서와 ECU 간의 데이터 신뢰성과 안전한 데이터 트랜잭션을 향상시킬 수 있다. 콤팩트 CRC 인코더와 CRC 디코더를 활용한 제안된 SENT 인터페이스는 데이터 오류 식별 기능을 획기적으로 향상시킬 수 있다.

[0046] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를

접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0047] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

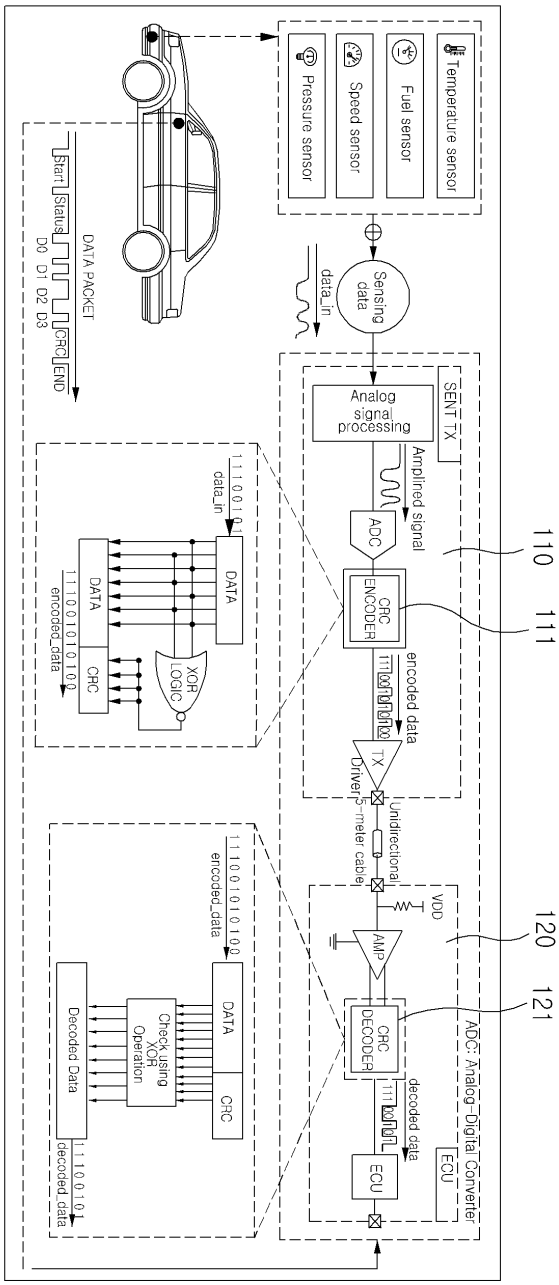
[0048] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0049] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

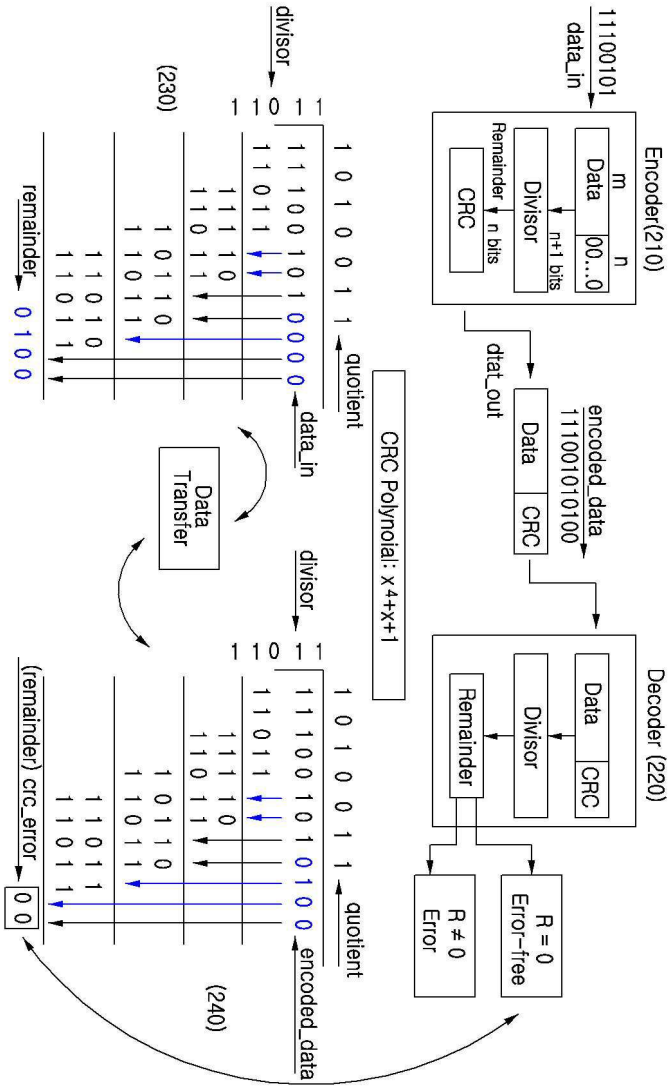
[0050] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

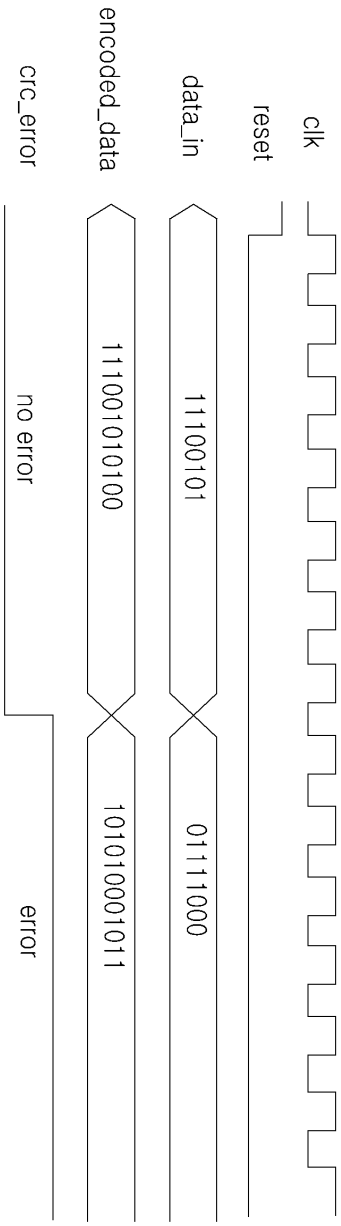
도면1


Pressure sensor
Speed sensor
Fuel sensor
Temperature sensor
Sensing data
data_in
Start
Status
D0 D1 D2 D3
DATA PACKET
CRC
END
SENT TX
Analog signal processing
Amplified signal
ADC
CRC ENCODER
encoded data
TX Driver
Unidirectional
5-meter cable
VDD
AMP
CRC DECODER
decoded data
ECU
ADC: Analog-Digital Converter
110
111
120
121
DATA
CRC
XOR LOGIC
encoded_data
Check using XOR Operation
Decoded Data
decoded_data

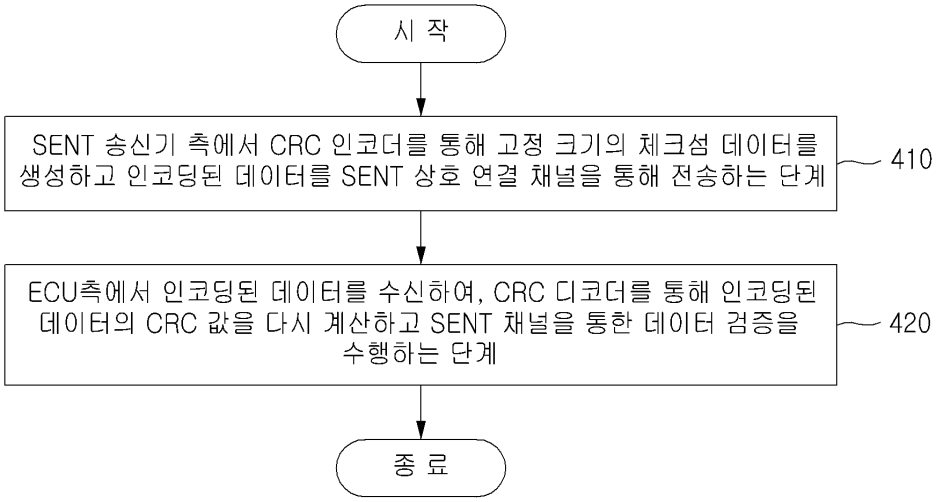
도면2


Encoder(210)
11100101
data_in
m
Data
00...0
n
n+1 bits
Divisor
Remainder
n bits
CRC
dtat_out
encoded_data
11100101010100
Data
CRC
Decoder (220)
Data
CRC
Divisor
Remainder
R ≠ 0
Error
R = 0
Error-free
CRC Polynoial: x4+x+1
divisor
1 1 0 1 1
1 0 1 0 0 1 1
quotient
1 1 1 0 0 1 0 1 0 0 0 0
data_in
(230)
Data
Transfer
divisor
1 1 0 1 1
1 0 1 0 0 1 1
quotient
1 1 1 0 0 1 0 1 0 1 0 0
encoded_data
(240)
remainder
0 1 0 0
(remainder) crc_error
0 0

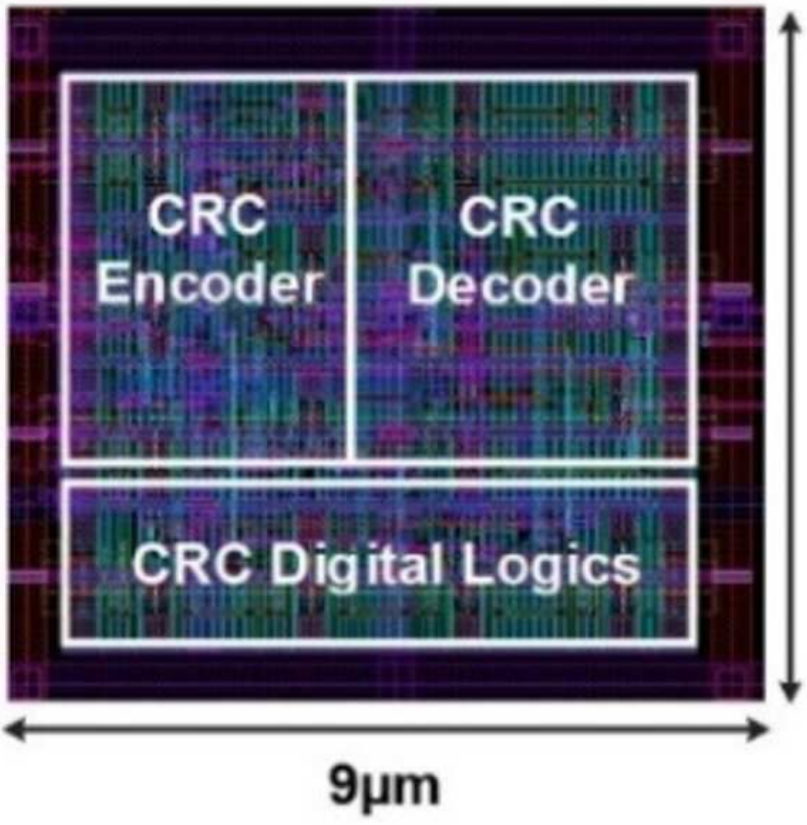
도면3


clk
reset
data_in
11100101
01111000
encoded_data
11100101010100
10101000101 1
crc_error
no error
error

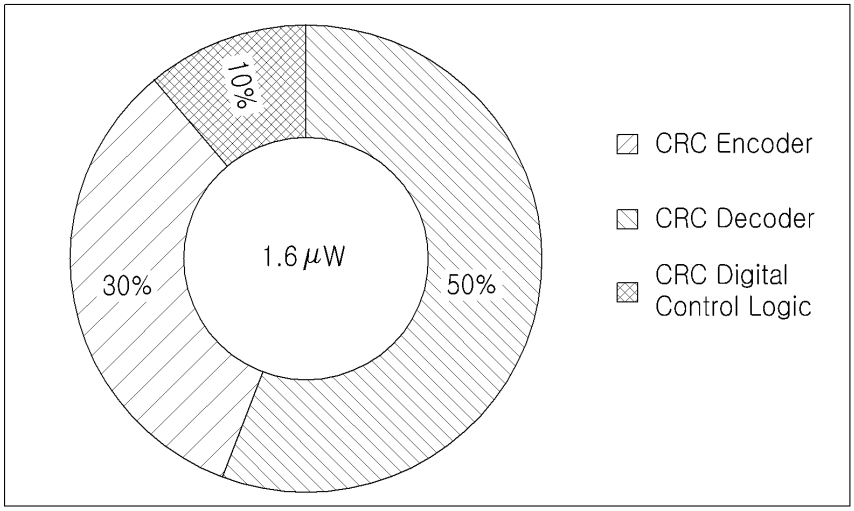
도면4


시 작
SENT 송신기 측에서 CRC 인코더를 통해 고정 크기의 체크섬 데이터를 생성하고 인코딩된 데이터를 SENT 상호 연결 채널을 통해 전송하는 단계
410
ECU측에서 인코딩된 데이터를 수신하여, CRC 디코더를 통해 인코딩된 데이터의 CRC 값을 다시 계산하고 SENT 채널을 통한 데이터 검증을 수행하는 단계
420
종 료

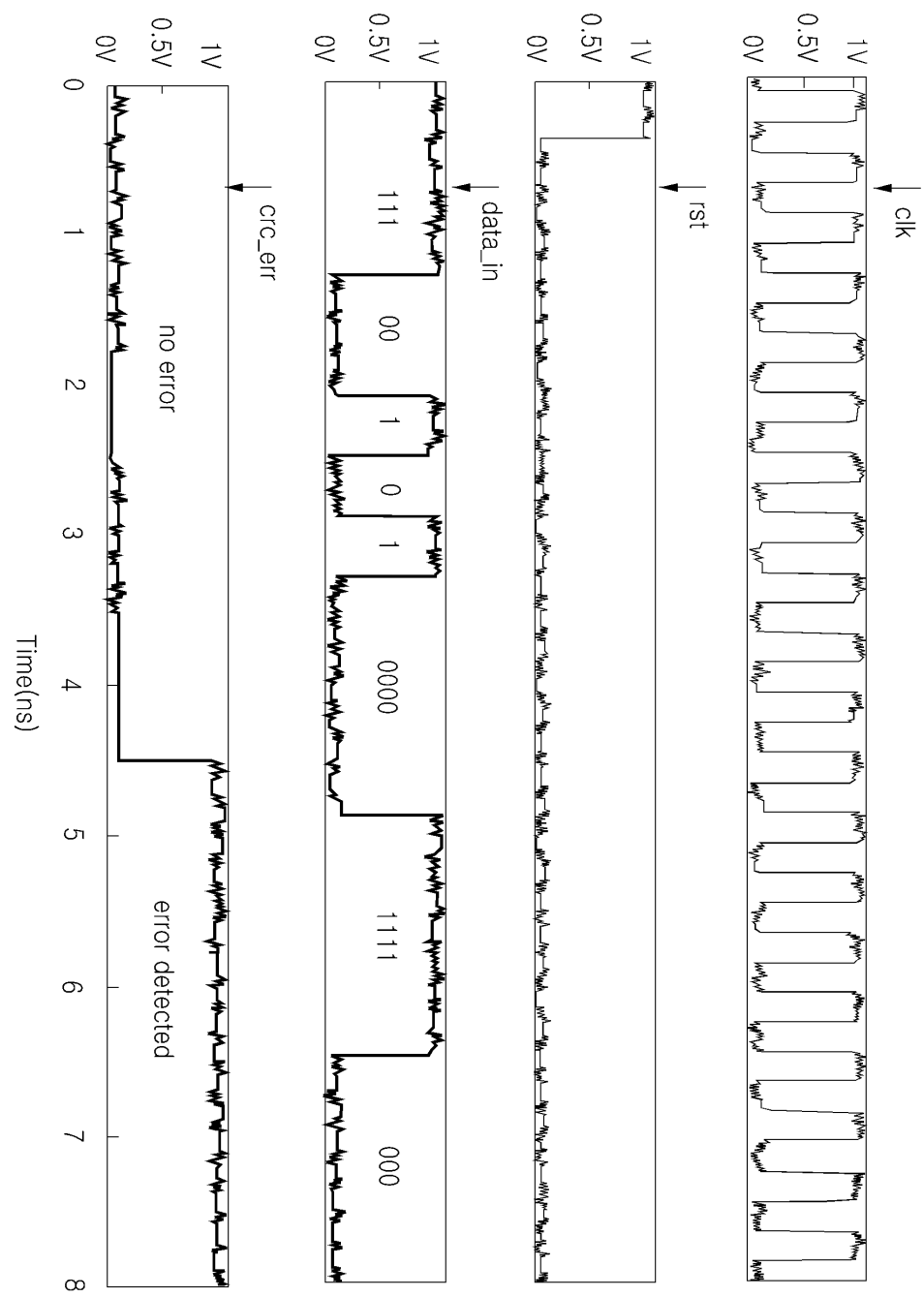
도면5a


CRC Encoder
CRC Decoder
CRC Digital Logics
9μm

도면5b


10%
1.6 μW
30%
50%
CRC Encoder
CRC Decoder
CRC Digital
Control Logic

도면6


clk
rst
data_in
crc_err
1V
0.5V
0V
111
00
1
0
1
0000
1111
000
no error
error detected
0
1
2
3
4
5
6
7
8
Time(ns)