



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월03일
 (11) 등록번호 10-1702387
 (24) 등록일자 2017년01월26일

(51) 국제특허분류(Int. Cl.)
 H05B 37/02 (2006.01) H05B 33/08 (2006.01)
 (21) 출원번호 10-2014-0051669
 (22) 출원일자 2014년04월29일
 심사청구일자 2014년04월29일
 (65) 공개번호 10-2015-0016084
 (43) 공개일자 2015년02월11일
 (30) 우선권주장
 1020130092261 2013년08월02일 대한민국(KR)
 (56) 선행기술조사문헌
 KR1020130057605 A*
 KR1020130069516 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 르코어테크놀로지
 서울특별시 강동구 강동대로 143-48, 3층(성내동, 서린빌딩)
 (72) 발명자
이용희
 경기도 성남시 분당구 불정로 361, 503동 701호(서현동, 효자촌삼환아파트)
이명열
 서울특별시 중구 동호로10길 30, 114동 508호(신당동, 약수하이츠아파트)
성유창
 경기도 화성시 동탄중앙로 51, 623동 202호(반송동, 동탄나루마을한화꿈에그린아파트)
 (74) 대리인
한지희, 윤재석, 권영규

전체 청구항 수 : 총 5 항

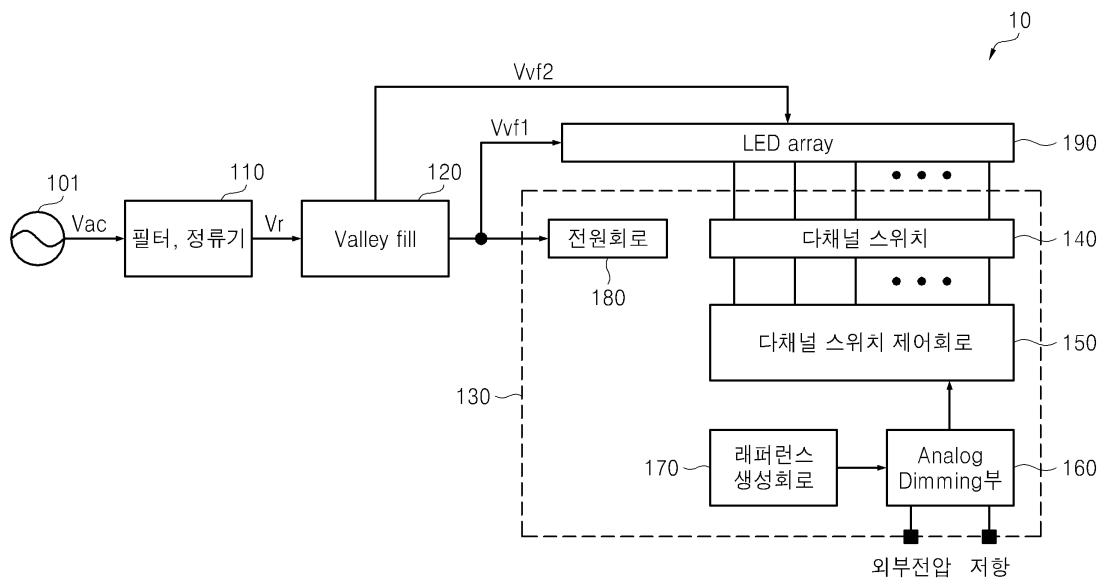
심사관 : 김종민

(54) 발명의 명칭 LED 구동 집적회로 및 그 구동 방법

(57) 요약

LED 구동 집적회로 및 그 구동 방법이 개시된다. 본 발명의 LED 구동 집적회로는 다채널 AC 다이렉트형 LED 구동 회로에 관한 것으로, 직렬로 연결된 제1 내지 제k(2이상의 정수) LED 그룹을 포함하는 LED 어레이; 상기 LED 어레이에 연결되는 복수(2이상)의 스위치들과 상기 스위치들을 선택적으로 개폐하기 위한 스위치 제어회로를 포함하는 제어 유닛; 및 교류(AC) 전압의 정류 전압을 수신하여 상기 LED 어레이로 제1 및 제2 변형 정류 전압들을 공급하는 밸리 필 회로를 포함하며, 상기 밸리 필 회로는 상기 LED 어레이의 제1 LED 그룹의 입력으로 상기 제1 변형 정류 전압을 공급하고, 상기 제1 LED 그룹을 제외한 나머지 LED 그룹의 어느 하나의 입력으로 상기 제2 변형 정류 전압을 공급한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 10047199

부처명 산업통상자원부

연구관리전문기관 산업기술평가관리원

연구사업명 산업융합원천기술개발사업

연구과제명 고신뢰성자동차 실외등용 LED 구동회로개발

기 여 율 1/1

주관기관 주식회사 르코어테크놀로지

연구기간 2013.09.01 ~ 2016.08.31

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

AC 다이렉트형 LED 조명 구동 회로에 있어서,

직렬로 연결된 제1 내지 제 n (2이상의 정수) LED 그룹을 포함하며, 페이즈 컷된 교류(AC) 전압을 이용하여 구동되는 LED 어레이;

상기 LED 어레이에 연결되는 제어 유닛; 및

교류(AC) 전압의 정류 전압을 수신하여 상기 LED 어레이로 전류를 공급하기 위한 스위처블 필 회로를 포함하며,

상기 제어 유닛은

상기 LED 어레이에 연결되는 제1 내지 제 m (2이상의 정수) 스위치들을 포함하는 다채널 스위치 회로;

상기 제1 내지 제 m 스위치들 각각을 선택적으로 개폐하기 위한 다채널 스위치 제어회로;

상기 페이즈 컷된 정류 전압을 수신하여, 페이즈 컷된 비율을 나타내는 듀티 정보를 검출하여 듀티 검출 신호(PDS)를 생성하는 페이즈 검출부;

상기 듀티 검출 신호에 응답하여 디밍 기준 전압을 생성하는 페이즈-디밍 제어부; 및

상기 디밍 기준 전압에 따라 상기 제1 내지 제 m 스위치들 각각에 흐르는 전류를 조절함으로써 상기 LED 어레이의 밝기를 조절하는 아날로그 디밍부를 포함하고,

상기 스위처블 필 회로는

제1 구간에서는 상기 LED 어레이의 상기 제1 LED 그룹의 입력으로 제1 입력 전류를 제공하고,

제2 구간에서는 상기 LED 어레이의 상기 제1 LED 그룹의 입력으로 제2 입력 전류를 제공하며, 상기 제1 LED 그룹을 제외한 나머지 LED 그룹의 어느 하나의 입력으로 제3 입력 전류를 제공하고,

상기 LED 구동 회로는

상기 제1 구간과 상기 제2 구간에서 상기 스위처블 필 회로가 다르게 동작하도록 제어하는 스위처블 필 제어회로를 더 포함하고,

상기 스위처블 필 회로는

제1 노드와 제2 노드 사이에 연결된 저항;

상기 제2 노드와 접지 사이에 연결된 커패시터;

상기 제2 노드와 제3 노드 사이에 연결되고, 또한 상기 스위처블 필 제어회로에 연결되는 트랜지스터;

상기 저항에 병렬로 연결되는 제1 다이오드; 및

상기 제3 노드와 제4 노드 사이에 연결되는 제2 다이오드를 포함하며,

상기 제1 노드는 상기 제1 LED 그룹의 입력과 연결되고,

상기 제4 노드는 상기 제1 내지 제 k (2이상의 정수) LED 그룹들 중 제 j LED 그룹의 입력과 연결되며,

상기 j 는 2 이상 k 이하의 정수인 LED 구동 회로.

청구항 13

제12항에 있어서, 상기 제어 유닛은

상기 페이즈 컷된 교류(AC) 전압을 발생하는 페이즈 컷 디머의 동작에 필요한 홀딩 전류(holding current)를 흐르게 하는 브리더 회로를 더 포함하는 LED 구동 회로.

청구항 14

제12항에 있어서, 상기 페이즈 검출부는

비교 대상 전압과 비교 기준 전압을 비교하여 상기 듀티 검출 신호를 발생하는 비교기를 포함하며,

상기 비교 대상 전압(V_c)은 상기 페이즈 컷된 정류 전압에 기초한 전압인 LED 구동 회로.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 페이즈 검출부는

비교 대상 전압을 수신하여 상기 듀티 검출 신호를 발생하는 슈미트 트리거를 포함하며,

상기 비교 대상 전압은 상기 페이즈 컷된 정류 전압에 기초한 전압인 LED 구동 회로.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 페이즈 검출부는

상기 페이즈 컷된 정류 전압이 입력되는 노드와 접지 사이에 직렬로 연결되는 저항과 제너 다이오드를 포함하는 LED 구동 회로.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 페이즈 디밍 제어부는

상기 듀티 검출 신호에 응답하여 제1 기준 전압과 제2 기준전압을 멀티플렉싱하여 출력하는 멀티플렉서; 및

상기 멀티플렉서의 출력을 로우패스 필터링하여 상기 디밍 기준 전압으로 출력하는 로우패스 필터를 포함하는 LED 구동 회로.

청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 페이즈 디밍 제어부는

상기 듀티 검출 신호에 응답하여 제1 기준 전압과 제2 기준전압을 멀티플렉싱하여 출력하는 멀티플렉서;

상기 멀티플렉서의 출력에 연결되고, 샘플링 클락 신호에 응답하여 개폐되는 샘플링 스위치; 및

상기 샘플링 스위치의 출력을 로우패스 필터링하여 상기 디밍 기준 전압으로 출력하는 로우패스 필터를 포함하는 LED 구동 회로.

청구항 19

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 샘플링 클락 신호의 주기는

상기 듀티 검출 신호의 주기 보다 짧고,

상기 샘플링 클락 신호의 제1 로직 레벨 구간이 제2 로직 레벨 보다 짧은 LED 구동 회로.

청구항 20

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 페이즈 디밍 제어부는

상기 듀티 검출 신호에 따라 가변되는 N-비트 디지털 코드를 생성하고, 생성된 디지털 코드를 아날로그 전압으로 변환하여 상기 디밍 기준 전압을 생성하는 LED 구동 회로.

청구항 21

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제20항에 있어서, 상기 페이즈 디밍 제어부는

상기 듀티 검출 신호의 제1 로직 레벨 구간 동안 발진 신호의 펄스 수를 카운팅하여 상기 N-비트 디지털 코드를 출력하는 카운터; 및

상기 N-비트 디지털 코드에 따라 제1 기준 전압과 제2 기준 전압(Ref2) 사이의 전압을 2^N 으로 나눈 전압들 중의 하나를 상기 디밍 기준 전압으로 선택하는 디지털-아날로그 변환기를 포함하며,

상기 발진 신호의 주기는 상기 듀티 검출 신호의 주기의 $1/2^N$ 인 LED 구동 회로.

청구항 22

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제21항에 있어서, 상기 페이즈 디밍 제어부는

상기 듀티 검출 신호의 주기마다 하나의 펄스가 발생하는 원샷 펄스 신호를 출력하는 펄스 발생기를 더 포함하며,

상기 원샷 펄스 신호는 상기 카운터의 리셋 신호로 사용되는 LED 구동 회로.

청구항 23

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 LED 구동 회로는

상기 페이즈 컷된 교류(AC) 전압의 정류 전압을 발생하는 정류기; 및

상기 정류기에 연결되는 다이오드를 더 포함하며,

상기 스위처블 필 회로는

상기 다이오드와 상기 LED 어레이 사이에 연결되는 LED 구동 회로.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

청구항 28은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 페이즈-디밍 제어부는

미리 정해진 또는 알고리즘에 따라 조절되는 디밍 프로파일에 따라, 상기 디밍 기준 전압을 조절함으로써, 상기 LED 어레이의 밝기를 조절하는 LED 구동 회로.

청구항 29

AC 다이렉트형 LED 구동 회로에 있어서,

직렬로 연결된 제1 내지 제k(2이상의 정수) LED 그룹을 포함하는 LED 어레이;

상기 LED 어레이에 연결되는 복수(2이상)의 스위치들과 상기 스위치들을 선택적으로 개폐하기 위한 스위치 제어 회로를 포함하는 제어 유닛; 및

교류(AC) 전압의 정류 전압을 수신하여 상기 LED 어레이로 전류를 공급하기 위한 스위처블 필 회로를 포함하며,

상기 스위처블 필 회로는

제1 구간에서는 상기 LED 어레이의 상기 제1 LED 그룹의 입력으로 제1 입력 전류를 제공하고,

제2 구간에서는 상기 LED 어레이의 상기 제1 LED 그룹의 입력으로 제2 입력 전류를 제공하며, 상기 제1 LED 그룹을 제외한 나머지 LED 그룹의 어느 하나의 입력으로 제3 입력 전류를 제공하고,

상기 LED 구동 회로는

상기 제1 구간과 상기 제2 구간에서 상기 스위처블 필 회로가 다르게 동작하도록 제어하는 스위처블 필 제어 회로를 더 포함하고,

상기 스위처블 필 회로는

제1 노드와 제2 노드 사이에 연결된 저항;

상기 제2 노드와 접지 사이에 연결된 커패시터;

상기 제2 노드와 제3 노드 사이에 연결되고, 또한 상기 스위처블 필 제어 회로에 연결되는 트랜지스터;

상기 저항에 병렬로 연결되는 제1 다이오드; 및

상기 제3 노드와 제4 노드 사이에 연결되는 제2 다이오드를 포함하며,

상기 제1 노드는 상기 제1 LED 그룹의 입력과 연결되고,

상기 제4 노드는 상기 제1 내지 제k(2이상의 정수) LED 그룹들 중 제j LED 그룹의 입력과 연결되며,

상기 j는 2 이상 k 이하의 정수인 LED 구동 회로.

청구항 30

삭제

청구항 31

삭제

청구항 32

제29항에 있어서, 상기 스위처블 필 제어 회로는

상기 제1 구간에서는 상기 트랜지스터를 오프(off)시키고,

상기 제2 구간에서는 상기 트랜지스터를 온(on)시키는 LED 구동 회로.

청구항 33

청구항 33은(는) 설정등록료 납부시 포기되었습니다.

제29항에 있어서, 상기 스위처블 필 제어 회로는

상기 제1 노드의 전압과 상기 제2 노드의 전압을 비교하여, 상기 제1 노드의 전압이 상기 제2 노드의 전압 보다 큰 경우, 상기 트랜지스터를 오프(off)시키고,

상기 제1 노드의 전압이 상기 제2 노드의 전압 보다 작거나 같은 경우 상기 트랜지스터를 온(on)시키는 LED 구동 회로.

청구항 34

청구항 34은(는) 설정등록료 납부시 포기되었습니다.

제29항에 있어서, 상기 LED 어레이는

상기 제j LED 그룹의 입력과 제(j-1) LED 그룹의 출력 사이에 연결되는 제3 다이오드를 더 포함하는 LED 구동 회로.

청구항 35

청구항 35은(는) 설정등록료 납부시 포기되었습니다.

제29항에 있어서, 상기 스위처블 필 회로는

상기 제1 구간에서 상기 커패시터로 충전 전류를 흐르게 하여 상기 커패시터를 충전하는 LED 구동 회로.

발명의 설명

기술 분야

[0001] 본 발명은 조명 구동 회로 및 방법에 관한 것으로서, 특히 LED 조명을 구동하기 위한 LED 구동 집적회로, 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 최근 에너지 절약의 하나의 방안으로서 기존의 비효율적인 광원 대신 효율이 좋은 LED 방식의 광원이 도입되는 추세이다.

[0003] LED 조명을 구동하는 방식에는 크게 교류(AC) 전원을 DC 전원으로 변환한 후 DC 전원을 이용하여 LED를 구동하는 AC-DC 변환형 구동 방식과 교류(AC) 전원을 DC 전원으로 변환하지 않고 AC 전원으로 LED를 직접 구동하는 AC 다이렉트형 구동 방식이 있다.

[0004] 한편, LED 조명의 품질 요소 중의 하나로 플리커 인덱스(flicker index)가 있다. LED 조명의 플리커(깜박거림) 정도를 나타내는 수치로서, LED 조명의 품질을 향상시키기 위해서는 플리커를 줄일 필요가 있다.

[0005] 또한, 기존의 백열등 조명에서는, 백열등의 밝기를 조절하기 위하여 밝기 조절 장치(예컨대, 로터리식 스위치를 이용하여 밝기를 조절하는 장치)가 사용되고 있다. 따라서, LED 조명에서도 밝기를 조절하기 위한 장치가 필요하다.

발명의 내용

해결하려는 과제

[0006] 따라서 본 발명이 이루고자 하는 기술적인 과제는 LED 조명의 플리커(깜박거림)를 줄일 수 있는 AC 다이렉트형 LED 구동 회로를 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 다른 기술적인 과제는 밝기 조절 장치에 의한 교류전원의 페이즈컷 비율을 검출하여, LED 조명의 밝기를 조절할 수 있는 AC 다이렉트형 LED 구동 회로를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 LED 구동 회로는 AC 다이렉트형 LED 구동 회로로서, 직렬로 연결된 제1 내지 제k(2이상의 정수) LED 그룹을 포함하는 LED 어레이; 상기 LED 어레이에 연결되는 복수(2이상)의 스위치들과 상기 스위치들을 선택적으로 개폐하기 위한 스위치 제어회로를 포함하는 제어 유닛; 및 교류(AC) 전압의 정류 전압을 수신하여 상기 LED 어레이로 제1 및 제2 변형 정류 전압들을 공급하는 밸리 필 회로를 포함한다.

[0009] 상기 밸리 필 회로는 상기 LED 어레이의 제1 LED 그룹의 입력으로 상기 제1 변형 정류 전압을 공급하고, 상기 제1 LED 그룹을 제외한 나머지 LED 그룹의 어느 하나의 입력으로 상기 제2 변형 정류 전압을 공급하고, 상기 제1 내지 제 k LED 그룹 각각은 적어도 하나의 LED를 포함하며, 하나의 LED 그룹 내의 LED가 둘 이상일 때 둘 이상의 LED는 직렬, 병렬 또는 직렬과 병렬이 혼합된 형태로 연결된다.

[0010] 상기 밸리 필 회로는 제1 노드와 제2 노드 사이에 연결된 제1 커패시터; 상기 제2 노드와 제3 노드 사이에 연결된 제1 다이오드; 상기 제3 노드와 접지 사이에 연결된 제2 커패시터; 상기 접지와 상기 제2 노드 사이에 연결된 제2 다이오드; 및 상기 제3 노드와 제4 노드 사이에 연결된 제3 다이오드를 포함할 수 있다.

[0011] 상기 제1 노드는 상기 제1 LED 그룹의 입력과 연결되고, 상기 제4 노드는 상기 제1 내지 제k(2이상의 정수) LED 그룹들 중 제j LED 그룹의 입력과 연결되며, 상기 j는 2 이상 k 이하의 정수이다.

[0012] 상기 제1 변형 정류 전압은 상기 제1 노드의 전압이고, 상기 제2 변형 정류 전압은 상기 제4 노드의 전압일 수 있다.

[0013] 상기 LED 어레이는 상기 제j LED 그룹의 입력과 제 (j-1) LED 그룹의 출력 사이에 연결되는 다이오드를 더 포함

할 수 있다.

- [0014] 상기 밸리 필 회로는 상기 제1 커패시터와 상기 제2 커패시터 사이에 연결되는 저항을 더 포함할 수 있다.
- [0015] 상기 복수의 스위치들은 제1 내지 제 m (2이상의 정수) 스위치를 포함하며, 상기 스위치 제어회로는 상기 제1 내지 제 m 스위치들 각각을 선택적으로 개폐할 수 있다.
- [0016] 상기 제어 유닛은 상기 제1 내지 제 m 스위치들 각각에 흐르는 전류를 조절함으로써 상기 LED 어레이의 밝기를 조절하는 아날로그 디밍부를 더 포함할 수 있다.
- [0017] 상기 m 은 상기 k 와 동일하거나 작다.
- [0018] 상기 스위치 제어 회로는 밸리 구간에서 상기 제1 노드로부터 상기 제1 내지 제 $(j-1)$ LED 그룹을 통해 전류가 흐르는 동시에, 상기 제4 노드로부터 상기 제 j LED 그룹 내지 제 k LED 그룹을 통해 전류가 흐르도록 제어신호를 생성할 수 있다.
- [0019] 본 발명의 다른 실시예에 따른 LED 구동 회로는 AC 다이렉트형 LED 조명 구동 회로로서, 직렬로 연결된 제1 내지 제 n (2이상의 정수) LED부를 포함하며, 페이즈 컷된 교류(AC) 전압을 이용하여 구동되는 LED 어레이; 및 상기 LED 어레이에 연결되는 제어 유닛을 포함한다.
- [0020] 상기 제어 유닛은 상기 LED 어레이에 연결되는 제1 내지 제 m (2이상의 정수) 스위치들을 포함하는 다채널 스위치 회로; 상기 제1 내지 제 m 스위치들 각각을 선택적으로 개폐하기 위한 다채널 스위치 제어회로; 상기 페이즈 컷된 정류 전압을 수신하여, 페이즈 컷된 비율을 나타내는 듀티 정보를 검출하여 듀티 검출 신호(PDS)를 생성하는 페이즈 검출부; 상기 듀티 검출 신호에 응답하여 디밍 기준 전압을 생성하는 페이즈-디밍 제어부; 및 상기 디밍 기준 전압에 따라 상기 제1 내지 제 m 스위치들 각각에 흐르는 전류를 조절함으로써 상기 LED 어레이의 밝기를 조절하는 아날로그 디밍부를 포함한다.
- [0021] 상기 제어 유닛은 상기 페이즈 컷된 교류(AC) 전압을 발생하는 페이즈 컷 디머의 동작에 필요한 홀딩 전류(holding current)를 흐르게 하는 브리더 회로를 더 포함할 수 있다.
- [0022] 상기 페이즈 검출부는 비교 대상 전압과 비교 기준 전압을 비교하여 상기 듀티 검출 신호를 발생하는 비교기를 포함하며, 상기 비교 대상 전압(V_c)은 상기 페이즈 컷된 정류 전압에 기초한 전압일 수 있다.
- [0023] 상기 페이즈 검출부는 비교 대상 전압을 수신하여 상기 듀티 검출 신호를 발생하는 슈미트 트리거를 포함하며, 상기 비교 대상 전압은 상기 페이즈 컷된 정류 전압에 기초한 전압일 수 있다.
- [0024] 상기 페이즈 검출부는 상기 페이즈 컷된 정류 전압이 입력되는 노드와 접지 사이에 직렬로 연결되는 저항과 제너 다이오드를 포함할 수 있다.
- [0025] 상기 페이즈 디밍 제어부는 상기 듀티 검출 신호에 응답하여 제1 기준 전압과 제2 기준전압을 멀티플렉싱하여 출력하는 멀티플렉서; 및 상기 멀티플렉서의 출력을 로우패스 필터링하여 상기 디밍 기준 전압으로 출력하는 로우패스 필터를 포함할 수 있다.
- [0026] 상기 페이즈 디밍 제어부는 상기 듀티 검출 신호에 응답하여 제1 기준 전압과 제2 기준전압을 멀티플렉싱하여 출력하는 멀티플렉서; 상기 멀티플렉서의 출력에 연결되고, 샘플링 클럭 신호에 응답하여 개폐되는 샘플링 스위치; 및 상기 샘플링 스위치의 출력을 로우패스 필터링하여 상기 디밍 기준 전압으로 출력하는 로우패스 필터를 포함할 수 있다.
- [0027] 상기 페이즈 디밍 제어부는 상기 듀티 검출 신호에 따라 가변되는 N -비트 디지털 코드를 생성하고, 생성된 디지털 코드를 아날로그 전압으로 변환하여 상기 디밍 기준 전압을 생성할 수 있다.
- [0028] 상기 LED 구동 회로는 상기 페이즈 컷된 교류(AC) 전압의 정류 전압을 발생하는 정류기; 상기 정류기에 연결되는 다이오드; 및 상기 다이오드와 상기 LED 어레이 사이에 연결되어, 상기 LED 어레이로 변형 정류 전압을 공급하는 밸리 필 회로를 더 포함할 수 있다.
- [0029] 상기 변형 정류 전압은 제1 및 제2 변형 정류 전압을 포함하고, 상기 밸리 필 회로는 상기 LED 어레이의 제1 LED 그룹의 입력으로 상기 제1 변형 정류 전압을 공급하고, 상기 제1 LED 그룹을 제외한 나머지 LED 그룹의 어느 하나의 입력으로 상기 제2 변형 정류 전압을 공급할 수 있다.
- [0030] 상기 밸리 필 회로는 제1 노드와 제2 노드 사이에 연결된 제1 커패시터; 상기 제2 노드와 제3 노드 사이에 연결된 제1 다이오드; 상기 제3 노드와 접지 사이에 연결된 제2 커패시터; 상기 접지와 상기 제2 노드 사이에 연결

된 제2 다이오드; 및 상기 제3 노드와 제4 노드 사이에 연결된 제3 다이오드를 포함하며, 상기 제1 노드는 상기 제1 LED 그룹의 입력과 연결되고, 상기 제4 노드는 상기 제1 내지 제k(2이상의 정수) LED 그룹들 중 제j LED 그룹의 입력과 연결되며, 상기 j는 2 이상 k 이하의 정수이고, 상기 LED 어레이는 상기 제j LED 그룹의 입력과 제(j-1) LED 그룹의 출력 사이에 연결되는 다이오드를 더 포함할 수 있다.

[0031] 본 발명의 실시예에 따른 LED 구동 회로는 AC 다이렉트형 LED 구동 회로로서, 직렬로 연결된 제1 내지 제k(2이상의 정수) LED 그룹을 포함하는 LED 어레이; 상기 LED 어레이에 연결되는 복수(2이상)의 스위치들과 상기 스위치들을 선택적으로 개폐하기 위한 스위치 제어회로를 포함하는 제어 유닛; 및 교류(AC) 전압의 정류 전압을 수신하여 상기 LED 어레이로 전류를 공급하기 위한 스위처블 필 회로를 포함한다.

[0032] 상기 스위처블 필 회로는 제1 구간에서는 상기 LED 어레이의 상기 제1 LED 그룹의 입력으로 제1 입력 전류를 제공하고, 제2 구간에서는 상기 LED 어레이의 상기 제1 LED 그룹의 입력으로 제2 입력 전류를 제공하며, 상기 제1 LED 그룹을 제외한 나머지 LED 그룹의 어느 하나의 입력으로 제3 입력 전류를 제공한다.

[0033] 상기 LED 구동 회로는 상기 제1 구간과 상기 제2 구간에서 상기 스위처블 필 회로가 다르게 동작하도록 제어하는 스위처블 필 제어회로를 더 포함할 수 있다.

[0034] 상기 스위처블 필 회로는, 제1 노드와 제2 노드 사이에 연결된 저항; 상기 제2 노드와 접지 사이에 연결된 커패시터; 상기 제2 노드와 제3 노드 사이에 연결되고, 또한 상기 스위처블 필 제어회로에 연결되는 트랜지스터; 상기 저항에 병렬로 연결되는 제1 다이오드; 및 상기 제3 노드와 제4 노드 사이에 연결되는 제2 다이오드를 포함하며, 상기 제1 노드는 상기 제1 LED 그룹의 입력과 연결되고, 상기 제4 노드는 상기 제1 내지 제k(2이상의 정수) LED 그룹들 중 제j LED 그룹의 입력과 연결될 수 있다.

[0035] 상기 스위처블 필 제어회로는 상기 제1 구간에서는 상기 트랜지스터를 오프(off)시키고, 상기 제2 구간에서는 상기 트랜지스터를 온(on)시킬 수 있다.

발명의 효과

[0036] 본 발명의 실시 예에 따르면, LED 조명의 플리커(깜박거림)을 줄일 수 있다.

[0037] 또한, 본 발명의 실시 예에 따르면, 밝기 조절 장치에 의한 교류전원의 페이즈컷 비율을 검출하여, LED 조명의 밝기를 조절할 수 있다. 특히, 기존의 백열등 등에서 사용되는 밝기 조절 장치(예컨대, 로터리식 스위치)에 의한 교류전원의 페이즈컷 비율을 검출하여, LED 조명의 밝기를 제어함으로써, 기존 밝기 조절 장치와 호환 가능하다.

도면의 간단한 설명

[0038] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일 실시예에 따른 LED 구동 회로의 개략적인 블록도이다.

도 2는 도 1에 도시된 필터/정류기, 밸리 필 회로 및 LED 어레이의 일 실시예를 나타내는 회로도이다.

도 3a는 정류 전압의 일 실시예를 나타내는 개략적인 전압 파형도이다.

도 3b는 밸리 필 회로의 출력인 제1 변형 정류 전압의 일 실시예를 나타내는 개략적인 전압 파형도이다.

도 4는 밸리 필 회로가 없는 경우의 LED 휘도를 나타낸다.

도 5는 밸리 필 회로가 있는 경우의 LED 휘도를 나타낸다.

도 6은 AC 전원의 전압과 전류 파형을 나타낸다.

도 7 내지 도 10은 본 발명의 실시예에 따른 밸리 필 회로, LED 어레이 및 다채널 스위치 회로의 다양한 변형예를 나타내는 회로도이다.

도 11a 및 도 11b는 각각 본 발명의 다른 실시예에 따른 LED 조명 구동 회로의 개략적인 블록도이다.

도 12a 및 도 12b는 각각 도 11a 및 도 11b에 도시된 LED 조명 구동 회로의 변형예를 나타내는 블록도이다.

도 13은 정류 전압의 다양한 실시예를 나타내는 전압 파형도들이다.

도 14는 LED 전류의 다양한 실시예를 나타내는 전류 파형도들이다.

- 도 15a는 본 발명의 일 실시예에 따른 페이지 검출부를 나타내는 회로도이다.
- 도 15b는 본 발명의 다른 실시예에 따른 페이지 검출부를 나타내는 회로도이다.
- 도 15c는 본 발명의 또 다른 실시예에 따른 페이지 검출부를 나타내는 회로도이다.
- 도 16은 본 발명의 일 실시예에 따른 페이지-디밍 제어부를 나타내는 회로도이다.
- 도 17은 본 발명의 다른 실시예에 따른 페이지-디밍 제어부를 나타내는 회로도이다.
- 도 18은 듀티 검출 신호 및 샘플링 클락 신호의 파형의 일 실시예를 나타낸다.
- 도 19는 본 발명의 또 다른 실시예에 따른 페이지-디밍 제어부를 나타내는 회로도이다.
- 도 20은 본 발명의 또 다른 실시예에 따른 LED 조명 구동 회로의 개략적인 블록도이다.
- 도 21는 도 20에 도시된 LED 조명 구동 회로의 변형예를 나타내는 블록도이다.
- 도 22a 및 도 22b는 각각 디밍 프로파일의 일 예를 도시하는 그래프이다.
- 도 23은 본 발명의 또 다른 실시예에 따른 LED 조명 구동 회로의 개략적인 블록도이다.
- 도 24는 도 23에 도시된 필터/정류기, 스위처블 필 회로, 다채널 스위치 및 LED 어레이의 일 실시예를 나타내는 회로도이다.
- 도 25는 도 24에 도시된 LED 조명 구동 회로의 구간 1에서의 동작을 설명하기 위한 회로도이다.
- 도 26은 도 24에 도시된 LED 조명 구동 회로의 구간 1에서의 동작을 설명하기 위한 개략적인 파형도이다.
- 도 27은 도 24에 도시된 LED 조명 구동 회로의 구간 2에서의 동작을 설명하기 위한 회로도이다.
- 도 28은 도 24에 도시된 LED 조명 구동 회로의 구간 2에서의 동작을 설명하기 위한 개략적인 파형도이다.
- 도 29는 기존의 AC 다이렉트형 LED 구동 회로에서의 LED 입력 전압 및 전류를 개략적으로 나타내는 파형도이다.
- 도 30은 도 25 및 도 27에 도시된 본 발명의 실시예에 따른 LED 조명 구동 회로에서의 LED 입력 전압 및 전류를 개략적으로 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0040] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0041] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0042] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0043] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한

것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0044] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0045] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0046] 도 1은 본 발명의 일 실시예에 따른 LED 구동 회로의 개략적인 블록도이다. 도 2는 도 1에 도시된 필터/정류기, 밸리 필 회로 및 LED 어레이의 일 실시예를 나타내는 회로도이다. 도 1 및 도 2를 참조하면, LED 구동회로(10)는 필터/정류기(110), 밸리 필 회로(valley fill circuit, 120), 및 제어 유닛(130)을 포함한다.
- [0047] 필터/정류기(110)는 교류(AC) 전원(101)로부터 교류(AC) 전압(Vac)을 수신하여 잡음 필터링 및 정류하여 정류 전압(Vr)을 출력한다. 교류(AC) 전압(Vac)은 상용 교류 전압(예컨대, 110V, 220V 등)일 수 있으나 이에 한정되는 것은 아니다. 도 3a는 정류 전압(Vr)의 일 실시예를 나타내는 개략적인 전압 파형도이다.
- [0048] 밸리 필 회로(120)는 정류 전압(Vr)을 수신하여 LED 어레이(190)로 제1 및 제2 변형 정류 전압들(Vvf1, Vvf2)을 출력한다. 도 3b는 밸리 필 회로(120)의 출력인 제1 변형 정류 전압(Vvf1)과 제2 변형 정류 전압(Vvf2)의 일 실시예를 나타내는 개략적인 전압 파형도이다.
- [0049] 도 3b를 참조하면, 제1 변형 정류 전압(Vvf1)은 도 2의 제1 노드(N1)의 전압을 나타내며 정류 전압(Vr)과 달리, 일정한 하한 전압 이하로 감소하지 않는다. 또한 제2 변형 정류 전압(Vvf2)는 도 2의 제4 노드(N4)의 전압을 나타내며 제1 변형 정류 전압(Vvf1)과 마찬가지로 일정한 하한 전압 이하로 감소하지 않는다. 일 실시예에서, 밸리 필 회로(120)는 적어도 하나의 커패시터를 이용하여 정류 전압(Vr)의 파형 중 특정 전압 이하로 떨어진 밸리(valley) 구간의 전압을 하한 전압 이상이 되도록 변형할 수 있다.
- [0050] 도 3a와 같은 정류 전압(Vr)이 LED 어레이(190)로 직접 인가된다고 가정하면, 정류 전압(Vr)이 하한 전압 이하로 떨어지는 구간 1에서는, LED 어레이(190)로 전류가 흐르지 않는다. 이에 따라, LED 어레이(190)가 구동되지 않아 발광하지 않는다. 따라서, 도 4에 도시된 바와 같이, 구간 1에서는 LED 어레이(190)가 전부 오프(off)되어 LED 휘도가 0이 된다. 이에 따라, 플리커 현상이 심하다.
- [0051] 이에 반해, 도 3b와 같이 밸리 필 회로(120)에 의해 변형된 정류 전압(Vvf1, Vvf2)이 LED 어레이(190)로 인가되면, 구간 1("밸리 구간"이라 함)에서도, 밸리 필 회로(120)의 적어도 하나의 커패시터에 있는 전하가 LED 어레이(190)로 방전됨으로써, LED 어레이(190)의 일부에 전류가 흐르고 발광한다. 이에 따라, LED 어레이(190)가 전부 오프되는 구간은 발생하지 않는다. 따라서, 도 5에 도시된 바와 같이, 구간 1에서도 LED 어레이(190)가 일부 온(on)되어 LED 휘도가 일정 값이 이상이 유지되므로, 플리커 현상이 줄어든다.
- [0052] 본 발명의 일 실시예에 따른 LED 어레이(190a)는 직렬로 연결된 제1 내지 제k(2이상의 정수) LED 그룹(191-1~191-k, k는 2이상의 정수)을 포함할 수 있다. 각 LED 그룹(191-1~191-k)은 적어도 하나의 LED를 포함할 수 있고, 복수의 LED들을 포함할 수도 있다. 복수의 LED들을 포함하는 경우, 하나의 LED 그룹 내에서 복수의 LED들은 직렬, 병렬 또는 직렬과 병렬이 혼합된 형태로 연결될 수 있다.
- [0053] 제어 유닛(130)은 LED 어레이(190)에 연결되는 m(2이상의 정수)개의 스위치들을 포함하는 다채널 스위치 회로(140) 및 상기 스위치들을 선택적으로 개폐하기 위한 다채널 스위치 제어회로(150)를 포함한다.
- [0054] 도 2의 실시예에서는 다채널 스위치 회로(140a)는 제1 내지 제k(2이상의 정수) LED 그룹(191-1~191-k) 각각에 일대일로 대응하여 구비되는 m개의 스위치들(141-1~141-m)을 포함할 수 있다. 즉 m과 k가 동일할 수 있다. 제1 내지 제m 스위치(141-1~141-m) 각각은 대응하는 LED 그룹(191-1~191-k)의 출력 노드(N2i, N3i, ..., Nki)에 연결되고, 다채널 스위치 제어회로(150)에 의하여 선택적으로 개폐됨으로써, LED 그룹들을 선택적으로 구동할 수 있도록 한다.
- [0055] 도 2의 실시예에서는, LED 그룹의 수(k)와 스위치들의 수(m)가 동일하나, 본 발명의 실시예가 이에 한정되는 것은 아니다. 이에 대한 다양한 실시예는 후술된다.
- [0056] 도 2의 실시예에서, 필터/정류기(110a)는 브리지 다이오드로 구현될 수 있다.

- [0057] 도 2의 실시예에서, 밸리 필 회로(120a)는 제1 및 제2 커패시터(121, 122), 및 제1 내지 제3 다이오드(123~125)를 포함한다.
- [0058] 제1 커패시터(121)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결되고, 제1 다이오드(123)는 제2 노드(N2)와 제3 노드(N3) 사이에 연결되며 제2 커패시터(122)는 제3 노드(N3)와 접지 사이에 연결될 수 있다. 또한, 제2 다이오드(124)는 접지와 제2 노드(N2) 사이에 연결되고, 제3 다이오드(125)는 제3 노드(N3)와 제4 노드(N4) 사이에 연결될 수 있다.
- [0059] 제1 노드(N1)는 LED 어레이(190a)의 제1 LED 그룹(191-1)의 입력과 연결되고, 제4 노드(N4)는 제1 내지 제k LED 그룹 중 제1 LED 그룹(191-1)을 제외한 나머지 LED 그룹(191-2~191-k)의 어느 하나의 입력과 연결될 수 있다.
- [0060] 예를 들어, 제4 노드(N4)는 상기 제1 내지 제k(2이상의 정수) LED 그룹들(191-1~191-k) 중 제j LED 그룹(191-j)의 입력과 연결된다. 이 때, j는 2 이상 k 이하의 정수이다. 그리고, 제j LED 그룹과 제(j-1) LED 그룹 사이에 역류 방지용 다이오드(192)가 있고, 제4 노드(N4)는 역류 방지용 다이오드(192)와 제j LED 그룹(191-j) 사이에 연결될 수 있다.
- [0061] 역류 방지 다이오드(192)는 하나의 LED 그룹(예컨대, 제(j-1) LED 그룹)의 출력과 다음 LED 그룹(예컨대, 제j LED 그룹(191-j))의 입력 사이에 연결될 수 있다. 도 5의 실시예에서는, 역류 방지 다이오드(192)는 제2 LED 그룹(191-2)의 출력과 제3 LED 그룹(191-3)의 입력 사이에 연결되나, 이에 한정되지 않는다.
- [0062] 제1 노드(N1)는 LED 어레이(190a)의 제1 LED 그룹(191-1)의 입력과 연결되고, 제4 노드(N4)는 제3 LED 그룹(191-3)의 입력, 즉 역류 방지 다이오드(192)의 출력과 연결된다.
- [0063] 이에 따라, 제1 노드(N1)를 통해 제1 LED 그룹(191-1)의 입력으로 1차 전류 경로가 형성될 수 있고, 제4 노드(N4)를 통해 제3 LED 그룹(191-3)의 입력으로 2차 전류 경로가 형성될 수 있다.
- [0064] 설명의 편의상, 제1 노드(N1)와 제4 노드(N4) 사이에 연결된 LED들을 1차 전류 경로에 연결된 LED그룹(GR1)으로, 제4 노드(N4) 이후에 연결된 LED들을 2차 전류 경로에 연결된 LED그룹(GR2)으로 분류한다.
- [0065] 제4 노드(N4)가 제j LED 그룹(191-j)의 입력과 연결된다고 가정하면, 제 1 LED 그룹(191-1)부터 제(j-1) LED 그룹까지 연결된 LED들을 GR1로, 제 j LED 그룹(191-j)부터 제 k LED 그룹(191-k)까지 연결된 LED들을 GR2로 분류할 수 있다. 제어 유닛(130)은 또한 아날로그 디밍부(160), 레퍼런스 생성 회로(170) 및 전원 회로(180)를 더 포함할 수 있다.
- [0066] 아날로그 디밍부(160)는 LED 어레이(190)에 연결된 다채널 스위치 회로(140)를 통해서 각 스위치에 흐르는 전류를 조절함으로써, LED 밝기를 조절한다.
- [0067] 아날로그 디밍부(160)는 채널별 구동전류를 사전 결정하여 구동할 수도 있고 외부 저항 및 외부 아날로그 신호에 따라서 채널별 구동전류를 조절할 수도 있다.
- [0068] 레퍼런스 생성회로(170)는 아날로그 디밍부(160)의 동작에 필요한 기준 전압 또는 기준 전류를 생성한다. 레퍼런스 생성회로(170)는 밴드갭(bandgap) 회로로 구현될 수 있으나, 이에 한정되는 것은 아니다.
- [0069] 전원 회로(180)는 제어 유닛(130) 내부 동작에 필요한 전압 또는 전류를 생성한다. 예컨대, 전원 회로(180)는 밸리 필 회로(120)의 출력 전압 중 하나인 제1 변형 정류 전압(Vvf1)을 수신하여 DC 전압을 생성할 수 있다.
- [0070] 상술한 본 발명의 일 실시예에 따른 LED 구동 회로(10)는 AC 전압을 DC 전압으로 변환하여 LED를 구동하는 방식이 아니라, AC 전압을 LED 구동에 직접 사용하는 AC 전압 직접 구동형 LED 구동회로이다.
- [0071] 본 발명의 일 실시예에 따르면, 도 2의 실시 예와 같이 제4 노드(N4)가 제j LED 그룹(191-j)에 연결된다면 제1 LED 그룹(191-1)에서 제j-1 LED 그룹(191-j-1) 까지 GR1이라 하고, 제j LED 그룹(191-j)에서 제k LED 그룹(191-k)까지 GR2로 나눌 수 있다. 도 3의 구간 2에와 같이 AC power(101) 입력 전압(Vac)의 절대값이 밸리 필 회로(120a)의 커패시터에 충전된 전압(Vvf1)보다 큰 경우, 교류전원(101)에서 GR1의 LED 그룹과 GR2의 LED 그룹을 통해 스위치로 전류가 흐른다. 스위치 제어 회로(150)는 LED 그룹(GR1 및 GR2) 및 스위치에 레귤레이트(regulated)된 전류가 흐르도록 조절한다. 이 때는 LED 전류 경로가 1개이기 때문에 전류가 흐르는 스위치 개수가 1개가 되도록 제어 신호를 생성해야 한다.
- [0072] 제2 변형 정류 전압(Vvf2)이 역류 방지용 다이오드(192)의 애노드 전압보다 높은 경우, 제4 노드(N4)에서 GR2

LED 그룹으로 흐르는 전류 경로가 추가로 발생한다. 즉, 도 3b의 구간1에서는 GR1 LED 그룹은 제1 노드(N1)의 전압(Vvf1) 때문에 전류가 흐르고, GR2 LED 그룹은 제4 노드(N4)의 전압(Vvf2) 때문에 전류가 흐른다. 따라서, 도 3b의 구간 1에서는 GR1 LED 그룹이 연결된 스위치 중에서 1개와 GR2 LED 그룹에 연결된 스위치 중에서 1개가 동시에 레귤레이트된 전류가 흐르도록 신호를 생성시키는 제어 신호가 필요하다. 이런 방법을 사용하면 종래 기술보다 전류가 흐르는 LED 개수가 2배가 되고 휘도도 2배 증가한다. 또한 플리커를 감소시킬 수 있다.

[0073] 상술한 바와 같이, 본 발명의 실시예에 따르면, 밸리 필 회로(120)의 첫 번째 출력인 제1 변형 정류 전압(Vvf1)은 LED 어레이(190)의 제1 LED 그룹(191-1)의 입력에 연결하고, 밸리 필 회로(120)의 다른 출력인 제2 변형 정류 전압(Vvf2)은 LED 어레이(190)의 나머지 LED 그룹 중 어느 하나의 입력에 연결하여 LED 어레이(190)를 구동한다. 이에 따라, 밸리 필 회로(120)의 제2 커패시터(122)의 전원이 별도로 LED 구동 전류 경로를 형성하게 되어 동일 LED 개수에서 더 많은 휘도를 내거나, 다채널에 연결된 LED 어레이가 순차 구동되면서 발생하게 되는, 시간에 따른 휘도 편차가 줄어들게 되어 플리커 특성이 개선되는 효과를 가진다.

[0074] 도 2에서 2차 전류 경로에 연결된 LED그룹(GR2)에서 LED의 직렬 연결 개수가 1차 전류 경로에 연결된 LED그룹(GR1)에서 LED의 직렬 연결 개수보다 같을 수 있다. 그러나, 1차 전류 경로에 연결된 LED그룹(GR1)과 2차 전류 경로에 연결된 LED그룹(GR2)은 다양하게 변형될 수 있다.

[0075] 2차 전류 경로에 연결된 LED그룹(GR2)에서 LED의 직렬 연결 개수가 1차 전류 경로에 연결된 LED그룹(GR1)에서 LED의 직렬 연결 개수보다 동등하거나 많은 경우, 2차 전류 경로 때문에 발광되는 LED 개수가 증가한다. 이에 따라, 도 6에 도시된 바와 같이 구간1에서 LED 입력 전압이 감소하고, AC 입력 전류가 흐르는 시간이 증가한다. 따라서, THD(total harmonic distortion)가 개선된다.

[0076] 도 6은 AC 전원(101)의 전압(Vac)과 전류 파형을 나타내고 있다. 도 6의 구간 1은 AC 전원(101)에서 LED 어레이(190)로 흐르는 전류이고, 구간 2는 AC 전원(101)에서 LED 어레이(190)로 흐르는 전류 및 밸리 필 회로(120)의 커패시터에 충전되는 전류를 나타낸다. 그리고, 구간 3은 AC 전원(101)에서 LED 어레이(190)로 흐르는 전류이다. 구간 4와 같이 AC 전원(101)에서 전류가 흐르지 않는 구간은 AC 전원(101)의 전압(Vac)이 제1 변형 정류전압(Vvf1)보다 낮기 때문이며, 이 때 전류는 밸리 필 회로(120a)의 커패시터(121, 122)에서 LED 어레이(190)로 전류가 흐른다. AC 전원(101) 전류 파형이 AC 전원(101)의 전압 파형과 일치하지 않기 때문에 THD가 증가하는 원인이다. THD를 감소시키는 방법으로 AC 전원(101)의 전류의 최대치를 줄이는 것과 AC 전원(101) 전류가 흐르지 않는 시간(구간 4)를 줄이는 것이다. 도 2의 실시예의 밸리 필 회로(120a)에서 제1 및 제2 커패시터(121, 122) 사이에 저항을 추가하는 경우 AC 전원(101) 전류의 최대치를 줄일 수 있다. 그리고, GR2 그룹에 있는 LED 직렬 연결 개수가 GR1 그룹에 있는 LED 직렬 개수 보다 많으면 도 3b의 제1 변형 정류 전압(Vf1)이 감소하기 때문에 AC 전원(101)에서 LED 어레이(190)로 흐르는 전류 구간이 증가하고, AC 전류가 흐르지 않는 구간이 감소하여 THD가 감소한다.

[0077] 도 7 내지 도 10은 본 발명의 실시예에 따른 밸리 필 회로, LED 어레이 및 다채널 스위치 회로의 다양한 변형예를 나타내는 회로도이다

[0078] 도 7의 실시예는 도 2의 실시예와 유사한 구성을 가진다. 다만, 도 7의 실시예는 k가 4이고, m이 4인 경우에 해당한다.

[0079] 역류 방지 다이오드(192)는 제2 LED 그룹(191-2)의 출력과 제3 LED 그룹(191-3)의 입력 사이에 연결되고, 제4 노드(N4)는 제3 LED 그룹(191-3)의 입력, 즉 역류 방지 다이오드(192)의 출력과 연결된다.

[0080] 또한, 도 7에 도시된 밸리 필 회로(120b)는 도 2에 도시된 밸리 필 회로(120a)에 비하여 제1 다이오드(123)와 제3 노드(N3) 사이에 접속되는 저항(126)을 더 포함한다. 상술한 바와 같이, 밸리 필 회로(120b)의 제1 및 제2 커패시터(121, 122) 사이에 저항(예컨대, 126)을 추가하는 경우 AC 전원(101) 전류의 최대치를 줄일 수 있다.

[0081] 도 8의 실시예는 k가 4이고, m이 4인 경우에 해당한다.

[0082] 역류 방지 다이오드(192)는 제2 LED 그룹(191-2)의 출력과 제3 LED 그룹(191-3)의 입력 사이에 연결되고, 제4 노드(N4)는 제3 LED 그룹(191-3)의 입력과 연결된다.

[0083] 도 8에 도시된 밸리 필 회로(120a)는 도 2에 도시된 밸리 필 회로(120a)와 동일하며, LED 어레이(190c) 및 다채널 스위치 회로(140c)는 도 7에 도시된 LED 어레이(190b) 및 다채널 스위치 회로(140b)와 동일하다.

- [0084] 도 9의 실시예에 역시 k 가 4이고, m 이 4인 경우에 해당한다.
- [0085] 도 9의 실시예는 도 8의 실시예와 유사한 구성을 가진다. 다만, 도 9의 실시예에서, 역류 방지 다이오드(192)는 제3 LED 그룹(191-3)의 출력과 제4 LED 그룹(191-4)의 입력 사이에 연결되고, 제4 노드(N4)는 제4 LED 그룹(191-4)의 입력과 연결된다.
- [0086] 도 10의 실시예는 k 가 4이고, m 이 2인 경우에 해당한다. GR1 LED 그룹(191-1 ~ 191-3)에 연결된 스위치(141-3)는 1개로 구성되고, GR2 LED 그룹(191-4)에 연결된 스위치(141-4) 역시 1개로 구성된다.
- [0087] 도 11a 및 도 11b는 각각 본 발명의 다른 실시예에 따른 LED 조명 구동 회로의 개략적인 블록도이다. 먼저, 도 11a를 참조하면, LED 조명 구동회로(20A)는 필터/정류기(110), 및 제어 유닛(230a)을 포함한다. 도 11b를 참조하면, LED 조명 구동회로(20A')는 도 11a의 LED 조명 구동회로(20A)에 비하여, 밸리 필 회로(220)를 더 포함한다는 점에 차이가 있다. LED 조명 구동회로(20A')는 또한, 필터/정류기(110)와 밸리 필 회로(220) 사이에 다이오드(207)를 더 포함할 수 있다.
- [0088] AC 전원(105)과 필터/정류기(110) 사이에 페이즈컷 디머(105)가 삽입될 수 있다. 페이즈컷 디머(105)는 LED 조명의 밝기(휘도, brightness)를 조절하기 위한 장치로서, 교류(AC) 전압(Vac)의 각 싸이클에서 일부분(한 싸이클을 100%할 때, 예컨대, 10%에 해당하는 구간)을 제거(이를 페이즈 컷이라 함)하는 기능을 한다.
- [0089] 필터/정류기(110)는 페이즈컷 디머(105)에 의해 페이즈 컷된 교류(AC) 전압(Vpc)을 수신하여 잡음 필터링 및 정류하여 정류 전압(Vpr)을 출력한다. 도 13은 정류 전압(Vpr)의 다양한 실시예를 나타내는 전압 파형도들이다. 이를 참조하면, 도 13의 (a), (b), (c), 및 (d)는 각각 90%, 75%, 50% 및 25% 페이즈 컷된 정류 전압(Vpr) 및 밸리 필 회로(220)의 출력 전압(Vvf)을 도시하고, (e)는 페이즈 컷 되지 않은 경우의 정류전압(Vpr) 및 밸리 필 회로(220)의 출력전압(Vvf)을 도시한다.
- [0090] 도 14는 LED 전류의 다양한 실시예를 나타내는 전류 파형도들이다. 이를 참조하면, 도 14의 (a), (b), (c), 및 (d)는 각각 90%, 75%, 50% 및 25% 페이즈 컷된 경우의 LED 전류를 도시하고, (e)는 페이즈 컷 되지 않은 경우의 LED 전류를 도시한다.
- [0091] 밸리 필 회로(220)는 정류 전압(Vr)을 수신하여 LED 어레이(190)로 변형 정류 전압(Vvf)을 출력한다. LED 어레이(190)의 서로 다른 노드로 서로 다른 변형 정류 전압들을 제공하는 도 1의 밸리 필 회로(120)와 달리, 밸리 필 회로(220)는 LED 어레이(190)의 입력으로만 변형 정류 전압(Vvf)을 제공하며, LED 어레이(190) 내의 다른 노드에 연결되지 않는다는 점에서 차이가 있다.
- [0092] 밸리 필 회로(220)는 종래의 밸리 필 회로로 구현될 수 있다. 예컨대, 밸리 필 회로(220)는 단순히 커패시터만으로 구현될 수 있고, 또는 액티브 스위치 소자와 커패시터를 포함하는 액티브 밸리 필 회로로 구현될 수도 있다.
- [0093] 제어 유닛(230a)은 도 1의 제어 유닛(130)과 유사하게 다채널 스위치 회로(240), 다채널 스위치 제어회로(250), 아날로그 디밍부(260), 레퍼런스 생성 회로(270), 및 전원 회로(280)를 포함할 수 있다. 다채널 스위치 회로(240), 다채널 스위치 제어회로(250), 아날로그 디밍부(260), 레퍼런스 생성 회로(270), 및 전원 회로(280)의 구성 및 기능은 도 1의 다채널 스위치 회로(140), 다채널 스위치 제어회로(150), 아날로그 디밍부(160), 레퍼런스 생성 회로(170), 및 전원 회로(180)의 구성 및 기능과 유사하므로, 이에 대한 설명은 생략한다.
- [0094] 제어 유닛(230)은 또한 페이즈 검출부(275) 및 페이즈 디밍 제어부(285)를 더 포함할 수 있다.
- [0095] 페이즈 검출부(275)는 페이즈 컷된 정류 전압(Vpr)을 수신하여 페이즈 컷된 비율, 즉 듀티 정보를 검출하여 듀티 검출 신호(PDS)를 생성한다. 페이즈-디밍 제어부(285)는 듀티 검출 신호(PDS)에 따라 채널별 구동 전류를 제어한다. 이에 따라, 페이즈 컷 디머(105)의 페이즈에 따라서 휘도(LED 밝기)가 조절되도록 한다.
- [0096] 일 실시예에 따르면, 페이즈-디밍 제어부(285)가 듀티 검출 신호(PDS)에 따라 채널별 구동 전류를 제어할 때, 디밍 프로파일을 조절하는 알고리즘에 따라 채널별 구동 전류를 제어할 수 있다. 디밍 프로파일은 페이즈컷 된 정도와 LED 밝기간의 관계를 나타낸다.
- [0097] 도 22a 및 도 22b는 각각 디밍 프로파일의 일 예를 도시하는 그래프이다. 도 22a는 NEMA(National Electrical Manufacturers Association)의 디밍 프로파일(dimming profile) 규약을 나타내는 도면이고 도 22b는 LRC(Lighting Research Center)의 디밍 프로파일(dimming profile) 도면이다.
- [0098] 본 발명의 실시예에 따르면, 디밍 프로파일은 미리 설정될 수도 있고, 알고리즘에 의해 특정 기울기 또는 값을

가지도록 조절될 수 있다. 또한 디밍 프로파일은 NEMA 디밍 프로파일 규약을 또는 LRC 디밍 프로파일 규약을 만족하도록 조절될 수 있다. 페이즈-디밍 제어부(285)는 미리 설정된 디밍 프로파일 또는 알고리즘에 따라 조절되는 디밍 프로파일에 따라, 상기 디밍 기준 전압을 조절함으로써, LED 어레이의 밝기가 조절되도록 할 수 있다.

- [0099] 도 12a 및 도 12b는 각각 도 11a 및 도 11b에 도시된 LED 조명 구동 회로의 변형예를 나타내는 블록도이다. 도 12a를 참조하면, LED 조명 구동회로(20B)는 도 11a에 도시된 LED 조명 구동회로(20A)와 유사하게, 필터/정류기(110), 및 제어 유닛(230b)을 포함하고, 도 12b를 참조하면, LED 조명 구동회로(20B')는 도 11b에 도시된 LED 조명 구동회로(20A')와 유사하게, 필터/정류기(110), 다이오드(207), 밸리 필 회로(220), 및 제어 유닛(230b)을 포함한다.
- [0100] 다만, 도 12a 및 도 12b의 제어 유닛(230b)은 도 11a 및 도 11b의 제어 유닛(230a)에 비하여 브리더 회로(265)를 더 포함할 수 있다. 브리더 회로(265)는 페이즈 컷 디머(105)의 일종인 트라이액 디머가 정상 동작하기 위한 홀딩 전류(holding current)를 보장해 주기 위해서 동작한다. 도시되지는 않았지만, 브리더 회로(265)는 저항과 커패시터로 구성되는 패시브 타입(passive type) 브리더 회로로 구현될 수도 있고 액티브 소자를 이용하는 액티브 브리더 회로로 구현될 수도 있다.
- [0101] 본 발명의 실시예에 따르면, 페이즈 컷 디머(105)에 의하여 페이즈 컷 된 AC전원(Vpc)이 입력되더라도 밸리 필 회로(220)에서 기본적인 전압을 공급하고 페이즈 컷 된 페이즈에 따라서 LED 구동전류를 제어하여 플리커가 줄어든 페이즈 컷 디밍 동작을 수행한다.
- [0102] 도 15a는 본 발명의 일 실시예에 따른 페이즈 검출부(275A)를 나타내는 회로도이다. 이를 참조하면, 페이즈 검출부(275A)는 비교기(275-1)를 포함한다.
- [0103] 비교기(275-1)는 비교 대상 전압(Vc)과 비교 기준 전압(REF)을 비교하여 듀티 검출 신호(PDS)를 검출한다. 비교 대상 전압(Vc)은 페이즈 컷된 정류 전압(Vpr)과 연관된 전압으로서, 예컨대, 페이즈 컷된 정류 전압(Vpr)을 디바이딩한 전압일 수 있다. 도 15a의 실시예에서는, R1 저항 및 R2 저항을 이용하여 페이즈 컷된 정류 전압(Vpr)을 디바이딩하여 비교 대상 전압(Vc)으로 사용한다.
- [0104] 비교 대상 전압(Vc)이 비교 기준 전압(REF) 이상인 동안에는 듀티 검출 신호(PDS)는 제1 로직 레벨(예컨대, '1')이고, 비교 대상 전압(Vc)이 비교 기준 전압(REF) 미만인 동안에는 듀티 검출 신호(PDS)는 제2 로직 레벨(예컨대, '0')일 수 있다. 따라서, 듀티 검출 신호(PDS)는 페이즈 컷된 정류 전압(Vpr)의 싸이클과 실질적으로 동일한 주기를 가지는 펄스 신호이고, 그 펄스의 듀티비는 페이즈 컷된 비율에 따라 결정된다. 비교 대상 전압(Vc) 및 비교 기준 전압(REF)은 각각 아날로그 전압일 수 있다.
- [0105] 도 15b는 본 발명의 다른 실시예에 따른 페이즈 검출부(275B)를 나타내는 회로도이다. 이를 참조하면, 페이즈 검출부(275B)는 슈미트 트리거(275-2)를 포함한다.
- [0106] 슈미트 트리거(275-2)는 히스테리시스 특성을 갖는 비교기로서, 별도의 레퍼런스 신호없이 슈미트 트리거(275-2)의 트리거 전압을 사전 결정해두고, 비교 대상 전압(Vc)을 수신하여 펄스 신호인 듀티 검출 신호(PDS)를 발생한다.
- [0107] 도 15b의 실시예에서도, R1 저항 및 R2 저항을 이용하여 페이즈 컷된 정류 전압(Vpr)을 디바이딩하여 비교 대상 전압(Vc)으로 사용한다.
- [0108] 도시되지 않았지만, 슈미트 트리거(275-2) 대신 하나 이상의 인버터가 사용될 수도 있다. 비교대상 전압 이상으로 인버터의 로직 문턱전압(logic threshold voltage)를 설정해둔 인버터로 사용 될 수 있다.
- [0109] 도 15c는 본 발명의 또 다른 실시예에 따른 페이즈 검출부(275C)를 나타내는 회로도이다. 이를 참조하면, 페이즈 검출부(275C)는 제너 다이오드(275-3)를 포함한다. 구체적으로는 페이즈 검출부(275C)는 노드(N0)와 접지 사이에 직렬로 연결되는 저항(R1)과 제너 다이오드(275-3)를 포함한다. 예컨대, 제너 다이오드(275-3)가 5V 제너 다이오드로 구현되면, 페이즈 컷된 정류 전압(Vpr)이 5V 이상인 구간에서는 약 5V가 듀티 검출 신호(PDS)로서 출력되고, 페이즈 컷된 정류 전압(Vpr)이 5V 미만인 구간에서는 약 0V가 출력되고, 이 전압을 듀티 검출 신호로(PDS)로서 사용하든지 또는 이 전압을 슈미트 트리거나 한 개 이상의 인버터로 출력해서 사용할 수 있다. 도시되지는 않았지만, 제너 다이오드(275-3)에 연결되는 슈미트 트리거나 인버터, 버퍼 또는 레벨 쉬프터가 더 구비될 수 있다.
- [0110] 도 16은 본 발명의 일 실시예에 따른 페이즈-디밍 제어부(285A)를 나타내는 회로도이다. 이를 참조하면, 페이즈-디밍 제어부(285A)는 멀티플렉서(313) 및 로우패스 필터(314)를 포함한다. 멀티플렉서(313)는 듀티 검출 신호

(PDS)에 응답하여 제1 기준 전압(Ref1)과 제2 기준전압(Ref2)를 멀티플렉싱하여 출력한다.

- [0111] 제1 기준 전압(Ref1)과 제2 기준전압(Ref2)은 각각 아날로그 전압일 수 있으며, 제1 기준 전압(Ref1)이 제2 기준전압(Ref2) 보다 높을 수 있으나, 이에 한정되는 것은 아니다. 예컨대, 제1 기준 전압(Ref1)은 5V이고, 제2 기준전압(Ref2)은 0V일 수 있다.
- [0112] 로우패스 필터(314)는 저항(315)과 커패시터(316)를 포함하며, 멀티플렉서(313)의 출력에 기초하여 제3 기준 전압(Ref3)을 발생한다. 제3 기준 전압(Ref3)은 제1 기준 전압(Ref1)과 제2 기준전압(Ref2)의 사이의 어느 한 값으로서, 듀티 검출 신호(PDS)에 따라 달라진다.
- [0113] 멀티플렉서(313)의 전단에 제1 기준 전압(Ref1)과 제2 기준전압(Ref2)을 각각 버퍼링하는 버퍼(311, 312)를 더 포함할 수 있다. 버퍼(311, 312)는 소스 팔로워(source follower)로 구현될 수 있다.
- [0114] 도 17은 본 발명의 다른 실시예에 따른 페이즈-디밍 제어부(285B)를 나타내는 회로도이다. 이를 참조하면, 페이즈-디밍 제어부(285B)는 페이즈-디밍 제어부(285A)에 비하여 샘플링 스위치(317)를 더 포함한다.
- [0115] 샘플링 스위치(317)는 멀티플렉서(313)와 로우패스 필터(314) 사이에 연결되고, 샘플링 클럭 신호(SCLK)에 응답하여 개폐된다.
- [0116] 듀티 검출 신호(PDS) 및 샘플링 클럭 신호(SCLK)의 파형의 일 실시예가 도 18에 도시된다. 도 18을 참조하면, 샘플링 클럭 신호(SCLK)의 주기는 듀티 검출 신호(PDS)의 주기에 비하여 수 배에서 수십 배일 수 있고, 샘플링 클럭 신호(SCLK)의 제1 로직 레벨('1') 구간이 제2 로직 레벨('0')에 비하여 짧을 수 있다.
- [0117] 도 17의 실시예에서는, 빠른 샘플링 클럭 신호(SCLK)를 이용하여 제1 및 제2 기준 전압(Ref1, Ref2)을 샘플링해서 커패시터(316)로 전달한다. 따라서, 도 16의 실시예에 비하여 저항(315) 및 커패시터(316)의 사이즈를 줄일 수 있다.
- [0118] 도 19는 본 발명의 또 다른 실시예에 따른 페이즈-디밍 제어부(285C)를 나타내는 회로도이다. 이를 참조하면, 페이즈-디밍 제어부(285C)는 카운터(320), 디지털-아날로그 변환기(330), 펄스 생성기(340), 및 위상 동기 루프(PLL, 350)를 포함한다.
- [0119] 페이즈 검출부(275)로부터 출력되는 듀티 검출 신호(PDS)가 카운터(320)의 입력(IN)으로 인가된다. 펄스 생성기(340)는 듀티 검출 신호(PDS)를 수신하여 원샷 펄스 신호(OSP)를 생성한다. 예컨대, 펄스 생성기(340)는 듀티 검출 신호(PDS)의 라이징 에지(rising edge) 또는 폴링 에지(falling edge)를 검출하여 펄스 신호(OSP)를 생성함으로써, 듀티 검출 신호(PDS)의 주기마다 하나의 펄스가 발생하는 원샷 펄스 신호(OSP)를 출력한다. 원샷 펄스 신호의 주기(OSP)는 페이즈 컷된 정류 전압(Vpr)의 듀티가 100%일 때(도 13의 (e))의 주기가 된다.
- [0120] 원샷 펄스 신호(OSP)는 PLL(350)로 입력되고, 또한, 카운터(320)의 리셋 신호로도 입력된다.
- [0121] PLL(350)은 위상 주파수 검출기(351), 전하 펌프(352), 전압 제어 발진기(353) 및 분주기(354)를 포함한다.
- [0122] 위상 주파수 검출기(351)는 원샷 펄스 신호(OSP)와 피드백 신호(FBS)의 주파수 및 위상 차이를 검출하여, 검출 결과를 전하 펌프(352)로 출력한다. 전하 펌프(352)는 위상 주파수 검출기(351)의 출력 신호에 응답하여 전하를 펌핑하여, 위상 주파수 검출기(351)의 출력 신호에 따라 변하는 전압 신호를 발생한다. 전압 제어 발진기(350)는 전하 펌프(352)의 출력 전압에 따라 발진 신호(PCLK)를 생성한다.
- [0123] 분주기(354)는 발진 신호(PCLK)를 N(2이상의 정수)-비트 분주하여 피드백 신호(FBS)를 생성한다. 예컨대, 분주기(354)는 발진 신호(PCLK)의 주파수를 $1/2^N$ 으로 분주할 수 있다.
- [0124] PLL(340)의 동작에 의하여, 피드백 신호(FBS)와 원샷 펄스 신호(OSP)의 위상 및 주파수는 점점 동기되어 간다. 즉, 피드백 신호(FBS)와 원샷 펄스 신호(OSP)의 라이징 에지가 위상 주파수 검출기(351)에서 동기된다.
- [0125] 피드백 신호(FBS)와 원샷 펄스 신호(OSP)가 동기되면, 듀티 검출 신호(PDS)의 한 주기 동안 발진 신호(PCLK)는 2^N 번 토글링할 수 있다.
- [0126] 카운터(320)는 N-비트 카운터일 수 있다.
- [0127] 따라서, N-비트 카운터(320)에 맞도록 생성된 발진 신호(PCLK)가 카운터(320)의 클럭(clk)으로 인가된다.
- [0128] 카운터(320)는 듀티 검출 신호(PDS)의 제1 로직 레벨 구간(예컨대, 하이레벨 구간) 동안 발진 신호(PCLK)의 라

이정 에지 또는 폴링 에지를 카운팅하여 카운트 결과를 N-비트 디지털 코드(DC)로서 출력한다.

- [0129] 카운터(320)에서 생성된 N-비트 디지털 코드(DC)는 N-비트 DAC(330)에 인가된다. N-비트 DAC(330)는 디지털 코드(DC)에 따라 제1 기준 전압(Ref1)과 제2 기준 전압(Ref2) 사이의 전압을 2^N 으로 나눈 전압들 중의 하나를 선택하여 제3 기준 전압(Ref3)으로 출력한다.
- [0130] 이에 따라, 페이즈 검출부(275)에서 발생된 듀티 검출 신호(PDS)에 의해 제1 기준 전압(Ref1)과 제2 기준 전압(Ref2) 사이의 전압들 중에 검출된 듀티비에 해당하는 값인 제3 기준 전압(Ref3)이 출력된다.
- [0131] 상술한 제3 기준 전압(Ref3)은 디밍 기준 전압(DRef)으로서 아날로그 디밍부(260)로 입력된다. 아날로그 디밍부(260)는 디밍 기준 전압(DRef)에 따라, LED 어레이(190)에 연결된 다채널 스위치 회로(240)를 통해서 각 스위치에 흐르는 전류를 조절함으로써, LED 밝기를 조절한다.
- [0132] 레퍼런스 생성회로(270)는 아날로그 디밍부(260)의 동작에 필요한 기준 전압 또는 기준 전류를 생성한다. 레퍼런스 생성회로(270)는 밴드갭(bandgap) 회로로 구현될 수 있으나, 이에 한정되는 것은 아니다.
- [0133] 전원 회로(280)는 제어 유닛(230) 내부 동작에 필요한 전압 또는 전류를 생성한다.
- [0134] 도 20은 본 발명의 또 다른 실시예에 따른 LED 조명 구동 회로의 개략적인 블록도이다. 도 20을 참조하면, LED 조명 구동회로(30A)는 필터/정류기(110), 다이오드(207), 밸리 필 회로(120), 및 제어 유닛(230a)을 포함한다.
- [0135] 도 20의 LED 조명 구동회로(30A)는 도 11의 LED 조명 구동회로(20A)의 구성 및 동작과 유사하다. 다만, 도 20의 LED 조명 구동회로(30A)는 도 11의 밸리 필 회로(220) 대신에 도 1에 도시된 밸리 필 회로(120)를 구비한다는 점에서 차이가 있다.
- [0136] 도 21은 도 20에 도시된 LED 조명 구동 회로의 변형예를 나타내는 블록도이다. 도 21을 참조하면, LED 조명 구동회로(30B)는 도 20에 도시된 LED 조명 구동회로(30A)와 유사하게, 필터/정류기(110), 다이오드(207), 밸리 필 회로(220), 및 제어 유닛(230b)을 포함한다.
- [0137] 다만, 도 21의 제어 유닛(230b)은 도 20의 제어 유닛(230a)에 비하여 브리더 회로(265)를 더 포함할 수 있다. 브리더 회로(265)는 페이즈 컷 디머(105)의 일종인 트라이액 디머가 정상 동작하기 위한 홀딩 전류(holding current)를 보장해 주기 위해서 동작한다. 도시되지는 않았지만, 브리더 회로(265)는 저항과 커패시터로 구성되는 패시브 타입(passive type) 브리더 회로로 구현될 수도 있고 액티브 소자를 이용하는 액티브 브리더 회로로 구현될 수도 있다.
- [0138] 도 23은 본 발명의 또 다른 실시예에 따른 LED 조명 구동 회로의 개략적인 블록도이다. 도 24는 도 23에 도시된 필터/정류기(110), 스위처블 필 회로(420), 다채널 스위치(140) 및 LED 어레이(190)의 일 실시예를 나타내는 회로도이다. 도 23 및 도 24를 참조하면, LED 구동회로(40)는 필터/정류기(110), 스위처블 필 회로(420), 및 제어 유닛(430)을 포함한다.
- [0139] 필터/정류기(110)는 교류(AC) 전원(101)로부터 교류(AC) 전압(Vac)을 수신하여 잡음 필터링 및 정류하여 정류 전압(Vr)을 출력한다. 교류(AC) 전압(Vac)은 상용 교류 전압(예컨대, 110V, 220V 등)일 수 있으나 이에 한정되는 것은 아니다.
- [0140] 스위처블 필 회로(420)는 정류 전압(Vr)을 수신하여 LED 어레이(190)로 전류를 제공한다.
- [0141] 제어 유닛(430)은 LED 어레이(190)에 연결되는 m(2이상의 정수)개의 스위치들을 포함하는 다채널 스위치 회로(140) 및 상기 스위치들을 선택적으로 개폐하기 위한 다채널 스위치 제어회로(150)를 포함한다.
- [0142] 제어 유닛(430)은 스위처블 필 회로(420)를 제어하기 위한 스위처블 필 제어회로(440)를 더 포함할 수 있다.
- [0143] 도시되지는 않았지만, 제어 유닛(430)은 또한, 도 1, 도 11a, 도 11b, 도 12a, 도 12b, 도 20 또는 도 21에 도시된 아날로그 디밍부(160, 260), 레퍼런스 생성회로(170, 270), 전원 회로(180, 280), 브리더 회로(265), 페이즈 검출부(275), 페이즈 디밍 제어부(285) 중 적어도 하나를 더 포함할 수도 있다.
- [0144] 도 24의 실시예에서 필터/정류기(110a), LED 어레이(190a), 다채널 스위치 회로(140a) 및 다채널 스위치 제어회로(150)는 도 2에 도시된 필터/정류기(110a), LED 어레이(190a), 다채널 스위치 회로(140a) 및 다채널 스위치 제어회로(150)와 동일하므로, 설명의 중복을 피하기 위하여 이들에 대한 자세한 설명은 생략한다.
- [0145] 그러나, 필터/정류기(110a), LED 어레이(190a), 다채널 스위치 회로(140a) 및 다채널 스위치 제어회로(150)는

도 7 내지 도 10, 도 11a, 도 11b, 도 12a, 도 12b, 도 21 및 도 22에 중 어느 하나에 도시된 LED 어레이(190b, 190c, 190e 또는 190g), 다채널 스위치 회로(140b, 140c, 140e, 140g 또는 240) 및 다채널 스위치 제어 회로(250)일 수도 있다.

- [0146] 도 24의 실시예에서, 스위처블 필 회로(420)는 저항(421), 커패시터(422), 트랜지스터(423), 제1 및 제2 다이오드(D1, D2-)를 포함한다. 본 실시예에서 트랜지스터(423)는 PMOS 트랜지스터로 구현되나, 이에 한정되는 것은 아니다.
- [0147] 저항(421)은 제1 노드(N1)와 제2 노드(N2) 사이에 연결되고, 커패시터(422)는 제2 노드(N3)와 접지 사이에 연결되며, 트랜지스터(423)는 제2 노드(N2)와 제3 노드(N3) 사이에 연결될 수 있다. 트랜지스터(423)의 게이트는 스위처블 필 제어회로(440)에 연결될 수 있다. 또한, 제1 다이오드(D1)는 제2 노드(N2)와 제1 노드(N1) 사이에, 저항(421)에 병렬로 연결되고, 제2 다이오드(D2)는 제3 노드(N3)와 제4 노드(N4) 사이에 연결될 수 있다.
- [0148] 제1 노드(N1)는 LED 어레이(190a)의 제1 LED 그룹(191-1)의 입력과 연결되고, 제4 노드(N4)는 제1 내지 제k LED 그룹 중 제1 LED 그룹(191-1)을 제외한 나머지 LED 그룹(191-2~191-k)의 어느 하나의 입력과 연결될 수 있다.
- [0149] 제어 유닛(430)은 하나 이상의 IC(integrated Circuit) 칩으로 구현될 수 있으며, 트랜지스터(423)은 IC 칩 내에 내장될 수도 있고, 외장형으로 구비될 수도 있다.
- [0150] 도 25는 도 24에 도시된 LED 조명 구동 회로의 구간 1에서의 동작을 설명하기 위한 회로도이고, 도 26은 도 24에 도시된 LED 조명 구동 회로의 구간 1에서의 동작을 설명하기 위한 개략적인 파형도이다.
- [0151] 구간 1은 제1 노드 전압(Vin)이 제2 노드 전압(Vsw)보다 큰 구간이다. 즉, 구간 1에서는 도 26에 도시된 바와 같이, 제1 노드의 전압(Vin)이 제2 노드의 전압(Vsw) 보다 크다.
- [0152] 구간 1에서 스위처블 필 제어회로(440)는 스위처블 필 회로(440)의 트랜지스터(423)를 오프(off)시킨다.
- [0153] 예컨대, 스위처블 필 제어회로(440)는 제1 노드 전압(Vin)과 제2 노드 전압(Vsw)을 비교하여, 제1 노드 전압(Vin)이 제2 노드 전압(Vsw)보다 큰 경우, 트랜지스터(423)를 오프시킨다.
- [0154] 이에 따라, 구간 1에서는 도 25에 도시된 바와 같이 두 개의 전류 경로(I_{LED1}, I_c)가 형성된다. 하나는 AC 전원, 즉 필터/정류기(110a)의 출력으로부터 LED 어레이(19)로 흐르는 제1 경로이고, 다른 하나는 필터/정류기(110a)의 출력으로부터 저항(421)을 통해 커패시터(422)로 흐르는 경로, 즉 커패시터(422)를 충전하기 위한 충전 경로이다. 이에 따라, 구간 1에서는, 스위처블 필 회로(420)는 LED 어레이(19)로 제1 입력 전류(I_{LED1})를 제공하고, 커패시터(422)로 충전 전류(I_c)를 흐르게 하여 커패시터(422)를 충전시킨다.
- [0155] 구간 1에서 제2 다이오드(D2)는 제4 노드(N4)로부터 커패시터(422) 방향으로 전류가 흐르지 않도록 방지한다.
- [0156] 도 27은 도 24에 도시된 LED 조명 구동 회로의 구간 2에서의 동작을 설명하기 위한 회로도이고, 도 28은 도 24에 도시된 LED 조명 구동 회로의 구간 2에서의 동작을 설명하기 위한 개략적인 파형도이다.
- [0157] 구간 2는 제1 노드 전압(Vin)이 제2 노드 전압(Vsw)보다 작거나 같은 구간이다. 즉, 구간 2에서는, 도 28에 도시된 바와 같이, 제1 노드의 전압(Vin)이 제2 노드의 전압(Vsw)과 같거나 작다.
- [0158] 구간 2에서 스위처블 필 제어회로(440)는 스위처블 필 회로(440)의 트랜지스터(423)를 온(on)시킨다.
- [0159] 예컨대, 스위처블 필 제어회로(440)는 제1 노드 전압(Vin)과 제2 노드 전압(Vsw)을 비교하여, 제1 노드 전압(Vin)이 제2 노드 전압(Vsw)보다 작거나 같은 경우, 트랜지스터(423)를 온시킨다.
- [0160] 이에 따라, 구간 2에서는 도 27에 도시된 바와 같이 두 개의 전류 경로(I_{LED2-1}, I_{LED2-2})가 형성된다. 하나는 제2 노드(N2)로부터 제1 다이오드(D1)를 통해 LED 어레이(19)로 흐르는 제1 경로이고, 다른 하나는 제2 노드(N2)로부터 제2 다이오드(D2)를 거쳐 제4 노드(N4)를 통해 GR2 LED 그룹으로 흐르는 제2 경로이다.
- [0161] 이에 따라, 구간 2에서는, 스위처블 필 회로(420)는 LED 어레이(19)의 하나의 입력, 즉 제1 LED 그룹(191-1)의 입력으로 제2 입력 전류(I_{LED2-1})를 제공하고, 제1 LED 그룹(191-1)을 제외한 나머지 LED 그룹의 어느 하나(예컨대, 191-3)의 입력으로 제3 입력 전류(I_{LED2-2})를 제공한다.
- [0162] 구간 2에서 역류 방지용 다이오드(192)는 제2 노드(N2)로부터 제2 다이오드(D2) 및 제4 노드(N4)를 통해 GR2

LED 그룹으로 입력되는 제3 입력 전류 (I_{LED2-2})가 GR1 LED 그룹으로 흘러 들어가지 않도록 방지한다.

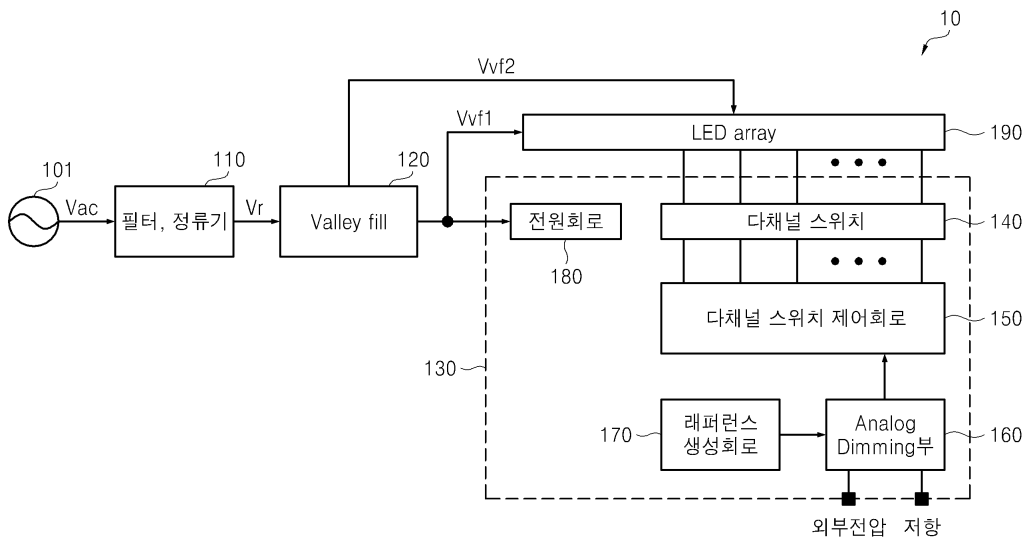
- [0163] 도 29는 기존의 AC 다이렉트형 LED 구동 회로에서의 LED 입력 전압 및 전류를 개략적으로 나타내는 파형도이다. 이를 참조하면, 기존의 AC 다이렉트형 LED 구동 회로에서 LED 어레이의 입력단에 인가되는 LED 입력 전압은 도 29의 (a)에 도시된 바와 같이, 반원형의 주기적인 신호일 수 있고, LED 어레이로 입력되는 LED 입력 전류는 도 29의 (b)에 도시된 바와 같이, LED 입력 전압의 상승에 따라 계단형으로 증가하고, LED 입력 전압의 상승에 따라 계단형으로 감소하는 신호일 수 있다. 한편, 도 29의 (b)에 도시된 바와 같이, LED 입력 전류가 흐르지 않는 구간이 존재한다.
- [0164] 도 30은 도 25 및 도 27에 도시된 본 발명의 실시예에 따른 LED 조명 구동 회로에서의 LED 입력 전압 및 전류를 개략적으로 나타내는 파형도이다. 도 29의 (a)는 제1 노드 전압(V_{in}) 및 제2 노드 전압(V_{sw})를 나타내고, (b)는 제1 경로를 통한 입력 전류(I_{LED1} , 및 I_{LED2-1})를 나타내며, (c)는 제2 경로를 통한 입력 전류(I_{LED2-2})를 나타낸다.
- [0165] 도 29와 도 30을 비교하면, 기존의 AC 다이렉트형 LED 구동 회로에 의하면, LED 어레이로 입력 전류가 공급되지 않는 구간이 존재하는 반면, 본 발명의 실시예에 따른 LED 조명 구동 회로에 의하면, 두 개의 서로 다른 경로를 통하여 LED 어레이로 입력 전류가 공급될 수 있으며, LED 어레이로 입력 전류가 공급되지 않는 구간이 존재하지 않는다. 이에 따라, LED 조명의 플리커(깜박거림) 현상이 줄어들 수 있다.
- [0166] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

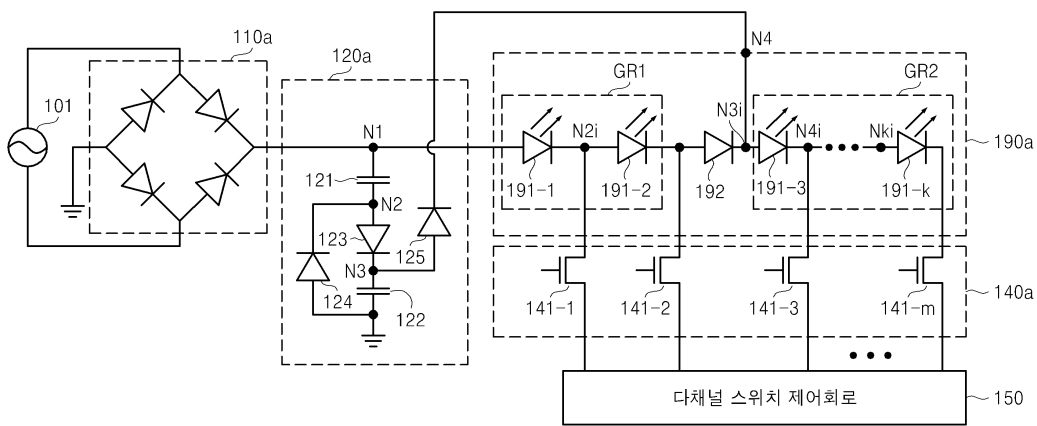
- [0167] LED 구동회로: 10, 20A, 20B, 30A, 30B, 40
- 필터/정류기 : 110, 110a, 110b
- 밸리 필 회로 : 120, 120a, 120b, 220,
- 제어 유닛 : 130, 130a, 130b, 230, 230a, 230b, 430
- LED 어레이: 190, 190a, 190b, 190c, 190e, 190g
- 다채널 스위치 회로: 140, 140a, 140b, 140c, 140e, 140g, 240
- 다채널 스위치 제어회로: 150, 250
- 아날로그 디밍부: 160, 260
- 레퍼런스 생성 회로: 170, 270
- 전원 회로: 180, 280
- 브리더 회로: 265
- 페이지 검출부 : 275
- 페이지 디밍 제어부 : 285
- 스위처블 필 회로 : 420
- 스위처블 필 제어회로 : 440

도면

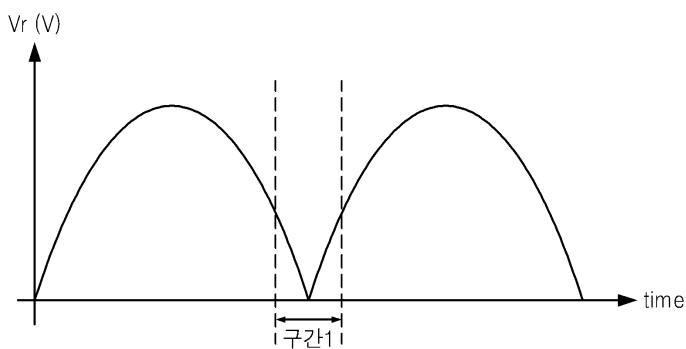
도면1



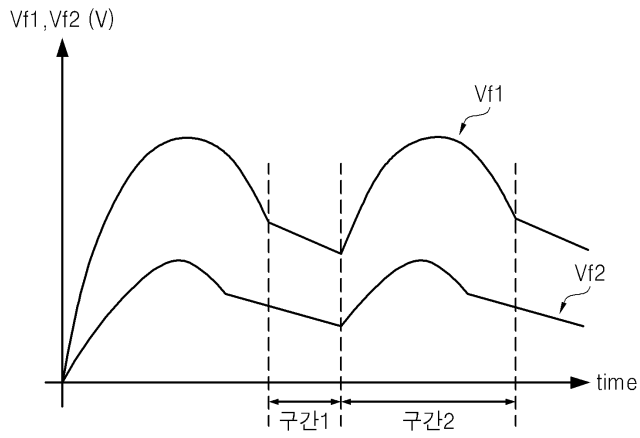
도면2



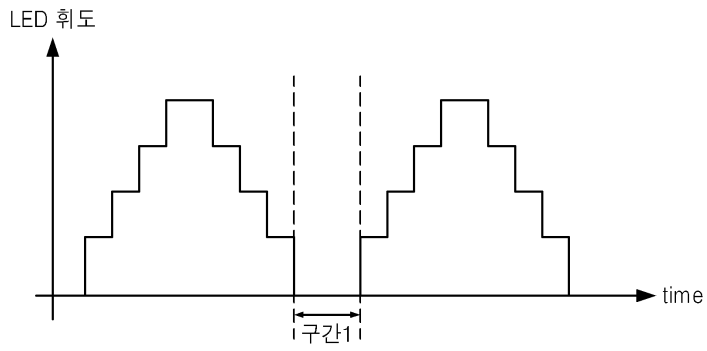
도면3a



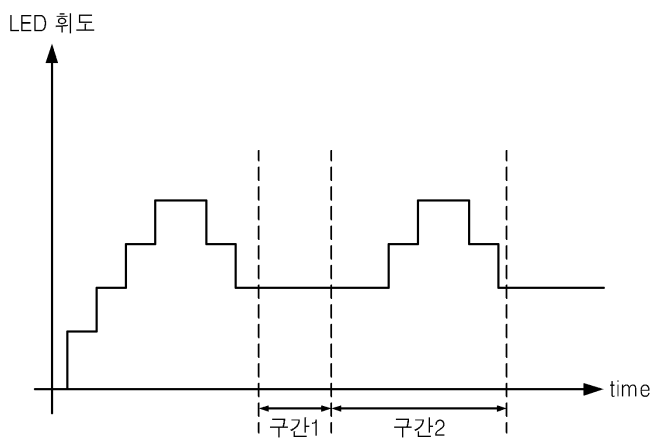
도면3b



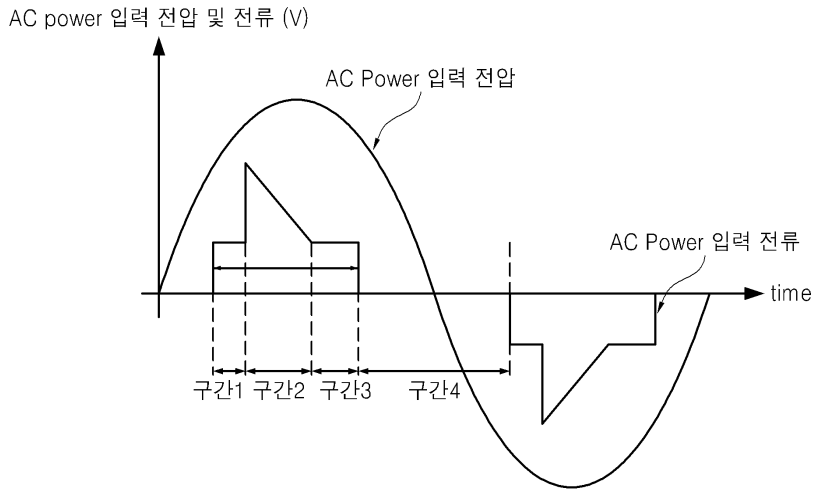
도면4



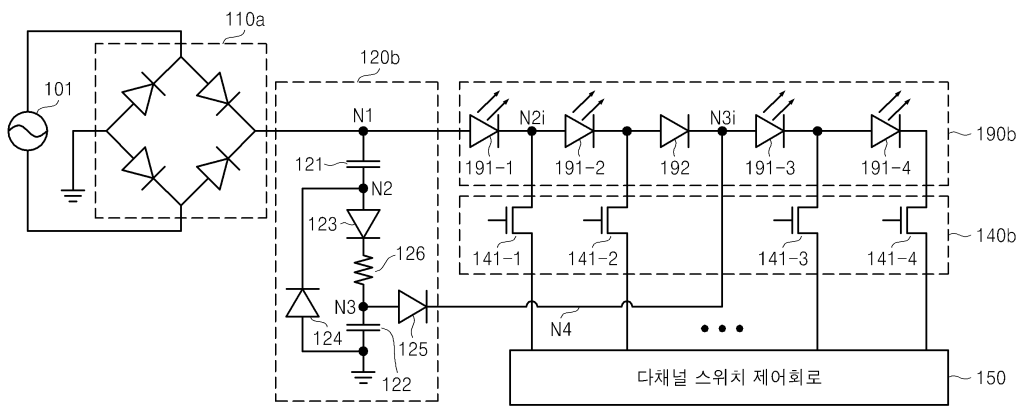
도면5



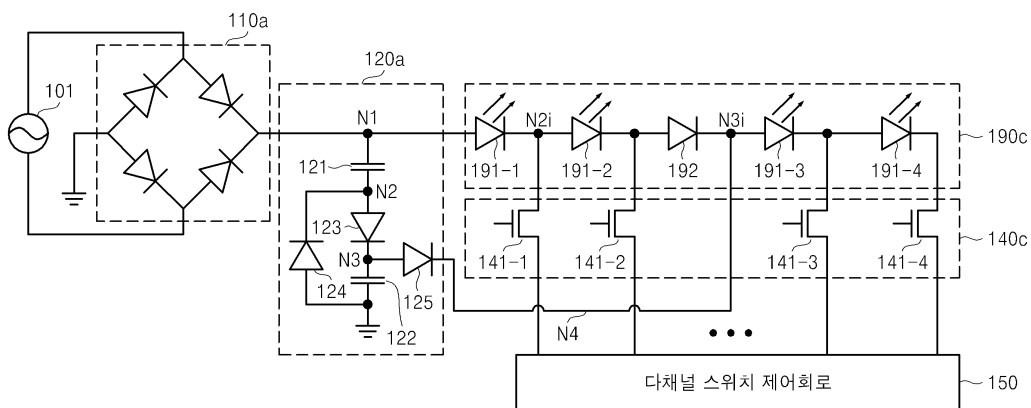
도면6



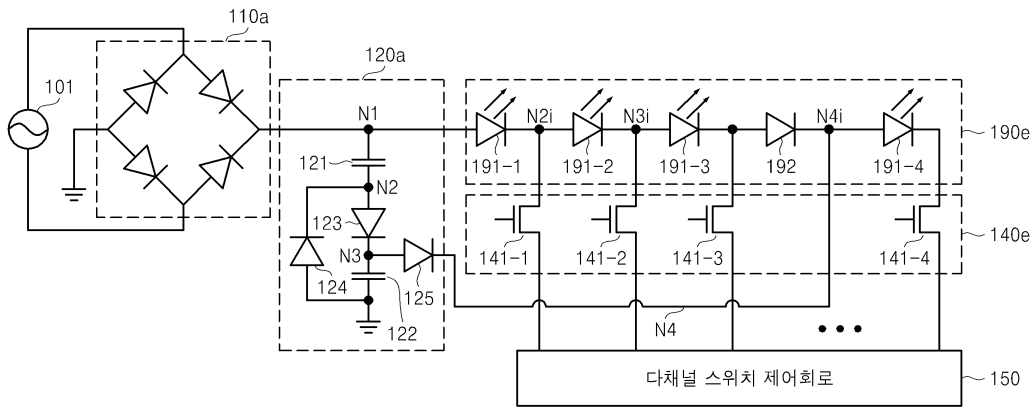
도면7



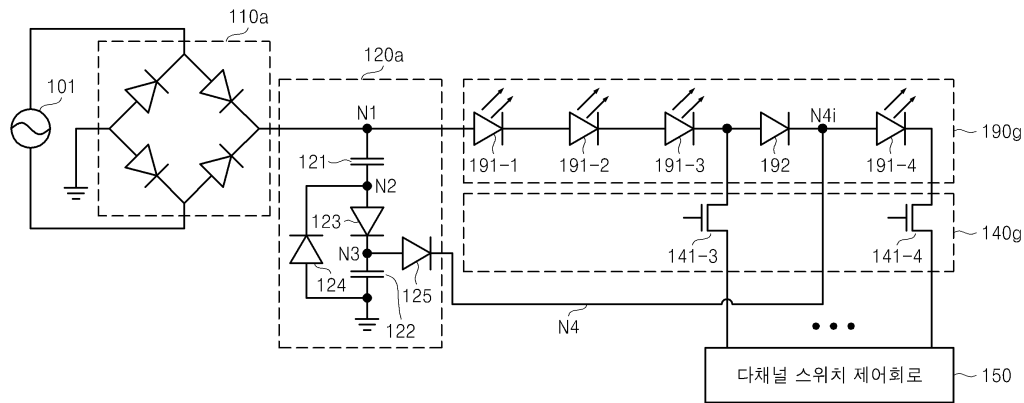
도면8



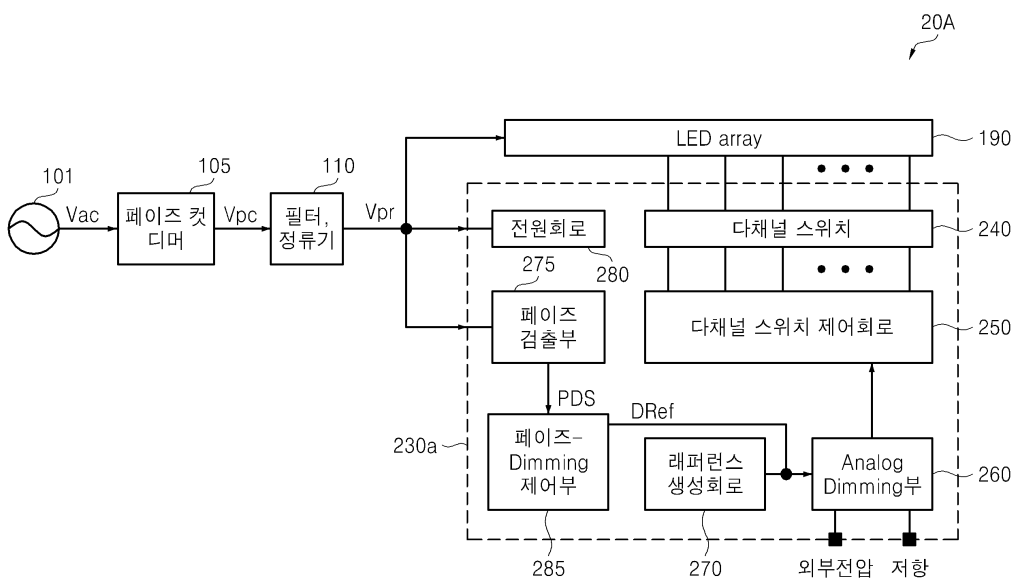
도면9



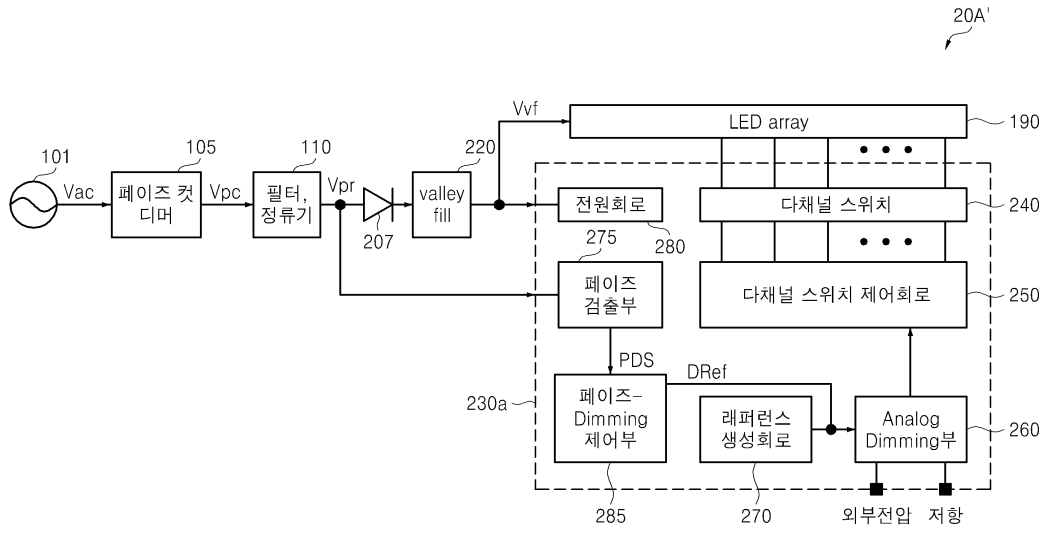
도면10



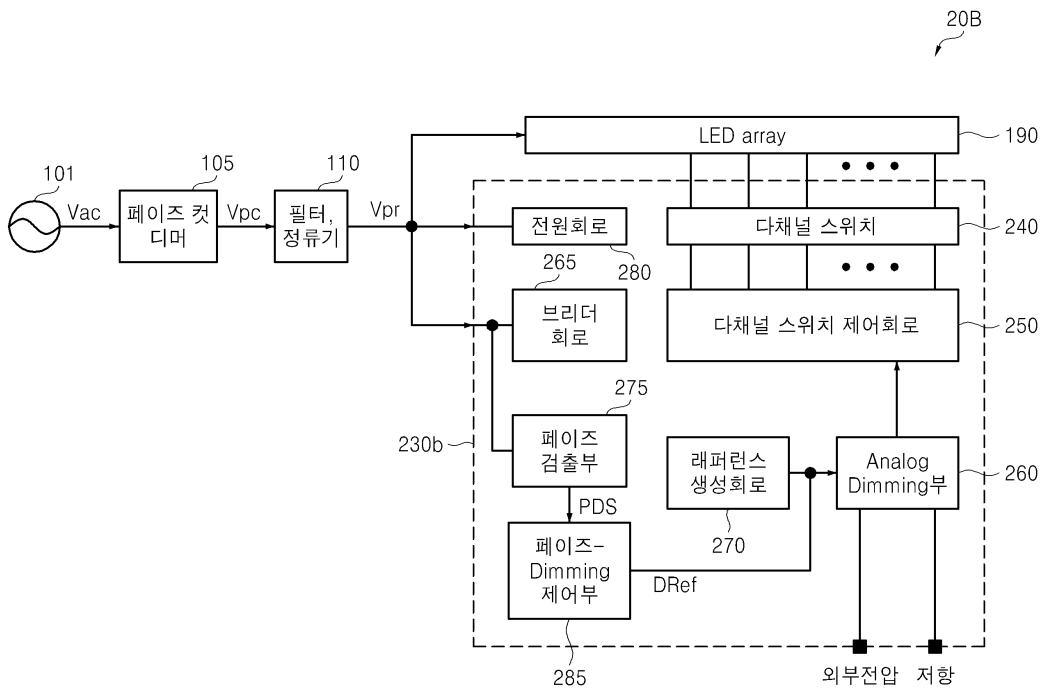
도면11a



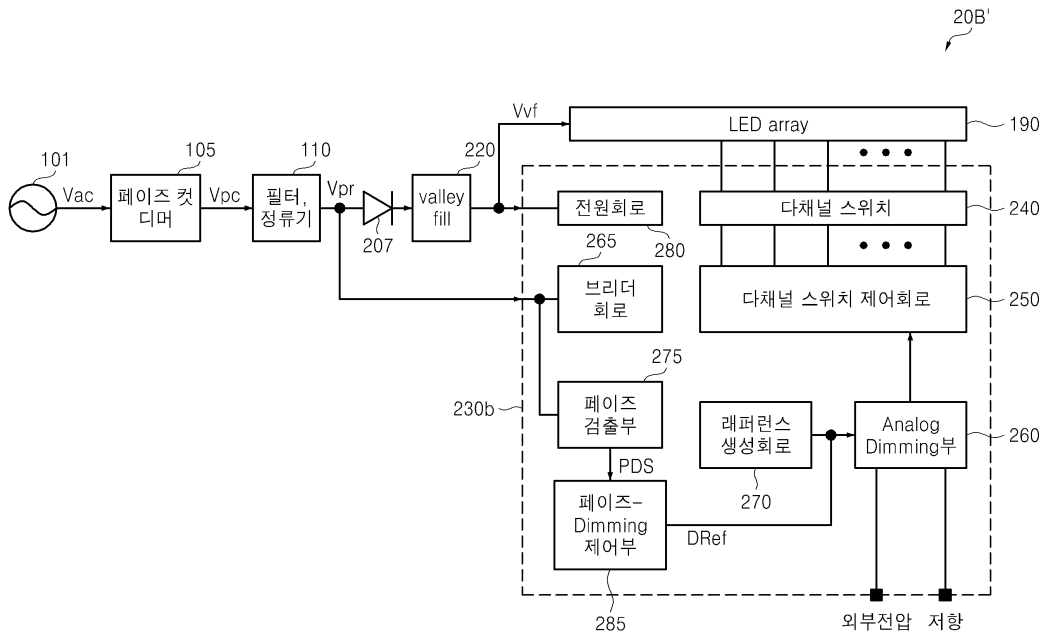
도면11b



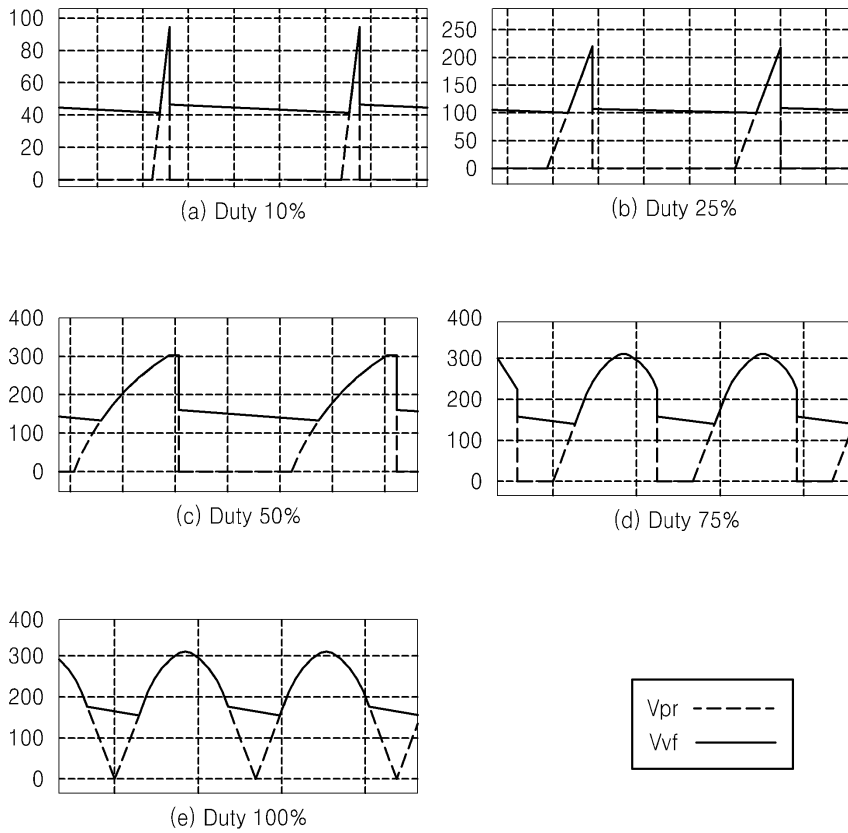
도면12a



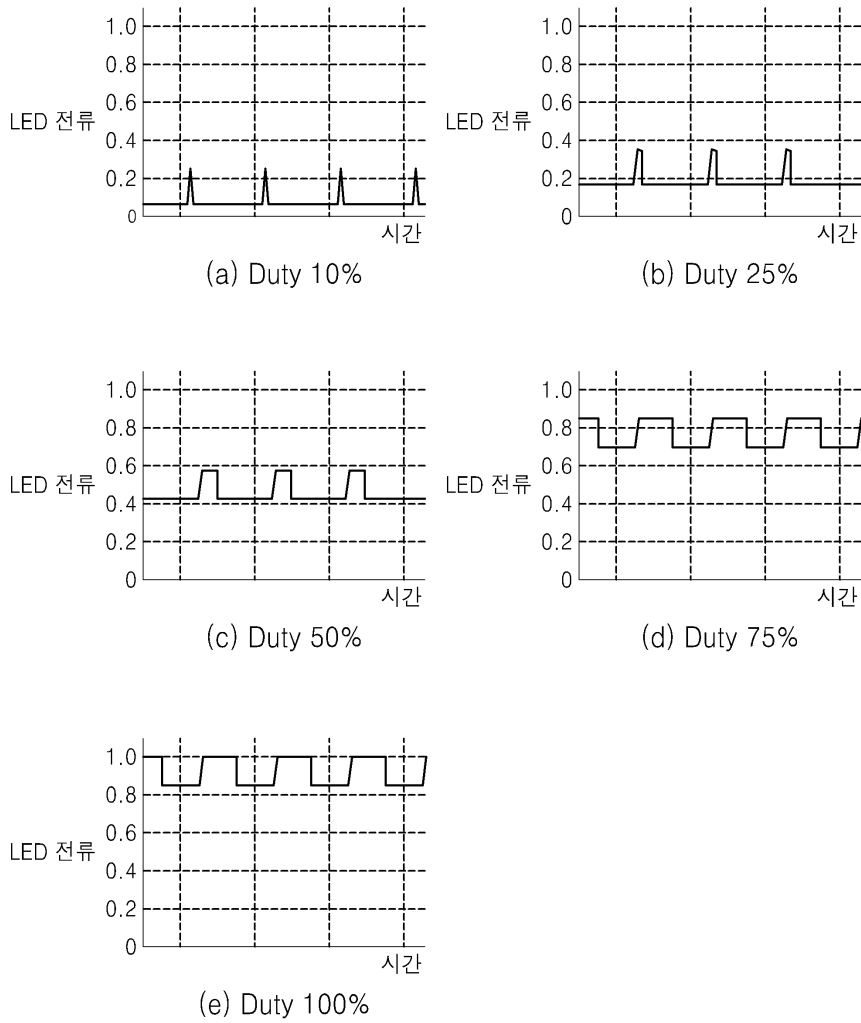
도면12b



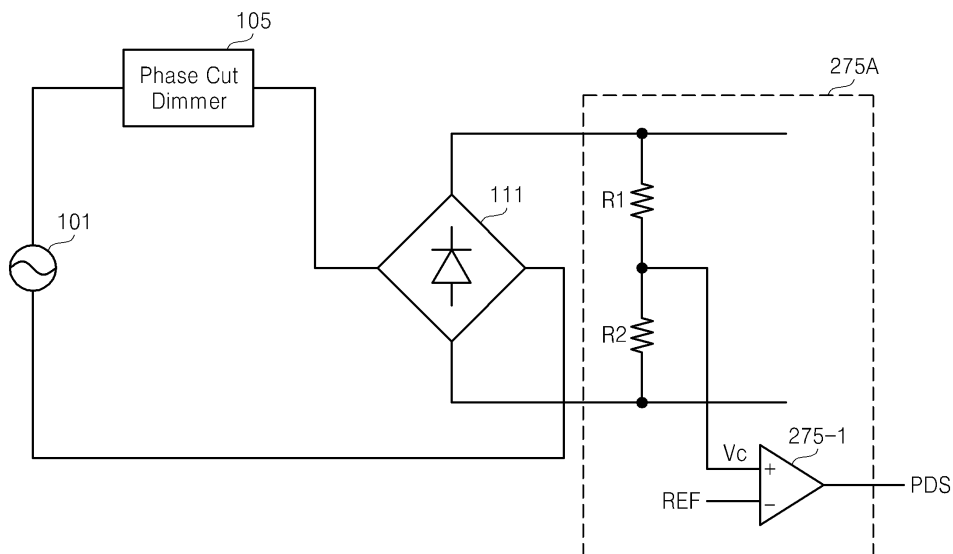
도면13



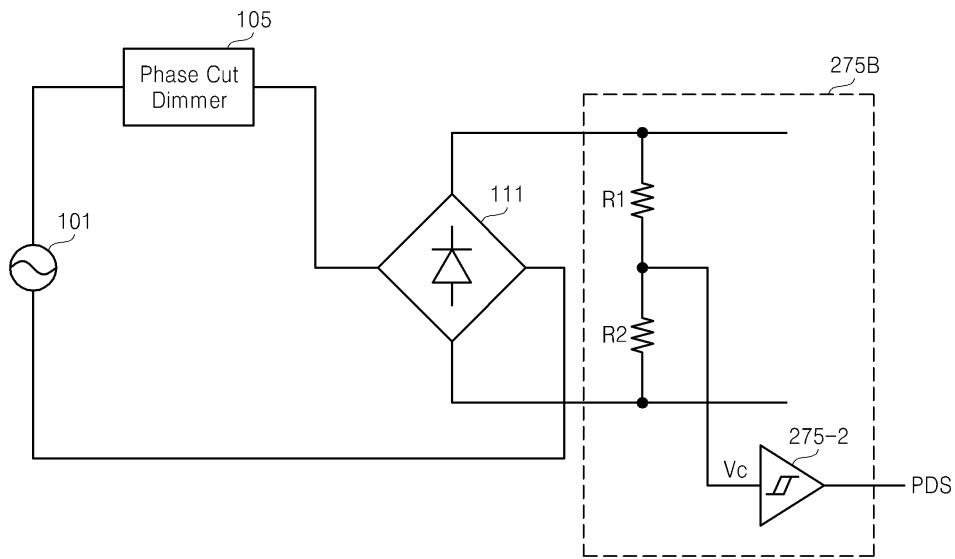
도면14



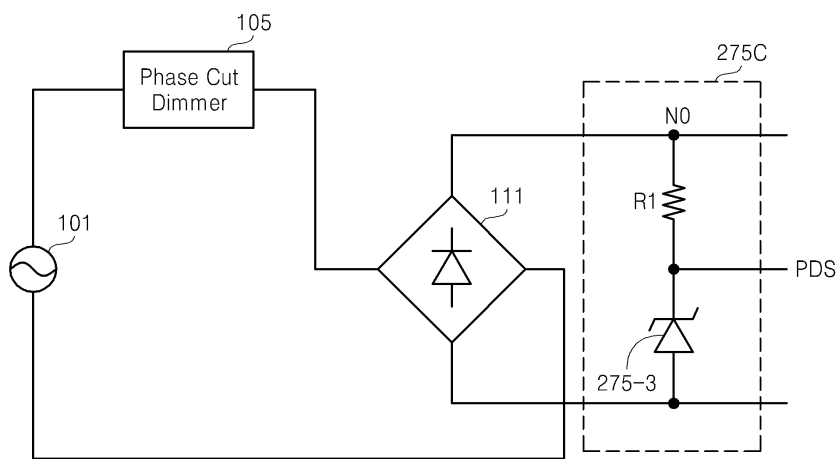
도면15a



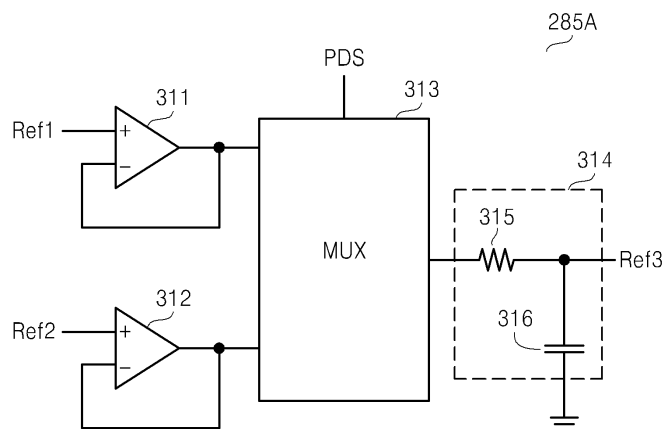
도면15b



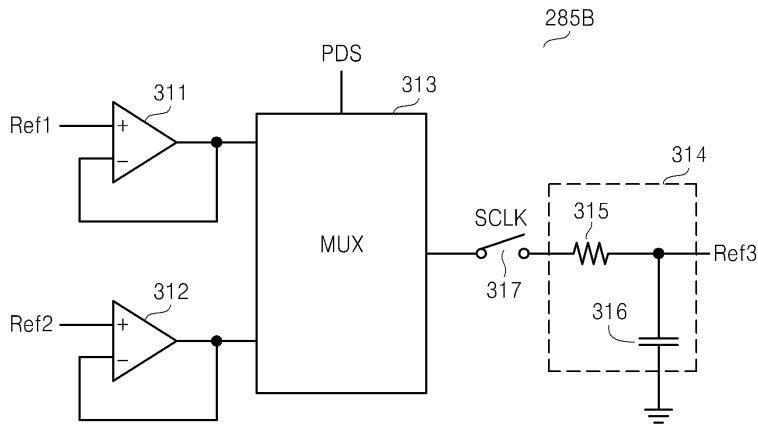
도면15c



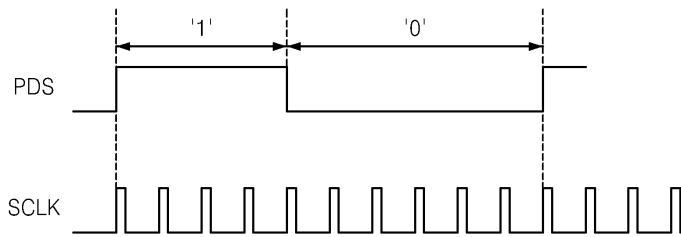
도면16



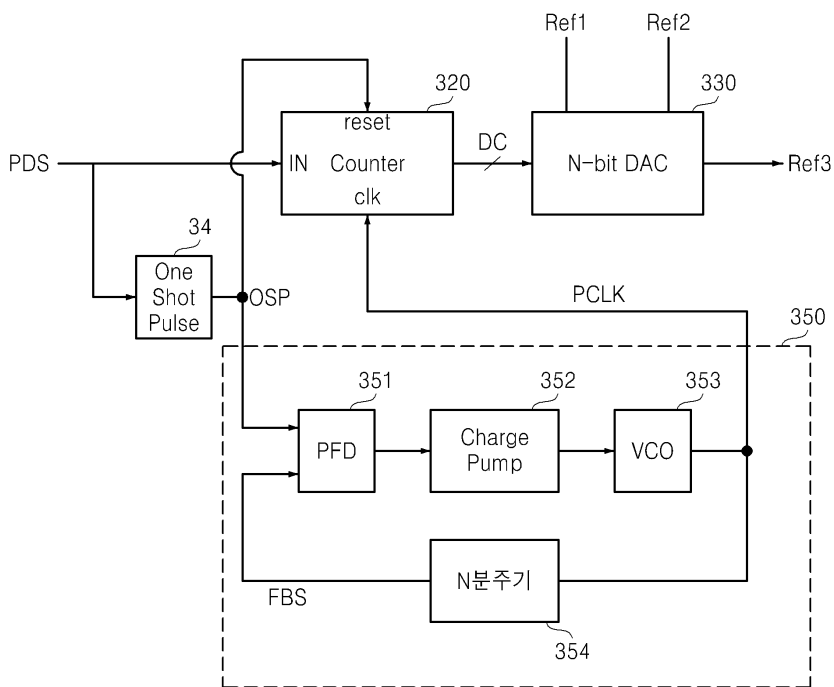
도면17



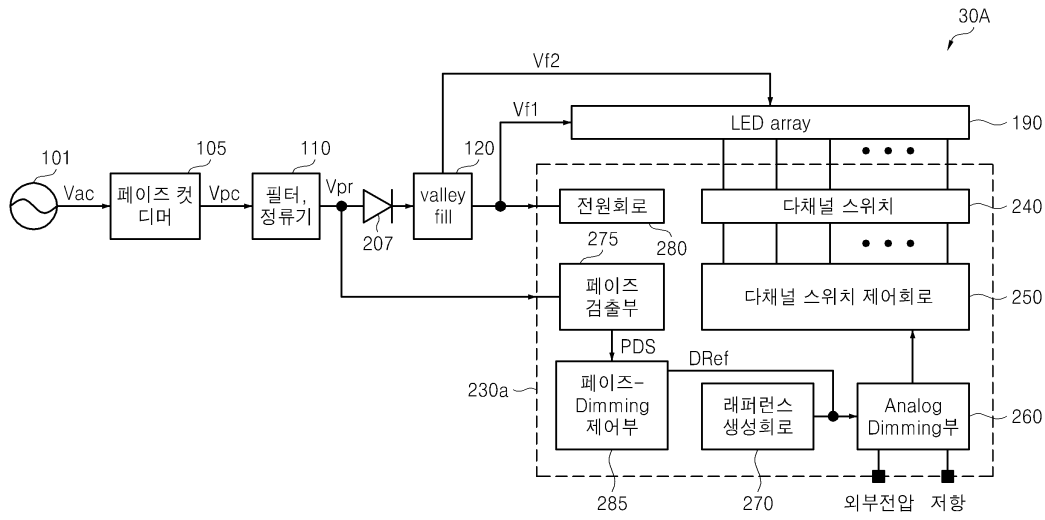
도면18



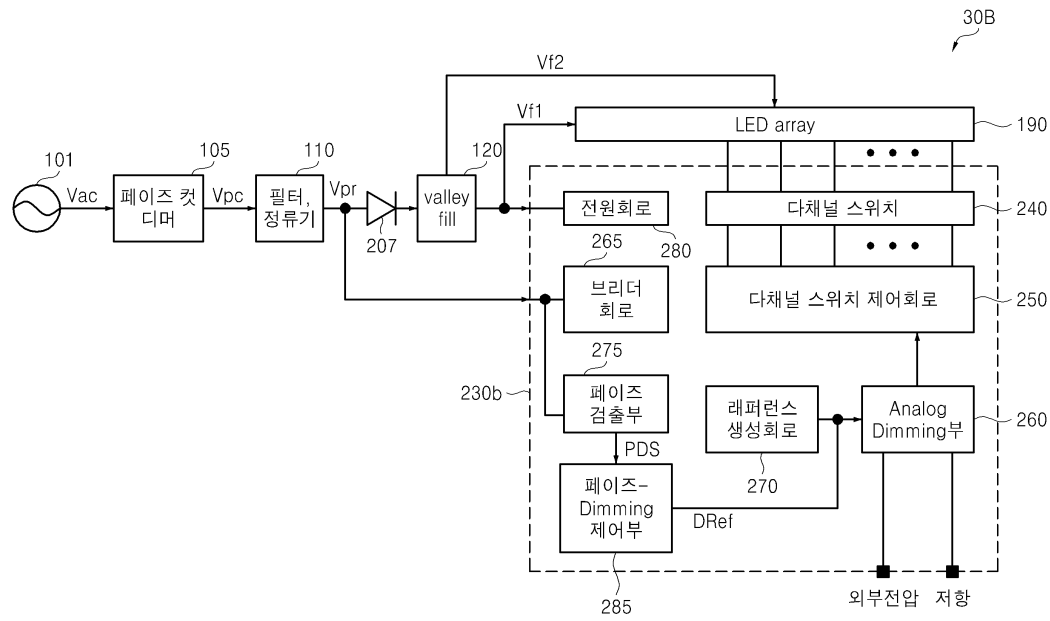
도면19



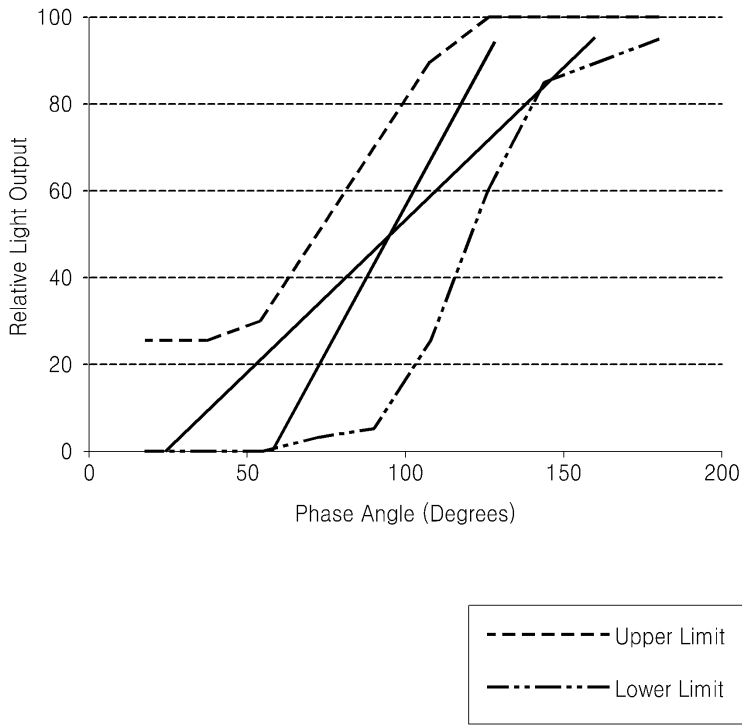
도면20



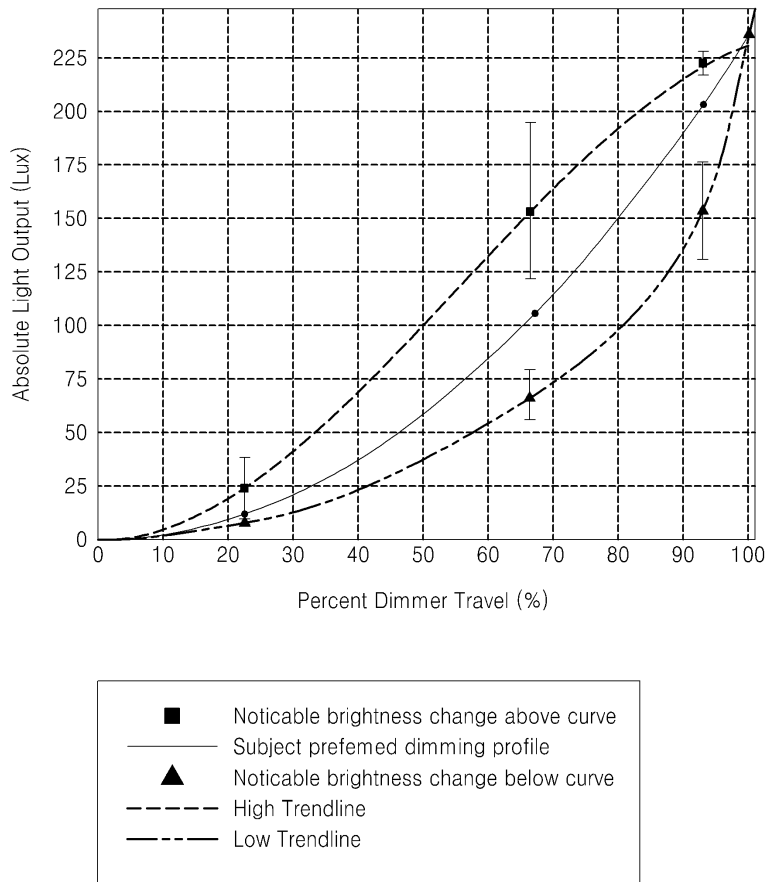
도면21



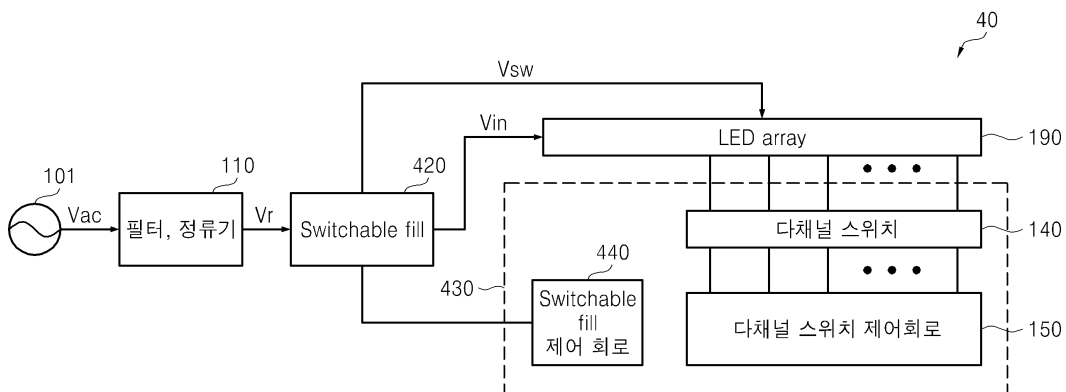
도면22a



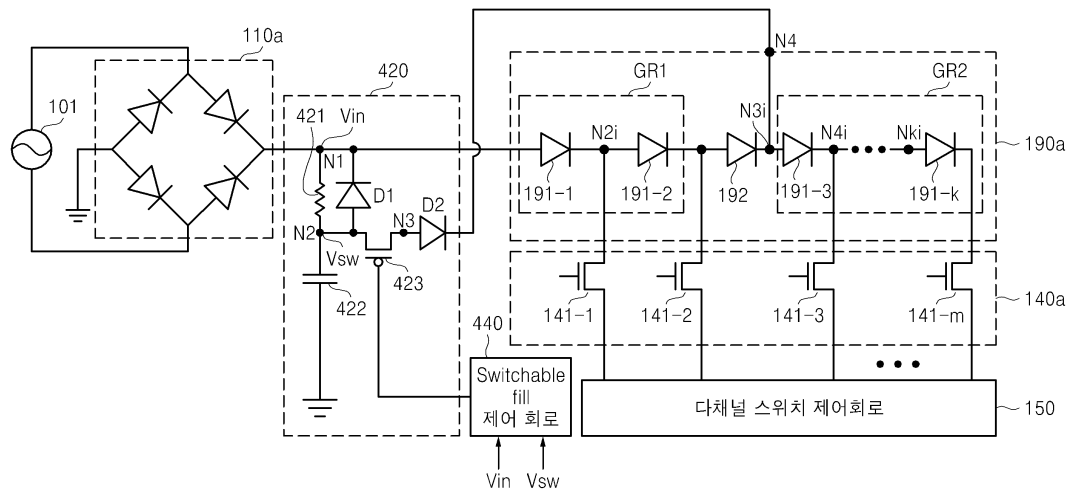
도면22b



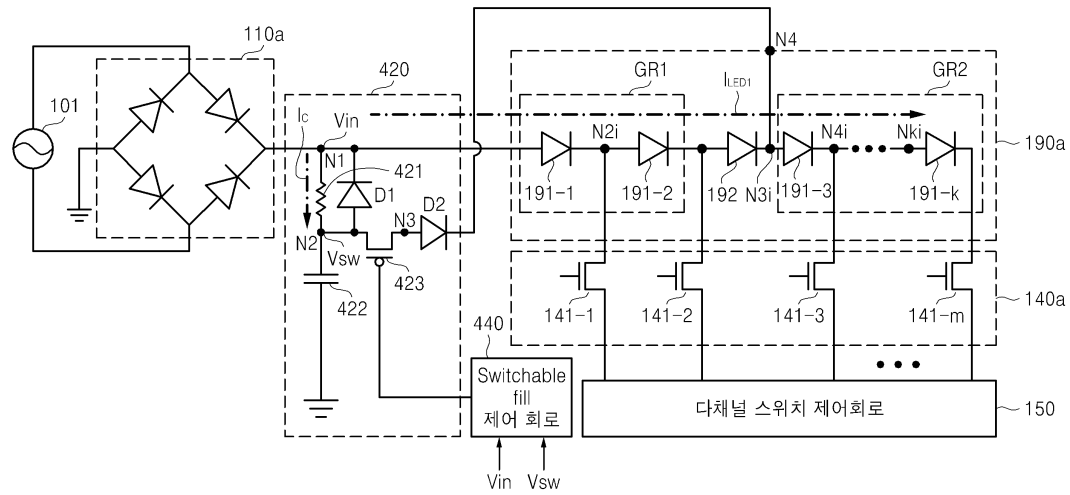
도면23



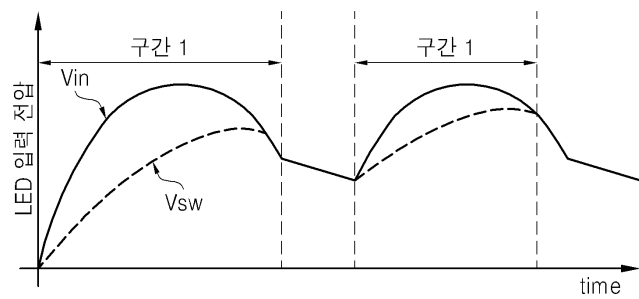
도면24



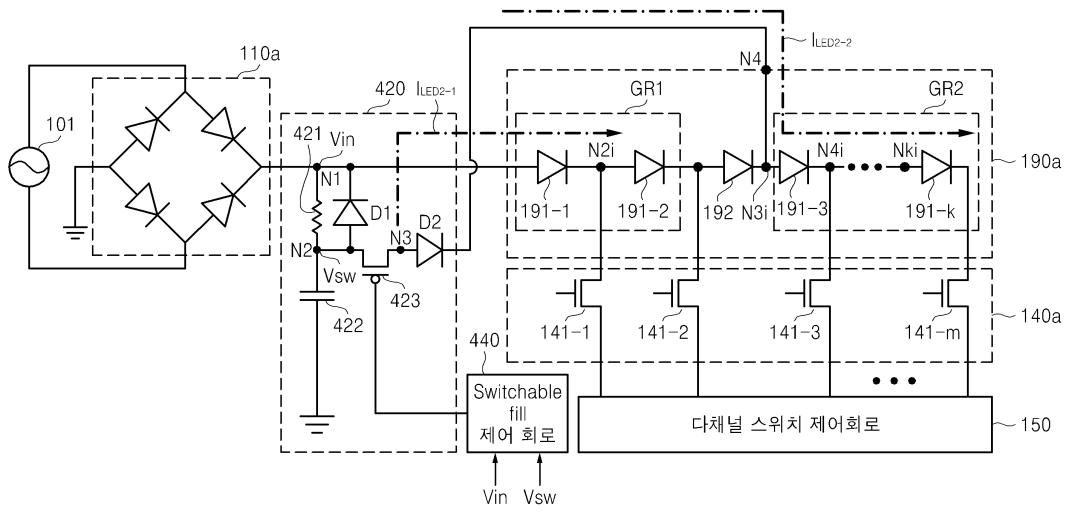
도면25



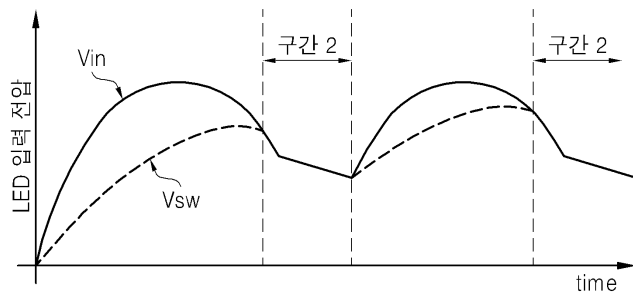
도면26



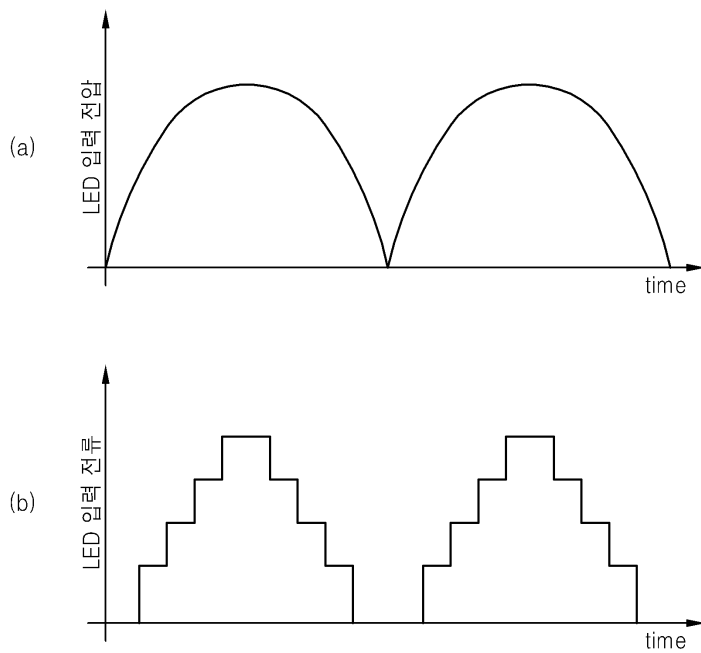
도면27



도면28



도면29



도면30

