(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월20일
(11) 등록번호 10-2135765
(24) 등록일자 2020년07월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2018-0103452
(22) 출원일자 2018년08월31일
심사청구일자 2018년08월31일
(65) 공개번호 10-2019-0028299
(43) 공개일자 2019년03월18일
(30) 우선권주장
JP-P-2017-172654 2017년09월08일 일본(JP)
(56) 선행기술조사문헌
KR1020080052709 A*
KR1020170059864 A*
US20110156026 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 제이올레드
일본국 도쿄도 치요다쿠 칸다니시키쵸 3쵸메 23반지
(72) 발명자
무라이 아쯔히또
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내
데라이 야스히로
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내
(뒷면에 계속)
(74) 대리인
장수길, 이중희

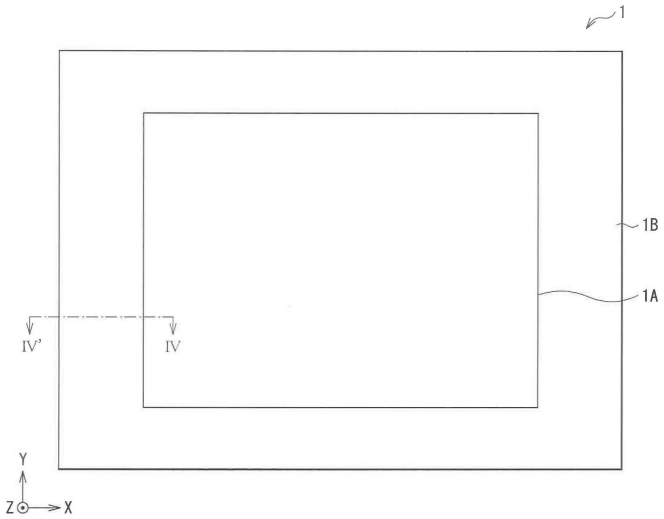
전체 청구항 수 : 총 16 항 심사관 : 구본재

(54) 발명의 명칭 **디스플레이 유닛**

(57) 요 약

디스플레이 유닛은 제1 기판, 트랜지스터, 제1 및 제2 배선 층들, 및 절연막을 포함한다. 제1 기판은 디스플레이 영역 및 주변 영역을 구비한다. 트랜지스터는 디스플레이 영역 내에 제공되고, 반도체 층, 반도체 층과 마주하는 게이트 전극, 게이트 전극과 반도체 층 사이의 게이트 절연막, 및 반도체 층에 전기적으로 결합된 소스-드레인 전극을 포함한다. 제1 배선 층은 주변 영역 내에 제공되고, 트랜지스터에 전기적으로 결합되고, 게이트 전극 및 소스-드레인 전극과 동일한 층보다 제1 기판에 더 가깝게 배치된다. 제2 배선 층은 제1 기판 상에 제공되고 제1 배선 층과 상이한 전위를 갖는다. 절연막은 제2 배선 층과 제1 배선 층 사이에 제공된다.

대 표 도



(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 51/50 (2013.01)
H01L 51/52 (2013.01)

(72) 발명자
마루야마 다까시
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내
오시마 요시히로
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내
도요따 모또히로
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내
에비하라 료스께
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내
히로마스 야스노부
일본 도쿄도 치요다-쿠 칸다니시키쵸 3-23 가부시키가이샤 제이올레드 내

명 세 서

청구범위

청구항 1

디스플레이 유닛으로서,

디스플레이 영역 및 상기 디스플레이 영역 외부의 주변 영역을 구비한 제1 기판;

상기 제1 기판 상의 상기 디스플레이 영역 내에 제공되는 트랜지스터 - 상기 트랜지스터는 반도체 층, 상기 반도체 층과 마주하는 게이트 전극, 상기 게이트 전극과 상기 반도체 층 사이에 위치한 게이트 절연막, 및 상기 반도체 층에 전기적으로 결합된 소스-드레인 전극을 포함함 -;

상기 제1 기판 상의 상기 주변 영역 내에 제공되는 제1 배선 층 - 상기 제1 배선 층은 상기 트랜지스터에 전기적으로 결합되고, 상기 트랜지스터의 상기 게이트 전극 및 상기 소스-드레인 전극과 동일한 층 내의 위치보다 상기 제1 기판에 더 가까운 위치에 배치됨 -;

상기 제1 기판 상에 그리고 상기 주변 영역 내에 제공되는 제2 배선 층 - 상기 제2 배선 층은 상기 제1 배선 층의 전위와 상이한 전위를 가짐 -; 및

상기 제2 배선 층과 상기 제1 배선 층 사이에 제공된 절연막

을 포함하는 디스플레이 유닛.

청구항 2

제1항에 있어서, 상기 제1 배선 층은 상기 게이트 전극의 두께 및 상기 소스-드레인 전극의 두께 각각 보다 작은 두께를 갖는 디스플레이 유닛.

청구항 3

제1항에 있어서, 상기 게이트 전극 또는 상기 소스-드레인 전극과 동일한 층 내에 제공되고, 상기 제1 배선 층에 전기적으로 결합되는 접속 배선 층을 추가로 포함하는 디스플레이 유닛.

청구항 4

제1항에 있어서, 상기 제1 기판 상의 상기 디스플레이 영역 내에 제공되는 디스플레이 요소를 추가로 포함하고, 상기 디스플레이 요소는 제1 전극, 유기 층, 및 제2 전극을 포함하는 디스플레이 유닛.

청구항 5

제1항에 있어서, 상기 트랜지스터는 상기 제1 기판에 가까운 위치로부터의 순서로, 상기 반도체 층, 상기 게이트 절연막, 상기 게이트 전극, 및 상기 소스-드레인 전극을 포함하는 디스플레이 유닛.

청구항 6

제5항에 있어서, 상기 절연막은 상기 제1 배선 층을 덮는 제1 절연막, 및 상기 게이트 전극과 상기 소스-드레인 전극 사이에 제공되는 제2 절연막을 포함하고, 상기 제2 절연막은 상기 주변 영역까지 연장되는 디스플레이 유닛.

청구항 7

제6항에 있어서, 상기 게이트 전극과 상기 소스-드레인 전극 사이에 제공되고 상기 제2 절연막 상에 적층되는 유기 절연막을 추가로 포함하고, 상기 유기 절연막은 상기 주변 영역까지 연장되는 디스플레이 유닛.

청구항 8

제7항에 있어서,

상기 유기 절연막은 상기 주변 영역 내에 홈을 갖고,

상기 제2 배선 층은 상기 홈 내에 제공되는 디스플레이 유닛.

청구항 9

제5항에 있어서, 상기 절연막은 상기 제1 배선 층, 및 상기 게이트 절연막을 덮는 제1 절연막을 포함하는 디스플레이 유닛.

청구항 10

제1항에 있어서,

상기 제1 기판 상의 상기 주변 영역 내에 제공되고 상기 디스플레이 영역을 둘러싸는 밀봉부(sealing section); 및

상기 밀봉부를 사이에 두고 상기 제1 기판과 마주하는 제2 기판

을 추가로 포함하는 디스플레이 유닛.

청구항 11

제10항에 있어서, 상기 제1 배선 층은 상기 밀봉부와 마주하도록 제공되는 디스플레이 유닛.

청구항 12

제1항에 있어서, 상기 제1 배선 층은 상기 제2 배선 층과 직교하는 방향으로 연장되는 디스플레이 유닛.

청구항 13

제1항에 있어서, 상기 반도체 층은 산화물 반도체 재료를 포함하는 디스플레이 유닛.

청구항 14

제1항에 있어서, 상기 반도체 층과 마주하고 상기 제1 배선 층과 동일한 층 내에 제공되는 추가 전극을 추가로 포함하고, 상기 추가 전극은 상기 게이트 전극 및 상기 소스-드레인 전극 중 하나에 전기적으로 결합되는 디스플레이 유닛.

청구항 15

제1항에 있어서, 한 쌍의 전극들을 포함하는 저장 커패시터를 추가로 포함하고, 상기 한 쌍의 전극들 중 하나는 상기 제1 배선 층과 동일한 층 내에 제공되는 디스플레이 유닛.

청구항 16

제1항에 있어서, 상기 제1 배선 층은 몰리브덴, 티타늄, 텅스텐, 및 구리 중 하나 이상을 포함하는 디스플레이 유닛.

발명의 설명

기 술 분 야

[0001] 관련 출원들과의 상호 참조

[0002] 본원은 그 전체 내용들이 본원에 참조로 포함된, 2017년 9월 8일자 출원된 일본 우선권 특허 출원 번호 JP 2017-172654를 우선권 주장한다.

[0003] 본 기술은 디스플레이 영역 내에 트랜지스터를 포함하는 디스플레이 유닛에 관한 것이다.

배 경 기 술

[0004] 디스플레이 유닛은 예를 들어, 디스플레이 영역 내에 유기 전기 루미네선스(electro luminescence)(EL) 요소와 같은 디스플레이 요소를 구비한다. 예를 들어, 일본 미심사 특허 출원 공개 번호 제2005-302707호가 참조된다.

디스플레이 요소를 구동시키는 트랜지스터는 디스플레이 영역 내에 배치되고, 트랜지스터에 전기적으로 각각 결합된 배선들이 디스플레이 영역 외부의 주변 영역으로 이어진다.

[0005] 주변 영역에서, 서로 상이한 전위들을 갖는 복수의 배선이 절연막을 그 사이에 두고 적층된다.

발명의 내용

[0006] 이러한 디스플레이 유닛은 주변 영역 내에 제공된 배선들을 설계하는데 있어서 자유도를 향상시키는 것이 요구된다.

[0007] 주변 영역 내에 제공된 배선들을 설계하는데 있어서 자유도를 향상시키는 것을 가능하게 하는 디스플레이 유닛을 제공하는 것이 바람직하다.

[0008] 본 기술의 실시예에 따른 디스플레이 유닛은 제1 기판, 트랜지스터, 제1 배선 층, 제2 배선 층, 및 절연막을 포함한다. 제1 기판은 디스플레이 영역 및 디스플레이 영역 외부의 주변 영역을 구비한다. 트랜지스터는 제1 기판 상의 디스플레이 영역 내에 제공된다. 트랜지스터는 반도체 층, 반도체 층과 마주하는 게이트 전극, 게이트 전극과 반도체 층 사이에 위치한 게이트 절연막, 및 반도체 층에 전기적으로 결합된 소스-드레인 전극을 포함한다. 제1 배선 층은 제1 기판 상의 주변 영역 내에 제공된다. 제1 배선 층은 트랜지스터에 전기적으로 결합되고, 트랜지스터의 게이트 전극 및 소스-드레인 전극과 동일한 층 내의 위치보다 제1 기판에 더 가까운 위치에 배치된다. 제2 배선 층은 제1 기판 상에 제공된다. 제2 배선 층은 제1 배선 층의 전위와 상이한 전위를 갖는다. 절연막은 제2 배선 층과 제1 배선 층 사이에 제공된다.

도면의 간단한 설명

[0009] 첨부 도면은 본 개시내용의 추가의 이해를 제공하기 위해 포함되고, 본 명세서 내에 포함되고 그 부분을 구성한다. 도면은 예시적 실시예를 도시하고, 명세서와 함께, 본 기술의 원리들을 설명하는 역할을 한다.

도 1은 본 개시내용의 한 실시예예 따른 디스플레이 유닛의 개관 구성의 개략 평면도이다.

도 2는 도 1에 도시된 디스플레이 유닛의 전체적인 구성을 도시한 블록도이다.

도 3은 도 2에 도시된 화소들의 배열을 도시한 개략도이다.

도 4는 도 1에 도시된 선 Ⅳ-Ⅳ'을 따라 취해진 디스플레이 유닛의 단면 구성을 도시한 개략도이다.

도 5는 도 4에 도시된 제1 배선 층과 같은 컴포넌트들의 구성의 개략 평면도이다.

도 6은 도 4에 도시된 제1 배선 층의 구성의 예의 개략 단면도이다.

도 7은 도 4에 도시된 유기 층의 구성의 예의 개략 단면도이다.

도 8a는 도 4에 도시된 디스플레이 유닛을 제조하는 방법의 한 공정의 개략 단면도이다.

도 8b는 도 8a에 후속하는 공정의 개략 단면도이다.

도 8c는 도 8b에 후속하는 공정의 개략 단면도이다.

도 9a는 도 8c에 후속하는 공정의 개략 단면도이다.

도 9b는 도 9a에 후속하는 공정의 개략 단면도이다.

도 9c는 도 9b에 후속하는 공정의 개략 단면도이다.

도 10a는 도 9c에 후속하는 공정의 개략 단면도이다.

도 10b는 도 10a에 후속하는 공정의 개략 단면도이다.

도 11은 비교 예 1에 따른 디스플레이 유닛의 주요 부분의 구성의 개략 단면도이다.

도 12는 수정 예 1에 따른 트랜지스터의 주요 부분의 구성의 개략 단면도이다.

도 13은 도 12에 도시된 트랜지스터의 또 하나의 예의 개략 단면도이다.

도 14는 도 12에 도시된 트랜지스터의 또 다른 예의 개략 단면도이다.

도 15는 수정 예 2에 따른 디스플레이 유닛의 주요 부분의 구성의 개략 단면도이다.

도 16은 도 15에 도시된 디스플레이 유닛의 또 하나의 예의 개략 단면도이다.

도 17은 본 개시내용의 한 실시예에 따른 디스플레이 유닛의 주요 부분의 구성의 개략 단면도이다.

도 18a는 도 17에 도시된 디스플레이 유닛을 제조하는 방법의 한 공정의 개략 단면도이다.

도 18b는 도 18a에 후속하는 공정의 개략 단면도이다.

도 19는 도 18b에 후속하는 공정의 개략 단면도이다.

도 20은 비교 예 2에 따른 디스플레이 유닛의 주요 부분의 구성의 개략 단면도이다.

도 21은 수정 예 3에 따른 디스플레이 유닛의 주요 부분의 구성의 개략 단면도이다.

도 22는 도 21에 도시된 디스플레이 유닛의 또 하나의 예의 개략 단면도이다.

도 23은 전자 장치의 구성을 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 기술의 일부 예시적 실시예들이 첨부 도면을 참조하여 아래에 상세히 설명된다.

[0011] 다음의 설명은 본 기술의 예시적인 예들에 관한 것이지 본 기술을 제한하는 것으로 해석되지 않아야 한다는 점에 주목한다. 수치 값들, 형상들, 재료들, 컴포넌트들, 컴포넌트들의 위치들을 제한 없이 포함하는 인자들, 및 컴포넌트들이 서로 어떻게 결합되는지는 단지 예시적이고 본 기술을 제한하는 것으로 해석되지 않는다. 또한, 본 기술의 가장 포괄적인 독립 청구항에서 나열되지 않은 다음의 예시적 실시예들 내의 요소들은 선택적이고 필요에 기초하여 제공될 수 있다. 도면은 개략적이고 축척에 맞게 그려지지 않는다. 유사한 요소들은 동일한 참조 번호들로 표시되고, 그것의 어떤 중복 설명은 상세히 설명되지 않는다는 점에 주목한다. 설명은 다음의 순서로 이루어진다는 점에 주목한다.

[0012] 1. 제1 예시적 실시예(게이트 전극 아래에 제1 배선 층을 구비한 디스플레이 유닛)

[0013] 2. 수정 예 1(추가 전극이 제1 배선 층과 동일한 층 내에 제공된 예)

[0014] 3. 수정 예 2(저장 커패시터의 한 전극이 제1 배선 층과 동일한 층 내에 제공된 예)

[0015] 4. 제2 예시적 실시예(게이트 전극과 소스-드레인 전극 사이에 유기 절연막을 포함하는 디스플레이 유닛)

[0016] 5. 수정 예 3(하부-배선 절연막이 제2 배선 층과 제1 배선 층 사이에 제공된 예)

[0017] 6. 응용 예(전자 장치의 예)

[0018] [1. 제1 예시적 실시예]

[0019] [구성]

[0020] 도 1은 본 개시내용의 한 실시예예 따른 디스플레이 유닛, 즉, 디스플레이 유닛(1)의 전체적인 구성을 개략적으로 도시한다. 디스플레이 유닛(1)은 예를 들어, 유기 전기 루미네선트 요소를 사용하는 유기 EL 디스플레이일 수 있다. 디스플레이 유닛(1)은 예를 들어, 상면 측으로부터 R(적색), G(녹색), 및 청색(B) 중 어느 것의 광을 출력하는 상부 방출 디스플레이 유닛일 수 있다. 디스플레이 유닛(1)은 중앙의 디스플레이 영역(1A) 및 디스플레이 영역(1A) 외부의 주변 영역(1B)을 포함할 수 있다. 디스플레이 영역(1A)은 예를 들어, 사각형 형상을 가질 수 있다. 주변 영역(1B)은 디스플레이 영역(1A)을 둘러싸기 위해 베젤 형상으로 제공될 수 있다.

[0021] 도 2는 디스플레이 영역(1A) 및 주변 영역(1B) 각각의 기능적 구성의 예를 도시한다. 디스플레이 영역(1A)은 2차원으로 배치된 복수의 화소 pr, pg, 및 pb를 포함한다. 디스플레이 영역(1A)은 예를 들어, 외부로부터 입력된 영상 신호에 기초하여, 능동 매트릭스 방식에 의해 영상을 디스플레이할 수 있다. 주변 영역(1B)은 예를 들어, 디스플레이 영역(1A)을 구동시키는 회로부를 포함할 수 있다. 회로부는 스캐닝 라인 구동기(3), 신호 라인 구동기(4), 및 전원 라인 구동기(5)를 포함할 수 있다. 디스플레이 영역(1A)으로부터 주변 영역(1B)까지에 걸쳐, 화소 배열의 행 방향으로 각각 연장되는 복수의 스캐닝 라인 WSL, 열 방향으로 각각 연장되는 복수의 신호 라인 DTL, 및 행 방향으로 연장되는 복수의 전원 라인 DSL이 제공될 수 있다. 화소들 pr, pg, 및 pb 각각은, 스캐닝 라인 WSL, 신호 라인 DTL, 및 전원 라인 DSL을 통해 스캐닝 라인 구동기(3), 신호 라인 구동기(4), 및

전원 라인 구동기(5)에 각각 결합될 수 있다. 화소들 pr, pg, 및 pb는 예를 들어, 각각 부화소에 대응할 수 있다. 화소들 pr, pg, 및 pb의 세트는 하나의 화소, 즉, 화소 Pix를 구성할 수 있다.

[0022] 도 3은 도 2에 도시된 화소 Pix, 즉, 화소들 pr, pg, 및 pb의 평면 구성의 예를 도시한다. 화소들 pr, pg, 및 pb는 각각 예를 들어, 직사각형 형상의 표면을 가질 수 있고, 전체적으로 스트라이프 형상으로 배치될 수 있다. 동일한 방출 색의 화소들은 화소들 pr, pg, 및 pb 각각의 직사각형 형상의 긴 변을 따르는 방향(즉, 도 3에서 열 방향)으로 배치될 수 있다. 화소 pr은 예를 들어, 적색(R)을 디스플레이할 수 있다. 화소 pg는 예를 들어, 녹색(G)을 디스플레이할 수 있다. 화소 pb는 예를 들어, 청색(B)을 디스플레이할 수 있다. 화소들 pr, pg, 및 pb는 도 2에 도시된 바와 같이, 유기 EL 요소(30)를 포함하는 화소 회로 PXLC를 각각 포함할 수 있다.

[0023] 이후에, 화소들 pr, pg, 및 pb는 구별이 필요하지 않은 경우에 설명을 위해 "화소 P"로서 각각 참조된다.

[0024] 화소 회로 PXLC는 화소들 pr, pg, 및 pb 각각에서 발광 및 소광을 제어할 수 있다. 화소 회로 PXLC는 예를 들어, 유기 EL 요소, 즉, 디스플레이 요소(30), 저장 커패시터 Cs, 스위칭 트랜지스터 WsTr, 및 구동 트랜지스터 DsTr을 포함할 수 있다. 본 예에서, 2Tr1C의 회로 구성이 화소 회로 PXLC로서 예시되지만; 화소 회로 PXLC의 구성은 이로 제한되지 않는다는 점에 주목한다. 화소 회로 PXLC는 다양한 커패시터들 및 트랜지스터들과 같은 컴포넌트들이 2Tr1C 회로에 더 추가되는 회로 구성을 가질 수 있다.

[0025] 스위칭 트랜지스터 WsTr은 구동 트랜지스터 DsTr의 게이트 전극에의 영상 신호, 즉, 신호 전압의 인가를 제어할 수 있다. 특정하지만 비제한적인 예에서, 스위칭 트랜지스터 WsTr은 스캐닝 라인 WSL에 인가된 전압에 응답하여 신호 라인 DTL의 전압, 즉, 신호 전압을 샘플링할 수 있고, 구동 트랜지스터 DsTr의 게이트 전극 내로 신호 전압을 기입할 수 있다. 구동 트랜지스터 DsTr은 유기 EL 요소(30)에 직렬로 결합될 수 있고, 스위칭 트랜지스터 WsTr에 의해 샘플링된 신호 전압의 크기에 응답하여 유기 EL 요소(30)에 흐르는 전류를 제어할 수 있다. 구동 트랜지스터 DsTr 및 스위칭 트랜지스터 WsTr은 예를 들어, n-채널 MOS 또는 p-채널 MOS 박막 트랜지스터(TFT)에 의해 각각 형성될 수 있다. 구동 트랜지스터 DsTr 및 스위칭 트랜지스터 WsTr은 각각 단일-게이트 트랜지스터 또는 이중-게이트 트랜지스터일 수 있다. 저장 커패시터 Cs는 구동 트랜지스터 DsTr의 게이트 전극과 소스 전극 사이에 미리 결정된 전압을 유지할 수 있다.

[0026] 스위칭 트랜지스터 WsTr은 스캐닝 라인 WSL에 결합될 수 있는 게이트 전극을 갖는다. 스위칭 트랜지스터 WsTr은 소스 전극 및 드레인 전극을 갖고; 그것의 한 전극은 신호 라인 DTL에 결합될 수 있고, 그것의 다른 전극은 구동 트랜지스터 DsTr의 게이트 전극에 결합될 수 있다. 구동 트랜지스터 DsTr은 소스 전극 및 드레인 전극을 갖고; 그것의 한 전극은 전원 라인 DSL에 결합될 수 있고, 그것의 다른 전극은 애노드, 즉, 유기 EL 요소(30)의 나중에 설명되는 제1 전극(31)에 결합될 수 있다. 저장 커패시터 Cs는 구동 트랜지스터 DsTr의 게이트 전극과 유기 EL 요소(30) 측면 상의 전극 사이에 제공될 수 있다.

[0027] 스캐닝 라인 WSL은 화소들 P 각각에 선택 펄스를 공급하기 위해 제공될 수 있다. 선택 펄스는 디스플레이 영역(1A) 내에 배치된 복수의 화소 P를 행 기준으로 선택하기 위해 사용될 수 있다. 스캐닝 라인 WSL은 스캐닝 라인 구동기(3)의 도시되지 않은 출력 단자에 및 나중에 설명되는 스위칭 트랜지스터 WsTr의 게이트 전극에 결합될 수 있다. 신호 라인 DTL은 화소들 P 각각에, 영상 신호에 응답하여 신호 펄스(즉, 신호 전위 Vsig 및 기준 전위 Vofs)를 공급하기 위해 제공될 수 있다. 신호 라인 DTL은 신호 라인 구동기(4)의 도시되지 않은 출력 단자에 및 나중에 설명되는 스위칭 트랜지스터 WsTr의 소스 전극 또는 드레인 전극에 결합될 수 있다. 전원 라인 DSL은 화소들 P 각각에 전력으로서 고정된 전위(Vcc)를 공급하기 위해 제공될 수 있다. 전원 라인 DSL은 전원 라인 구동기(5)의 도시되지 않은 출력 단자에 및 나중에 설명되는 구동 트랜지스터 DsTr의 소스 전극 또는 드레인 전극에 결합될 수 있다. 유기 EL 요소(30)는 캐소드, 즉, 공통 전위 라인, 즉, 캐소드 라인에 결합될 수 있는 나중에 설명되는 제2 전극(34)을 갖는다는 점에 주목한다.

[0028] 스캐닝 라인 구동기(3)는 스캐닝 라인들 WSL 각각에 라인 순차적으로 미리 결정된 선택 펄스를 출력할 수 있음으로써 화소들 P 각각이 예를 들어, 애노드 리셋, Vth 보상, 신호 전위 Vsig의 기입, 이동성 보상, 및 발광 동작과 같은 동작들 각각을 미리 결정된 타이밍에서 실행하게 한다. 신호 라인 구동기(4)는 외부로부터 입력된 디지털 영상 신호에 대응하는 아날로그 영상 신호를 발생할 수 있고, 신호 라인들 DTL 각각에 발생된 아날로그 영상 신호를 출력할 수 있다. 전원 라인 구동기(5)는 전원 라인들 DSL 각각에 고정된 전위를 출력할 수 있다. 스캐닝 라인 구동기(3), 신호 라인 구동기(4), 및 전원 라인 구동기(5)는 도시되지 않은 타이밍 제어기에 의해 출력된 타이밍 제어 신호에 기초하여, 서로 함께 동작하도록 제어될 수 있다. 외부로부터 입력된 디지털 영상 신호는 도시되지 않은 영상 신호 수신기에 의해 보상될 수 있다. 그 다음에, 결과적인 디지털 영상 신호는 신호 라인 구동기(4)에 입력될 수 있다.

[0029] 디스플레이 유닛(1)의 특정한 구성에 대한 설명이 아래에 주어진다.

[0030] 도 4는 디스플레이 영역(1A)으로부터 주변 영역(1B)까지의 디스플레이 유닛(1)의 단면 구성을 개략적으로 도시한다. 도 4는 도 1에 도시된 선 Ⅳ-Ⅳ'을 따라 취해진 단면 구성에 대응한다. 디스플레이 유닛(1)에서, 복수의 유기 EL 요소(30)는 서로 마주하는 제1 기판(11)과 제2 기판(41) 사이에 밀봉될 수 있다. 트랜지스터 Tr 및 유기 EL 요소(30)는 제1 기판(11) 상의 디스플레이 영역(1A) 내에 제공될 수 있다.

[0031] 트랜지스터 Tr은 예를 들어, 상부-게이트 박막 트랜지스터일 수 있다. 트랜지스터 Tr은 반도체 층(14), 게이트 절연막(15a), 게이트 전극(16a), 및 소스-드레인 전극들(18c 및 18d)을 제1 기판(11)에 가까운 위치로부터 이 순서로 포함한다. 제1 무기 절연막(13), 즉, 제1 절연막은 제1 기판(11)과 반도체 층(14) 사이에 제공될 수 있다. 제2 무기 절연막(17), 즉, 제2 절연막 및 제3 무기 절연막(19)은 제1 무기 절연막(13) 상에 적층될 수 있다. 제2 무기 절연막(17)은 반도체 층(14), 게이트 절연막(15a), 게이트 전극(16a)을 덮을 수 있다. 트랜지스터 Tr의 소스-드레인 전극들(18c 및 18d)은 제2 무기 절연막(17) 상에 제공될 수 있다. 소스-드레인 전극들(18c 및 18d)은 제3 무기 절연막(19)으로 덮힐 수 있다. 유기 EL 요소(30)는 평탄화 층(21)을 그 사이에 두고 제3 무기 절연막(19) 상에 배치될 수 있다.

[0032] 유기 EL 요소(30)는 평탄화 층(21)에 가까운 위치로부터의 순서로, 제1 전극(31), 유기 층(33), 및 제2 전극(34)을 포함할 수 있다. 요소 분리 막(32)이 인접한 유기 EL 요소들(30) 사이에 제공될 수 있다. 보호막(35)이 예를 들어, 유기 EL 요소(30) 상에 제공될 수 있다. 제2 기판(41)은 충진 층(43) 및 밀봉부(44)를 그 사이에 두고, 보호막(35) 상으로 연결될 수 있다. 색 필터(CF) 층(42)이 예를 들어, 제1 기판(11)과 마주하는 제2 기판(41)의 표면 상에 제공될 수 있다.

[0033] 제1 기판(11) 상의 주변 영역(1B)에서, 제1 기판(11)에 가까운 위치로부터의 순서로, 제1 배선 층(12), 접속 배선 층(16b), 및 제2 배선 층(18b)이 제공될 수 있다. 제1 배선 층(12)은 제1 무기 절연막(13)으로 덮힐 수 있다. 하부-배선 절연막(15b)은 제1 무기 절연막(13)과 접속 배선 층(16b) 사이에 제공될 수 있다. 접속 배선 층(16b)은 제2 무기 절연막(17)으로 덮힐 수 있다. 제2 배선 층(18b)은 제2 무기 절연막(17) 상에 제공될 수 있다.

[0034] 제1 기판(11)은 예를 들어, 유리, 석영, 실리콘, 수지 재료, 및 금속 플레이트와 같은 재료로 이루어질 수 있다. 수지 재료의 비제한적인 예들은 폴리에틸렌 테레프탈레이트(PET), 폴리이미드(PI), 폴리카보네이트(PC), 및 폴리에틸렌 나프탈레이트(PEN)을 포함할 수 있다.

[0035] 제1 배선 층(12)은 접속 배선 층(16b)을 통해 디스플레이 영역(1A) 내에 제공된 트랜지스터 Tr에 전기적으로 결합될 수 있다. 제1 배선 층(12)은 예를 들어, 소스-드레인 전극들(18c 및 18d) 중 하나에 전기적으로 결합될 수 있다. 제1 배선 층(12)은 접속 배선 층(16b)과 함께 전원 라인 DSL을 구성할 수 있다. 제1 배선 층(12)은 트랜지스터 Tr의 게이트 전극(16a)에 전기적으로 결합될 수 있다. 본 예시적 실시예에서, 제1 배선 층(12)은 트랜지스터 Tr의 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 층 내의 위치보다 제1 기판(11)에 더 가까운 위치에 배치된다. 바꾸어 말하면, 제1 배선 층(12)은 트랜지스터 Tr의 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d) 아래에 배치될 수 있다. 여기에 사용된 바와 같이, 트랜지스터 Tr의 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 층 내의 위치는 배선 층이 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 공정에서 형성되는 경우의 배선 층의 위치를 의미한다. 이 방식으로, 제1 배선 층(12)은 트랜지스터 Tr의 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)의 형성의 공정 이외의 공정에서 형성될 수 있지만, 그 상세는 나중에 설명된다. 그러므로, 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)의 구성 재료 및 두께와 같은 인자들과 관계없이, 제1 배선 층(12)의 구성 재료 및 두께와 같은 인자들을 설계하는 것이 가능해진다.

[0036] 제1 무기 절연막(13)으로 덮힌 제1 배선 층(12)은 제1 무기 절연막(13) 상의 반도체 층(14) 아래에 배치될 수 있다. 바꾸어 말하면, 제1 배선 층(12)은 반도체 층(14)보다 제1 기판(11)에 더 가까운 위치에 배치될 수 있다. 제1 배선 층(12)은 예를 들어, 2개의 위치, 즉, 제2 배선 층(18b)과 마주하는 영역(즉, 제1 배선 층(12-1)) 및 제1 배선 층(12-1) 외부의 밀봉부(44)와 마주하는 영역(즉, 제1 배선 층(12-2))에 배치될 수 있다. 제2 배선 층(18b)과 마주하는 영역에 있는 제1 배선 층(12-1)에 제1 배선 층(12)의 전위와 상이한 전위를 제공함으로써, 나중에 설명되는 바와 같이, 배선들 간의 단락의 발생을 억제하는 것이 가능해진다. 외부로부터 수분 침투가 일어날 것 같은 밀봉부(44)와 마주하는 위치에 제1 배선 층(12-2)을 제공함으로써, 나중에 설명되는 바와 같이, 외부로부터의 수분 침투를 억제하는 것이 가능해진다.

[0037] 도 5는 제2 배선 층(18b) 및 밀봉부(44) 각각의 평면 형상과 함께, 제1 배선 층(12) 및 접속 배선 층(16b) 각각의 평면(즉, X-Y 평면) 형상을 도시한다. 제1 배선 층(12) 및 접속 배선 층(16b)은 예를 들어, 각각 X-축 방향으로 연장될 수 있다. 제2 배선 층(18b) 및 밀봉부(44)는 각각 제1 배선 층(12) 및 접속 배선 층(16b)과 중첩하는 부분에서, 제1 배선 층(12) 및 접속 배선 층(16b)의 연장 방향(즉, X-축 방향)과 직교하는 방향(즉, Y-축 방향)으로 연장될 수 있다. 접속 배선 층(16b)은 디스플레이 영역(1A)의 주변 상의 부근과 제1 배선 층(12-1) 사이의 부분 및 제1 배선 층(12-1)과 제1 배선 층(12-2) 사이의 부분의 각각에 제공될 수 있다. 접속 배선 층(16b)은 트랜지스터 Tr과 제1 배선 층(12-1)을 서로 전기적으로 결합시킬 뿐만 아니라 제1 배선 층(12-1)과 제1 배선 층(12-2)을 서로 전기적으로 결합시킬 수 있다. 제1 배선 층(12-2)에 전기적으로 결합된 접속 배선 층(16b)은 또한 제1 배선 층(12-2) 외부에 배치될 수 있다.

[0038] 한 실시예에서, 제1 배선 층(12)은 트랜지스터 Tr의 게이트 전극(16a)의 두께 및 트랜지스터 Tr의 소스-드레인 전극들(18c 및 18d) 각각의 두께보다 작은 두께를 가질 수 있다. 제1 배선 층(12)의 두께를 트랜지스터 Tr의 게이트 전극(16a)의 두께 및 트랜지스터 Tr의 소스-드레인 전극들(18c 및 18d) 각각의 두께보다 작게 설정함으로써, 제1 배선 층(12)의 단부 표면 형상이 붕괴되는 것을 억제하는 것이 가능해진다. 제1 배선 층(12)은 약 50㎚ 내지 200㎚의 두께를 가질 수 있다.

[0039] 도 6은 제1 배선 층(12)의 단면 구성의 예를 도시한다. 한 실시예에서, 제1 배선 층(12)의 단부 표면은 제1 기판(11)에 가까워질수록 더 폭이 넓어지는 형상을 가질 수 있다. 바꾸어 말하면, 제1 배선 층(12)의 단부 표면은 순방향 테이퍼형 형상(forward tapered shape)을 가질 수 있다. 테이퍼 각도는 예를 들어, 20° 일 수 있다. 한 실시예에서, 제1 배선 층(12)의 구성 재료는 순방향 테이퍼형 형상의 용이한 형성을 가능하게 하는 재료일 수 있다. 제1 배선 층(12)의 구성 재료의 특정하지만 비제한적인 예들은 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 및 구리(Cu)를 포함할 수 있다. 제1 배선 층(12)은 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 및 구리(Cu)와 같은 재료들의 단일 층 막으로 구성될 수 있다. 대안적 실시예에서, 제1 배선 층(12)은 이들 재료 중 어느 것을 포함하는 합금 또는 적층된 막으로 구성될 수 있다.

[0040] 제1 배선 층(12)을 덮는 제1 무기 절연막(13)은 제1 기판(11) 상의 디스플레이 영역(1A) 및 주변 영역(1B) 각각의 전체 표면을 가로질러 제공될 수 있다. 제1 무기 절연막(13)은 예를 들어, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiON), 및 알루미늄 산화물(AlO_x) 중 하나로 이루어진 단일 층 막으로 구성될 수 있다. 대안적 실시예에서, 제1 무기 절연막(13)은 그들 중 2개 이상으로 이루어진 적층된 막으로 구성될 수 있다.

[0041] 제1 무기 절연막(13)은 예를 들어, 제1 기판(11)에 가까운 위치로부터의 순서로, 50㎚의 두께를 갖는 실리콘 질화물 막 및 100㎚의 두께를 갖는 실리콘 산화물 막을 포함하는 적층된 막으로 구성될 수 있다. 실리콘 질화물은 일반적으로 높은 코팅성을 갖는다. 적층된 막이 실리콘 질화물의 사용 덕분에 제1 배선 층(12)의 스텝 커버리지 특성을 개선시키는 것이 가능해진다. 그러므로, 크랙이 예를 들어, 제1 무기 절연막(13)에서 발생할 가능성이 작아져서, 제1 무기 절연막(13) 내의 크랙에 의해 야기되는 수율 및 신뢰성의 감소를 억제하는 것을 가능하게 한다. 또한, 산화물 반도체 재료가 반도체 층(14)용으로 사용될 때, 수소를 포함하는 실리콘 질화물이 반도체 층(14) 내의 결함을 없애는 것이 가능해진다. 그러므로, 트랜지스터 Tr의 신뢰성을 개선시키는 것이 가능해진다.

[0042] 트랜지스터 Tr은 예를 들어, 도 2에 도시된 구동 트랜지스터 DsTr에 대응하고, 디스플레이 영역(1A) 내에 제공된다.

[0043] 반도체 층(14)은 제1 기판(11) 상에 패터닝될 수 있다. 반도체 층(14)은 게이트 전극(16a)과 마주하는 채널 영역(14h) 및 채널 영역(14h) 외부의 저 저항 영역(141)을 포함할 수 있다. 저 저항 영역(141)은 채널 영역(14h)의 전기 저항보다 작은 전기 저항을 가질 수 있다. 저 저항 영역(141)은 소스-드레인 영역으로서 기능할 수 있다. 반도체 층(14)은 주 성분으로서, 예를 들어, 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn), 티타늄(Ti), 및 니오븀(Nb) 중 하나 이상의 원소의 산화물을 포함하는 산화물 반도체로 구성될 수 있다. 산화물 반도체의 특정하지만 비제한적인 예들은 인듐-주석-아연 산화물(ITZO), 인듐-갈륨-아연 산화물(IGZO: InGaZnO), 아연 산화물(ZnO), 인듐-아연 산화물(IZO), 인듐-갈륨 산화물(IGO), 인듐-주석 산화물(ITO), 및 인듐 산화물(InO)을 포함할 수 있다. 대안적 실시예에서, 반도체 층(14)은 저온 다결정 실리콘(LTPS) 및 비정질 실리콘(a-Si)과 같은 재료로 이루어질 수 있다.

[0044] 반도체 층(14)과 게이트 전극(16a) 사이에 제공된 게이트 절연막(15a)은 예를 들어, 게이트 전극(16a)과 동일한

평면 형상을 가질 수 있다. 게이트 절연막(15a)은 평면도에서 게이트 전극(16a)의 단부 표면과 중첩하는 위치에 배치될 수 있는 단부 표면을 갖는다. 즉, 트랜지스터 Tr은 자기 정렬 구조를 갖는 TFT일 수 있다. 게이트 절연막(15a)은 예를 들어, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiON), 및 알루미늄 산화물(AlO_x) 중 하나로 이루어진 단일 층 막으로 구성될 수 있다. 대안적 실시예에서, 게이트 절연막(15a)은 그들 중 2개 이상으로 이루어진 적층된 막으로 구성될 수 있다.

[0045] 게이트 전극(16a)은 게이트 절연막(15a)을 그 사이에 두고 반도체 층(14)과 마주할 수 있다. 게이트 전극(16a)은 게이트 전압(Vg)의 인가에 의해 반도체 층(14) 내의 캐리어 밀도를 제어할 수 있고, 전위를 공급하는 배선으로서 기능할 수 있다. 게이트 전극(16a)의 구성 재료의 비제한적인 예들은 티타늄(Ti), 텅스텐(W), 탄탈럼(Ta), 알루미늄(Al), 몰리브덴(Mo), 은(Ag), 네오디뮴(Nd), 및 구리(Cu) 중 하나의 단순 물질, 및 이들의 임의의 조합의 합금을 포함할 수 있다. 대안적 실시예에서, 게이트 전극(16a)은 위에 언급된 재료들 중 하나 이상을 포함하는 화합물, 또는 그들 중 2개 이상을 포함하는 적층된 막일 수 있다. 또한, 예를 들어, ITO와 같은 재료로 이루어진 투명한 전기적 도전 막이 또한 사용될 수 있다.

[0046] 하부-배선 절연막(15b) 및 접속 배선 층(16b)이 예를 들어, 각각, 게이트 절연막(15a) 및 게이트 전극(16a)과 동일한 층 내에 제공될 수 있다. 즉, 하부-배선 절연막(15b) 및 접속 배선 층(16b)은 각각 게이트 절연막(15a) 및 게이트 전극(16a)과 동일한 공정에서 형성될 수 있다. 하부-배선 절연막(15b)과 게이트 절연막(15a)은 각각 동일한 구성 재료로 이루어질 수 있고, 실질적으로 동일한 두께를 가질 수 있다. 접속 배선 층(16b)과 게이트 전극(16a)은 각각 동일한 구성 재료로 이루어질 수 있고, 실질적으로 동일한 두께를 가질 수 있다. 하부-배선 절연막(15b)과 접속 배선 층(16b)은 동일한 평면 형상을 가질 수 있다. 하부-배선 절연막(15b)은 평면도에서 접속 배선 층(16b)의 단부 표면과 중첩하는 위치에 배치될 수 있는 단부 표면을 갖는다.

[0047] 접속 배선 층(16b)은 평면도(즉, X-Y 평면)에서 제2 배선 층(18b) 및 밀봉부(44)와 중첩하지 않은 위치에 제공될 수 있다. 특정하지만 비제한적인 예에서, 접속 배선 층(16b)은 디스플레이 영역(1A)의 주변 상의 부근으로부터 제2 배선 층(18b)의 내부의 단부(즉, 디스플레이 영역(1A)의 측)까지의 영역 내에 (접속 배선 층(16b-1)으로서) 제공될 수 있다. 접속 배선 층(16b)은 제2 배선 층(18b)의 외부의 단부로부터 밀봉부(44)의 내부의 단부까지의 영역 내에 (접속 배선 층(16b-2)으로서) 제공될 수 있다. 접속 배선 층(16b)은 밀봉부(44)의 외부의 단부 이외의 영역 내에 (접속 배선 층(16b-3)으로서) 제공될 수 있다. 접속 배선 층(16b-1)은 트랜지스터 Tr과 제1 배선 층(12-1)을 서로 결합시킬 수 있다. 접속 배선 층(16b-2)은 제1 배선 층(12-1)과 제1 배선 층(12-2)을 서로 결합시킬 수 있다. 접속 배선 층(16b-3)은 예를 들어, 제1 배선 층(12-2)과 전원 라인 구동기(5)를 서로 결합시킬 수 있다. 접속 배선 층들(16b-1, 16b-2, 및 16b-3)은 하부-배선 절연막(15b) 및 제1 무기 절연막(13) 내에 제공된 접촉 홀들을 통해 제1 배선 층들(12-1 및 12-2)에 각각 결합될 수 있다.

[0048] 제2 무기 절연막(17)은 게이트 전극(16a), 게이트 절연막(15a), 및 반도체 층(14) 외에, 접속 배선 층(16b) 및 하부-배선 절연막(15b)을 덮을 수 있다. 제2 무기 절연막(17)은 디스플레이 영역(1A)으로부터 주변 영역(1B)까지 가로질러 제공될 수 있다. 제2 무기 절연막(17)은 예를 들어, 실리콘 산화물(SiO_2) 막, 티타늄 산화물(TiO_2) 막, 및 알루미늄 산화물(AlO_x) 막과 같은 막으로 구성될 수 있다. 제2 무기 절연막(17)은 위에 언급된 막들의 단일 층 막으로 구성될 수 있다. 대안적 실시예에서, 제2 무기 절연막(17)은 복수의 막을 포함하는 적층된 막으로 구성될 수 있다. 예를 들어, 제2 무기 절연막(17)은 적층된 막으로 구성될 수 있고, 제1 기판(11)에 가까운 위치로부터의 순서로, 10㎚의 두께를 갖는 알루미늄 산화물 막, 200㎚의 두께를 갖는 실리콘 산화물 막, 및 50㎚의 두께를 갖는 알루미늄 산화물 막을 포함할 수 있다. 이러한 제2 무기 절연막(17)의 하층으로서의 알루미늄 산화물 막은 반도체 층(14)의 저 저항 영역(141)과 접촉할 수 있으므로, 저 저항 영역(141)이 안정화되게 한다. 또한, 상부 층으로서의 알루미늄 산화물 막은 외부 공기에 대한 유리한 배리어 특성을 갖는 보호막으로서 기능할 수 있으므로, 산소 및 수분과 같은 인자들에 의해 야기된 반도체 층(14)의 전기 특성들의 변화를 억제한다.

[0049] 제2 무기 절연막(17) 상에 각각 제공된 소스-드레인 전극들(18c 및 18d)은 제2 무기 절연막(17) 내에 제공된 접촉 홀들을 통해 반도체 층(14)의 저 저항 영역(141)에 전기적으로 결합될 수 있다. 소스-드레인 전극들(18c 및 18d)은 각각 트랜지스터 Tr의 소스 또는 드레인으로서 기능할 수 있고, 예를 들어, 위에 언급된 게이트 전극(16a)의 구성 재료로서 열거된 것들과 유사한 투명한 전기적 도전 막 또는 금속을 포함할 수 있다. 한 쌍의 소스-드레인 전극들(18c 및 18d) 중 하나(즉, 소스-드레인 전극(18c))는 예를 들어, 평탄화 층(21) 및 제3 무기 절연막(19) 내에 제공된 접촉 홀을 통해 유기 EL 요소(30)의 제1 전극(31)에 전기적으로 결합될 수 있다.

[0050] 주변 영역(1B) 내에 제공된 제2 배선 층(18b)은 예를 들어, 도 5에 도시된 바와 같이, 평면도에서 디스플레이 영역(1A)을 둘러싸기 위해, 직사각형 베젤 형상으로 제공될 수 있다. 제2 배선 층(18b)은 제2 무기 절연막(17) 및 제1 무기 절연막(13)을 그 사이에 두고 제1 배선 층(12-1)과 마주할 수 있다. 바꾸어 말하면, 제2 배선 층(18b)은 제1 배선 층(12-1)을 그 사이에 두고 제1 기판(11) 상에 제공될 수 있다. 제2 배선 층(18b)은 예를 들어, 소스-드레인 전극들(18c 및 18d)과 동일한 층 내에 제공될 수 있다. 즉, 제2 배선 층(18b)은 소스-드레인 전극들(18c 및 18d)과 동일한 공정에서 형성될 수 있고, 소스-드레인 전극들(18c 및 18d)의 것과 동일한 구성 재료로 이루어질 수 있다. 제2 배선 층(18b)은 소스-드레인 전극들(18c 및 18d)의 두께와 실질적으로 동일한 두께를 가질 수 있다. 제2 배선 층(18b)은 예를 들어, 유기 EL 요소(30)의 제2 전극(34)에 전기적으로 결합될 수 있고, 제1 배선 층(12-1)의 것과 상이한 전위를 가질 수 있다.

[0051] 도시되지 않은 에칭 보호막이 제2 배선 층(18b) 상에 적층될 수 있다. 에칭 보호막은 제1 전극(31)의 형성 시에 에칭에 의해 발생되는 제2 배선 층(18b)의 손상을 억제하거나 방지하기 위해 제공될 수 있다. 에칭 보호막은 예를 들어, 금속 재료로 이루어질 수 있다.

[0052] 제2 무기 절연막(17) 상의 제3 무기 절연막(19)은 디스플레이 영역(1A) 및 주변 영역(1B)를 가로질러 제공될 수 있다. 제3 무기 절연막(19)은 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)을 덮을 수 있다. 소스-드레인 전극(18c) 및 제2 배선 층(18b)에 도달하는 각각의 접촉 홀들은 제3 무기 절연막(19) 내에 제공된다. 소스-드레인 전극(18c) 및 제2 배선 층(18b)은 각각 이들 접촉 홀을 통해 유기 EL 요소(30)의 제1 전극(31) 및 유기 EL 요소(30)의 제2 전극(34)에 전기적으로 결합될 수 있다. 제3 무기 절연막(19)은 예를 들어, 실리콘 산화물(SiO_2) 막, 티타늄 산화물(TiO_2) 막, 및 알루미늄 산화물(AlO_x) 막과 같은 막으로 구성될 수 있다. 제3 무기 절연막(19)은 위에 언급된 막들의 단일 층 막으로 구성될 수 있다. 대안적 실시예에서, 제3 무기 절연막(19)은 복수의 막을 포함하는 적층된 막으로 구성될 수 있다. 예를 들어, 제3 무기 절연막(19)은 300㎚의 두께를 갖는 실리콘 산화물 막으로 구성될 수 있다. 평탄화 층(21)이 제2 무기 절연막(17) 상의 제3 무기 절연막(19) 대신에 제공될 수 있다.

[0053] 제3 무기 절연막(19) 상의 평탄화 층(21)은 디스플레이 영역(1A)으로부터 주변 영역(1B)의 부분까지 연장될 수 있다. 평탄화 층(21)은 제2 배선 층(18b)의 내부에 배치될 수 있는 단부 표면을 갖는다. 바꾸어 말하면, 제2 배선 층(18b)은 평탄화 층(21)으로 덮히지 않을 수 있다. 평탄화 층(21)은 제3 무기 절연막(19) 내에 제공된 소스-드레인 전극(18c)에 도달하는 접촉 홀을 가질 수 있다. 유기 EL 요소(30)의 제1 전극(31)은 평탄화 층(21) 및 제3 무기 절연막(19) 내에 제공된 접촉 홀을 통해 소스-드레인 전극(18c)에 전기적으로 결합될 수 있다. 평탄화 층(21)은 예를 들어, 폴리이미드 수지, 노볼락 수지, 에폭시 수지, 및 아크릴 수지와 같은 감광성을 갖는 유기 절연 재료로 이루어질 수 있다.

[0054] 유기 EL 요소(30)는 화소들 pr, pg, 및 pb 각각에 대한 평탄화 층(21) 상의 디스플레이 영역(1A) 내에 제공될 수 있다. 유기 EL 요소(30)의 복수의 제1 전극(31)은 평탄화 층(21) 상에 배치될 수 있다. 복수의 제1 전극(31)은 서로 분리되도록 제공될 수 있다.

[0055] 제1 전극(31) 각각은 예를 들어, 애노드로서 기능하는 반사 전극일 수 있고, 화소들 P 각각에 제공될 수 있다. 제1 전극(31)의 구성 재료의 비제한적인 예들은 알루미늄(Al), 네오디뮴(Nd), 크롬, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐, 및 은(Ag)과 같은 단순 물질 및 금속 원소의 합금을 포함할 수 있다. 또한, 제1 전극(31)은 금속 막과 전기적 도전 재료, 즉, 투명한 전기적 도전 막의 적층된 막을 포함할 수 있다. 금속 막은 위에 언급된 금속 원소들의 단순 물질 또는 합금으로 이루어질 수 있다. 투명한 전기적 도전 막은 투광성을 가질 수 있다. 투명한 전기적 도전 막의 비제한적인 예들은 인듐-주석 산화물(ITO), 인듐-아연 산화물(IZO), 및 아연 산화물(ZnO)-기반 재료를 포함할 수 있다. 아연 산화물-기반 재료의 비제한적인 예들은 알루미늄(Al) 도핑된 아연 산화물(AZO) 및 갈륨 도핑된 아연 산화물(GZO)을 포함할 수 있다.

[0056] 요소 분리 막(32)은 복수의 제1 전극(31)을 덮을 수 있고, 각각의 제1 전극(31)의 표면으로부터 인접한 제1 전극(31)의 표면까지 가로질러 제공될 수 있다. 요소 분리 막(32)은 각각의 제1 전극(31)과 마주하는 개구를 가질 수 있다. 제1 전극(31)은 개구 내의 요소 분리 막(32)으로부터 노출될 수 있고, 유기 층(33)은 노출된 제1 전극(31) 상에 배치될 수 있다. 요소 분리 막(32)은 화소들 P 각각의 발광 영역을 정하기 위해 그리고 제1 전극(31)과 제2 전극(34) 사이의 절연 특성을 보장하기 위해 제공될 수 있다. 요소 분리 막(32)은 유기 층(33)이 습식 공정에 의해 형성되는 경우에 소위 분할 벽으로서 기능할 수 있다. 요소 분리 막(32)은 예를 들어, 아크릴 수지, 폴리이미드 수지, 불소 수지, 실리콘 수지, 불소 폴리머, 실리콘 폴리머, 노볼락 수지, 에폭시 수지, 및 노르보넨 수지와 같은 감광성 수지를 포함할 수 있다. 대안적 실시예에서, 그 안에 색소가 분산된 이들 수

지 재료들 중 임의의 것이 또한 사용될 수 있다. 또한, 예를 들어, 실리콘 산화물, 실리콘 질화물, 및 실리콘 산질화물과 같은 무기 재료가 요소 분리 막(32)용으로 또한 사용될 수 있다.

[0057] 도 7은 유기 층(33)의 특정한 구성의 예를 도시한다. 유기 층(33)은 예를 들어, 정공 주입 층(331), 정공 이송 층(332), 발광 층(333), 전자 이송 층(334), 및 전자 주입 층(335)을 제1 전극(31)에 가까운 위치로부터 이 순서로 포함할 수 있다. 유기 층(33)은 예를 들어, 화소들 pr, pg, 및 pb 각각에 대한 요소 분리 막(32)의 개구 내에 제공될 수 있다. 각각의 화소들 pr, pg, 및 pb의 발광 층들(333)은 상이한 색들을 가질 수 있다. 예를 들어, 화소 pr의 발광 층(333), 화소 pg의 발광 층(333), 및 화소 pb의 발광 층(333)은 각각 적색, 녹색, 및 청색을 발생할 수 있다.

[0058] 정공 주입 층(331)은 누출을 억제하거나 방지할 수 있고, 예를 들어, 헥사아자트리페닐렌(HAT)으로 이루어질 수 있다. 정공 주입 층(331)은 예를 들어, 1㎚ 내지 20㎚의 두께를 가질 수 있다. 정공 이송 층(332)은 예를 들어, α-NPD[N,N'-디(1-나프틸)-N,N'-디페닐-[1,1'비페닐]-4,4'-디아민)으로 이루어질 수 있다. 정공 이송 층(332)은 예를 들어, 15㎚ 내지 100㎚의 두께를 가질 수 있다.

[0059] 발광 층(333)은 정공들과 전자들 간의 결합에 의해 미리 결정된 색의 광을 방출하도록 구성될 수 있다. 발광 층(333)은 예를 들어, 5㎚ 내지 50㎚의 두께를 가질 수 있다. 적색 파장 영역의 광을 방출하는 발광 층(333)은 예를 들어, 피로메텐-붕소 착물로 도핑된 루브렌으로 이루어질 수 있다. 이 상황에서, 루브렌은 주 재료로서 사용될 수 있다. 녹색 파장 영역의 광을 방출하는 발광 층(333)은 예를 들어, Alq_3(트리스퀴놀리놀-알루미늄 착물)로 이루어질 수 있다. 청색 파장 영역의 광을 방출하는 발광 층(333)은 예를 들어, 디아미노크리센 유도체로 도핑된 ADN(9,10-디(2-나프틸)안트라센)으로 이루어질 수 있다. 이 상황에서, ADN은 정공 이송 층(332) 상에, 예를 들어, 20㎚의 두께를 갖는 주 재료로서 증착된다. 디아미노크리센 유도체는 5%의 상대적 막 두께비로 도펀트 재료로서 도핑된다.

[0060] 전자 이송 층(334)은 BCP(2,9-디메틸-4,7-디페닐-1,10-페난트로린으로 이루어질 수 있다. 전자 이송 층(334)은 예를 들어, 15㎚ 내지 200㎚의 두께를 가질 수 있다. 전자 주입 층(335)은 예를 들어, 리튬 불화물(LiF)로 이루어질 수 있다. 전자 주입 층(335)은 예를 들어, 15㎚ 내지 270㎚의 두께를 가질 수 있다.

[0061] 유기 층(33)을 그 사이에 두고 제1 전극(31)과 마주하는 제2 전극(34)은 예를 들어, 캐소드로서 기능할 수 있다. 제2 전극(34)은 디스플레이 영역(1A)의 전체 표면을 가로질러 형성될 수 있다. 바꾸어 말하면, 제2 전극(34)은 화소들 P 모두에 공통인 전극으로서 형성될 수 있다. 제2 전극(34)은 예를 들어, 평탄화 층(21)의 단부 표면을 통해 주변 영역(1B)의 제3 무기 절연막(19) 상에 연장될 수 있고, 제3 무기 절연막(19) 내에 제공된 접촉 홀을 통해 제2 배선 층(18b)에 전기적으로 결합될 수 있다. 제2 전극(34)은 예를 들어, 투명한 전기적 도전 막으로 구성될 수 있다. 투명한 전기적 도전 막의 비제한적인 예들은 인듐-주석 산화물(ITO), 인듐-아연 산화물(IZO), 및 아연 산화물(ZnO)-기반 재료를 포함할 수 있다. 아연 산화물-기반 재료의 비제한적인 예들은 알루미늄(Al) 도핑된 아연 산화물(AZO) 및 갈륨 도핑된 아연 산화물(GZO)을 포함할 수 있다. 제2 전극(34)의 두께는 특별하게 제한되지 않지만, 두께는 전기적 도전성 및 투광성을 고려하여 설정될 수 있다. 이들 재료 외에, 마그네슘과 은의 합금(Mg-Ag 합금)이 또한 제2 전극(34)용으로 사용될 수 있다.

[0062] 보호막(35)은 제2 전극(34)을 덮기 위해 제공될 수 있고, 디스플레이 영역(1A) 및 주변 영역(1B)의 전체 표면들을 가로질러 연장될 수 있다. 보호막(35)은 유기 EL 요소(30) 내로의 수분 침투를 억제하거나 방지하고 발광 효율과 같은 특성들의 변화를 억제하거나 방지하는 보호막으로서 기능할 수 있다. 보호막(35)은 예를 들어, 약 3㎛의 두께를 갖는 실리콘 질화물로 이루어질 수 있다.

[0063] 충진 층(43)은 보호막(35)과 제2 기판(41)을 함께 연결할 수 있고, 유기 EL 요소(30)을 밀봉할 수 있다. 충진 층(43)은 보호막(35)의 전체 표면을 가로질러 제공될 수 있다. 충진 층(43)의 재료의 비제한적인 예들은 아크릴 수지, 폴리이미드 수지, 불소 수지, 실리콘 수지, 불소 폴리머, 실리콘 폴리머, 노볼락 수지, 에폭시 수지, 및 노르보넨 수지를 포함할 수 있다. 대안적 실시예에서, 그 안에 색소가 분산된 이들 수지 재료들 중 임의의 것이 또한 사용될 수 있다.

[0064] 밀봉부(44)는 충진 층(43) 외부의 주변 영역(1B) 내에 제공될 수 있다. 밀봉부(44)는 도 5에 도시된 바와 같이 디스플레이 영역(1A)을 둘러싸기 위해 베젤 형상으로 제공될 수 있고, 제2 기판(41)의 주변 상에 배치될 수 있다. 밀봉부(44)는 유기 EL 요소(30)와 함께, 그 사이에 제공된 컴포넌트들을 제1 기판(11)과 제2 기판(41) 사이에서, 밀봉할 수 있다. 밀봉부(44)는 예를 들어, 에폭시 수지 및 아크릴 수지와 같은 수지 재료로 이루어질 수 있다.

[0065] 색 필터 층(42)은 예를 들어, 적색 필터, 녹색 필터, 및 청색 필터를 포함할 수 있다. 색 필터 층(42)은 예를 들어, 제2 기판(41)의 전체 표면 상에 제공될 수 있다. 예를 들어, 색 필터 층(42)은 충진 층(43) 측의 표면 상에 제공될 수 있다. 적색 필터, 녹색 필터, 및 청색 필터는 각각 화소들 pr, pg, 및 pb을 위한 유기 EL 요소들(30)과 마주하는 영역들 내에 제공될 수 있다. 이들 적색 필터, 녹색 필터, 및 청색 필터는 그 안에 색소가 혼합된 수지로 각각 이루어질 수 있다.

[0066] 블랙 매트릭스 층이 또한 위에 설명된 적색 필터, 녹색 필터, 및 청색 필터 사이의 영역 내에, 즉, 화소들 사이의 영역 내에 제공될 수 있다. 블랙 매트릭스 층은 예를 들어, 그 안에 블랙 착색제가 혼합된 수지 막으로, 또는 박막의 간섭을 이용하는 박막 필터로 구성될 수 있다. 박막 필터는 예를 들어, 금속, 금속 질화물, 및 금속 산화물과 같은 재료로 이루어진 하나 이상의 박막이 박막의 간섭을 이용함으로써 광을 감쇠하기 위해 적층된 구성을 가질 수 있다. 박막 필터의 특정하지만 비제한적인 예는 크롬(Cr)과 크롬(Ⅲ) 산화물(Cr_2O_3)이 교대로 적층된 필터를 포함할 수 있다.

[0067] 충진 층(43)과 함께, 제2 기판(41)은 유기 EL 요소(30)를 밀봉할 수 있다. 제2 기판(41)은 예를 들어, 유기 EL 요소(30)에서 발생된 광에 투명한 유리 또는 플라스틱과 같은 재료로 이루어질 수 있다.

[0068] [제조 방법]

[0069] 이러한 디스플레이 유닛(1)은 예를 들어, 도 8a 내지 도 10b에 도시된 대로, 아래에 설명되는 것과 같이 제조될 수 있다.

[0070] 몰리브덴(Mo)이 먼저 예를 들어, 스퍼터링 방법에 의해 100㎚의 두께를 갖는 막으로, 제1 기판(11) 상에 형성될 수 있다. 그 다음에, 패터닝이 포토리소그래피 방법 및 건식 에칭 방법에 의해 막 상에서 수행될 수 있다. 이것은 도 8a에 도시된 것과 같은 제1 배선 층들(12-1 및 12-2)의 형성을 가능하게 한다. 건식 에칭 방법은 예를 들어, 4불화 탄소(CF_4)-산소(O_2) 가스를 사용하는 것을 포함할 수 있다.

[0071] 다음에, 제1 무기 절연막(13) 및 반도체 층(14)이 도 8b에 도시된 바와 같이, 이 순서로 형성될 수 있다. 제1 무기 절연막(13)은 예를 들어, 화학 증착(CVD) 방법에 의해 50㎚의 두께를 갖는 실리콘 질화물(SiN_x) 막 및 100㎚의 두께를 갖는 실리콘 산화물(SiO_2) 막을 이 순서로 형성함으로써 형성될 수 있다. 실란(SiH_4) 가스가 예를 들어, 실리콘 질화물 막을 형성할 시에 공정 가스로서 사용될 수 있다. 반도체 층(14)은 예를 들어, 스퍼터링 방법에 의해 30㎚의 두께를 갖는 막으로 산화물 반도체 재료를 형성하고 그 다음에 포토리소그래피 방법에 의해 막의 패터닝을 수행함으로써 형성될 수 있다.

[0072] 반도체 층(14)의 형성 다음에 도 8c, 도 9a, 및 도 9b에 도시된 바와 같이, 게이트 절연막(15a), 하부-배선 절연막(15b), 게이트 전극(16a), 및 접속 배선 층(16b)의 형성이 이어질 수 있다. 특정하지만 비제한적인 예에서, 공정은 다음과 같이 수행될 수 있다.

[0073] 절연막(15)이 먼저 반도체 층(14)을 덮기 위해 제1 무기 절연막(13) 상에 형성될 수 있고, 그 다음에 제1 배선 층들(12-1 및 12-2)에 도달하는 접촉 홀들이 도 8c에 도시된 바와 같이, 절연막(15) 내에 형성될 수 있다. 절연막(15)은 게이트 절연막(15a) 및 하부-배선 절연막(15b)을 형성하기 위해 제공될 수 있다. 절연막(15)은 예를 들어, CVD 방법에 의해 200㎚의 두께를 갖는 실리콘 산화물(SiO_2) 막을 형성함으로써 형성될 수 있다. 절연막(15) 내의 접촉 홀들은 예를 들어, 포토리소그래피 방법 및 건식 에칭 방법에 의해 형성될 수 있다. 건식 에칭 방법은 예를 들어, 4불화 탄소(CF_4) 가스를 사용하는 것을 포함할 수 있다.

[0074] 절연막(15) 내의 접촉 홀들의 형성 다음에 도 9a에 도시된 바와 같이, 동일한 공정에서 절연막(15) 상의 게이트 전극(16a) 및 접속 배선 층들(16b), 즉, 접속 배선 층들(16b-1, 16b-2, 및 16b-3)의 형성이 이어질 수 있다. 특정하지만 비제한적인 예에서, 50㎚의 두께를 갖는 티타늄(Ti) 막, 500㎚의 두께를 갖는 알루미늄(Al) 막, 및 50㎚의 두께를 갖는 티타늄(Ti) 막이 스퍼터링 방법에 의해 절연막(15) 상에 이 순서로 형성될 수 있다. 그 다음에, 패터닝이 포토리소그래피 방법 및 건식 에칭 방법에 의해 막들 상에서 수행될 수 있다. 건식 에칭 방법은 예를 들어, 염화물(Cl_2) 가스를 사용하는 것을 포함할 수 있다. 이것은 게이트 전극(16a) 및 접속 배선 층들(16b, 즉, 16b-1, 16b-2, 및 16b-3)의 형성을 가능하게 한다. 게이트 전극(16a)은 반도체 층(14)과 마주하는 위치에 배치될 수 있다. 접속 배선 층들(16b)은 절연막(15) 내에 제공된 각각의 접촉 홀들을 통해 제1 배선 층(12)에 결합될 수 있다.

[0075] 게이트 전극(16a) 및 접속 배선 층들(16b)의 형성 시의 에칭 공정 후에, 절연막(15)이 도 9b에 도시된 바와 같

이, 게이트 절연막(15a) 및 하부-배선 절연막(15b)을 동일한 공정에서 형성하기 위해 후속하여 에칭될 수 있다. 이 상황에서, 게이트 전극(16a) 및 접속 배선 층(16b)은 각각 게이트 절연막(15a) 및 하부-배선 절연막(15b)을 형성하기 위해 마스크로서 기능할 수 있다. 게이트 절연막(15a) 및 하부-배선 절연막(15b)은 각각 게이트 전극(16a) 및 접속 배선 층(16b)의 것들과 동일한 평면 형상들을 가질 수 있다. 절연막(15)의 에칭은 예를 들어, 4불화 탄소(CF_4) 가스를 사용하는 건식 에칭 방법을 이용하는 것을 포함할 수 있다. 절연막(15)의 에칭 시에, 게이트 전극(16a)으로부터 노출된 반도체 층(14)은 더 낮은 저항을 갖게 될 수 있고, 채널 영역(14h) 및 저 저항 영역(14l)은 자기 정렬 방식으로 형성될 수 있다.

[0076] 게이트 절연막(15a) 및 하부-배선 절연막(15b)의 형성 다음에 도 9c에 도시된 바와 같이, 제2 무기 절연막(17)의 형성 및 제2 무기 절연막(17) 상에 제공된 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)의 형성이 이어질 수 있다. 특정하지만 비제한적인 예에서, 공정은 다음과 같이 수행될 수 있다.

[0077] 제2 무기 절연막(17)이 게이트 전극(16a) 및 접속 배선 층들(16b)을 덮기 위해 먼저 형성될 수 있다. 제2 무기 절연막(17)은 예를 들어, 10㎚의 두께를 갖는 알루미늄 산화물(AlO_2) 막, 200㎚의 두께를 갖는 실리콘 산화물(SiO) 막, 및 50㎚의 두께를 갖는 알루미늄 산화물(AlO_2) 막을 스퍼터링 방법에 의해 제1 무기 절연막(13) 상에 이 순서로 형성함으로써 형성될 수 있다. 반도체 층(14)의 각각의 저 저항 영역들(14l)에 도달하는 접촉 홀들은 예를 들어, 포토리소그래피 방법 및 건식 에칭 방법에 의해 제2 무기 절연막(17) 내에 형성될 수 있다. 본 예에서, 예를 들어, 알루미늄 산화물, 실리콘 산화물, 및 알루미늄 산화물의 에칭은 각각 염소(Cl_2) 가스, 4불화 탄소(CF_4) 가스, 및 염소(Cl_2) 가스를 사용하여 상부 층으로부터의 순서로 순차적으로 수행될 수 있다.

[0078] 제2 무기 절연막(17) 내의 접촉 홀들의 형성 다음에 동일한 공정에서의 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)의 형성이 이어질 수 있다. 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)은 각각 예를 들어, 다음과 같이, 형성될 수 있다. 50㎚의 두께를 갖는 티타늄(Ti) 막, 500㎚의 두께를 갖는 알루미늄(Al) 막, 및 50㎚의 두께를 갖는 티타늄(Ti) 막이 스퍼터링 방법에 의해 제2 무기 절연막(17) 상에 이 순서로 형성될 수 있다. 그 다음에, 막들의 패터닝이 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)을 형성하기 위해 포토리소그래피 방법 및 건식 에칭 방법에 의해 수행될 수 있다. 건식 에칭 방법은 예를 들어, 염소(Cl_2) 가스를 사용하는 것을 포함할 수 있다. 소스-드레인 전극들(18c 및 18d)은 제2 무기 절연막(17) 내에 제공된 접촉 홀들을 통해 반도체 층(14)의 각각의 저 저항 영역들(14l)에 전기적으로 결합될 수 있다.

[0079] 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)의 형성 다음에 도 10a에 도시된 바와 같이, 제3 무기 절연막(19), 평탄화 층(21), 및 제1 전극(31)의 형성이 이 순서로 이어질 수 있다.

[0080] 제3 무기 절연막(19)은 예를 들어, CVD 방법에 의해 300㎚의 두께를 갖는 실리콘 산화물(SiO_2) 막을 형성함으로써 형성될 수 있다. 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)에 도달하는 접촉 홀들은 포토리소그래피 방법 및 건식 에칭 방법에 의해 제3 무기 절연막(19) 내에 형성될 수 있다. 건식 에칭은 예를 들어, 4불화 탄소(CF_4) 가스를 사용하는 것을 포함할 수 있다.

[0081] 평탄화 층(21)이 예를 들어, 제3 무기 절연막(19) 상에 감광성을 갖는 폴리이미드를 막으로서 형성하고 그 다음에 포토리소그래피 방법에 의해 미리 결정된 형상으로의 폴리이미드 막의 패터닝을 수행함으로써 형성될 수 있다. 제3 무기 절연막(19) 내에 형성된 접촉 홀들을 통해 소스-드레인 전극들(18c 및 18d)에 도달하는 접촉 홀은 평탄화 층(21) 내에 형성될 수 있다.

[0082] 제1 전극(31)은 평탄화 층(21) 내에 형성된 접촉 홀을 채우기 위해 스퍼터링 방법에 의해 250㎚의 두께를 갖는 알루미늄-네오디뮴(AlNd)을 막으로서 형성하고 그 다음에 포토리소그래피 방법 및 에칭 방법에 의해 패터닝을 수행함으로써 형성될 수 있다. 에칭 방법은 예를 들어, 인산-질산-초산 에천트를 사용하는 습식 에칭 방법을 이용하는 것을 포함할 수 있다.

[0083] 제1 전극(31)의 형성 다음에 도 10b에 도시된 바와 같이, 요소 분리 막(32), 유기 층(33), 및 제2 전극(34)의 형성이 이 순서로 이어질 수 있다. 요소 분리 막(32)은 예를 들어, 제1 전극(31) 상에 감광성을 갖는 폴리이미드를 막으로서 형성하고 그 다음에 포토리소그래피 방법에 의해 폴리이미드 막의 패터닝을 수행함으로써 형성될 수 있다. 유기 층(33)이 예를 들어, 증착 방법에 의해 형성될 수 있다. 제2 전극(34)이 예를 들어, 스퍼터링 방법에 의해 디스플레이 영역(1A)의 전체 표면 상에 150㎚의 두께를 갖는 인듐-아연 산화물(IZO)을 막으로서 형성함으로써 형성될 수 있다. 제2 전극(34)의 형성 시에, 예를 들어, 하드 마스크가 사용될 수 있다. 제2 전극

(34)은 디스플레이 영역(1A)으로부터 주변 영역(1B)까지 연장될 수 있고, 제2 배선 층(18b)에 전기적으로 결합될 수 있다.

[0084] 제2 전극(34)의 형성 다음에 예를 들어, CVD 방법에 의한 제2 전극(34) 상의 보호막(35)의 형성이 이어질 수 있다. 그 다음에, 제1 기판(11) 상에 형성된 층들이 제2 기판(41)에 의해 밀봉될 수 있다. 특정하지만 비제한적인 예에서, 제2 기판(41)은 충진 층(43)을 그 사이에 두고 보호막(35) 상으로 연결될 수 있다. 또한, 밀봉부(44)가 제2 기판(41)의 주변 상에 형성될 수 있다. 예를 들어, 충진 층(43)은 코팅 방법에 의해 막으로서 형성될 수 있다. 밀봉부(44)는 프린팅 방법에 의해 형성될 수 있다. 색 필터 층(42)이 제2 기판(41) 상에 미리 형성될 수 있다. 이 방식으로, 디스플레이 유닛(1)이 제조된다.

[0085] [작용들 및 효과들]

[0086] 본 개시내용의 임의의 예시적 실시예에 따른 디스플레이 유닛(1)에서, 선택 펄스가 화소 P를 선택하기 위해 스캐닝 라인 구동기(3)로부터 화소들 P 각각의 스위칭 트랜지스터 WsTr에 공급될 수 있다. 신호 라인 구동기(4)로부터 공급된 영상 신호에 대응하는 신호 전압은 선택된 화소 P에 공급될 수 있고, 저장 커패시터 Cs 내에 저장될 수 있다. 구동 트랜지스터 DsTr은 저장 커패시터 Cs에 의해 저장된 신호에 응답하여 온/오프 제어될 수 있고, 구동 전류가 유기 EL 요소(30) 내로 주입될 수 있다. 이것은 유기 EL 요소(30), 즉, 발광 층(333) 내의 정공들과 전자들의 재조합을 통해 발광의 발생을 가능하게 한다. 광은 예를 들어, 제2 전극(34), 보호막(35), 충진 층(43), 색 필터 층(42), 및 제2 기판(41)을 통해 추출될 수 있다. 이것은 각각의 화소들 P, 즉, 화소들 pr, pg, 및 pb로부터 각각 적색 광, 녹색 광, 및 청색 광이 방출되게 한다. 색 빔들의 첨가 색 혼합은 컬러 영상 디스플레이가 수행되게 한다.

[0087] 본 예시적 실시예에서, 제1 배선 층들(12), 즉, 제1 배선 층들(12-1 및 12-2)은 각각 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 층 내의 위치보다 제1 기판(11)에 더 가까운 위치에 배치된다. 제1 배선 층들(12)은 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)이 형성되는 공정 전의 공정에서 형성될 수 있다. 제1 배선 층(12)의 구성 재료 및 두께와 같은 인자들이 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d) 각각의 구성 재료 및 두께와 같은 인자들과 관계없이 자유롭게 선택될 수 있다. 이것은 이하에서 설명된다.

[0088] 도 11은 디스플레이 유닛, 즉, 비교 예 1에 따른 디스플레이 유닛(101)의 주요 부분의 개략 단면 구성을 도시한다. 디스플레이 유닛(101)은 제1 배선 층, 즉, 주변 영역(1B) 내의 게이트 전극(16a)과 동일한 층 내에 제1 배선 층(116b)을 구비한다. 신호 또는 전력이 제1 배선 층(116b)을 통해 디스플레이 영역(1A)의 트랜지스터 Tr에 공급된다. 제1 배선 층(116b)은 디스플레이 영역(1A)의 주변 상의 부근으로부터 밀봉부(44)의 외부로 이어진다.

[0089] 이러한 디스플레이 유닛(101)에서, 제1 배선 층(116b)은 게이트 전극(16a)과 동일한 공정에서 형성되고, 제1 배선 층(116b)의 구성 재료는 게이트 전극(16a)의 구성 재료와 동일하다. 또한, 제1 배선 층(116b)도 게이트 전극(16a)의 두께와 실질적으로 동일한 두께를 갖는다. 따라서, 게이트 전극(16a)의 두께가 증가되는 경우에, 제1 배선 층(116b)의 두께도 증가된다. 여기에 사용된 바와 같이, "게이트 전극(16a)의 두께가 증가되는 경우"라는 문구는 예를 들어, 디스플레이 유닛(101)의 화면 크기를 증가시키는 경우, 또는 더 높은 해상도에 대한 요구를 다루는 경우를 언급한다. 제1 배선 층(116b)의 두께가 증가될 때, 제1 배선 층(116b)의 단부 표면의 형상에서 붕괴가 발생할 수 있으므로, 제1 배선 층(116b) 상의 제2 무기 절연막(17)의 압력 저항이 저하될 가능성이 있다. 제2 무기 절연막(17)의 압력 저항의 저하로 인해, 제2 무기 절연막(17)을 그 사이에 두고 서로 마주하는 제1 배선 층(116b)과 제2 배선 층(18b) 사이에 단락이 발생할 가능성이 있다.

[0090] 제2 무기 절연막(17)용으로, 제1 배선 층(116b)과 제2 배선 층(18b)를 서로 안전하게 절연시키기 위해서, 높은 코팅성을 갖는 재료, 예를 들어, 실리콘 질화물(SiNx)-기반 재료를 사용하는 것을 생각할 수 있다. 그러나, 반도체 층(14)과 접촉하는 제2 무기 절연막(17)은 트랜지스터 Tr의 특성들에 영향을 줄 가능성이 있다. 예를 들어, 수소를 포함하는 실리콘 질화물(SiNx)-기반 재료가 제2 무기 절연막(17)용으로 사용될 때, 산화물 반도체 재료를 포함하는 반도체 층(14)에서 환원 반응이 일어나서, 트랜지스터 Tr 내의 공핍의 발생을 초래한다.

[0091] 또한, 제1 배선 층(116b)의 단부 표면의 형상에서 붕괴가 일어날 때, 갭, 즉, 크랙이 제1 배선 층(116b)과 제2 무기 절연막(17) 사이에서 발생되므로, 외부로부터의 수분 침투가 이 크랙을 통해 발생할 가능성이 있다. 바꾸어 말하면, 밀봉부(44) 외부로 연장되는 제1 배선 층(116b)은 외부로부터의 수분 침투 경로가 될 가능성이 있다. 이 수분 침투는 예를 들어, 디스플레이 고장 및 배선의 부식을 초래할 가능성이 있다.

[0092] 그런데, 본 예시적 실시예에서, 제1 배선 층들(12), 즉, 제1 배선 층들(12-1 및 12-2)은 각각 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 층 내의 위치보다 제1 기판(11)에 더 가까운 위치에 배치된다. 이것은 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)이 형성되는 공정과 상이한 공정에서 제1 배선 층들(12)을 형성하는 것을 가능하게 한다. 따라서, 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d) 각각의 구성 재료 및 두께와 같은 인자들과 관계없이 제1 배선 층(12)의 구성 재료 및 두께와 같은 인자들을 자유롭게 설계하는 것이 가능해진다. 그러므로, 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)이 각각 큰 두께를 가지는 경우에도, 제1 배선 층(12)의 두께를 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d) 각각의 두께보다 적게 하는 것이 가능하므로, 제1 배선 층(12)의 단부 표면의 형상의 붕괴를 억제하거나 방지하는 것을 가능하게 한다. 작은 두께를 갖는 제1 배선 층(12)은 순방향 테이퍼형 단면 형상이 용이하게 형성되게 한다.

[0093] 이 방식으로, 순방향 테이퍼형 단면 형상을 갖는 제1 배선 층(12)의 사용은 제1 배선 층(12)의 단부 표면의 형상의 붕괴에 의해 야기되는 제1 배선 층(12-1)과 제2 배선 층(18b) 사이의 단락의 발생을 억제하거나 방지하는 것을 가능하게 한다. 또한, 제1 배선 층(12-1)과 제2 배선 층(18b) 사이의 제2 무기 절연막(17)과 함께 제1 무기 절연막(13)의 개입은 단락의 발생을 보다 효과적으로 억제하는 것을 가능하게 한다.

[0094] 더 작은 두께를 갖는 제1 배선 층(12)을 형성하기 위해 제1 배선 층(12)의 구성 재료 및 두께와 같은 인자들을 자유롭게 설계함으로써, 제1 배선 층(12-2)이 밀봉부(44)의 부근에 제공될 때에도, 제1 배선 층(12)의 단부 표면의 형상의 붕괴에 의해 초래되는 외부로부터의 수분 침투를 억제하거나 방지하는 것이 가능해진다.

[0095] 위에 설명된 바와 같이, 디스플레이 유닛(1)에서, 제1 배선 층들(12)은 각각 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 층 내의 위치보다 제1 기판(11)에 더 가까운 위치에 배치된다. 이것은 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d) 각각의 구성 재료 및 두께와 같은 인자들과 관계없이 제1 배선 층(12)의 구성 재료 및 두께와 같은 인자들을 자유롭게 설계하는 것을 가능하게 한다. 그러므로, 주변 영역(1B) 내에 제공된 배선들을 설계하는데 있어서 자유도를 향상시키는 것이 가능하다.

[0096] 제1 배선 층(12)의 구성 재료 및 두께와 같은 인자들을 자유롭게 설계하면 예를 들어, 외부로부터의 수분 침투뿐만 아니라 제1 배선 층(12)과 제2 배선 층(18b) 사이의 단락의 발생을 억제하는 것이 가능해진다.

[0097] 전술한 제1 예시적 실시예 및 또 하나의 예시적 실시예의 수정 예들에 대한 설명이 아래에 주어진다. 다음의 설명에서, 동일한 참조 번호들이 전술한 예시적 실시예의 것들과 동일한 컴포넌트들에 할당되고, 그 설명들은 적절한 경우에 생략된다.

[0098] [2. 수정 예 1]

[0099] 도 12 내지 도 14는 각각 수정 예 1에 따른 트랜지스터 Tr의 단면 구성을 개략적으로 도시한다. 트랜지스터 Tr은 추가 전극, 즉, 제1 배선 층(12)과 동일한 층 내의 위치에 제공된 추가 전극(12d)을 포함할 수 있다. 이 점을 제외하고, 수정 예 1의 트랜지스터 Tr은 전술한 제1 예시적 실시예의 트랜지스터 Tr의 것들과 유사한 구성들을 갖고, 그 작용들 및 효과들도 유사하다.

[0100] 추가 전극(12d)은 제1 무기 절연막(13)을 그 사이에 두고 반도체 층(14)과 마주하는 위치에 배치될 수 있다. 이 방식으로, 반도체 층(14)과 마주하는 추가 전극(12d)의 제공은 광으로부터 차폐되는 반도체 층(14)으로 인해, 반도체 층(14)에 입사하는 광에 의해 야기되는 트랜지스터 Tr의 특성들의 저하를 억제하는 것을 가능하게 한다.

[0101] 추가 전극(12d)은 도 12 및 도 13에 도시된 바와 같이, 제2 무기 절연막(17) 및 제1 무기 절연막(13) 내에 제공된 접촉 홀들을 통해 소스-드레인 전극들(18c 및 18d)에 전기적으로 결합될 수 있다. 소스-드레인 전극들(18c 및 18d)에 추가 전극(12d)을 전기적으로 결합시키면 트랜지스터 Tr의 특성들을 안정화시키는 것이 가능해진다. 대안적 실시예에서, 도 14에 도시된 바와 같이, 배선, 즉, 배선 C는 추가 전극(12d)을 게이트 전극(16a)에 전기적으로 결합시키기 위해 제3 무기 절연막(19) 상에 제공될 수 있다. 게이트 전극(16a)에 추가 전극(12d)을 전기적으로 결합시키면 온-전류를 증가시키는 것이 가능해진다.

[0102] 추가 전극(12d)이 제1 배선 층(12)과 동일한 공정에서 형성되게 하는 것이 가능하다. 따라서, 수정 예 1에 따른 트랜지스터 Tr에서, 전술한 제1 예시적 실시예에서 설명된 트랜지스터 Tr과 비교하여, 새로운 공정을 추가하지 않고서, 반도체 층(14)에의 광의 입사를 억제하는 것이 가능하다. 또한, 소스-드레인 전극들(18c 및 18d)에 전기적으로 결합된 추가 전극(12d)은 특성들이 안정화되게 하고, 게이트 전극(16a)에 전기적으로 결합된 추가 전극(12d)은 온-전류가 증가되게 할 수 있다.

[0103] [3. 수정 예 2]

[0104] 도 15 및 도 16은 각각 수정 예 2에 따른 디스플레이 유닛(1)의 주요 부분의 단면 구성을 개략적으로 도시한다. 디스플레이 유닛(1)은 전극, 즉, 전극(12r)을 포함할 수 있다. 전극(12r)은 제1 배선 층(12)과 동일한 층 내의 위치에 제공될 수 있고, 저장 커패시터, 즉, 저장 커패시터 CsB의 한 쌍의 전극 중 하나를 구성할 수 있다. 이 점을 제외하고, 수정 예 2의 디스플레이 유닛(1)은 전술한 제1 예시적 실시예의 디스플레이 유닛(1)의 것들과 유사한 구성들을 갖고, 그 작용들 및 효과들도 유사하다.

[0105] 저장 커패시터 CsB의 다른 전극은 예를 들어, 도 15에 도시된 바와 같이, 반도체 층(14)으로 구성될 수 있다. 이 저장 커패시터 CsB에서, 저장 커패시터 부분(14r)은 반도체 층(14) 내에 제공될 수 있고, 전극(12r)은 저장 커패시터 부분(14r)과 마주하는 위치에 제공될 수 있다. 바꾸어 말하면, 저장 커패시터 CsB는 제1 무기 절연막(13)을 그 사이에 두고 한 쌍의 전극, 즉, 전극(12r) 및 반도체 층(14)을 포함할 수 있다.

[0106] 저장 커패시터 CsB의 다른 전극은 예를 들어, 도 16에 도시된 바와 같이, 소스-드레인 전극(18d)으로 구성될 수 있다. 이 저장 커패시터 CsB에서, 저장 커패시터 부분(18r)은 소스-드레인 전극(18d) 내에 제공될 수 있고, 전극(12r)은 저장 커패시터 부분(18r)과 마주하는 위치에 제공될 수 있다. 바꾸어 말하면, 저장 커패시터 CsB는 제1 무기 절연막(13) 및 제2 무기 절연막(17)을 그 사이에 두고 한 쌍의 전극, 즉, 전극(12r) 및 소스-드레인 전극(18d)을 포함할 수 있다.

[0107] 추가 전극(12r)이 제1 배선 층(12)과 동일한 공정에서 형성되는 것이 가능하다. 따라서, 수정 예 2에 따른 디스플레이 유닛(1)에서, 전술한 제1 예시적 실시예에서 설명된 디스플레이 유닛(1)과 비교하여, 새로운 공정을 추가하지 않고서, 저장 커패시터 CsB를 제공하는 것이 가능하다.

[0108] [4. 제2 예시적 실시예]

[0109] 도 17은 본 기술의 제2 예시적 실시예에 따른 디스플레이 유닛, 즉, 디스플레이 유닛(2)의 주요 부분의 단면 구성을 개략적으로 도시한다. 디스플레이 유닛(2)은 게이트 전극(16a)과 소스-드레인 전극들(18c 및 18d) 각각 사이에, 제2 무기 절연막(17) 상에 적층된 유기 절연막(27)을 포함할 수 있다. 이 점을 제외하고, 디스플레이 유닛(2)은 전술한 제1 예시적 실시예의 디스플레이 유닛(1)의 것들과 유사한 구성들을 갖고, 그 작용들 및 효과들도 유사하다.

[0110] 유기 절연막(27)은 디스플레이 영역(1A)으로부터 주변 영역(1B)까지 연장될 수 있고, 제2 무기 절연막(17)을 그 사이에 두고 게이트 전극(16a) 및 접속 배선 층(16b)을 덮을 수 있다. 유기 절연막(27)은 제2 무기 절연막(17)과 소스-드레인 전극들(18c 및 18d) 각각 사이와 제2 무기 절연막(17)과 제2 배선 층(18b) 사이에 제공될 수 있다. 유기 절연막(27)은 예를 들어, 아크릴 수지, 폴리이미드(PI), 및 노볼락 수지와 같은 유기 재료로 이루어질 수 있다. 유기 절연막(27)은 2㎛ 내지 3㎛의 두께를 가질 수 있다. 이러한 충분한 두께를 갖는 유기 절연막(27)이 접속 배선 층(16b) 및 하부-배선 절연막(15b)뿐만 아니라 게이트 전극(16a) 및 게이트 절연막(15a)을 덮게 함으로써, 이들 단차 차이에 의해 야기되는 오기능의 발생을 억제하는 것이 가능해진다.

[0111] 또한, 유기 절연막(27)을 제2 무기 절연막(17)과 소스-드레인 전극들(18c 및 18d) 각각 사이와 제2 무기 절연막(17)과 제2 배선 층(18b) 사이에 제공함으로써, 배선들 사이의, 예를 들어, 게이트 전극(16a)과 소스-드레인 전극들(18c 및 18d) 각각 사이의 기생 캐패시턴스를 감소시키는 것이 가능해진다.

[0112] 유기 절연막(27)은 주변 영역(1B) 내에 홈 G를 구비할 수 있다. 위에 설명된 것과 같은 유기 절연 재료는 무기 절연 재료의 것보다 높은 투습성(MVTR)을 가질 수 있다. 따라서, 비교적 높은 투습성을 갖는 유기 절연막(27) 내에 홈 G를 제공하는 것은 홈 G의 외부로부터 디스플레이 영역(1A)으로의 수분 침투 경로의 차단을 가능하게 한다. 그러므로, 유기 절연막(27) 내에 홈 G를 제공하면 유기 절연막(27)을 통해 디스플레이 영역(1A) 내로의 수분 침투를 억제하는 것이 가능해진다. 홈 G는 예를 들어, 디스플레이 영역(1A)에 가까운, 주변 영역(1B)의 위치에 배치될 수 있다. 홈 G는 예를 들어, 유기 절연막(27)을 관통하도록 제공될 수 있다. 홈 G에서, 제2 무기 절연막(17)은 유기 절연막(27)으로부터 노출될 수 있다. 홈 G는 평면도에서 디스플레이 영역(1A)을 둘러싸기 위해 제공될 수 있다.

[0113] 제2 배선 층(18b)은 예를 들어, 평면도에서 홈 G와 중첩하는 위치에 제공될 수 있다. 제2 배선 층(18b)은 벽 표면으로부터 홈 G의 하부 표면까지를 따라 제공될 수 있다. 본 예시적 실시예에서, 제1 배선 층(12-1)은 홈 G 내에 제공된 제2 배선 층(18b)과 마주하는 위치에 제공될 수 있다. 이것은 홈 G가 유기 절연막(27) 내에 제공되게 하고 제1 배선 층(12-1)과 제2 배선 층(18b) 사이의 단락의 발생의 억제 또는 방지를 가능하게 하지만, 그

상세는 나중에 설명된다.

[0114] 디스플레이 유닛(2)이 예를 들어, 도 18a 내지 도 19에 도시된 대로, 아래에 설명되는 것과 같이 제조될 수 있다.

[0115] 전술한 제1 예시적 실시예의 설명과 유사하게, 제2 무기 절연막(17)은 도 18a에 도시된 바와 같이 먼저 형성될 수 있다. 반도체 층(14)의 저 저항 영역들(141)에 도달하는 접촉 홀들이 제2 무기 절연막(17) 내에 형성될 수 있다.

[0116] 도 18b에 도시된 바와 같이, 유기 절연막(27)이 다음에 제2 무기 절연막(17) 상에 형성될 수 있다. 유기 절연막(27)은 예를 들어, 제2 무기 절연막(17) 상에 감광성을 갖는 폴리이미드를 막으로서 형성하고 그 다음에 포토리소그래피 방법에 의해 폴리이미드 막의 패터닝을 수행함으로써 형성될 수 있다. 접촉 홀들 및 홈 G가 유기 절연막(27) 내에 형성될 수 있다. 유기 절연막(27) 내에 형성된 접촉 홀들은 제2 무기 절연막(17) 내에 제공된 접촉 홀들을 통해 반도체 층(14)의 저 저항 영역들(141)에 도달할 수 있다.

[0117] 유기 절연막(27)의 형성 다음에 도 19에 도시된 바와 같이 소스-드레인 전극들(18c 및 18d) 및 제2 배선 층(18b)의 형성이 이어질 수 있다. 제2 배선 층(18b)은 유기 절연막(27)의 홈 G 내에 형성될 수 있다. 그 다음에, 평탄화 층(21) 및 유기 EL 요소(30)와 같은 요소들이 전술한 제1 예시적 실시예에서의 설명과 유사하게, 제1 기판(11) 상에 형성될 수 있다. 제3 무기 절연막(19)은 유기 절연막(27)과 평탄화 층(21) 사이에 형성될 수 있다. 제1 기판(11) 상에 형성된 층들은 디스플레이 유닛(2)을 제조하기 위해 제2 기판(41)에 의해 밀봉될 수 있다.

[0118] 본 예시적 실시예에서, 제1 배선 층(12), 즉, 제1 배선 층들(12-1 및 12-2)은 각각 게이트 전극(16a) 및 소스-드레인 전극들(18c 및 18d)과 동일한 층 내의 위치보다 제1 기판(11)에 더 가까운 위치에 배치된다. 이것은 홈 G가 유기 절연막(27) 내에 제공되게 하고 제1 배선 층(12-1)과 제2 배선 층(18b) 사이의 단락의 발생의 억제 또는 방지를 가능하게 한다. 이것은 이후에 설명될 것이다.

[0119] 도 20은 비교 예 2에 따른 디스플레이 유닛, 즉, 디스플레이 유닛(102)의 주요 부분의 개략 단면 구성을 도시한다. 디스플레이 유닛(102)은 게이트 전극(16a)과 소스-드레인 전극들(18c 및 18d) 사이에, 제2 무기 절연막(17)과 함께 유기 절연막(27)을 포함한다. 이 점을 제외하고, 디스플레이 유닛(102)은 전술한 디스플레이 유닛(101)의 것들과 유사한 구성들을 갖는다. 즉, 디스플레이 유닛(102)은 주변 영역(1B) 내의 게이트 전극(16a)과 동일한 층 내에 제1 배선 층(116b)을 포함할 수 있다.

[0120] 이러한 디스플레이 유닛(102)에서, 유기 절연막(27)은 제2 무기 절연막(17)과 함께, 제1 배선 층(116b)과 제2 배선 층(18b) 사이에 개재한다. 이것은 제1 배선 층(116b)과 제2 배선 층(18b) 사이에 단락이 발생하지 않게 한다. 그러나, 높은 수증기 투과율(moisture vapor transmission rate)을 갖는 유기 절연막(27)을 통해 외부로부터의 수분 침투가 일어나서 예를 들어, 디스플레이 고장의 발생 및 배선의 부식을 초래할 가능성이 있다.

[0121] 그런데, 본 예시적 실시예에서, 유기 절연막(27) 내의 홈 G의 제공은 외부로부터의 수분 침투를 억제하는 것을 가능하게 한다. 또한, 게이트 전극(16a)보다 제1 기판(11)에 더 가까운 위치에 제1 배선 층(12)을 제공하면 제1 배선 층(12-1)의 두께가 게이트 전극(16a)의 두께보다 작게 되고 그 단부 표면의 형상의 붕괴가 억제될 수 있다. 그러므로, 제2 배선 층(18b)이 홈 G 내에 배치될 때에도, 제1 배선 층(12-1)과 제2 배선 층(18b) 사이의 단락의 발생을 억제하거나 방지하는 것이 가능하다. 또한, 전술한 제1 예시적 실시예의 설명과 유사하게, 게이트 전극(16a)의 두께보다 작은 두께를 갖는 제1 배선 층(12-2)은 단부 표면의 형상의 붕괴에 의해 초래되는 외부로부터의 수분 침투를 억제한다.

[0122] [5. 수정 예 3]

[0123] 도 21은 전술한 제2 예시적 실시예의 수정 예, 즉, 수정 예 3에 따른 디스플레이 유닛, 즉, 디스플레이 유닛(2A)의 주요 부분의 단면 구성을 개략적으로 도시한다. 디스플레이 유닛(2A)은 제2 배선 층(18b)과 마주하는 영역 내에 제공된 하부-배선 절연막(15b)을 포함할 수 있다. 이 점을 제외하고, 디스플레이 유닛(2A)은 전술한 제2 예시적 실시예의 디스플레이 유닛(2)의 것들과 유사한 구성들을 갖고, 그 작용들 및 효과들도 유사하다.

[0124] 제2 배선 층(18b)과 마주하는 영역 내의 하부-배선 절연막(15b)은 제1 무기 절연막(13) 상에 제공될 수 있다. 접속 배선 층, 즉, 제2 배선 층(18b)에 전기적으로 결합된 접속 배선 층(16e)은 하부-배선 절연막(15b) 상에 제공될 수 있다. 제2 배선 층(18b)은 유기 절연막(27) 및 제2 무기 절연막(17)의 홈 G 내에 제공된 접촉 홀을 통해 접속 배선 층(16e)에 결합될 수 있다. 즉, 접속 배선 층(16e)은 접속 배선 층(16b)(또는 게이트 전극(16

a))과 동일한 층 내에 제공될 수 있고, 하부-배선 절연막(15b)은 제1 무기 절연막(13)과 접속 배선 층(16b) 사이에 위치한 하부-배선 절연막(15b)(또는 게이트 절연막(15a))과 동일한 층 내에 제공될 수 있다.

[0125] 디스플레이 유닛(2A)에서, 제2 배선 층(18b) 및 제1 배선 층(12-1)에 전기적으로 결합된 접속 배선 층(16e)은 제1 무기 절연막(13) 및 하부-배선 절연막(15b)을 그 사이에 두고 서로 마주할 수 있다. 이 방식으로, 제1 배선 층(12-1)과 제2 배선 층(18b), 즉, 접속 배선 층(16e) 사이의 하부-배선 절연막(15b)의 제공은 제2 무기 절연막(17)이 작은 두께를 갖는 경우에도 그 사이의 절연 특성을 보장하는 것을 더 용이하게 한다. 예를 들어, 제2 무기 절연막(17)이 비용들과 같은 인자들을 고려하여 50㎚의 두께를 갖는 알루미늄 산화물(AlO) 막으로 구성될 때, 하부-배선 절연막(15b)은 200㎚의 두께를 갖는 실리콘 산화물(SiO) 막으로 구성될 수 있다. 한 실시예에서, 하부-배선 절연막(15b)과 접속 배선 층(16e)은 각각 홈 G 내부의 제2 배선 층(18b)의 폭보다 큰 두께(즉, 도 21에서 X 방향의 크기)를 가질 수 있다.

[0126] 또한, 하부-배선 절연막(15b) 상의 접속 배선 층(16e)을 제2 배선 층(18b)에 결합시키면 접속 배선 층(16e)이 전기적으로 부유 상태로 되는 것을 억제하거나 방지하는 것이 가능해진다.

[0127] 도 22는 전술한 제1 예시적 실시예의 디스플레이 유닛(1)이 제2 배선 층(18b)과 제1 배선 층(12-1) 사이에 위치한 하부-배선 절연막(15b)을 구비한 예를 도시한다. 이 방식으로, 디스플레이 유닛(1)은 제2 배선 층(18b)에 전기적으로 결합된 접속 배선 층(16e) 및 접속 배선 층(16e)과 제1 무기 절연막(13) 사이에 위치한 하부-배선 절연막(15b)을 포함할 수 있다.

[0128] [6. 응용 예]

[0129] <전자 장치의 예>

[0130] 전술한 예시적 실시예들에서 설명된 디스플레이 유닛들(1 및 2) 중 어느 것이나 다양한 유형들의 전자 장치들에 적용될 수 있다. 도 23은 전자 장치(6)의 기능적 블록 구성을 도시한다. 전자 장치(6)의 특정하지만 비제한적인 예들은 텔레비전, 퍼스널 컴퓨터(PC), 스마트폰, 태블릿 PC, 이동 전화, 디지털 스틸 카메라, 및 디지털 비디오 카메라를 포함할 수 있다.

[0131] 전자 장치(6)는 예를 들어, 위에 설명된 디스플레이 유닛들(1 및 2) 중 어느 것 및 인터페이스부(60)를 포함할 수 있다. 인터페이스부(60)는 예를 들어, 외부로부터 다양한 신호들 및 전력 공급을 수신하는 입력부일 수 있다. 인터페이스부(60)는 예를 들어, 터치 패널, 키보드, 조작 버튼들과 같은 사용자 인터페이스를 포함할 수 있다.

[0132] 설명이 예시적 실시예들 및 수정 예들을 참조하여 위에 이루어졌지만, 기술은 이로 제한되지 않고, 광범위하게 다양한 방식들로 수정될 수 있다. 예를 들어, 전술한 예시적 실시예들 등에서 예시된 막 형성 조건뿐만 아니라 각각의 층의 재료 및 두께와 같은 인자들, 및 막 형성 방법은 예시적이고 제한적이지 않다. 기타 재료, 기타 두께, 기타 막 형성 방법, 기타 막 형성 조건, 및 기타 인자가 위에 설명된 것들 이외에 채택될 수 있다.

[0133] 유기 층(33)은 적어도 발광 층(333)을 포함할 수 있는 것으로 충분하다. 예를 들어, 유기 층(33)은 단지 발광 층(333)으로 구성될 수 있다. 발광 층(333)은 예를 들어, 백색 광을 방출할 수 있다. 유기 층(33)은 화소들 pr, pg, 및 pb의 모두가 동일한 색(예를 들어, 백색 광)의 광을 방출하는 발광 층(333)을 포함할 수 있다. 대안적 실시예에서, 유기 층(33)은 화소들 pr, pg, 및 pb가 상이한 색들(예를 들어, 적색 광, 녹색 광, 및 청색 광)의 광을 방출하는 발광 층(333)을 포함할 수 있다.

[0134] 전술한 예시적 실시예들에서 상부-게이트 구조를 갖는 트랜지스터 Tr을 예시함으로써 설명이 이루어졌지만, 트랜지스터 Tr은 또한 하부-게이트 구조를 가질 수 있다. 또한, 화소 회로 PXLC의 구성은 전술한 예시적 실시예에서 설명된 것으로 제한되지 않는다. 커패시터 요소 또는 트랜지스터가 필요한 대로 추가될 수 있다. 이 경우에, 기타 필요한 구동 회로가 스캐닝 라인 구동기(3), 디지털 라인 구동기(4), 및 전원 라인 구동기(5) 외에, 화소 회로 PXLC의 변화에 따라 추가될 수 있다.

[0135] 또한, 전술한 예시적 실시예들에서, 제1 배선 층(12)이 게이트 전극(16a)과 동일한 층보다 제1 기판(11)에 더 가까운 위치에 제공되고, 접속 배선 층(16b)이 게이트 전극(16a)과 동일한 층 내에 제공되는 경우에 대해 설명되었다. 그러나, 제1 배선 층(12)은 소스-드레인 전극들(18c 및 18d)과 동일한 층보다 제1 기판(11)에 더 가까운 위치에 제공될 수 있고, 접속 배선 층(16b)은 소스-드레인 전극들(18c 및 18d)과 동일한 층 내에 제공된다.

[0136] 또한, 전술한 예시적 실시예들 등에서, 제2 배선 층(18b)이 유기 EL 요소(30)의 제2 전극(34)에 전기적으로 결

합되는 경우에 대해 설명이 이루어졌지만, 제2 배선 층(18b)은 캐소드 전위 이외의 전위를 가질 수 있다.

[0137] 또한, 디스플레이 유닛(1)은 유기 EL 요소(30) 대신에, 무기 EL 요소, 액정 디스플레이 요소, 및 전기영동 요소와 같은 디스플레이 요소를 포함할 수 있다.

[0138] 전술한 예시적 실시예들에서 설명된 효과들은 단지 예들이다. 본 개시내용의 실시예에 따른 효과들이 다른 효과일 수 있고, 또는 위에 설명된 효과들 외에 다른 효과들을 추가로 포함할 수 있다.

[0139] 본 기술은 다음의 구성들을 또한 가질 수 있다는 점에 주목한다.

[0140] (1)

[0141] 디스플레이 유닛으로서,

[0142] 디스플레이 영역 및 상기 디스플레이 영역 외부의 주변 영역을 구비한 제1 기판;

[0143] 상기 제1 기판 상의 상기 디스플레이 영역 내에 제공되고, 반도체 층, 상기 반도체 층과 마주하는 게이트 전극, 상기 게이트 전극과 상기 반도체 층 사이에 위치한 게이트 절연막, 및 상기 반도체 층에 전기적으로 결합된 소스-드레인 전극을 포함하는 트랜지스터;

[0144] 상기 제1 기판 상의 상기 주변 영역 내에 제공되고, 상기 트랜지스터에 전기적으로 결합되고 상기 트랜지스터의 상기 게이트 전극 및 상기 소스-드레인 전극과 동일한 층 내의 위치보다 상기 제1 기판에 더 가까운 위치에 배치된 제1 배선 층;

[0145] 상기 제1 기판 상에 제공되고, 상기 제1 배선 층의 전위와 상이한 전위를 갖는 제2 배선 층; 및

[0146] 상기 제2 배선 층과 상기 제1 배선 층 사이에 제공된 절연막

[0147] 을 포함하는 디스플레이 유닛.

[0148] (2)

[0149] (1)에 있어서, 상기 제1 배선 층은 상기 게이트 전극의 두께 및 상기 소스-드레인 전극의 두께 각각 보다 작은 두께를 갖는 디스플레이 유닛.

[0150] (3)

[0151] (1) 또는 (2)에 있어서, 상기 게이트 전극 또는 상기 소스-드레인 전극과 동일한 층 내에 제공되고, 상기 제1 배선 층에 전기적으로 결합되는 접속 배선 층을 추가로 포함하는 디스플레이 유닛.

[0152] (4)

[0153] (1) 내지 (3) 중 어느 하나에 있어서, 상기 제1 기판 상의 상기 디스플레이 영역 내에 제공되고, 제1 전극, 유기 층, 및 제2 전극을 포함하는 디스플레이 요소를 추가로 포함하는 디스플레이 유닛.

[0154] (5)

[0155] (1) 내지 (4) 중 어느 하나에 있어서, 상기 트랜지스터는 상기 제1 기판에 가까운 위치로부터의 순서로, 상기 반도체 층, 상기 게이트 절연막, 상기 게이트 전극, 및 상기 소스-드레인 전극을 포함하는 디스플레이 유닛.

[0156] (6)

[0157] (5)에 있어서, 상기 절연막은 상기 제1 배선 층을 덮는 제1 절연막, 및 상기 게이트 전극과 상기 소스-드레인 전극 사이에 제공되고 상기 주변 영역까지 연장되는 제2 절연막을 포함하는 디스플레이 유닛.

[0158] (7)

[0159] (6)에 있어서, 상기 게이트 전극과 상기 소스-드레인 전극 사이에 제공되고 상기 제2 절연막 상에 적층되며, 상기 주변 영역까지 연장되는 유기 절연막을 추가로 포함하는 디스플레이 유닛.

[0160] (8)

[0161] (7)에 있어서,

[0162] 상기 유기 절연막은 상기 주변 영역 내에 홈을 갖고,

[0163] 상기 제2 배선 층은 상기 홈 내에 제공되는 디스플레이 유닛.

[0164] (9)

[0165] (5)에 있어서, 상기 절연막은 상기 제1 배선 층, 및 상기 게이트 절연막을 덮는 제1 절연막을 포함하는 디스플레이 유닛.

[0166] (10)

[0167] (1) 내지 (9) 중 어느 하나에 있어서,

[0168] 상기 제1 기판 상의 상기 주변 영역 내에 제공되고 상기 디스플레이 영역을 둘러싸는 밀봉부; 및

[0169] 상기 밀봉부를 그 사이에 두고 상기 제1 기판과 마주하는 제2 기판

[0170] 을 추가로 포함하는 디스플레이 유닛.

[0171] (11)

[0172] (10)에 있어서, 상기 제1 배선 층은 상기 밀봉부와 마주하도록 제공되는 디스플레이 유닛.

[0173] (12)

[0174] (1) 내지 (11) 중 어느 하나에 있어서, 상기 제1 배선 층은 상기 제2 배선 층과 직교하는 방향으로 연장되는 디스플레이 유닛.

[0175] (13)

[0176] (1) 내지 (12) 중 어느 하나에 있어서, 상기 반도체 층은 산화물 반도체 재료를 포함하는 디스플레이 유닛.

[0177] (14)

[0178] (1) 내지 (13) 중 어느 하나에 있어서, 상기 반도체 층과 마주하고 상기 제1 배선 층과 동일한 층 내에 제공되며, 상기 게이트 전극 및 상기 소스-드레인 전극 중 하나에 전기적으로 결합되는 추가 전극을 추가로 포함하는 디스플레이 유닛.

[0179] (15)

[0180] (1) 내지 (14) 중 어느 하나에 있어서, 한 쌍의 전극을 포함하는 저장 커패시터를 추가로 포함하고, 한 쌍의 전극 중 하나가 상기 제1 배선 층과 동일한 층 내에 제공되는 디스플레이 유닛.

[0181] (16)

[0182] (1) 내지 (15) 중 어느 하나에 있어서, 상기 제1 배선 층은 몰리브덴, 티타늄, 텅스텐, 및 구리 중 하나 이상을 포함하는 디스플레이 유닛.

[0183] 본 기술의 실시예에 따른 디스플레이 유닛에서, 제1 배선 층은 게이트 전극 및 소스-드레인 전극들과 동일한 층 내의 위치보다 제1 기판에 더 가까운 위치에 배치된다. 바꾸어 말하면, 제1 배선 층은 게이트 전극 및 소스-드레인 전극들 각각에 대한 공정과 상이한 공정에서 형성된다. 이것은 게이트 전극 및 소스-드레인 전극들 각각의 구성 재료 및 두께와 같은 인자들과 관계없이, 제1 배선 층의 구성 재료 및 두께와 같은 인자들을 자유롭게 설계하는 것을 가능하게 한다.

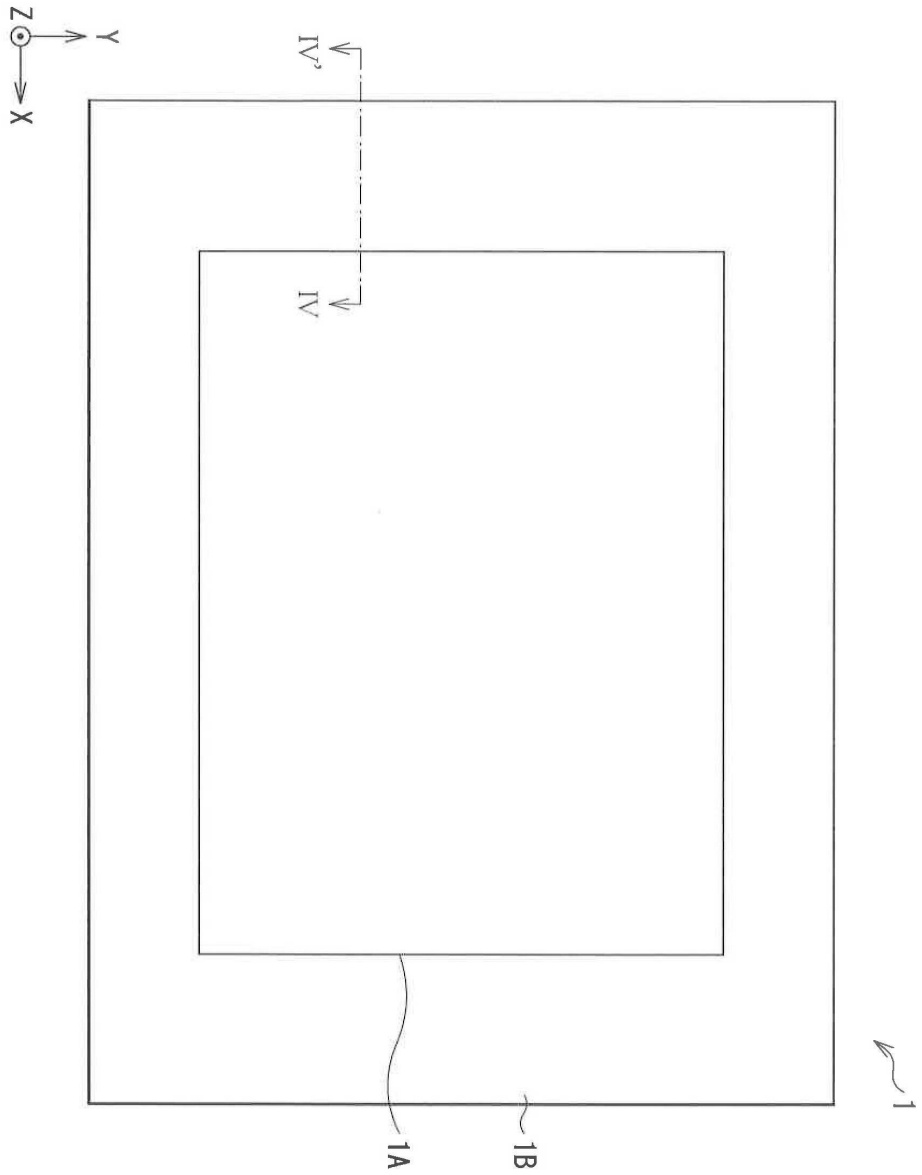
[0184] 본 기술의 실시예의 디스플레이 유닛에 따르면, 제1 배선 층은 게이트 전극 및 소스-드레인 전극들과 동일한 층 내의 위치보다 제1 기판에 더 가까운 위치에 배치된다. 이것은 게이트 전극 및 소스-드레인 전극들 각각의 구성 재료 및 두께와 같은 인자들과 관계없이, 제1 배선 층의 구성 재료 및 두께와 같은 인자들을 자유롭게 설계하는 것을 가능하게 한다. 그러므로, 주변 영역 내에 제공된 배선들을 설계하는데 있어서 자유도를 향상시키는 것이 가능해진다. 여기에 설명된 효과들은 반드시 제한적이 아니고, 본 개시내용에서 설명된 임의의 효과들일 수 있다는 점에 주목한다.

[0185] 본 기술이 예시적 실시예들에 대해 설명되었지만, 그것은 이들로 제한되지 않는다. 다음의 청구범위에 의해 정의된 것과 같은 기술의 범위에서 벗어나지 않고서 본 기술 분야의 통상의 기술자들에 의해 설명된 실시예들에서 변화들이 이루어질 수 있다는 것을 알아야 한다. 청구범위 내의 한정들은 청구범위에서 이용된 언어에 기초하여 폭넓게 해석되어야 하고 본 명세서 또는 본원의 진행 중에 설명된 예들로 제한되지 않고, 예들은 배타적인

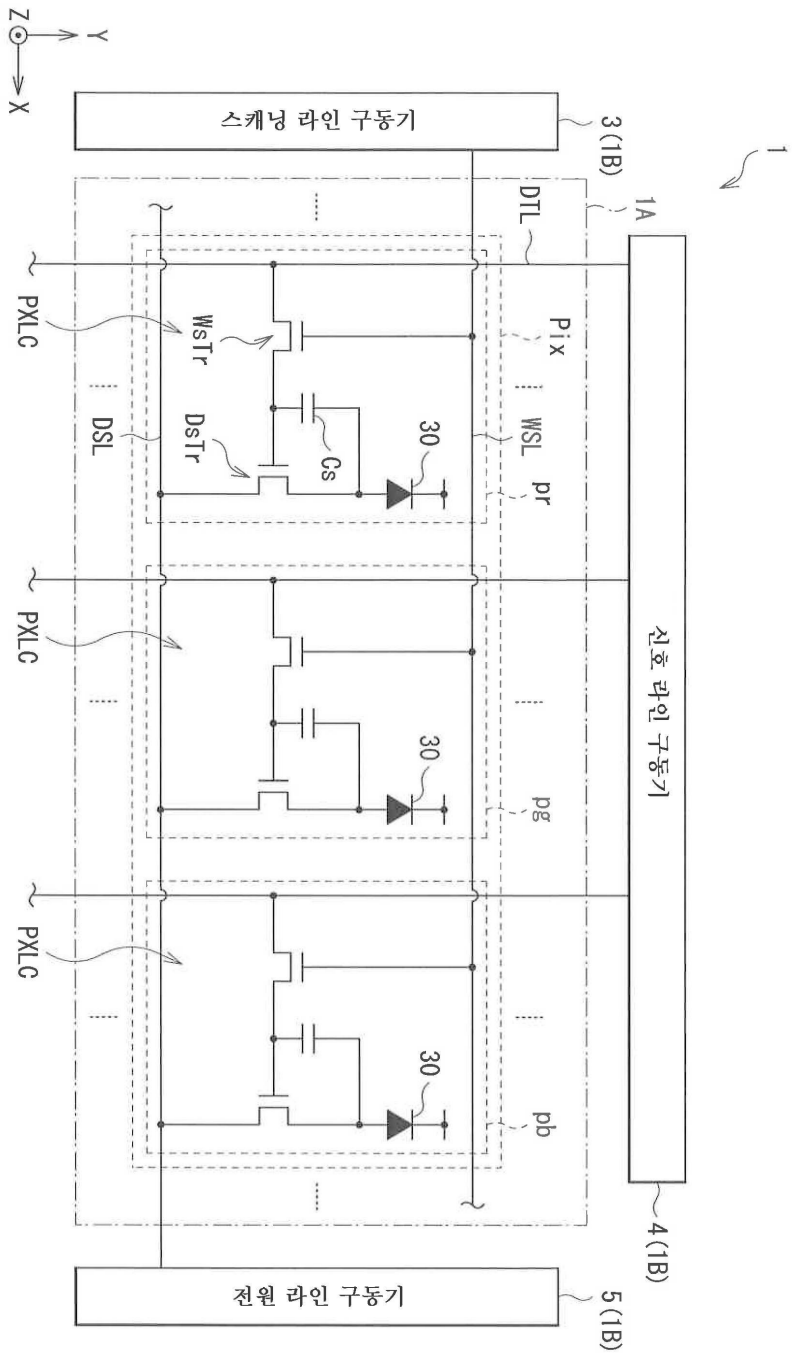
것이 아닌 것으로 해석되어야 한다. 예를 들어, 본 개시내용에서, 단어 "바람직하게" 등은 배타적인 것이 아니고 "바람직하게"를 의미하지만, 그로 제한되지 않는다. 단어들 제1, 제2 등의 사용은 어떤 순서 또는 중요도를 나타내지 않고, 오히려 단어들 제1, 제2 등은 한 요소를 다른 요소와 구별하기 위해 사용된다. 단어 "실질적으로" 및 그것의 변형들은 대체적인 것으로 정의되고 반드시 본 기술 분야의 통상의 기술자에 의해 이해되는 것으로 특정된 반드시 완전히는 아니다. 여기에 사용된 것과 같은 단어 "약"은 값 또는 범위의 어느 정도의 가변성을 허용할 수 있다. 또한, 본 개시내용에서의 요소 또는 컴포넌트는 요소 또는 컴포넌트가 다음의 청구범위에서 명시적으로 나열되는지 여부와 관계없이 대중에게 전용되는 것으로 의도된다.

도면

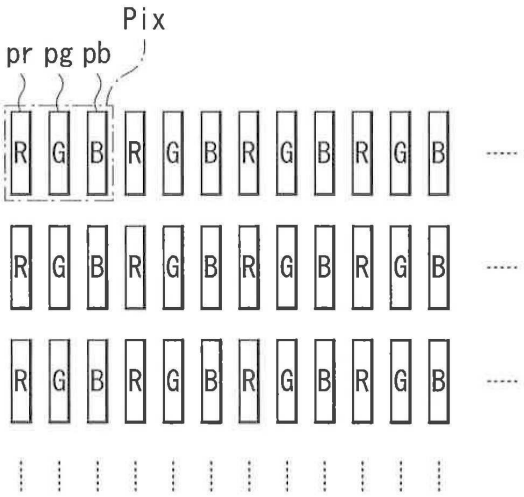
도면1



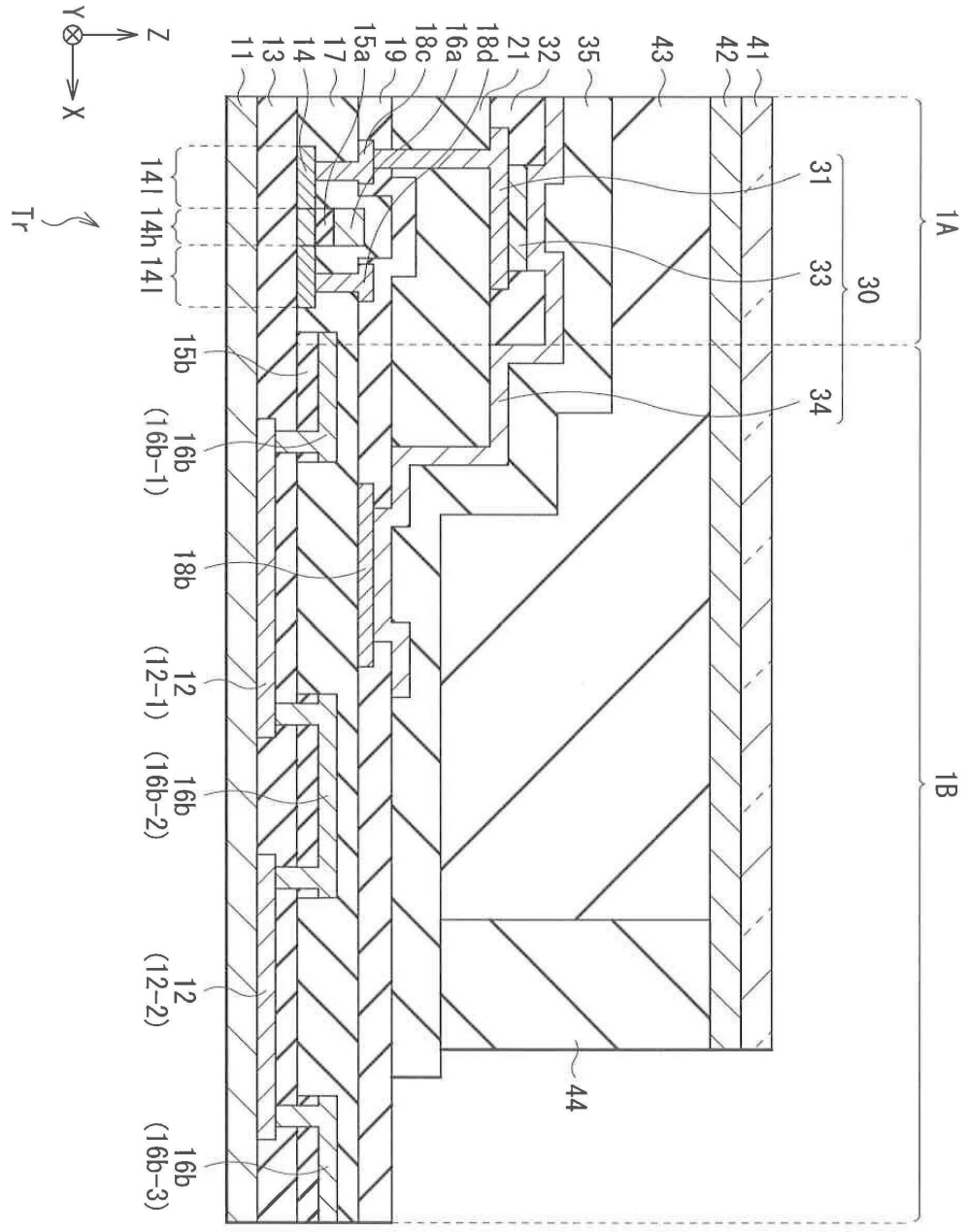
도면2


Z
Y
X
스캐닝 라인 구동기
3(1B)
1
1A
DTL
PXLC
WsTr
DsTr
Cs
30
Pix
WSL
DSL
pr
pg
pb
신호 라인 구동기
4(1B)
전원 라인 구동기
5(1B)

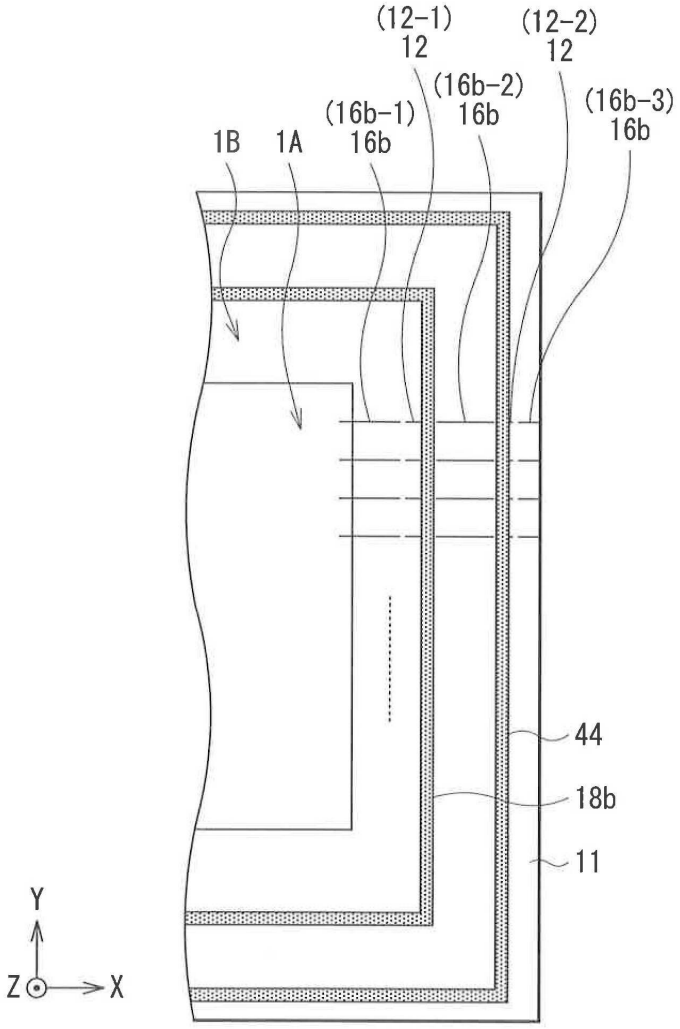
도면3



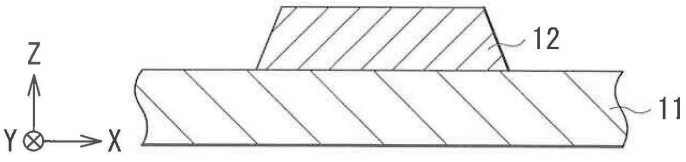
도면4


Y
Z
X
Tr
11
13
14
17
15a
19
18c
16a
18d
21
32
35
43
42
41
14l
14h
14l
31
33
30
34
1A
1B
15b
16b
(16b-1)
18b
12
(12-1)
16b
(16b-2)
12
(12-2)
16b
(16b-3)
44

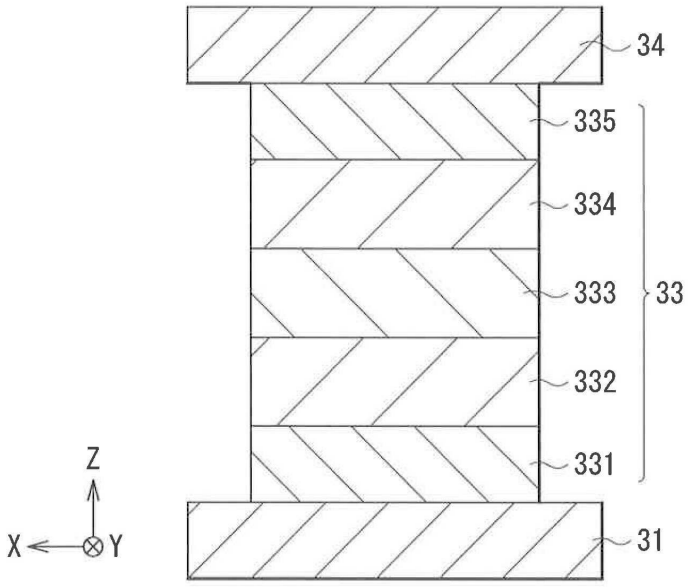
도면5


(12-1)
12
(12-2)
12
(16b-2)
16b
(16b-1)
16b
(16b-3)
16b
1B
1A
44
18b
11
Y
Z
X

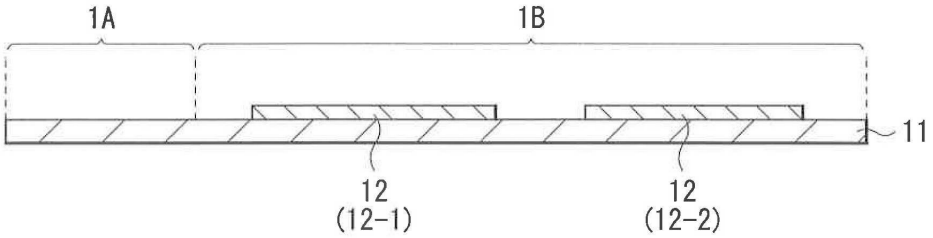
도면6


12
11
Z
Y
X

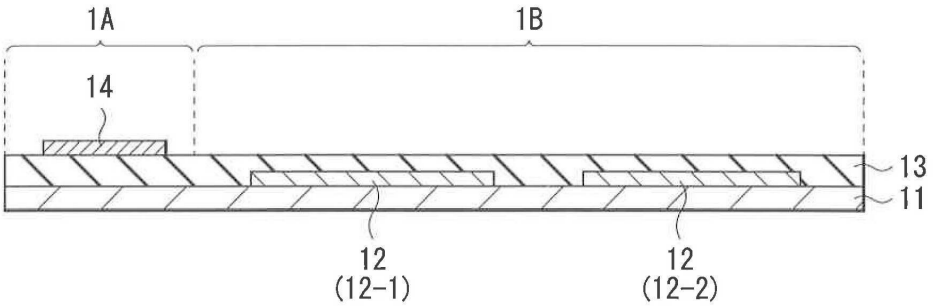
도면7



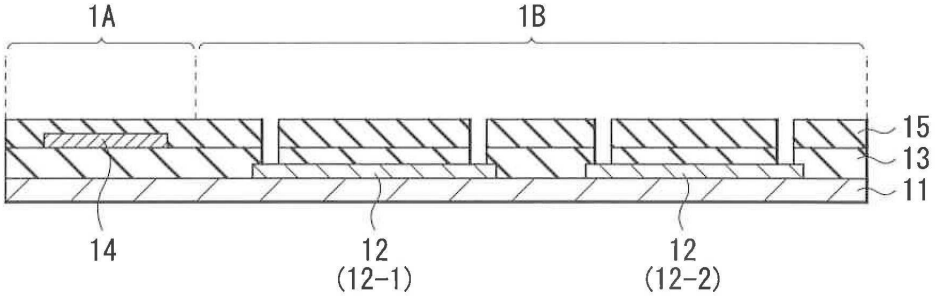
도면8a



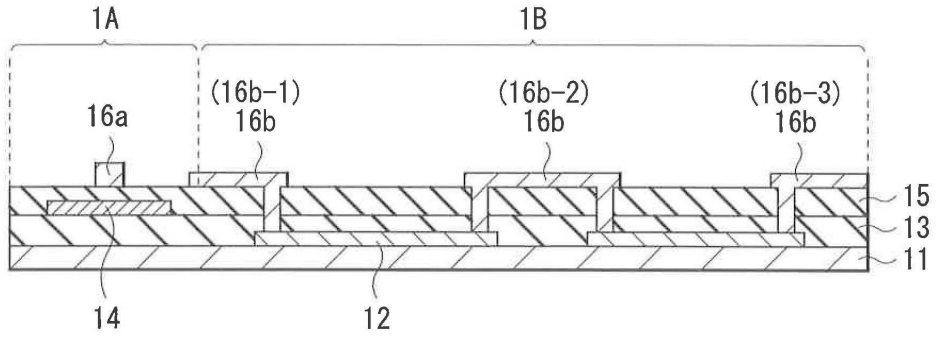
도면8b



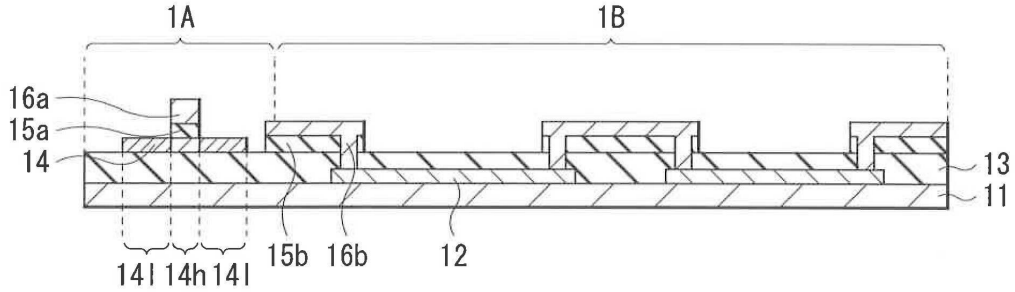
도면8c



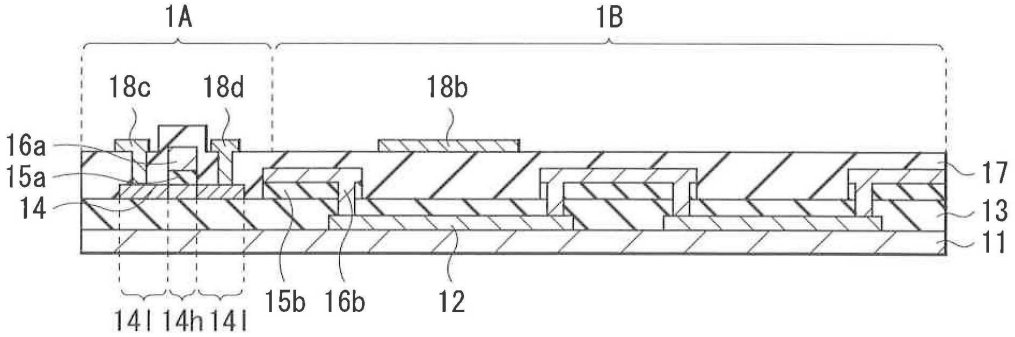
도면9a



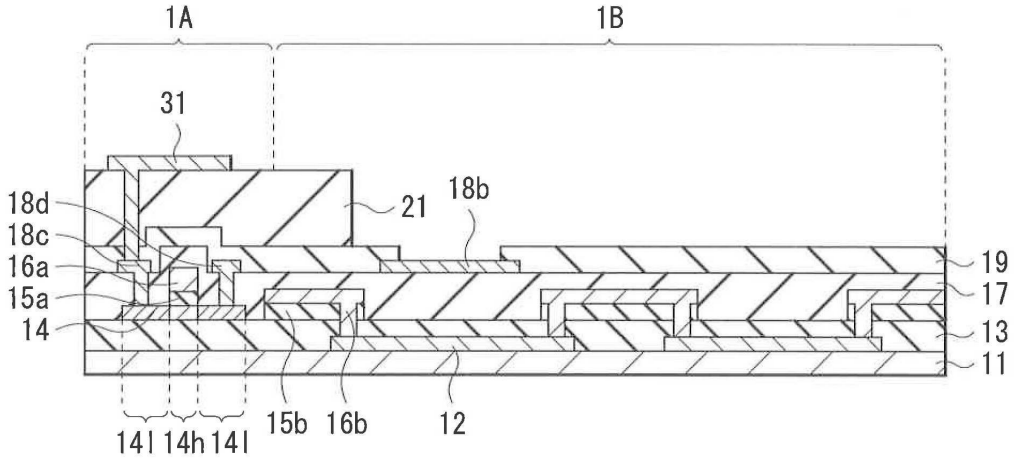
도면9b



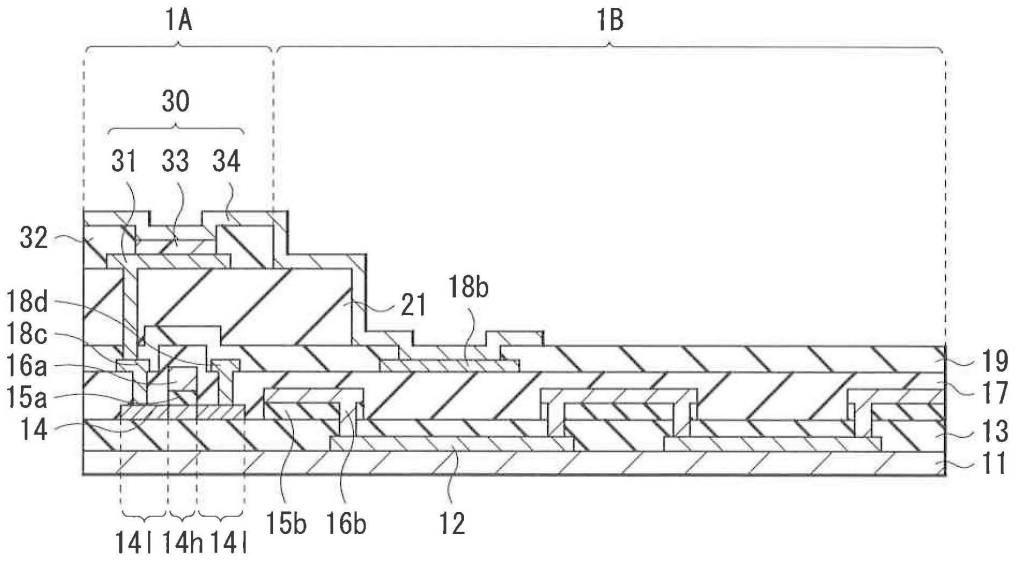
도면9c



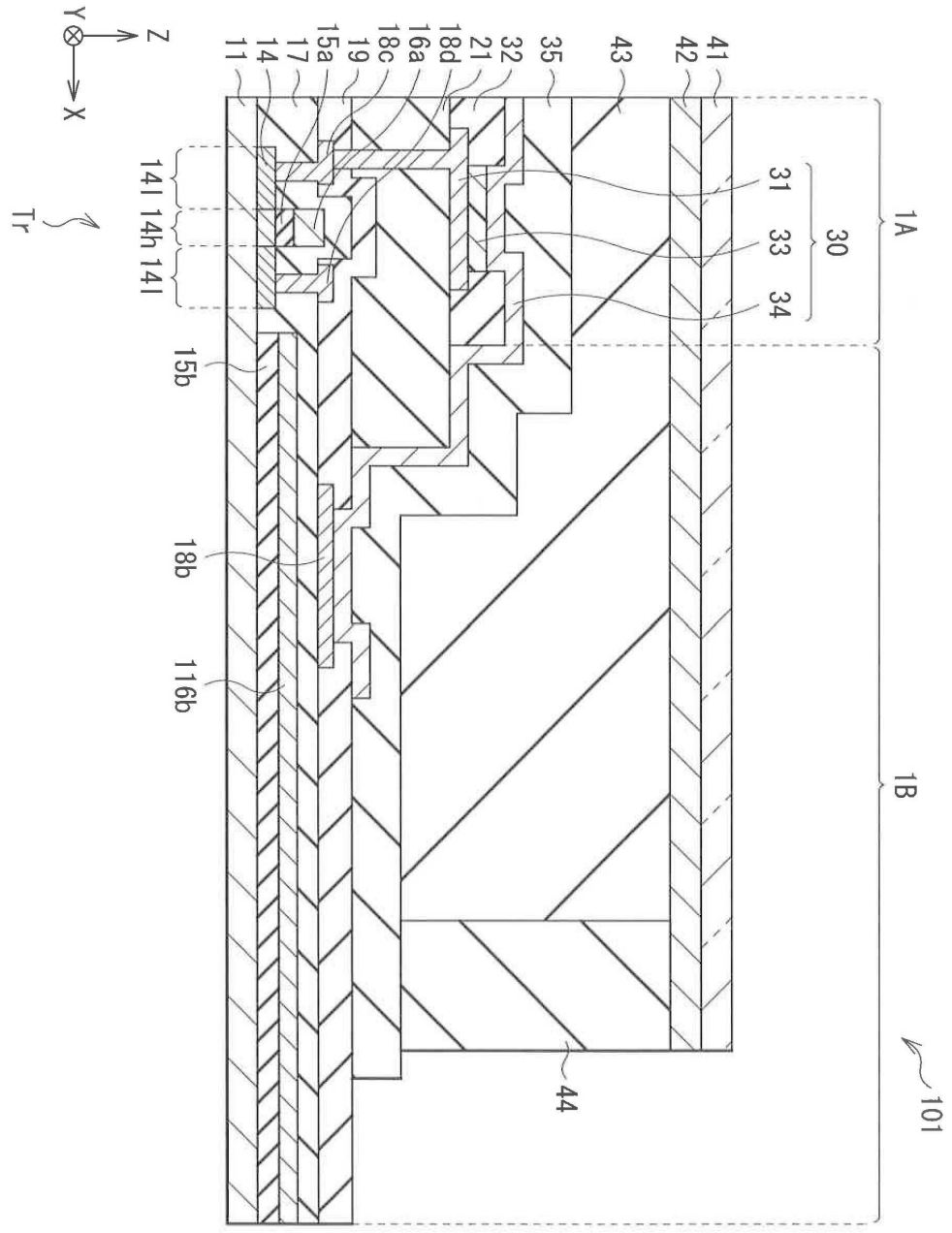
도면10a



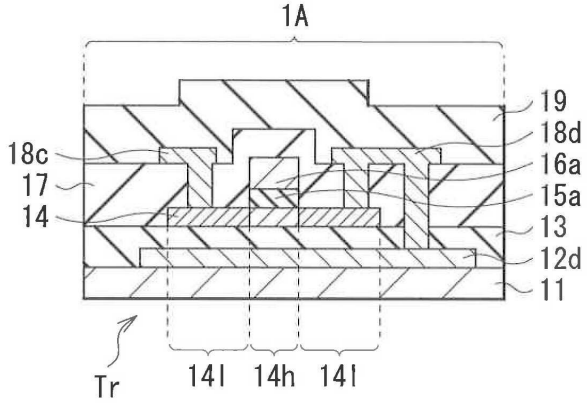
도면10b


1A
1B
30
31
33
34
32
18d
18c
16a
15a
14
21
18b
19
17
13
11
14l
14h
14l
15b
16b
12

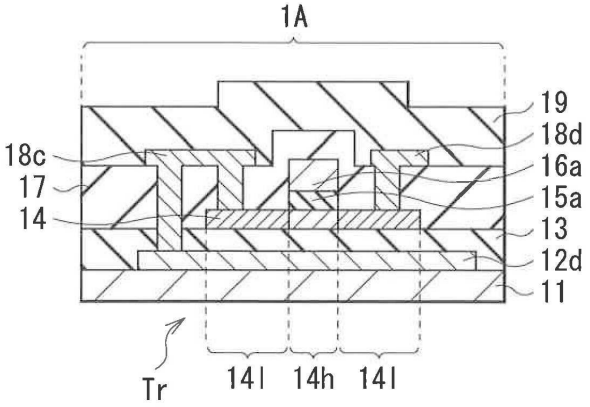
도면11


Y
Z
X
11
14
17
15a
19
18c
16a
18d
21
32
35
43
42
41
141 14h 141
Tr
31
33
34
30
1A
15b
18b
116b
1B
44
101

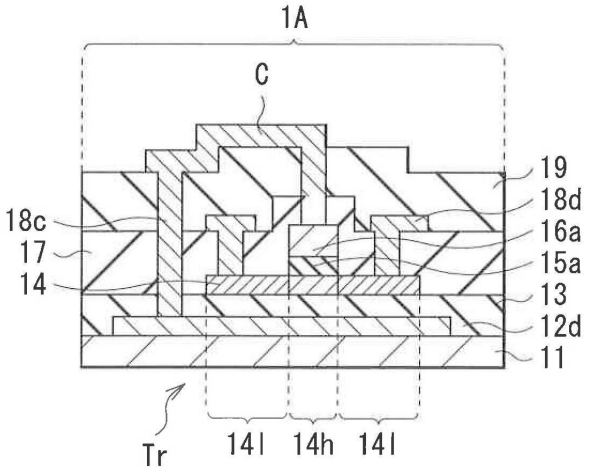
도면12


1A
19
18d
18c
16a
17
15a
14
13
12d
11
Tr
141
14h
141

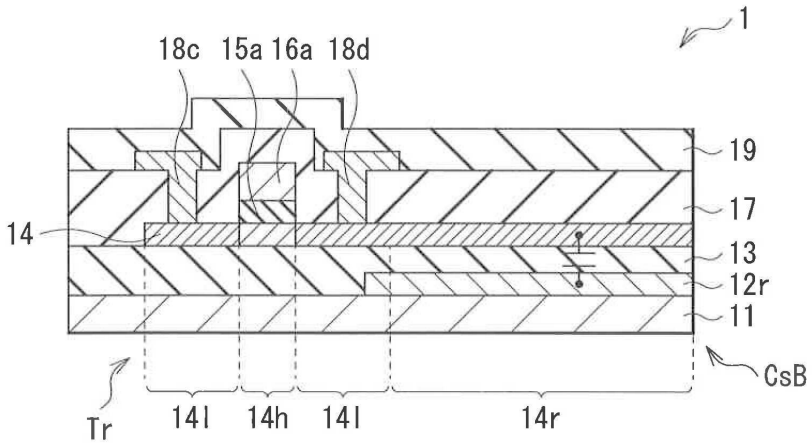
도면13



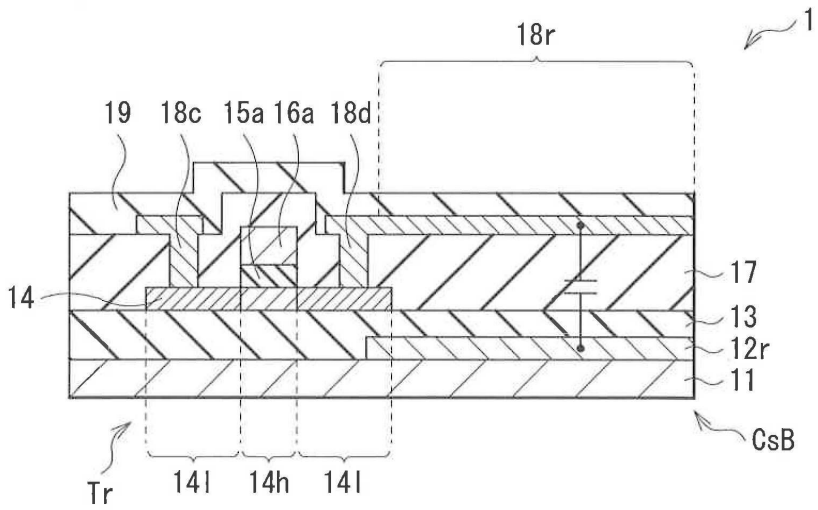
도면14



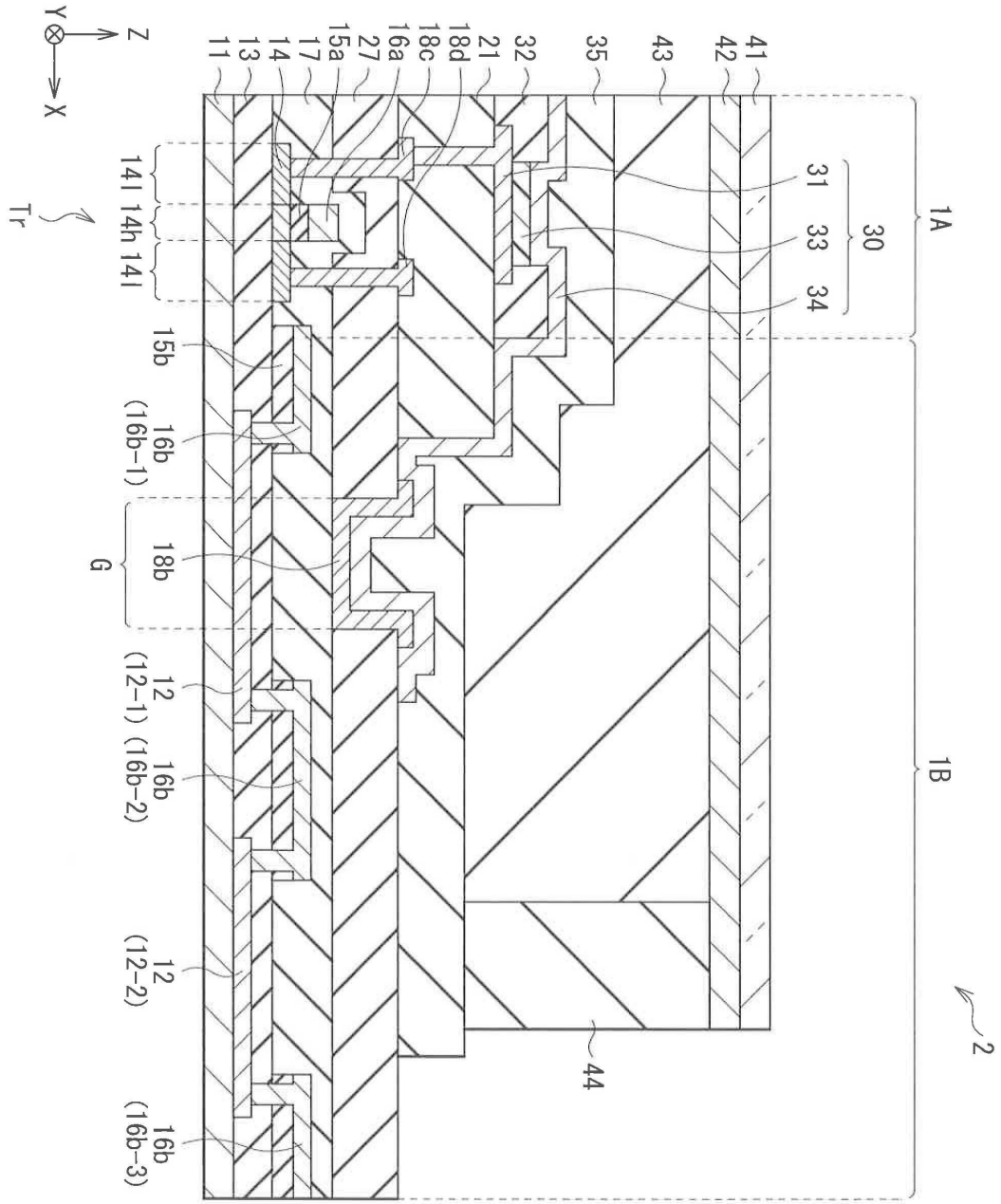
도면15



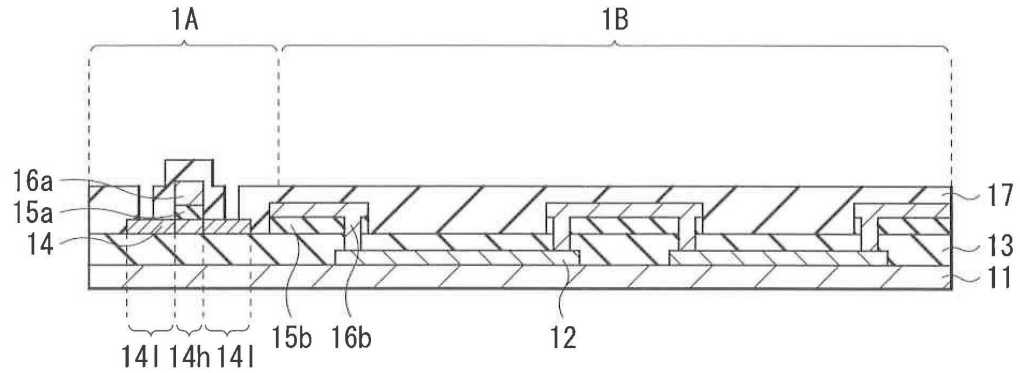
도면16



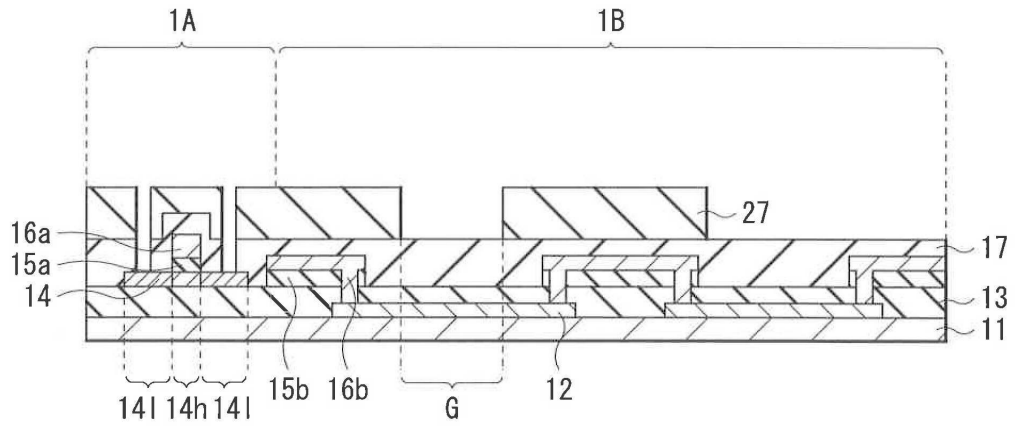
도면17


Y
Z
X
11
13
14
17
15a
27
16a
18c
18d
21
32
35
43
42
41
31
33
34
30
1A
141
14h
141
Tr
15b
16b
(16b-1)
18b
G
12
(12-1)
16b
(16b-2)
12
(12-2)
16b
(16b-3)
1B
44
2

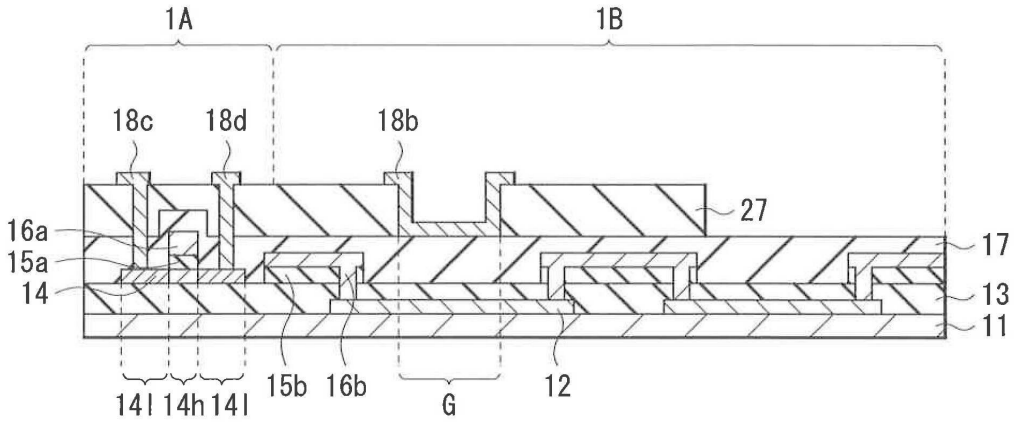
도면18a


1A
1B
16a
15a
14
17
13
11
141
14h
141
15b
16b
12

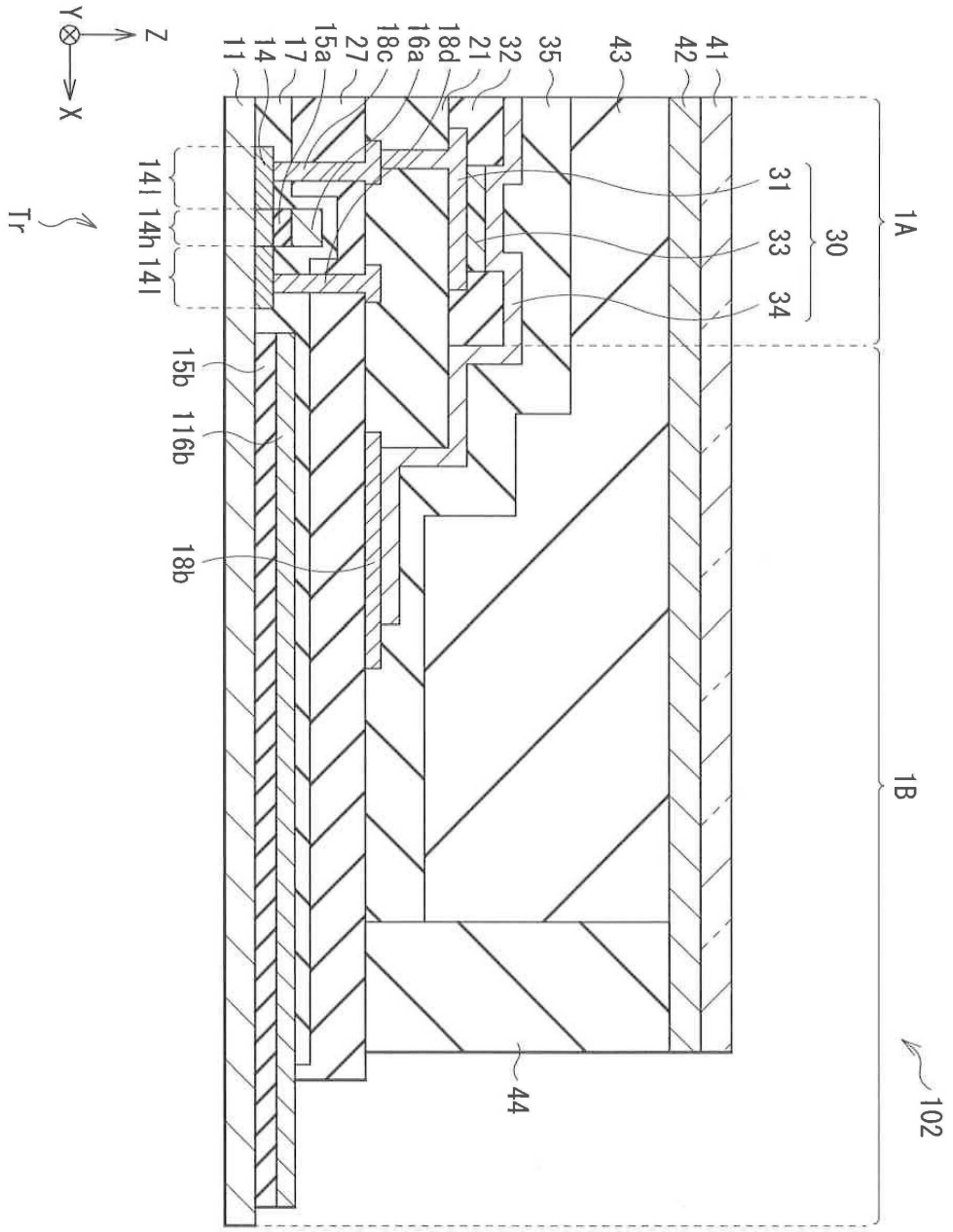
도면18b


1A
1B
27
16a
15a
14
17
13
11
14l
14h
14l
15b
16b
G
12

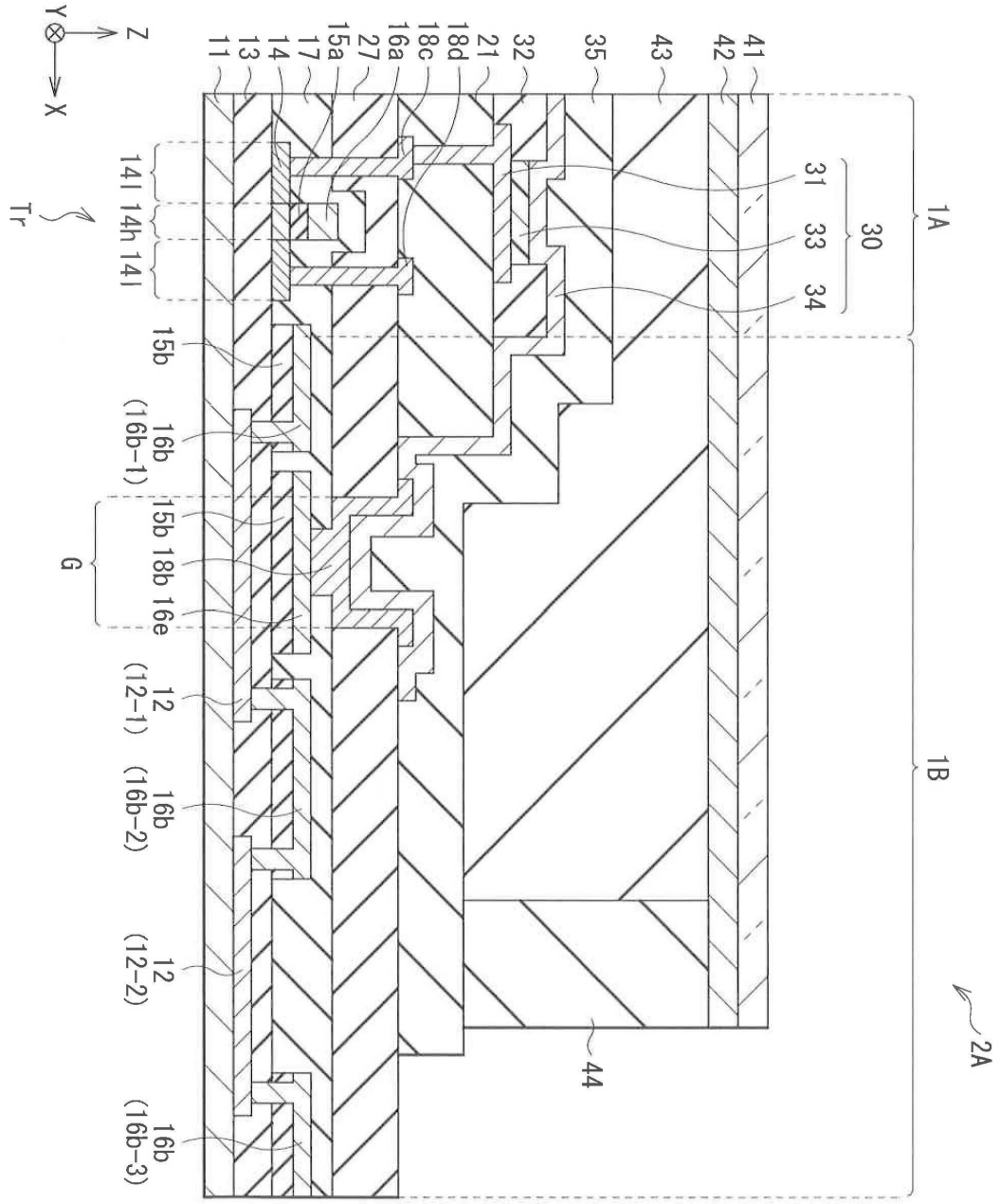
도면19


1A
1B
18c
18d
18b
27
16a
15a
14
17
13
11
14l
14h
14l
15b
16b
G
12

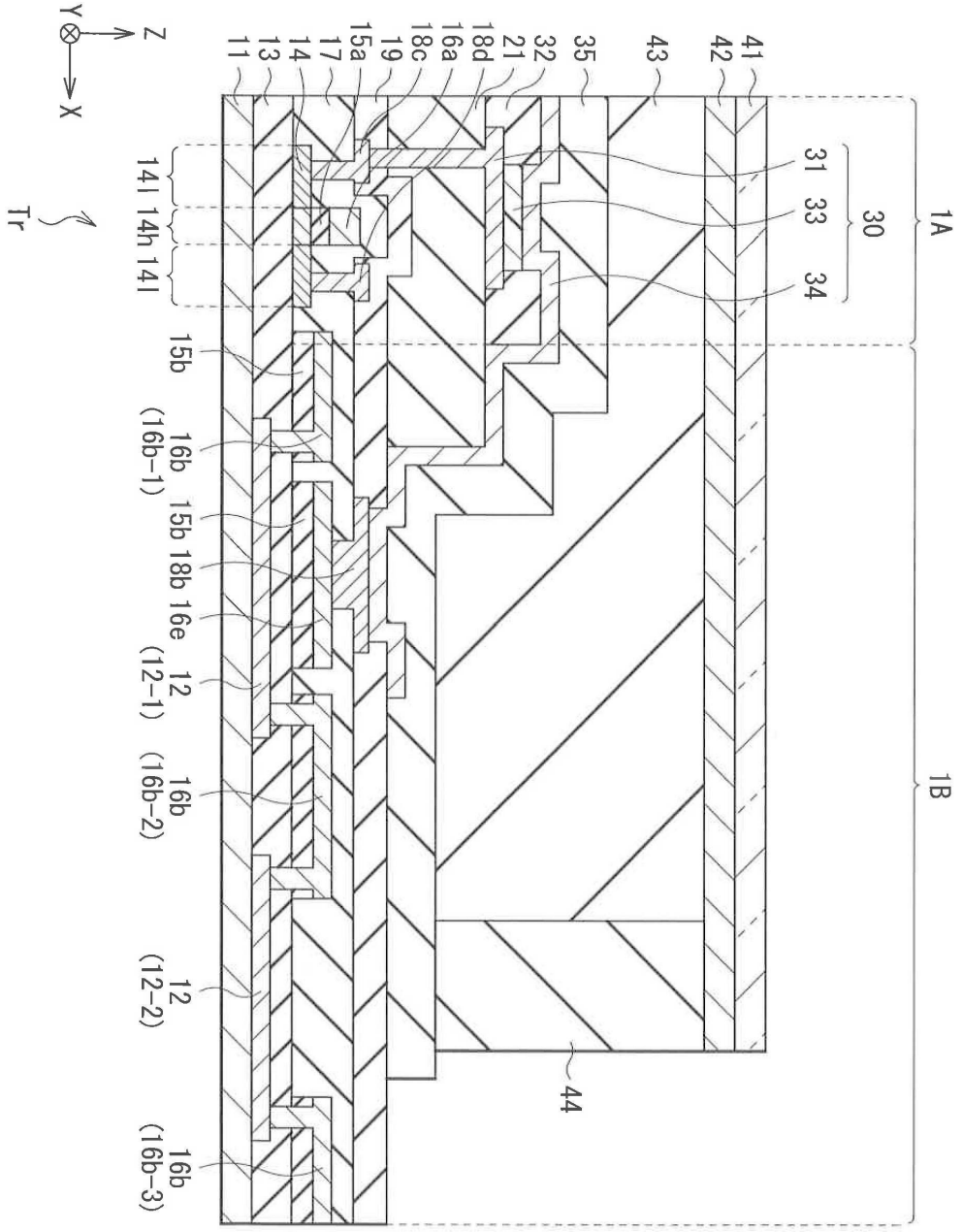
도면20


Y
Z
X
11
14
17
15a
27
18c
16a
18d
21
32
35
43
42
41
14l
14h
14l
Tr
31
33
34
30
1A
15b
116b
18b
1B
44
102

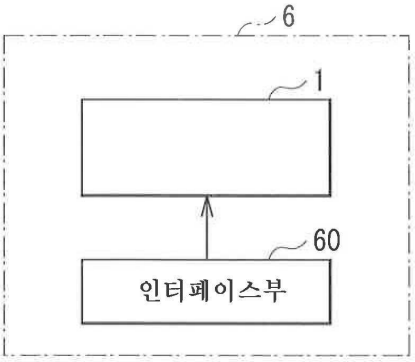
도면21


Y
Z
X
Tr
G
11
13
14
17
15a
27
16a
18c
18d
21
32
35
43
41
42
1A
1B
2A
30
31
33
34
44
14l
14h
15b
16b
(16b-1)
18b
16e
12
(12-1)
(16b-2)
(12-2)
(16b-3)

도면22


Y
Z
X
Tr
11
13
14
17
15a
19
18c
16a
18d
21
32
35
43
42
41
31
33
34
30
1A
1B
14l
14h
14l
15b
16b
(16b-1)
15b
18b
16e
12
(12-1)
16b
(16b-2)
12
(12-2)
16b
(16b-3)
44

도면23


6
1
60
인터페이스부