(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3585934号
(P3585934)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]　F I
H03M　1/40　H03M　1/40

請求項の数 7　(全 11 頁)

(21)出願番号　特願平9-509843
(86)(22)出願日　平成8年8月26日(1996.8.26)
(65)公表番号　特表平11-511598
(43)公表日　平成11年10月5日(1999.10.5)
(86)国際出願番号　PCT/EP1996/003752
(87)国際公開番号　WO1997/008835
(87)国際公開日　平成9年3月6日(1997.3.6)
審査請求日　平成15年3月27日(2003.3.27)
(31)優先権主張番号　95/10174
(32)優先日　平成7年8月29日(1995.8.29)
(33)優先権主張国　フランス(FR)

(73)特許権者
ソプリンテル・エス　アー
スイス国・シイエイチ－２３００・ラ　ショー－ドゥ－フォン・アヴェヌ　レオポルト－ロベール・２３－２５
(74)代理人
弁理士　山川　政樹
(74)代理人
弁理士　黒川　弘朗
(74)代理人
弁理士　紺野　正幸
(74)代理人
弁理士　西山　修
(74)代理人
弁理士　鈴木　二郎

最終頁に続く

(54)【発明の名称】アナログ形式で復元される必要があるアナログ信号のディジタル処理のための装置

(57)【特許請求の範囲】

【請求項１】

入力信号を相対精度で前記入力信号を表す出力信号に変換する変換器であって、この変換器は、b_i＝1,0,－１の３元値デジタル値b_iを伴う３つの識別範囲を有する変換アルゴリズムを実行し、基準電圧源（Vr）と、前記アルゴリズムの一連の連続した反復の各反復の過程において前回の反復において計算された電圧に基づいて決定された値と前記３元値の結果となる値と前記基準電圧の積となる値との和とからなる電圧値を決定するための計算手段（MC;MC－Ａ）とからなり、この目的のために前記計算手段は、前記反復のそれぞれにおいて前記電圧値を供給する増幅手段（11;11A）と連動する複数のスイッチトキャパシタンス（Cr、C1、C2;Cr－Ａ、C1－Ａ、C2－Ａ）からなり、前記変換器はまた、前記一連の反復の間に連続して計算された電圧値から変換された形式で前記入力信号を表す連続したサンプルを生成するための発生手段（14;31）を有し、前記計算手段（MC;MC－Ａ）が入力の一つ（＋）が固定電位に接続されて前記増幅手段を形成する単一の演算増幅器（11;11A）と結合したスイッチトキャパシタンス（Cr、C1、C2;Cr－Ａ、C1－Ａ、C2－Ａ）からなる単方向性装置によって形成され、かつ前記基準電圧源が、前記固定電位を参照する単極性基準電圧（Vr）を供給するように構成されていることを特徴とする変換器。

【請求項２】

前記入力信号がアナログであり、かつ前記出力信号がディジタルであって、前記計算手段は、前記反復の各々の過程で、式

$$Vx_{i+1} = 2Vx_i - b_i Vr$$

のアルゴリズムを実行し、
ここで、Vx_iが前の反復ｉの過程で得られた電圧であり、Vx_{i+1}が進行中の反復ｉ＋１の過程で得られた電圧であり、b_iが計算された３元値－１、０または＋１であり、Vrが基準電圧であり、前記計算手段はまた、前記演算増幅器からの前記出力信号と双極性基準電圧（＋Vth、－Vth）とを比較する比較手段と、この比較手段（15、16）からの出力を各反復で使用される３元値に変換する変換論理回路（23）とを備えていることを特徴とする請求項１に記載の変換器。
【請求項３】
前記入力信号がディジタルであり、かつ前記出力信号がアナログであって、前記計算手段は、前記反復の各々の過程で、式
$Vx_{i+1} = (Vx_i + b_i Vr)/2$
のアルゴリズムを実行し、ここで、Vx_iが前の反復ｉの過程で計算された中間電圧の一部であり、Vx_{i+1}が進行中の反復ｉ＋１の過程で得られる中間電圧の一部であり、b_iが計算された３元値－１、０または＋１であり、Vrが基準電圧であり、前記計算手段はまた、反復のサイクルの実行中に、得られるアナログ電圧の連続したサンプルを供給するように反復のサイクルが完了するまで、前の反復のサイクルの過程で得られた累積電圧を保持する保持手段を備えていることを特徴とする請求項１に記載の変換器。
【請求項４】
前記演算増幅器（11;11－Ａ）の非反転入力がアースに接続されていることを特徴とする請求項１～３のいずれかに記載の変換器。
【請求項５】
前記発生手段（14）は、２つの比較器（15、16）を備え、これら２つの比較器の各々において、比較入力の中の１つが各比較器における前記比較動作をトリガする制御信号（Ck、Ckの補数）によって充電されるキャパシタ（C3、C4）に接続されて、さらにこれらのキャパシタがアースされていることを特徴とする、請求項３を除く、請求項１～４のいずれか記載の変換器。
【請求項６】
アナログ形式で復元される必要があるアナログ信号のディジタル処理のための装置において、その入力に請求項１、２、４および５のいずれかに記載の変換器（４）が接続され、かつその出力に請求項１、３および４のいずれかに記載の変換器が接続されているディジタル処理回路（５）を含むことを特徴とする装置。
【請求項７】
補聴器を構成し、かつ前記処理回路（５）が音声信号を患者の生理的特性に適合させることを目的としていることを特徴とする請求項６に記載の装置。
【発明の詳細な説明】
技術分野
本発明は、アナログ形式で表現され、ディジタル処理を行った後、アナログ形式で復元されることを要する情報項目をディジタル処理するための装置に関するものである。
より正確には、本発明は、アナログからデジタルへまたはデジタルからアナログへの様々な信号の変換を実現する変換器に関し、これらの信号はその変化の全領域にわたって一様な絶対精度で変換することを必要としないアプリケーションにおいて用いられることを要するものである。
この種の変換が受容できる用途は、難聴者が装着する補聴器の用途である。
背景技術
これらの装置は、周囲の音声スペクトルを装着者の耳の生理に適合させることを特に必要とし、従って、これらの装置には、音声を復元するための音声トランスデューサを経由して耳に伝達されうる前に受信された音声信号を処理する手段を設けることを必要とする。
この処理は、比較的複雑であり、有利なことには、しばしば各患者に対して調整されるので、アナログ信号よりもむしろディジタルでなされることがこの処理のために望ましい。
実際、このような状況では、この処理は、ケース毎に容易に構成できる特別に構成したソ

フトウェアによって実行できる。従って、このような補聴器は、有効な信号を両方向、すなわちアナログ／ディジタルおよび逆方向に変換できなければならない。
聴力知覚の特性は有効な信号に対して30dBに達する雑音レベルに順応できないことが多数の実験によって示されてきた。その結果として、この特殊な用途では、有効な信号に対して相対変換精度は十分であるということがわかる。
換言するならば、一般に用いられている音声装置のアナログ音声信号（慣例的に14ビット絶対値）の変換において一般に受け入れられる精度よりもディジタルレベルで非常に低い精度が必要とされる。
この相対精度は、いわゆる“３識別範囲”変換器を使用して得ることができる。アナログ／ディジタル方向のこの種の変換器は、雑誌「IEEEジャーナル・固体回路」（第27巻、第７号、1992年７月）に掲載されたバーナード・ジネッティ他著による論文に記載されている。
この論文は、まず、このような変換器において実行されるアルゴリズムを説明している。このアルゴリズムを、下記の表記が使用される添付図面の図１を参照しつつ振り返る。
－ｉ＝アルゴリズムにおける反復数、
－b_i＝各反復で得られる２進数、
－Vin＝変換される電圧、
－$Vx_{(1)}$＝－Vinの瞬時値、
－$Vx_{(i)}$＝アルゴリズムの中間電圧、
－Vr＝基準電圧、
－Vth＝閾値電圧、
－ｎ＝１つのサンプル抽出に対する全反復数である。
原則として、この周期変換アルゴリズムは下記の手順になる。変換される入力電圧Vinの各サンプル$Vx_{(1)}$に２を掛け、この掛算の結果は基準電圧と比較される。この信号がこの基準電圧よりも大きいならば、出力信号の最上位ビットは“1"にセットされて、$Vx_{(1)}$から基準電圧が減算される。それ以外の場合には、最上位ビットは“0"にセットされ、算術演算が実行されない。実際は割算の部分余りに相当する余りの電圧$Vx_{(2)}$は、次の反復の過程で同一の演算を施され、このようなアルゴリズムのループは、最下位ビットが得られるまで繰り返される。
実際には、特に必要とされる成分のクロック周波数および簡単化に関してより良い変換性能を得るために、この手順は、各反復で２つの比較レベル＋Vthおよび－Vthを用いることによってｂの第３の値を決定することで補われる。従って、信号Vxが＋Vthよりも大きいならば、出力ビットは“1"にセットされて、基準電圧が減算される。この信号Vxが－Vthよりも小さいならば、このビットは－１にセットされて、電圧Vthが加えられる。その他の場合には、ビットは“0"にセットされ、算術演算は実行されない。
引用された論文において、主要な関心は、±Vrと０電圧との比較において必要とされる最少精度およびループオフセットエラーを減少させる目的でこのアルゴリズムを実行する回路を提案することにある。論文の著者のこの試みは、その性能が優れているが、ある種の用途および特に補聴装置の用途では、変換の精度に関して必要な要求を越える回路につがなる。したがって、このような回路は、集積された形態において、要求された目的に対して極端にかさばり、極端に大きなエネルギーを消費するようになる。
発明の開示
本発明は、ある種の用途および特に補聴装置の用途、あるいはまた聴能測定（ラジオあるいはテレビジョン局の聴力を測定する技術）あるいはその他電話術のようなある種の他の分野においても、既に上に示したように、比較的かなり大きい信号／雑音比が受容でき、これによってより少ない集積面積しか必要とせず、より低い電力消費を示すが、それにもかかわらず、例えば補聴器のような、思い描かれた特定の用途で期待された変換特性に適合するより簡単な回路を使用することを、図１のアルゴリズムを実行する中で可能にする。
本発明の目的は、簡単でかつかさばらず、電力消費の非常に限られた信号変換器を提供す

ることにある。
したがって、本発明の主題は、入力信号を相対精度で前記入力信号を表す出力信号に変換する変換器であって、この変換器は、b_i＝1,0,－１の３元値デジタル値b_iを伴う３つの識別範囲を有する変換アルゴリズムを実行し、基準電圧源と、前記アルゴリズムの一連の連続した反復の各反復の過程において前回の反復において計算された電圧に基づいて決定された値と前記３元値の結果となる値と前記基準電圧の積となる値との和とからなる電圧値を決定するための計算手段とからなり、この目的のために前記計算手段は、前記反復のそれぞれにおいて前記電圧値を供給する増幅手段と連動する複数のスイッチトキャパシタンスからなり、前記変換器はまた、前記一連の反復の間に連続して計算された電圧値から変換された形式で前記入力信号を表す連続したサンプルを生成するための発生手段を有し、前記計算手段が入力の一つが固定電位に接続されて前記増幅手段を形成する単一の演算増幅器と結合したスイッチトキャパシタンスからなる単方向性装置によって形成され、かつ前記基準電圧源が、前記固定電位を参照する単極性基準電圧を供給するように構成されていることを特徴とする。
上記入力信号がアナログで上記出力信号がディジタルであるような本発明の第１の実施例によれば、上記計算手段が、上記反復の各々の過程で、下記の形式のアルゴリズムを実行する。

$$Vx_{i+1} = 2Vx_i - b_i Vr$$

ここで、Vx_iは以前の反復ｉの過程で得られた電圧であり、Vx_{i+1}は進行中の反復ｉ＋１の過程で得られる電圧であり、b_iは、計算された３元値－１、０、または＋１であり、Vrは基準電圧である。前記計算手段は、また、上記演算増幅器からの出力信号と双極性基準電圧とを比較する比較手段と、この比較手段からの出力を各反復で使用される３元値に変換する変換論理回路とを備えている。
上記の特性を示すアナログ／ディジタル変換器は、各極性ごとに１つの基準電圧が必要で、その基準電圧の絶対値は複雑な整合回路によってのみ決定できる装置とは反対に、容易に得ることができる単一の単極性基準電圧のみを必要とする。
さらに、この装置は単方向性であるので、計算手段を実現するのに単一の演算増幅器で十分である。これは、変換器にかなりの簡単さをもたらし、その電力消費をかなり減らす。これは、エネルギー源のために確保された空間が一般に制限される補聴器のような、必然的に小型化された携帯装置において非常に有用な特性である。
引用された論文は、前述されたアルゴリズムをいくつかの演算増幅器を含む対称的な装置手段によって実行するアナログ／ディジタル変換器の実現のみを教示している。
しかしながら、本特許出願のための出願人は、３つの識別範囲を有する変換アルゴリズムは、適当な適合手段によって、本発明の第１の実施例による変換器が作動する条件と同じ条件の下で、逆ディジタル／アナログ変換を作動するために使用することができることを見いだした。
すなわち、上記入力信号がディジタルであり、上記出力信号がアナログである本発明の第２の実施例によれば、上記計算手段が上記反復の各々の過程で、下記の形式のアルゴリズムを実行する。

$$Vx_{i+1} = (Vx_i + b_i Vr)/2$$

ここで、Vx_iは以前の反復ｉの過程で計算された中間電圧の一部であり、Vx_{i+1}は、進行中の反復ｉ＋１中得られる中間電圧の一部であり、b_iは、計算された３元値－１、０または＋１でありVrは基準電圧である。前記計算手段は、また、反復のサイクルの実行中に、反復のサイクルを完了し、得るべきアナログ電圧の連続したサンプルを供給するまで、前の反復のサイクルの過程で得られる累積電圧を保持する保持手段も備えている。
このディジタル／アナログ変換器は、第１の実施例による変換器と同じ簡単さおよび低電力消費の長所を示している。
本発明の主題はまた、上に規定されるような信号変換器と結合し、適合されかつ、同様なアナログ形式で復元される必要があるアナログ信号をディジタル処理する手段を備えた電子装置、特に補聴器でもある。

【図面の簡単な説明】
本発明の他の特徴および長所は、単に例として示され、添付図面を参照して行われる以下に続く説明の過程で明らかになる。
既に説明された図１は、本発明によるアナログ／ディジタル変換器で使用された公知のアルゴリズム図である。
図２は、本発明による各種類１つずつの２つの変換器を含む補聴器の非常に簡略化された図である。
図３は、本発明によるアナログ／ディジタル変換器のより詳細な図である。
図４は、図３に対応する変換器の動作を示すタイムチャートである。
図５は、図３の変換器で使用された比較器の動作を示すグラフである。
図６は、異なる変換方法で得られたいつかの曲線による信号／雑音比の進展を、変換器に印加された電圧の関数として示すグラフである。
図７は、本発明によるディジタル／アナログ変換器の計算手段によって実行されるフローチャートを示す。
図８は、本発明によるディジタル／アナログ変換器の計算手段の簡略された図である。
図９は、図８による変換器の動作を示すタイムチャートである。
発明を実施するための最良の形態
２つの変換器が使用される補聴器の好ましい実施例が、本発明の有利な応用の例として図２に示されている。
この補聴器は、周囲の音声をピックアップするマイクロホン１と、マイクロホン１からの信号を受信し、例えば8,000Hzの遮断周波数を有するローパスフィルタ３にこの増幅信号を送信する固定利得増幅器２とを備えている。
フィルタ３からの濾波された信号は、本発明に基づいて設計され、このアナログ信号から抽出された連続する標本の値に応じた一連の２進ワードをこの信号から生成するように意図されたアナログ／デジタル変換器４に印加される。
変換器４からの出力は、２進信号によって示された音声スペクトルを処理し、特にこの音声スペクトルを補聴器の耳の生理に適合させることを目的としている２進信号プロセッサ５に印加される。
プロセッサ５には、本発明による他のディジタル／アナログ変換器６が続き、この変換器は、変換された２進信号を後者によってアナログ信号に再変換するためにプロセッサ５の出力に結線されている。この信号は、補聴器を着用する患者のためのスピーカ７あるいは他の適当な受話トランスデューサによって聴き取れるようになる。
次に、本発明にかかるアナログ／ディジタル変換器４を、その好ましい例を示す図３を参照しながら説明する。この例は、制御スイッチを形成するMOSトランジスタを有する同一のチップ上に集積されたいわゆる“スイッチキャパシタンス”キャパシタで有利に実現される。
したがって、この変換器は、全体がラベルMCで示され、変換器４の端子８に接続された第１の基準キャパシタCrを備え、端子８には、DC基準電圧Vr、例えば、装置のための供給電圧はスイッチS1を介して印加されている。この電圧Vrはユニポーラであり、計算に使用される唯一の電圧であることが注目される。キャパシタCrは、スイッチS2を介してアースに選択的に接続することもできる。基準キャパシタCrの他方の極板は、キャパシタC1がリンクされたノード９にリンクされる。このキャパシタC1のもう一方の極板は２つのスイッチS3およびS4に接続されたノード10にリンクされる。スイッチS4はアースに接続されている。
ノード９は２つのスイッチS5およびS6にリンクされ、スイッチS5もまたアースに接続されている。スイッチS6は、演算増幅器11の反転入力に接続されており、その演算増幅器11の非反転入力はアース、すなわち固定電位にリンクされている。この増幅器はアルゴリズムによって計算を実行するために使用される唯一の増幅器であることが注目される。
キャパシタC2は、この増幅器11の反転入力とノード12との間に結線される。増幅器11の出力は、一方ではスイッチS3に接続され、他方では、この出力を反転入力にリンクできるス

イッチS7に接続されている。さらに、ノード12は、端子13から供給される電圧Vinがキャパシタ C2に印加できるスイッチS8にリンクされる。スイッチS9はキャパシタC2と増幅器11の出力との間に挿入される。ノード12は参照番号14で全体が示されている比較器アセンブリにも接続されている。

ここで計算手段MCは、本記載の意味において、全ての要素があるベース電圧、ここではアース、の一方の側にある極性で作動し、この極性はその正の側で任意に選択されていることを意味する“単方向性の”設計のものであることが注目される。これによって、受容できる不正確さを犠牲にして、思い描かれた用途に適する変換を得ることを可能にする非常に簡単な回路となる。この装置は単一の演算増幅器11だけを含むことも注目される。最後に、基準電圧Vrはユニポーラ（示された場合は正）である。

比較器アセンブリ14は、そのダイヤグラムが１つの例外の範囲内で同一である２つの比較器15および16を備えている。より詳細には、各比較器は、２つのインバータ（トランジスタM1～M4）を備え、これらのインバータには、クロスカップルされ、それぞれ比較される信号を伝達するための２つのトランジスタM5およびM6と供給電位VssおよびVddを伝達する２つのトランジスタM7およびM8が接続されている。比較される電圧は、当然ノード12の電圧であり、本発明の重要な特徴によれば、単一の電位、すなわちアースの電位から得られるそれぞれの閾値電圧＋Vthおよび－Vthである。伝達トランジスタM5～M8は、図３に示されるように、クロック信号Ckおよびこの信号の反転信号によってそれぞれ制御される。これらの信号は比較器の端子17および18にそれぞれ印加される。

この図３を見ると、両方の回路では、伝達トランジスタM6とトランジスタM2およびM4との間のノード19および20は、一般的には数10フェムトファラッドの低い値のキャパシタC3およびC4にそれぞれ接続されている。これらのキャパシタは、ノード19および20の電位をそれぞれ正方向および負方向にわずかに修正し、クロックパルスCkあるいはこのパルスの相補がそれぞれの端子17および18に印加される時点で電圧＋Vthおよび－Vthを形成することを可能にする。

この手順は比較器15に関して図５に示されている。正の閾値電圧および負の閾値電圧の発生器の使用を避ける重要な長所を有し、したがって、この装置はあまりかさばらず、かつ電力消費がより低くなる。図５において、実線はクロック信号Ckの遷移が生じる時間における接続点19（図３）の電圧を示し、破線がノード21の電圧の進展を表すことに注目すべきである。

２つの比較器15および16からの出力は、それぞれトランジスタM1、M3とM5との間の接続点およびノード20で端子21および22に現れる。これらの出力は、下記の真理値表により比較器15および16によって発生されたものからb_iの値を生じることを目的としている変換回路23に送られる。

真理値表

b_i の値	端子21	端子22
0	0	0
−1	0	1
+1	1	0

回路23からの出力24は、いわゆるRSD（冗長符号付きディジット）符号化に基づいてアナログ入力信号のディジタルサンプルを示す２つの相補並列２進ワードを発生することを目

的としている回路25に印加される値b_iである。このような回路は上記で引用された論文に記載されている。
さらに、出力24は、図１に示されたアルゴリズムの反復の過程でスイッチS1およびS2の設定を制御することができる。
図４は、変換器４に印加されたアナログ電圧のサンプルを得るために一連の連続反復を実行することを示すタイミングチャートである。各パルス列は図３の対応するスイッチS1～S9の制御に相当する。スイッチS1およびS2に対応する波形は、出力24で得られた連続する３元値ビットb_iの値で決まるので、スイッチS1およびS2を制御するパルス列は破線で示されていることに注目すべきである。
各動作サイクルは、最終的に得られるサンプルの値の高い有効桁ビットを決定ことも目的とする取得フェーズAP（図４）で開始する。
この取得フェーズは、２つのクロック間隔ψa1およびψa2にわたって実行される。間隔ψa1中には、スイッチS7は、増幅器11をゼロにリセットするために依然として閉じられている。同じ間隔中、スイッチS8は閉じられいて、これによって、キャパシタC2に変換されるアナログ電圧サンプルの値をかける。スイッチS4およびS6も閉じられる。スイッチS9は開いている。
間隔ψa2中、スイッチS3およびS5は閉じられ、スイッチS4およびS6は開いており、これによって、キャパシタC2にこれまでセットされた電荷をキャパシタC1へコピーする。同時に、スイッチS1あるいはS2の一方あるいは他方は高い有効桁ビットに応じて閉じられる。比較器15および16は、この結果を示すためにこのフェーズ中にトグルするようにされる。
次のフェーズは、連続する反復フェーズの各々のように２つのクロック間隔にわたって実行するアルゴリズムの第１の反復i_1を構成する。
第１の間隔ψ１中、キャパシタC1の電荷はスイッチS4およびS6を閉じることによってキャパシタC2に伝達される一方、b_iの値に応じて、スイッチS1あるいはS2の一方あるいは他方が閉じられる。これによって電圧Vrあるいは電圧０が基準キャパシタCrに印加される。このようにして電圧Vx＋－b_i＊Vrの２倍の電圧がキャパシタC2に生じる。
次に、このフェーズi1の第２の間隔ψ２の過程では、キャパシタC2の電荷は、スイッチS3およびS5を閉じ、スイッチS4およびS6を開くことによってキャパシタC1へ再コピーされる。
この手順は、アナログサンプルを示す完全２進ワードが得られるまで、全サイクルの中のその後の全ての反復の間、繰り返される。それから他のサンプルが抽出され、同様に処理される。
図６は、信号／雑音比に関して本発明によって得ることができる結果を示すグラフを示している。この目的のために、この比は、1,000Hzの正弦波で形成されたアナログ入力信号Vxの振幅の関数として、たて座標にプロットされている。
グラフは、１～３と番号付けられた３つの曲線を示している。曲線１は、２との乗算が全く正確な14ビットの完全なアナログ／ディジタル変換器に対応する。曲線２は乗算係数が1.998、すなわち0.2%のエラーとなる、本発明によるアナログ／ディジタル変換器の場合を示している。曲線３は、エラーの同じマージンを有する変換器に対応するが、２つの識別範囲を有する従来の計算のアルゴリズムを使用する。
したがって、本発明を示す曲線２は理想曲線１の大部分を実際追従し、そこから補聴器の応用のような思い描かれた応用において当然何ら影響のない振幅の範囲内でオフセットを有してはずれていることが分かる。
図７は、図２のディジタル／アナログ変換器６の中で実行されるアルゴリズムを示している。
図８は、変換器６に使用される計算手段MC－Ａの図を示している。この図は、図３に示されたアナログ／ディジタル変換器４の計算手段MCの図と非常に類似していることが分かる。
これらの計算手段MC－Ａは、基準電圧Vrを印加する端子26およびアースにそれぞれ接続された２つのスイッチS10およびS11に接続された基準キャパシタCR－Ａを備えている。これ

らのスイッチは、変換回路27の処理回路５によって供給される信号から公式化される３元値ディジタル信号の状態に基づいて制御される。後者は、それ自体が公知のいわゆる“CSD"（“標準符号付きディジット”を表す）変換システムに基づいて作動する。このようなシステムは、情報処理の調査および研究のコレクションで出版され、題名が「コンピュータ演算：演算子および基本的な機能」（メーソン、パリ、1989年）であるジェー・エム・ミィーラー著の論文に記載されている。

キャパシタCr－Ａはまた、２つのノード28および29間にリンクされたキャパシタC1－Ａにも接続されている。ノード28は２つのスイッチS12およびS13に接続されている。スイッチS12は、ノード30を形成する演算増幅器11－Ａの出力に接続されている。スイッチS13はアースに接続されている。ノード29は、演算増幅器11－Ａの反転入力にリンクされたスイッチS14に、さらにアースに接続されたスイッチS15にも接続されている。演算増幅器11－Ａの反転入力は、さらにノード30に接続されたキャパシタC2－Ａにリンクされている。

ノード30は、計算のアルゴリズムの反復の各サイクルでスイッチS16によってトリガされる保持回路31に接続されている。この回路は、得られるアナログ電圧のサンプル列をその出力32に供給する。

図８の場合、変換は最下位ビットから開始する（図９も参照）。各反復において、b_i＊Vrに比例する対応する電荷は、キャパシタC2－Ａの電荷に加えられ（b_i＝｛－１、０または＋１｝）、全電荷は２で割られる。

各反復は、アナログ／ディジタル変換器４の場合のように２つのクロック間隔ψ１およびψ２にわたって実行される。第１のクロック間隔中、キャパシタCR－Ａは、電圧Vr、さもなくばその他電圧０に充電され、キャパシタC1－Ａの電荷はゼロにされる。間隔ψ２の間、b_i＝－１ならば、キャパシタCR－Ａは電圧Vrに充電され、さもなければ電圧０に充電され、キャパシタC1－Ａはキャパシタ C2－Ａと並列に置かれる。

したがって、各間隔ψ２の終わりに、キャパシタC2－Ａの電圧は下記のようになる。

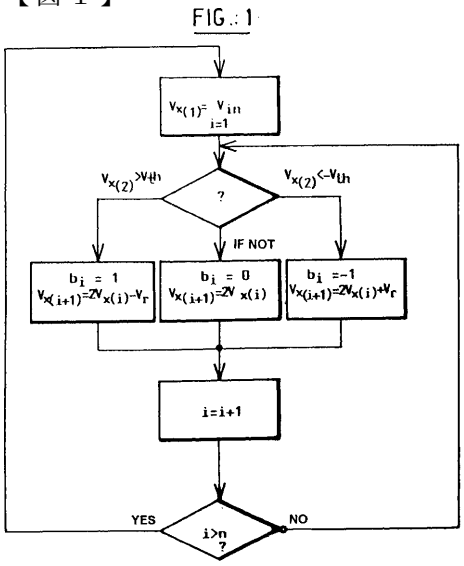
$$VC2\text{-}A_{(i+1)} = (VC2\text{-}A_{(i)} + b_i Vr)/2$$

反復のサイクルの終了で、この全電圧は、反復の次のサイクルの結果の到着まで保持回路31に保持される。

ここで述べた計算手段MC－９に関して、図３の計算手段に付随している特性と同じ特性、すなわち顕著な簡単さを観察することができる。

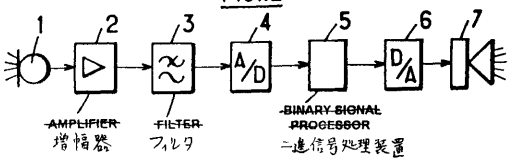
【図１】

FIG.:1



【図２】

FIG.:2



【図３】

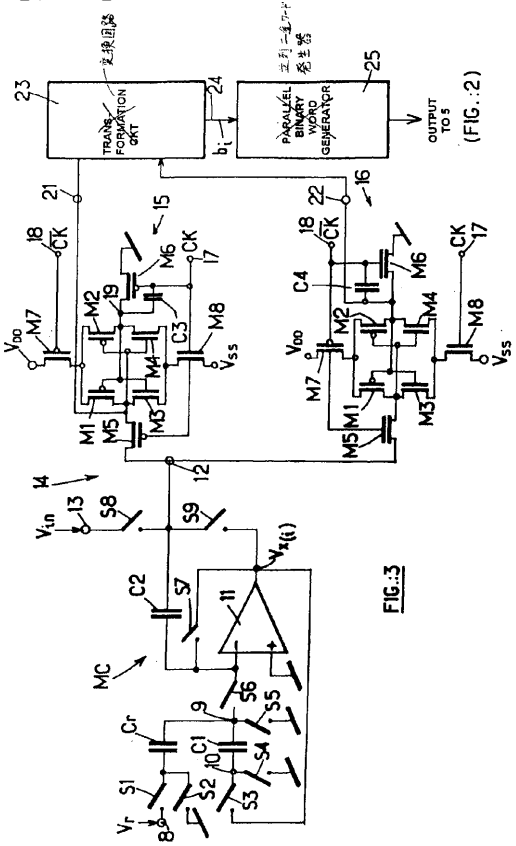


FIG.:3

【図４】

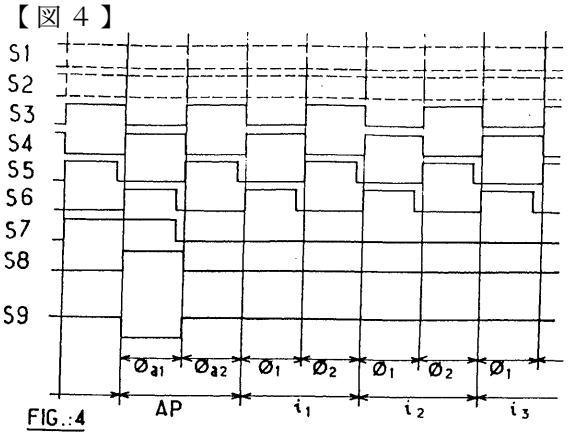


FIG.:4

【図５】

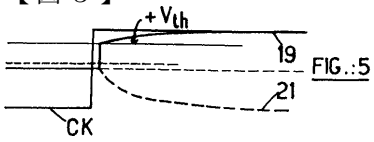
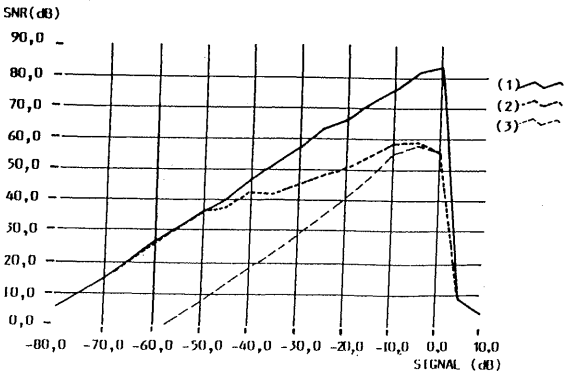


FIG.:5

【図６】

FIG.:6



【図８】

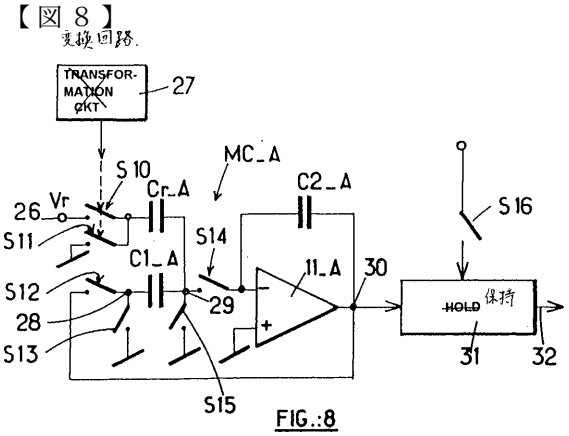
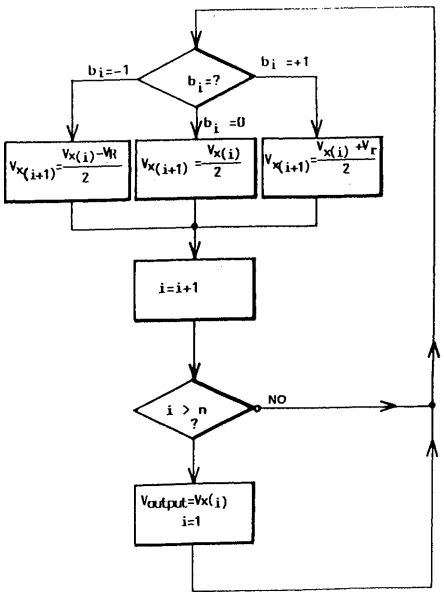


FIG.:8

【図７】

FIG.:7



【図９】

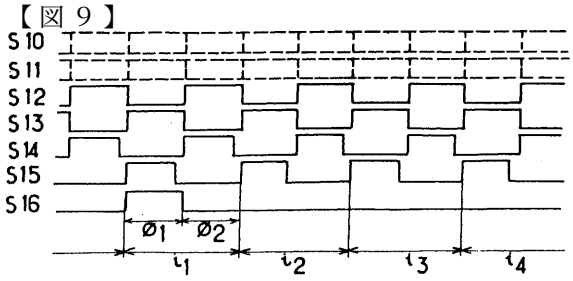


FIG.:9

フロントページの続き

(74)代理人
弁理士 山川 茂樹
(72)発明者 オービ，アレグザンドル
スイス国・シイエイチ－２３００・ラ ショー－ドゥ－フォン・ジュルサレム・２３

審査官 柳下 勝幸

(56)参考文献 欧州特許出願公開第２１３９５４（ＥＰ，Ａ１）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H03M1/00 ～ H03M1/88